

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，
其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國、2004.5.18、10/848,261

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【相關申請案參考】

本申請案中所揭示的內容係相關於在 2000 年 8 月 31 日所提申之共同受讓的美國專利申請案序號第 09/652,364 號中的揭示內容，該案的標題為「A Phase Detector for All-Digital Phase Locked and Delay Locked Loops」。

【發明所屬之技術領域】

本發明整體係關於同步電路，更明確地說，係關於在 一同步電路初始化期間來產生與終止各種時脈移動模式的系統與方法。

【先前技術】

實施在積體電路之上的大部份數位邏輯均係時脈控制的同步循序邏輯。於電子元件(例如同步動態隨機存取記憶體電路(SDRAM)、微處理器、數位信號處理器...等)之中，資訊的處理、儲存、以及擷取均會和一時脈信號進行協調或是與其進行同步。該時脈信號的速度與穩定性會相當程度地決定某個電路能夠運作的資料速率。有許多高速積體電路元件(例如 SDRAM、微處理器、...等)均會依賴時脈信號來控制命令、資料、位址、...等流入、流經、以及流出該等元件。

於 SDRAM 或是其它半導體記憶體元件中，其會希望讓資料從與系統時脈(其亦供該微處理器使用)同步的記憶體之中輸出。延遲鎖相迴路(DLL)係使用於 SDRAM 之中的同步電路，用以讓一外部時脈(舉例來說，供一微處理器使

用的系統時脈)與一內部時脈(舉例來說，使用於該 SDRAM 內部的時脈，用以對各種記憶體胞實施資料讀取/寫入作業)彼此互相同步。一般來說，一 DLL 係一回授電路，其可運作以回授一相位差相關信號以控制一延遲線，直到其中一個時脈信號(舉例來說，該系統時脈)的時序被前移或是被延遲為止，直到其上升緣和一第二時脈信號(舉例來說，該記憶體內部時脈)的上升緣一致(或是「鎖定」)為止。

圖 1 所示的係一記憶體晶片或是記憶體元件 12 的簡化方塊圖。該記憶體晶片 12 可能係一 DIMM(dual in-line memory module，雙同線記憶體模組)或是一含有許多此等記憶體晶片的 PCB(印刷電路板)(圖 1 中未顯示)的一部份。該記憶體晶片 12 可能包含複數根接針 14，該等接針係位於晶片 12 的外面，用以將該晶片 12 電連接至其它的系統元件。該些接針 14 中的某些接針可能會構成記憶體位址接針或是位址匯流排 17、資料接針或是資料匯流排 18、以及控制接針或是控制匯流排 19。顯而易見的係，元件符號 17-19 中的每一者代表的係該對應匯流排之中的一根以上接針。進一步言之，應該瞭解的係，圖 1 中的概略圖僅係供解釋之用。也就是，典型記憶體晶片中的接針配置或組態的形式可能會不同於圖 1 中所示者。

一處理器或記憶體控制器(圖中未顯示)可能會與晶片 12 進行通信，並且實施記憶體讀取/寫入作業。該處理器與該記憶體晶片 12 可能會利用下面的信號來進行通信：位址線路或位址匯流排 17 上的位址信號、資料線路或資

料匯流排 18 上的資料信號、控制線路或控制匯流排 19 上的控制信號(舉例來說，列位址選通(RAS)信號、行位址選通(CAS)信號、...等(圖中未顯示))。位址匯流排、資料匯流排、以及控制匯流排的「寬度」(也就是，接針數)可能會因記憶體組態而不同。

熟習本技藝的人士將可輕易瞭解，圖 1 的記憶體晶片 12 已經過簡化以說明一記憶體晶片的其中一實施例，而且其並不意欲詳細圖解一典型記憶體晶片的所有特點。有許多週邊元件或是電路通常可能會與該記憶體晶片 12 一同提供，以便將資料寫入該等記憶體胞 20 之中並且從該等記憶體胞 20 之中讀取資料。不過，為簡化起見，該些週邊元件或電路並未顯示於圖 1 中。

該記憶體晶片 12 包含多個記憶體胞 20，該等記憶體胞 20 通常係被排列成列與行之方式用以將資料儲存於複數列與複數行之中。每個記憶體胞 20 均可儲存一位元的資料。一列解碼電路 22 與一行解碼電路 24 可能會響應解碼位於該位址匯流排 17 之上的某個位址而選擇該等記憶體胞 20 之中的該等列與行。接著便可透過感測放大器與一條資料輸出路徑(圖中未顯示)於該資料匯流排 18 之上傳輸資料給該等記憶體胞 20 及/或從該等記憶體胞 20 傳輸資料。一記憶體控制器(圖中未顯示)可能會於該控制匯流排 19 之上提供相關的控制信號(圖中未顯示)，用以控制透過一 I/O(輸入/輸出)單元 26 來與該記憶體晶片 12 進行資料交換。該 I/O 單元 26 可能包含數個資料輸出緩衝器，用以

從該等記憶體胞 20 之中接收該等資料位元，並且將該些資料位元或是資料信號提供給該資料匯流排 18 之中的該等對應資料線。該 I/O 單元 26 可能進一步包含一時脈同步單元或延遲鎖相迴路(DLL)28，用以讓該外部系統時脈信號(舉例來說，該記憶體控制器(圖中未顯示)所使用的時脈，用以提供時脈給該記憶體晶片 12 與該控制器之間的位址信號、資料信號、以及控制信號)與該內部時脈(供該記憶體 12 使用，用以對該等記憶體胞 20 實施資料讀取/寫入作業)互相同步。

該記憶體控制器(圖中未顯示)可能會決定記憶體晶片 12 的作業模式。控制匯流排 19 之上的該等輸入信號或是控制信號的部份範例(圖 1 中並未顯示)包含外部時脈信號、晶片選擇信號、列存取選通信號、行存取選通信號、寫入致動信號、...等。該記憶體晶片 12 會透過該晶片 12 上的該等接針 14 和與其相連接的其它元件進行通信。如前面所提及，該些接針可能會被連接至適當的位址線、資料線、以及控制線，用以實現資料傳輸(也就是，資料傳送與接收)作業。

圖 2 所示的係圖 1 中所示之延遲鎖相迴路(DLL)28 的簡化方塊圖。該延遲鎖相迴路 28 會接收一參考時脈(ClkREF)30 作為輸入，並且會於其輸出處產生一輸出時脈或 ClkOut 信號 32。接著，ClkOut 信號 32 便會被回授變成回授時脈(ClkFB)34，下文將作討論。本文中的參考時脈 30 可與「ClkREF」、「ClkREF 信號」、「Ref 時脈信號」、

或是「Ref 時脈」相互替換；反之，本文中的回授時脈 34 則可與「ClkFB」、「ClkFB 信號」、「FB 時脈信號」、或是「FB 時脈」相互替換。參考時脈 30 通常係提供時脈給微處理器的外部系統時脈，或是該外部系統時脈的延遲/緩衝版本。於圖 2 的實施例之中，圖中的系統時脈 36 會經過一時脈緩衝器 37 而被緩衝。因此，該時脈緩衝器 37 的輸出(也就是，Ref 時脈 30)便係該系統時脈 36 的緩衝版本。於一暫存器控制的延遲鎖相迴路之中，該 Ref 時脈 30 會被輸入至暫存器與延遲線組 38 之中，如圖 2 所示。該組 38 之中的該等暫存器會利用接收自一相位偵測器 40 的相位差資訊來控制延遲線，下文將作討論。為方便討論，圖 2 中的暫存器與延遲線組 38 於下文中會被稱為「延遲線方塊」。

該延遲線方塊 38 的時脈輸出(ClkOut 信號 32)可用來提供內部時脈(圖中未顯示)，供該 SDRAM 12 使用，用以對記憶體胞 20 實施資料讀取/寫入作業並且將該 SDRAM 輸出的資料傳輸至給資料要求元件(舉例來說，微處理器(圖中未顯示))。因此，如圖 2 所示，該 ClkOut 信號 32 會被傳送至一時脈分配網路或是時脈樹狀電路 42，該時脈分配網路或是時脈樹狀電路 42 的輸出 43 可能會被耦合至 SDRAM 時脈驅動器或是 I/O 單元 26 之中的資料輸出級(圖中未顯示)用以對資料擷取與傳輸作業進行時脈控制。從圖 2 可以看出，可以利用該延遲線方塊 38 之中的延遲線來產生該 ClkOut 信號 32(進而產生該 FB 時脈 34)，其可於該輸

入 Ref 時脈 30 之中引入特定的延遲以便達到「鎖定」狀況。

如同先前所述，延遲鎖相迴路 28 的用途係校準或鎖定該記憶體 12 的內部時脈(圖中未顯示)使其匹配該系統的外部時脈(舉例來說，系統時脈 36)。一相位偵測器(PD)40 會藉由比較該系統時脈 36 與該記憶體內部時脈(圖中未顯示)的個別代表信號(和系統時脈 36 相關的 Ref 時脈 30，以及和該記憶體的內部時脈相關的 FB 時脈信號 34)的相對時序來比較其信號緣的相對時序，以便達到該鎖定狀況。如圖 2 中所示，一 I/O 延遲模型電路 44 可能係該延遲鎖相迴路 28 的一部份，用以在該 ClkOut 信號 32 以 FB 時脈信號 34 的形式被饋入該相位偵測器 40 之中以前作為該 ClkOut 信號 32 的緩衝或虛假(dummy)延遲電路。請注意，雖然圖中所示的 ClkOut 信號 32 係該 I/O 延遲模型 44 的輸入，不過，於某些實際的應用中，該 ClkOut 信號 32 則可能仍然是該時脈分配網路 42 的輸入，而接收自該時脈分配網路 42 的另一個時脈信號(圖中未顯示)則可以輸入的方式取代該 ClkOut 信號 32 而被饋入該 I/O 延遲模型 44 之中。不管是哪種情況，該 I/O 延遲模型 44 的輸出(也就是，FB 時脈 34)均可有效地代表該記憶體的內部時脈，其可經由該時脈驅動器或是該 I/O 單元 26 之中的複數個資料輸出級(圖中未顯示)來提供。該 I/O 延遲模型 44 會複製該時脈回授路徑的固有延遲，其包含延遲「A」(該系統時脈輸入緩衝器 37 的延遲)以及延遲「B」(其包含在輸出該記憶體 12 的內部時脈(圖中未顯示)以前該 ClkOut 信號 32 於該記憶體的輸

出資料路徑(圖中未顯示)之中所遭遇到的延遲)。因此，該 I/O 延遲模型 44 可能係該系統時脈接收電路(圖中未顯示)的複製電路，其包含該外部時脈緩衝器 37 以及時脈與資料輸出路徑(圖中未顯示)，以便讓由該些電路級所提供的個別延遲匹配於該系統時脈 36 與該 ClkOut 信號 32，從而讓該 Ref 時脈 30 與該 FB 時脈 34 分別盡可能地接近該系統時脈 36 與該記憶體的內部時脈(圖中未顯示)。因此，該 I/O 延遲模型 44 會試圖讓該 Ref 時脈 30 與該 FB 時脈 34 之間的相位關係盡量保持靠近該系統時脈 36 與該記憶體的內部時脈(圖中未顯示)之間所存在的相位關係。

該 Ref 時脈 30 與該 FB 時脈 34 會以輸入的方式被饋入該相位偵測器 40 之中，用於進行相位比較。該相位偵測器 40 的輸出(左移(SL)/右移(SR)信號 45)會控制該延遲線方塊 38 賦予該 ClkREF 30 的延遲數量。該 SL/SR 信號 45 可決定該 Ref 時脈 30 是否應該經由該延遲線方塊 38 之中複數個適當的延遲單元來左移(SL)或是右移(SR)，進而匹配該 Ref 時脈 30 的相位與該 FB 時脈 34 的相位以便達到該鎖定狀況。該 SL/SR 信號 45 可能會透過一延遲控制單元 46 而被供應至該延遲線方塊 38，該延遲控制單元 46 可藉由產生一延遲調整信號 47 來控制該 SL/SR 信號 45 的施加時序，該延遲調整信號 47 的用途實際上和 SL/SR 信號 45 相同，不過，該延遲調整信號 47 被施加至該延遲線方塊 38 的作業係受控於該延遲控制單元 46。該延遲線方塊 38 賦予該 Ref 時脈 30 的延遲可運作用以調整該輸出時脈(也就

是，FB 時脈 34)以及該輸入 Ref 時脈 30 之間的時間差，直到兩者校準為止。如本技藝中所熟知者，該相位偵測器 40 會相依於該 Ref 時脈 30 與該 FB 時脈 34 之間的相位差或時序差來產生該等左移信號與右移信號。

圖 3 所示的係由圖 2 中的相位偵測器 40 來操作的 ClkREF 30 與 ClkFB 34 之間的時序失配關係圖。從圖 3 中可以看出，從該相位偵測器 40 收到 ClkREF 30 的第一上升緣開始經過 t_{ID} 秒的固有延遲(也就是，圖 2 中的延遲 A 與 B 的總和)之後便會產生 ClkFB 34。ClkREF 30 與 ClkFB 34 時序之間的失配情形可藉由該相位偵測器 40 來校正，其方式係利用適當的左移(SL)或是右移(SR)指示信號 45 來命令該延遲線方塊 38 提供等於 $m \cdot t_D$ 的延遲，其中「 m 」為該延遲線方塊 38 中之延遲元件或延遲線的數量($m=0、1、2、3、...$)，而「 t_D 」則係單一延遲元件或延遲線所提供的延遲。舉例來說，假使該 Ref 時脈 30 的時脈週期(t_{CK})為 12ns 且 $t_{ID}=10ns$ 的話，那麼該延遲鎖相迴路 28 便必須將 ClkFB 34 的上升緣向外推出或將 ClkREF 30 左移 $2ns(t_{CK}-t_{ID}=2ns)$ ，以便達到「鎖定」目的(也就是，Ref 時脈 30 的上升緣與 FB 時脈 34 的上升緣實質「校準」或是「同步」或是幾乎「同相」)。於本範例中，假使 $t_D=200ps$ 的話，那麼 $m=10$ 。如本技藝中所熟知般，ClkREF 30 與 ClkFB 34 的時脈週期會保持相等，不過該等兩個時脈之間卻可能有相位差或是時序失配的情形，其會被該相位偵測器 40 偵測到並且由該延遲線方塊 38 利用該相位偵測器 40 所輸

出的 SL/SR 信號 45 來進行調整。

圖 4 所示的係圖 2 中的相位偵測器 40 的主要電路元件的方塊圖。該相位偵測器 40 可能包含兩個相位偵測單元：一粗略相位偵測器 50 以及一精細相位偵測器 52。該等粗略與精細相位偵測器的輸出 53、54 會分別被供應至延遲控制單元 46，作為個別的 SL/SR 信號。因此，於圖 4 的實施例中，圖 2 的 SL/SR 信號 45 可能係由兩個分離的 SL/SR 信號所組成，各來自對應的粗略相位偵測器 50 與精細相位偵測器 52 中其中一者。該粗略相位偵測器 50 一開始可能會對 ClkREF 30 與 ClkFB 34 發揮作用，用以命令該延遲線方塊 38 提供一粗略延遲給 ClkREF 30，用以於 ClkREF 30 與 ClkFB 34 之間建立粗略的相位校準。而後，精細相位偵測器 52 便可能會接替對該兩個時脈實施「精細調整(fine tuning)」或是精細相位校準，以便達到完美的鎖定狀況。於該粗略相位偵測器 50 運作期間，該延遲控制單元 46 可能會忽略來自該精細相位偵測器 52 的任何輸出 54，直到該粗略相位偵測器 50 的輸出 53 表示 ClkREF 30 與 ClkFB 34 之間已經達到初步「鎖定」(不過其僅為初期或是不完美的鎖定)為止。接著，該延遲控制單元 46 便會接收來自該精細相位偵測器 52 的輸出，用以命令該延遲線方塊 38 提供一精細延遲給 ClkREF 30，直到於 ClkREF 30 與 ClkFB 34 之間達到完美或精細鎖定為止。

圖 5 所示的係構成圖 4 中所示之粗略相位偵測器 50 的各種電路元件的示範方塊圖。該粗略相位偵測器 50 包含

一粗略相位偵測(PD)視窗 56，其會提供一初始延遲「 t_{PDW} 」給 ClkFB 34，用以於其輸出處產生一經過延遲的回授時脈信號(ClkFB2d)57。延遲 t_{PDW} 的數額可能係固定的或是事先決定的。另一延遲元件 58 則會提供 $t_{PDW}/2$ 的延遲(粗略相位偵測視窗 56 所提供延遲的一半)給 ClkREF 30，用以於其輸出處產生一經過延遲的參考時脈信號(ClkREFd)59。ClkREFd 信號 59 會提供時脈給該等取樣電路(此處的形式為一組 D 型正反器)60、62，用以如圖 5 中所示般地來取樣回授時脈(ClkFB)34 與該經過延遲的回授時脈(ClkFB2d)57。D 型正反器 60、62 的輸出 PH1(64)與 PH2(65)係分別代表於該 ClkREFd 59 之上升緣處所取樣到的個別 D 輸入(ClkFB 34 或是 ClkFB2d 57)的數值。該等 PH1 與 PH2 於任何特定瞬間處的數值會決定相對於 ClkREF 30 之相位的 ClkFB 34 的相位(也就是，ClkFB 34 究竟是否與 ClkREF 30 同相或是相位相差 180° ，其討論如下)。PH1 64 與 PH2 65 之間的關係可決定究竟要將參考時脈 30 向左移或是向右移，下文將作更詳細的討論。可提供一多數濾波器(majority filter)66 來接收 PH1(64)、PH2(65)、以及一計數時脈信號(圖中未顯示)等輸入，並且對應產生一適當的 SL/SR 信號作為該粗略相位偵測器 50 的輸出 53。雖然此處並未顯示該多數濾波器 66 的構造，不過，本技藝中已經知道該多數濾波器 66 可能包含一二進制上/下計數器(由一計數時脈信號(圖中未顯示)來進行時脈控制)，該計數器會被該等 PH1 信號 64 與 PH2 信號 65 的數值遞增或是遞減。該計數時脈

可能與該系統時脈 36 或該參考時脈 30 相同。不過，應注意的是在能夠輸出一 SL 或 SR 信號以前，該多數濾波器 66 中的該計數器可必須計數特定數量的輸入時脈脈衝(也就是，該計數時脈信號(圖中未顯示)的時脈脈衝)。舉例來說，於產生一 SL 或 SR 指示信號以前，該多數濾波器 66 可能會一直向上計數至四個輸入時脈循環($c=4$)。此計數作業可能會消耗時間並且延遲該 Ref 時脈 30 的移動時間，因此，便可能會延遲該鎖定的建立時間，下文將作詳細的討論。

圖 6 所示的係圖 5 中之粗略相位偵測器 50 所產生的 PH1(64)信號與 PH2(65)信號之間的相位關係。如圖 6 中所示，PH1 的相位與 PH2 的相位之間的關係可用來確認 ClkFB 34 相對於 ClkREF 30 的相位。於圖 6 中，「DP」(相位差)一詞表示的係 ClkFB 34 相對於 ClkREF 30 的相對相位。因此，舉例來說，當 PH1 與 PH2 兩者於它們個別的上升緣之後達到「高位準」或是邏輯「1」數值時，其可能表示 ClkFB 34 相對於 ClkREF 30 的相位多了 180° 但是少於 360° 。當 ClkFB 34 與 ClkREF 30 之間的此相位關係生效時，該粗略相位偵測器 50 便可能會產生一左移(SL)信號(如圖 7A 中所示)。同樣地，當發生如圖 6 中所示的 PH1 與 PH2 之間適當的相位關係時，便可能會產生一右移(SR)信號。當存在如圖 6 中所示之 PH1 與 PH2 之間的特定相位關係時，該粗略相位偵測器 50 的輸出 53 便可能會表示一相位均衡狀況(PHEQ)。該 PHEQ 狀況的意義可能係 ClkFB 34 與 ClkREF 30 實質上為同相($\sim 0^\circ$ 相位差)或是實質上相位相差 360° 。圖 6

中之 ClkFB 34 與 ClkREF 30 之間的其它相位關係以及對應的函數符號不需說明亦可了解，因此，此處並不作進一步討論。

✓圖 7A-7C 所示的係圖 5 之粗略相位偵測器 50 之中各波形之間的時序關係，同時也顯示出是否應該將該參考時脈左移或是右移以達到鎖定目的。於圖 7A 中，該粗略相位偵測器 50 係處於左移(SL)模式之中，因為 ClkFB 34 相對於 ClkREF 30 多了 180° (但是少於 360°) 的相位失真 ($180 < DP < 360$)，從而其會為 PH1(64)與 PH2(65)兩者產生高位準 (或是邏輯「1」) 數值。於該 SL 模式期間，該延遲鎖相迴路 28 會增加被施加至 ClkREF 30 的延遲。圖 7B 所示的係 PHEQ 模式的示範信號波形。如圖 7B 中所示 (以及同樣如圖 6 所示)，於該 PHEQ 模式之中，PH1 的數值係「高位準」或是邏輯「1」，而 PH2 的數值則係「低位準」或是邏輯「0」。當 ClkFB 34 的相位與 ClkREF 30 的相位雷同時 ($\sim 0^\circ$ 或是 $\sim 360^\circ$ 相位差) 便會產生該些數值。當該粗略相位偵測器 50 進入該 PHEQ 模式之中時，該延遲控制單元 46 便可能會開始接收來自該精細相位偵測器 52 的輸出 54。因此，於 PHEQ 模式期間，精細相位偵測器 52 會發揮作用，並且會於數個連續的 PHEQ 模式之後在 ClkREF 30 與 ClkFB 34 之間達到穩定的鎖定效果。相反地，圖 7C 所示的則係該粗略相位偵測器 50 的右移(SR)模式，因為 ClkFB 34 與 ClkREF 30 之間的相位失真大於 0° 但是小於 180° ($0 < DP < 180$)，從而會為 PH1 信號與 PH2 信號兩者產生「低

位準」或是邏輯「0」數值，如圖所示。於該 SR 模式期間，該延遲鎖相迴路 28 會減少被施加至 ClkREF 30 的延遲。雖然圖 7A-7C 中並未顯示 180° 相位失真情況(圖 6 中以函數符號「P180」來表示)的波形，不過，應注意的是當 ClkFB 34 的相位與 ClkREF 30 相位相差約 180° 時，該粗略相位偵測器 50 便會如圖 6 中所示般地進入該 SL 模式。

圖 8 所示的係該延遲線方塊 38 中的暫存器與延遲線的簡化與示範圖式，同時也顯示出如何於該延遲鎖相迴路 28 的初始化期間經由該等延遲線來移動該參考時脈 30。圖 8 所示的係該延遲線方塊 38 中的六十一(61)條受暫存器控制的延遲線。請注意，圖 8 中的暫存器與延遲線的數量僅係作為解釋之用。為將延遲鎖相迴路 28 的功能簡單化，吾人假設於該延遲鎖相迴路 28 初始化期間，暫存器 #0(R0)係開啟或是主動的。此意謂著參考時脈 30 剛開始會略過該方塊 38 之中的該等延遲線。於前面參考圖 3 所討論的範例中已經注意到，假使 $t_{CK}=12\text{ns}$ 、 $t_{ID}=10\text{ns}$ 、而 $t_D=200\text{ps}$ 的話，那麼該延遲鎖相迴路 28 便會需要 $m=10$ ，也就是，延遲鎖相迴路 28 應該經由十條延遲線來增添延遲。因此，於本範例中，應該從初始進入點(R0)開始將十個左移(SL)施加至 ClkREF 30，而暫存器 #10(R10)則將代表該鎖定点。前面已經注意到，一次左移會增加一個延遲，而一次右移則會減少一個延遲。

吾人觀察到，於延遲鎖相迴路 28 的初始化期間，即使該延遲鎖相迴路 28 可能處於該 SR(右移)區之中(舉例來

說，各個時脈波形的時序關係可能雷同於如圖中所示者)，其亦不允許有該 SR 模式，因為於圖 8 中的暫存器 #0(R0) 的右邊並沒有任何的暫存器。

圖 9 所示的係於圖 1 中的延遲鎖相迴路 28 的初始化時，該參考時脈 30 與該回授時脈 34 的示範波形組。圖 9 中的該等波形描繪的係實施該參考時脈 30 的強制左移 (ForceSL 或是 Force Shift Left) 的情形，即使該延遲鎖相迴路 28 可能處於該 SR(右移)模式之中亦然(如圖 9 中的打叉部份所示)。舉例來說，對圖 9 中的該等波形來說，假使 $t_{CK}=8\text{ns}$ 、 $t_{ID}=10\text{ns}$ 、而 $t_D=200\text{ps}$ 的話，那麼於該延遲鎖相迴路 28 的初始化期間，該延遲鎖相迴路 28 便會需要 6ns 的額外(強制左移)延遲來達到鎖定狀況，因為於圖 9 中， $6\text{ns}=2t_{CK}-t_{ID}=m*t_D$ 。利用該等前面的數值，用以達到鎖定所需要的「m」值(也就是，延遲線或延遲元件的數量)便為 $m=30$ 。此相當高的「m」值可能會延長達到鎖定所需要的時間，尤其是當於延遲鎖相迴路初始化期間使用到該多數濾波器 66 時，其討論如圖 10 中的範例。應注意的是一旦 PH1 信號進入「高位準」或是假設為邏輯「1」數值時，便會離開 ForceSL 模式。

圖 10 所示的係於圖 1 中的延遲鎖相迴路 28 的初始化時，該參考時脈 30 與該回授時脈 34 的另一示範波形組。對圖 10 中所示的時序關係來說，該延遲鎖相迴路 28 於初始化時應該處於右移(SR)模式之中。不過，如參考圖 9 所討論般地，該延遲鎖相迴路 28 應該於初始化期間被強制

進入左移模式(ForceSL 模式)之中。對圖 10 中該等波形來說，假使 $t_{CK}=9.8\text{ns}$ 、 $t_{ID}=10\text{ns}$ 、而 $t_D=200\text{ps}$ 的話，那麼該延遲鎖相迴路 28 便必須利用該 ForceSL 模式左移 $9.6\text{ns}(m \cdot t_D)$ ，因為 $9.6\text{ns}=2 \cdot t_{CK}-t_{ID}=m \cdot t_D$ 。利用該等前面的數值，用以達到鎖定所需要的「 m 」值(也就是，延遲線或延遲元件的數量)便為 $m=48$ 。所以，假使延遲鎖相迴路 28 使用該多數濾波器 66(如前面以參考圖 5 為例所提及者，利用計數間距 $c=4$)於初始化期間達到鎖定的話，那麼便可能會需要 192 個時脈循環來建立該鎖定點，因為 $c \cdot m=4 \cdot 48=192$ 個 t_{CK} 。所以，於初始化期間使用該多數濾波器 66 可能會大幅地放慢該鎖定點建立速度。此範例中解釋的係必須縮短用於達到鎖定所需要的時間。

為縮短於該延遲鎖相迴路 28 的初始化時的鎖定時間，於初始化期間可能會致動該「Onlx」模式。一般來說，該 Onlx 模式僅會於該初始化期間被致動。進一步言之，於該 Onlx 模式期間，該延遲鎖相迴路 28 會於(該參考時脈 30 的)每個時脈循環中致動該左移(SL)命令，而該多數濾波器 66 則會於該 Onlx 模式期間保持未致動。因此，於初始化期間，該延遲鎖相迴路 28 可能不僅會進入該 ForceSL 模式之中，還可能會進入該 Onlx 模式之中，以便於每個時脈循環中實施左移，以便促成鎖定點建立的目的。當該延遲鎖相迴路 28 進入該 PHEQ 模式時通常會離開該 Onlx 模式。不過，吾人觀察到，該 Onlx 模式通常僅適合慢頻率的時脈(其具有大 t_{CK})，也就是，比值 $(t_{CK}/t_{ID})>0.5$ 。高頻率的參

考時脈 30(小 t_{CK})可能會在該 PHEQ 信號(當該延遲鎖相迴路 28 如圖 12 中所示般地進入該 PHEQ 模式時便會產生該信號)激發該 On1x 模式之後於該 ClkREF 30 與 ClkFB 34 之間造成過衝。

圖 11 所示的係於圖 1 的延遲鎖相迴路 28 的初始化時一高頻率的參考時脈 30 與對應的回授時脈 34 的示範波形組。於圖 11 的時序圖之中， $t_{CK}=3\text{ns}$ 、 $t_{ID}=10\text{ns}$ 、而 $t_D=200\text{ps}$ 。所以， $m \cdot t_D = 4 \cdot t_{CK} - t_{ID} = 2\text{ns}$ 。不過，如下文參考圖 12 中所解釋的波形所作的討論般，於 ClkREF 30 與 ClkFB 34 之間會出現過衝，因為於抵達 $m=10$ 時並未離開 On1x 模式(也就是，當實施十個連續左移的循環時)，不過卻會在該延遲鎖相迴路 28 進入該 PHEQ 模式時離開 On1x 模式。該過衝會造成此情況係因為(ClkREF 30 的)小 t_{CK} 以及長回授時間(t_{FB})的關係，如參考圖 12 所討論般。

圖 12 所示的係在高時脈頻率處離開該 On1x 模式時所遭遇到的過衝問題的示範波形組。本文注意到，因為圖 12 中大量波形的關係，所以為方便討論與解釋起見，圖 12 中並沒有任何的元件符號。從圖 12 中可以看出，該延遲鎖相迴路 28 會於初始化時進入 ForceSL 模式與 On1x 模式。因此，如圖 12 中最頂端處的 SL 時脈組所示，於接收到 ClkFB 34 的第一個時脈循環之後，ClkREF 30 便會立刻開始左移。如圖 12 中該等 SL 時之計數所示，該 On1x 模式會於 ClkREF 30 的每個時脈循環中將 ClkREF 30 向左移動。進一步言之，從圖 12 中最底端處的「Majority Filter Enable(多數濾波器

致動)」信號的波形中可以看出，於 On1x 模式期間，該多數濾波器 66 會保持未致動。圖 12 還顯示出相位關係信號 PH1 與 PH2 的產生情形。當 PH1 信號與 PH2 信號之間的關係表示為 PHEQ 模式(如圖 6 中所示者)時，便會產生圖 12 中的 PHEQ 信號。其餘的信號(也就是，ClkFB2d 信號與 ClkREFd 信號)均和圖 5 中所示者相同。

於圖 12 的時序圖之中，如同圖 11 般， $t_{CK}=3ns$ 、 $t_{ID}=10ns$ 、而 $t_D=200ps$ 。所以， $m*t_D=4*t_{CK}-t_{ID}=2ns$ 。因此 $m=10$ 。所以，從圖 12 中的 ClkREF 波形與 ClkFB 波形中可以看出，經過十個(10)連續左移或延遲之後，該等兩個時脈便會彼此校準。不過，因為固有延遲(t_{ID})、小 t_{CK} (高參考時脈頻率)、以及長回授時間或回授延遲(圖 12 中 $t_{FB}=t_{ID}+m*t_D=4*t_{CK}$)的關係，該 On1x 模式會在該 PHEQ 信號的上升緣以前離開該 On1x 模式以前加入四個額外的左移(如圖 12 中之 SL 信號中的時脈編號 11 至 14 所示)。如此便會造成圖 12 中所示的過衝，其不僅會破壞 ClkREF 與 ClkFB 之間的校準關係，還會因加入額外延遲來達到鎖定目的而進一步放慢該鎖定建立時間。再者，於離開 On1x 模式之後，便可能會需要使用該多數濾波器 66(於 On1x 模式期間其並未被致動)來達到鎖定目的，因為 ClkREF 與 ClkFB 於離開 On1x 模式時仍然尚未彼此校準。使用該多數濾波器 66 可能會進一步增加鎖定延遲，如同前面參考圖 10 所討論者。

前面已經注意到，會在 PH1 信號的上升緣處離開該

ForceSL 模式(如圖 12 中所示)。不過，如前面段落中所討論般，假使於 ForceSL 模式結束之後該 Onlx 模式仍然繼續的話(如圖 12 中所示)，便可能會於該回授路徑上發生過衝問題，尤其是當 $t_{FB} > 1 * t_{CK}$ 的時候(於圖 12 的波形中， $t_{FB} = 4t_{CK}$)，於現代的高速系統與參考時脈中此情況相當常見。所以，吾人可能會希望於啟動該 PHEQ 信號以前便取消該 Onlx 模式，以避免發生該過衝問題。

圖 13A 與 13B 所示的分別係用以產生與終止圖 12 中所示之 ForceSL 74 信號與 Onlx 76 信號的兩種示範電路 70、72。於圖 13A 的電路 70 之中，初始化脈衝 75(Init#)係在「低位準」處主動。於延遲鎖相迴路 28 的初始化期間，該 Init#信號會進入低位準(較佳的係呈現脈衝形式)以產生該 ForceSL 信號 74(如圖 12 中所示)，用以進入該強制左移模式之中。於圖 13B 的電路 72 之中還會以同樣的方式產生該 Onlx 信號 76(如圖 12 中所示)。當該 PH1 信號進入高位準時(如圖 12 中所示)，利用圖 13A 的電路 70 便會離開該 ForceSL 模式(也就是，圖 13B 中的 ForceSL 信號 74 會進入低位準)。同樣地，當圖 13B 的電路 72 中的 PHEQ 信號 77 進入高位準時(如圖 12 中所示)，便會離開該 Onlx 模式(也就是，圖 13B 中的 Onlx 信號 76 會進入低位準)。從圖 13A-B 中會看出(亦可從圖 6 與 12 中看出)，當 PH1 為高位準(邏輯「1」)而 PH2 為低位準(邏輯「0」)時，便會產生 PHEQ 信號 77。

圖 14 所示的係因時脈抖動所造成的錯誤 ForceSL 離開

問題的波形組。如圖 12 中所示，因為圖 14 中大量波形的關係，所以，為方便討論與解釋起見，圖 14 中並沒有提供任何元件符號。前面已經參考圖 13A-B(還有參考圖 12)顯示且討論過當 PH1 信號進入高位準時便會離開 ForceSL 模式。不過，於長 t_{CK} (較慢的時脈頻率)以及短 t_{ID} 處，該時脈抖動可能會造成過早離開該 ForceSL 模式，如圖 14 中的該等波形所示。於圖 14 的具體實施例之中，該 Onlx 模式同樣會與該 ForceSL 模式一起離開。不過，如前面參考圖 12 的討論般，當於該 ForceSL 模式之後才離開該 Onlx 模式時，便可能會於該回授路徑中發生過衝問題，尤其是在較高的頻率處。於圖 14 中的波形的情況中，過早或是錯誤的 ForceSL/Onlx 離開會導致啟動該多數濾波器 66(經由該多數濾波器致動信號來啟動)以達到該鎖定的目的。如前面所討論般，該多數濾波器 66 會大幅地延遲鎖定建立時間，尤其是在延遲鎖相迴路初始化期間。吾人於此處觀察到，利用適當的濾波器便可解決該錯誤的 ForceSL 離開問題，不過 Onlx 過衝問題則依然存在。

所以，吾人希望於啟動該 PHEQ 信號以前便取消該 Onlx 模式，以避免於該回授路徑中發生該過衝問題，尤其是當於該 ForceSL 模式之後才離開該 Onlx 模式的時候。假使該 ForceSL 模式與該 Onlx 模式一起離開的話，其可能仍舊會希望避免發生因時脈抖動或雜訊所造成的錯誤 ForceSL 離開，而不必使用任何額外的濾波器電路。吾人還希望避免發生錯誤 ForceSL 離開與 Onlx 過衝等問題，

以便達到較快的延遲鎖相迴路鎖定時間。

【發明內容】

本發明設計的係一種用於操作同步電路的方法。該方法包括：施加一參考時脈當成輸入給作為該同步電路其中一部份的某條延遲線；利用該參考時脈於該延遲線的輸出處產生一回授時脈；從該回授時脈中獲取一第一延遲回授時脈以及一第二延遲回授時脈；以及依據該參考時脈的相位、該第一延遲回授時脈的相位、以及該第二延遲回授時脈的相位之間的關係來產生一移動信號以便經由該條延遲線來移動該參考時脈。

於其中一實施例之中，本發明所設計的方法包括：獲取一參考時脈；從該參考時脈之中來產生一回授時脈，其中該回授時脈的頻率與該參考時脈的頻率相同；從該回授時脈中獲取一第一延遲回授時脈以及一第二延遲回授時脈；以及依據該參考時脈的相位、該第一延遲回授時脈的相位、以及該第二延遲回授時脈的相位之間的關係來左移或是右移該參考時脈。

於另一實施例之中，本發明所設計的方法包括：獲取一參考時脈；進入第一左移模式之中用以左移該參考時脈；從該參考時脈之中來產生一回授時脈；監視該參考時脈的相位與該回授時脈的相位之間的相位關係；以及當該相位關係表示該回授時脈與該參考時脈的相位相差大於 180° 但是小於 360° 時便離開該第一左移模式。

於另一實施例之中，本發明設計一種同步電路(舉例來說，一延遲鎖相迴路)，其係被建構以包含一根據本發明之教授內容的粗略相位偵測器。於一替代的實施例之中，本發明所設計的系統包括一處理器；一匯流排；以及一記憶體裝置，其會透過該匯流排被耦合至該處理器並且包含該同步電路。

本發明的系統與方法會於一同步電路(舉例來說，延遲鎖相迴路或是 DLL)的初始化期間產生與終止各種時脈移動模式。於初始化時，該延遲鎖相迴路會進入 ForceSL(強制左移(Force Shift Left))模式與 Onlx(也就是，於每個時脈循環中左移(left shifting on each clock cycle))模式。該用來追蹤該參考時脈(其係從系統時脈中所衍生出來的)之相位的回授時脈在被施加至粗略相位偵測視窗之前會於一開始在一粗略相位偵測器之中先被延遲。可利用該參考時脈來取樣該回授時脈的兩個延遲版本，以便產生一對相位資訊信號，接著便可利用該對相位資訊信號來建立一前移相位均衡(APHEQ)信號。該 APHEQ 信號會領先該 PHEQ(相位均衡)相位的起始處並且用以終止該等 ForceSL 模式與 Onlx 模式，從而防止因為時脈抖動(clock jitter)而發生錯誤的 ForceSL 離開或是於 Onlx 離開期間防止發生回授路徑過衝(feedback path overshooting)。避免發生錯誤的 ForceSL 離開與 Onlx 過衝等問題則可進一步造成更快的延遲鎖相迴路鎖定時間。

【發明詳細說明】

現在將詳細地參考本發明的部份實施例，該等實施例的範例圖解於該等附圖之中。應該瞭解的係，本文中所含的本發明的圖式與說明雖然圖解與說明和本發明具有特殊關係的元件，不過，為簡化起見，已經省略掉典型的固態記憶體或是記憶體型系統中所發現到的其它元件。一開始吾等便應注意到，本文交替使用「被連接至」、「連接」、「被電連接至」等詞語來大體表示被電連接的情況。吾等還進一步注意到，雖然本文所示與討論到的各種方塊圖、電路圖、以及時序波形運用的係實行正邏輯的邏輯電路，也就是，高數值的信號會被視為邏輯「1」，而低數值的信號則被視為邏輯「0」；不過，利用負邏輯亦很容易實現本文所討論到的任何電路，也就是，高數值的信號會被視為邏輯「0」，而低數值的信號則被視為邏輯「1」。

圖 15 所示的係根據本發明其中一實施例的粗略相位偵測器 80。該相位偵測器 80 與圖 5 中先前技藝的相位偵測器 50 雷同，不過增加了兩個電路元件：一受控延遲單元 82 以及一相位控制單元 86。該相位偵測器 80 之中存在單元 82 與 86 可以解決前面在「先前技術」段落中所討論的錯誤的 ForceSL 離開問題以及 Onlx 過衝問題。於此處請注意，為簡化討論起見以及方便於圖 5 與 15 中的實施例之間作比較，會以相同的元件符號來表示圖 5 與 15 之中雷同的電路元件。不過，熟習本技藝的人士便可明白，雖然該等相位偵測器 50 與 80 兩者的最終輸出均為 SL/SR 信號

53，不過，相位偵測器 80 的整體運作(如圖 17 中的波形組所示般)並不同於圖 5 中之先前技藝的相位偵測器 50 的運作。

於圖 15 的粗略相位偵測器 80 之中，會經由該受控延遲單元 82 將第一延遲施加至該回授時脈 34，從而會產生一第一延遲回授時脈(FB1)83。下文將參考圖 16 來討論該受控延遲單元 82 的運作。接著，該 FB1 時脈 83 便會被施加至該粗略 PD 視窗 56，用以產生一第二延遲回授時脈(FB2)84。該經過延遲的參考時脈 59 會取樣該 FB1 時脈 83(經由 D 型正反器 62)以及該 FB2 時脈 84(經由 D 型正反器 60)，用以分別產生 PH1(64)信號與 PH2(65)信號，其方式係依照前文參考圖 5 所討論的方式。最後會以和前文參考圖 5 所討論的方式從該等 PH1 信號與 PH2 信號之中來產生該 SL/SR 信號輸出 53。該相位控制單元 86 會施加該 ForceSL 信號 74 給該受控延遲單元 82，用以控制被施加至 ClkFB 34 的延遲。該相位控制單元 86 的電路佈置提供在圖 18 之中，並且稍後將在下文作討論。不過，此處注意到，雖然圖 15(還有圖 16 與 18)如同圖 13A 般以相同的元件符號「74」來表示該 ForceSL 信號，不過，顯而易見的係，於圖 13A 中的實施例以及於圖 15-18 中的實施例並不相同；相同名稱的信號使用相同的元件符號則僅係為方便且容易討論起見。

圖 16 所示的係圖 15 中所示之受控延遲單元 82 的一種示範電路佈置 82 以及對應的信號波形。該受控延遲單元 82

會依據該 ForceSL 信號 74 的信號位準來施加延遲給該 ClkFB 34(從而會產生該第一延遲回授時脈 83)。該受控延遲單元 82 可能包含數個延遲元件 88，可利用一多工器 90 來對該等延遲元件 88 的輸出與 ClkFB 信號 34 進行多工，接著便可利用該 ForceSL 信號 74 來控制該多工器 90 的輸出(FB1 時脈 83)，如圖 16 中所示。如圖所示，每個延遲元件 88 均會提供一個單元延遲(t_D)給 ClkFB 34。每個延遲元件 88 可能係由一條延遲線與一對 AND 閘組合而成，如圖 16 中所示。該延遲元件 88 可能雷同於該延遲線方塊 38 中的某條延遲線。本技藝中已經熟知一單元延遲元件的構造與運作方式，所以此處並未對其進行任何額外的討論。不過，請注意，該粗略相位偵測器 80 的設計方式中該等延遲元件 88 的數量可能係固定的(或是預設的)或是可變動的。於其中一實施例中，可依據來自一記憶體控制器(圖中未顯示)的 RAS(列位址選通)信號與 CAS(行位址選通)信號的等待時間或是依據該回授延遲(t_{FB})與該參考時脈循環(t_{CK})的比值(t_{FB}/t_{CK})來決定一特殊粗略相位偵測器 80 的延遲元件 88 的數量。舉例來說，於圖 12 中所示的高頻時脈之時序關係的情況中， $t_{FB}=4*t_{CK}$ 。所以，如圖 12 中所示之被設計成操控該等相同時脈頻率的受控延遲單元(舉例來說，圖 16 中的單元 82)可能如圖 16 中所示般地具有四(4)個延遲元件 88。

圖 16 還圖解複數個波形，用以顯示該受控延遲單元 82 之中各個信號之間的時序關係。於圖 16 中可以看出，一

但該 ForceSL 該受控延遲單元 82 信號 74 變成非主動(或是「低位準」)，該受控延遲單元 82 便會略過該等四個延遲元件 88。從圖 16 中的該等波形可以看出，於該情況中，該 FB1 時脈 83 會變成和 ClkFB 34 一樣，而且不再係 ClkFB 34 的延遲版本。此處要注意的係，於繪製圖 16 中的該等波形時已經忽略由該多工器 90 所提供的延遲。

於施加 ClkFB 34 給該粗略相位偵測視窗 56(以及施加給該取樣電路 62)之前先使用該受控延遲單元 82 來「鏡射(mirror)」該回授延遲(t_{FB})(其方式係經由該等延遲元件 88 來提供該延遲給 ClkFB 34)會導致產生一前移相位均衡(APHEQ)信號 92，其允許適時終止該等 ForceSL 模式與 On1x 模式，而不會有時脈抖動問題以及過衝問題，下文將參考圖 17 與 18 來討論。也就是，會在圖 12-13 中所示的 PHEQ 信號 77 的時間前面產生該 APHEQ 信號 92，以防止發生時脈過衝。

圖 17 所示的係如何利用圖 15 的粗略相位偵測器 80 來避免發生圖 12 中所示之過衝問題的示範波形組。如前面所注意到的，於高系統時脈頻率處， t_{FB} (回授延遲)可能並不等於 t_{CK} 。所以，正常終止 On1x 模式(如圖 12 中所示)會導致過衝，而吾人則不希望發生此結果，因為如前面參考圖 12 所討論般，於高頻處，此種過衝現象可能會導致略過數個鎖定位點。圖 17 中的該等波形所圖解的係和圖 12 中所示者相同的高頻信號($t_{FB}=4*t_{CK}$)，圖 12 與 17 中各項時序參數(舉例來說， t_{ID} 、 t_D 、...等)的數值亦同樣相同。不過，

從圖 17 中可以看出，過衝問題已經消除。也就是，於圖 17 中並不會發生任何的回授路徑過衝，即使在已經取消 On1x 模式之後亦然。於圖 15 的實施例中產生 FB1 時脈與 FB2 時脈可讓該粗略 PD 視窗「看見」ClkREF 30 與 ClkFB 34 之間的相位資訊並未被延遲 t_{FB} (如同圖 12 之實施例中的情況)，而係領先 t_{FB} (藉由圖 15 中的受控延遲單元 82)。因此，如圖 17 中所示，圖 15 中的配置會導致先產生該 APHEQ 相位然後再產生「正常的(regular)」PHEQ 相位。於圖 17 的實施例中，在該 SL 模式期間所產生的 APHEQ 信號 92 (圖 18) (也就是，如圖 6 中所示般 ClkFB 34 與 ClkREF 30 之間的相位差大於 180° 但是小於 360°) 可使得離開 On1x 模式以及 ForceSL 模式。因此，圖 15 的粗略相位偵測器 80 會在由 PH2 的低位準以及 PH1 的高位準所代表的「正常的」PHEQ 相位 (如圖 6 中所示) 之前於 PH2 波形 (如圖 17 中所示) 之中產生一「下降信號(dip)」。此「下降信號(dip)」代表的係該前移相位均衡相位 (APHEQ 相位)，其會被視為用於如圖 17 中所示般地終止 ForceSL 模式與 On1x 模式的觸發事件。

吾人於此處發現到，圖 17 中雖然並未顯示任何分離的 APHEQ 信號，不過實際上該 APHEQ 相位卻係由圖 17 中的 PHEQ 信號上所出現的第一個「高」位準來表示。從圖 17 中可以看出，PHEQ 信號的第一個「高」位準的後面係另一個「高」位準，其代表的係前面參考圖 6 與 12 所討論過的「正常的」PHEQ 相位。因此，圖 15 的電路配置會

造成 PHEQ 相位前移(如圖 17 中的 APHEQ 相位所表示般)，其功能為可於產生額外的左移信號(圖 17 中最頂端處的 SL 時脈)以前適時地終止該等 ForceSL 模式與 Onlx 模式。比較圖 12 與 17 可顯示出，利用該 APHEQ 相位來終止 Onlx 模式可於 $m=10$ 處(也就是，當產生第 10 個左移信號之後)停止該 SL 時脈，不同於圖 12 中之產生四個額外的 SL 信號(因為於圖 12 中係利用一後面的 PHEQ 信號來終止 Onlx 模式)。因此，雖然圖 12 與 17 兩者中均係利用 PHEQ 信號來終止 Onlx 模式，不過圖 17 中領先產生該 PHEQ 信號(經由該 APHEQ 信號)則可於圖 17 中適時地終止 Onlx 模式，因此便可避免發生該時脈過衝問題。

於前面參考圖 12 時已經注意到，即使一起終止 Onlx 模式與 ForceSL 模式，不過因為經由該多數濾波器 66 來啟動且進行鎖定建立的關係，所以於達成該鎖定目的時依舊會有特定的時間延遲。相反地，於圖 17 的實施例之中雖然一旦取消該 Onlx 模式之後便會(於經過適當延遲之後)啟動該多數濾波器 66，但是該啟動作業卻不會對鎖定建立造成任何的額外延遲，因為從圖 17 中可以看出，由於取消該 Onlx 模式的關係，所以在經過 t_{FB} 時間之後該等 ClkFB 34 時脈與 ClkREF 30 時脈便已經粗略地校準。在沒有過衝的情況下，便不再額外需要利用該多數濾波器 66 來達成該粗略校準的目的。所以，於此情況中，該延遲控制單元 46 便可開始接收來自該精細相位偵測器 52(圖 4)的輸出，所以，該延遲控制單元 46 便可忽略多數濾波器 66 的任何延

遲效應。

參考圖 17 可以發現，圖中所示之波形僅具示範性質。因此，舉例來說，圖 17 中所示的 PH1 信號與 PH2 信號的數值可能與其中一個參考時脈 30 彼此不同，而且甚至可能與其中一組延遲鎖相迴路初始化波形彼此不相等，這都是因為於每次延遲鎖相迴路初始化時在 FB1(83)時脈、FB2(84)時脈、以及 ClkREFd(59)時脈之間均可能會存在略微不同之時序關係所導致。不過，請注意，APHEQ 相位的產生(以及 ForceSL 模式與 Onlx 模式)會依賴於 PH1 與 PH2 兩個信號的特定數值，因此，APHEQ 相位的產生時序可能僅會受到 PH1 信號與 PH2 信號的影響。進一步言之，於圖 17 的實施例之中，係利用 PH1 與 PH2 兩個信號來終止該 ForceSL 模式(透過啟動該 APHEQ 相位的方式來進行)，而非如圖 12 之實施例中般地僅利用該 PH1 信號來終止該 ForceSL 模式。因此，於第一次出現 PH1 與 PH2 的特定數值組(其會導致產生該 APHEQ 相位)時，也就是，PH1 的數值為「高位準」或是邏輯「1」而 PH2 的數值為「低位準」或是邏輯「0」，便會立即終止圖 17 中的 Onlx 模式與 ForceSL 模式。當然，PH1 與 PH2 的同一組數值會導致稍後產生該 PHEQ 相位，圖 17 之實施例中終止 Onlx 模式與 ForceSL 模式時並不會相依於此稍後產生的 PHEQ 相位(圖 12 之實施例中的情況則會相依於該稍後產生的 PHEQ 相位)。

請注意，雖然於圖 17 的實施例中該等 ForceSL 模式與 Onlx 模式會一起被取消，不過，如前面所討論般，亦可於

ForceSL 模式之後才取消該 Onlx 模式(舉例來說，於圖 17 中所示之 APHEQ 相位後面的 PHEQ 相位開始時)。於任何情況中，也就是，Onlx 模式與 ForceSL 模式是否一起被取消或是於不同的時間處被取消，圖 15 的粗略相位偵測器 80 均可防止發生因為時脈抖動所導致的錯誤 ForceSL 離開或是於 Onlx 模式離開時防止發生回授路徑過衝。可避免發生因為時脈抖動所導致的錯誤 ForceSL 離開的問題的原因在於 APHEQ 相位(或是圖 18 中的 APHEQ 信號)會離開 ForceSL 模式，而該 APHEQ 相位出現的位置則遠離 SR 模式與 SL 模式之間的 P180 邊界(圖 6)。舉例來說，於圖 14 的實施例中，該錯誤 ForceSL 離開係發生在該 P180 邊界處(表示在圖 14 中 PH2 信號的波形之中)；反之，於圖 17 中，則會在該 SL 模式期間離開該 ForceSL 模式(因為會於該 SL 模式期間產生用來終止該 ForceSL 模式的 APHEQ 信號)，並且遠離該 P180 邊界。進一步言之，於先前技藝中，如前面參考圖 12 的討論般且如圖 14 中所示者，僅會利用 PH1 信號的數值來終止該 ForceSL 模式。相反地，於圖 17 的實施例中，則係利用 PH1 與 PH2 兩個信號的數值來取消該 ForceSL 模式，其進一步可避免因時脈抖動的關係而發生錯誤的 ForceSL 離開。

吾人進一步注意到，如圖 17 中所示，於該 APHEQ 相位的開始時間處 ClkREF 30 的相位以及 ClkFB 34 的相位可能並未校準。因此，即使產生該 APHEQ 信號 92(圖 18)並不意謂 ClkREF 30 以及 ClkFB 34 實際上已經校準。不過，

出現 APHEQ 相位便係發出該 ForceSL 模式(還有圖 17 中該 Onlx 模式)之終止的信號，從而可允許合宜的時間延遲來達到 ClkREF 與 ClkFB 之粗略鎖定的目的，而不會受到時脈抖動或是過衝等問題的影響。於其中一實施例中，可能不會利用該 APHEQ 相位之開始時間來離開該 Onlx 模式，而是以和前面參考圖 12 所討論者相同的方式利用後面的 PHEQ 相位來離開該 Onlx 模式。於此情況中可能不會發生回授時脈過衝的問題，這係因為該粗略相位偵測器 80 利用前面所討論的回授時脈 34 之兩個延遲版本間的相位關係來產生該等 PH1 信號與 PH2 信號的關係。

圖 18 所示的係圖 15 的相位控制單元 86 的示範電路圖。圖 18 中的電路實質上和圖 13B 中的電路雷同，所以不會對圖 18 作任何細部的解釋。從圖 13B 與圖 18 的比較中可以發現到，圖 18 中的 APHEQ 信號 92 係取代圖 13B 中的 PHEQ 信號 77 用以終止 ForceSL 與 Onlx 兩種模式。ForceSL 信號 74 與 Onlx 信號 76 係利用 Init#信號一起被產生，其方式和前面參考圖 13A-B 所討論者相同。不過，圖 18 中並未使用用於終止 Onlx 模式的「正常的(regular)」PHEQ 信號 77，其係使用 APHEQ 信號 92(其會領先該「正常的(regular)」PHEQ 信號 77 被產生)來終止 ForceSL 與 Onlx 兩種模式。因此，於圖 18 中，APHEQ 信號 92 的使用方式和圖 13B 中的 PHEQ 信號 77 相同，係用於達成該等預期的終止結果。請再次注意的係，雖然使用「APHEQ」一詞來區分相位均衡信號 PHEQ 77 與 APHEQ 信號 92，不過實

際上，兩種信號均係圖 6 中所示之相同 PHEQ 相位的一部份並且在圖 17 中以 PHEQ 波形來表示。因此，該 APHEQ 相位只不過係於延遲鎖相迴路初始化期間第一次出現的 PHEQ 相位。如圖 1 中所示，於 APHEQ 相位結束之後可能還會出現該 PHEQ 相位(如圖 17 中變成「高位準」(或是邏輯「1」)的 PHEQ 信號所示)。

請注意，前面的討論係關於根據本發明其中一實施例的粗略相位偵測器 80。該粗略相位偵測器 80 可能係一延遲鎖相迴路(舉例來說，適合被修改成含有該偵測器 80 的延遲鎖相迴路 28)的一部份，如前面所討論者，該延遲鎖相迴路係包含 SDRAM 記憶體單元在內的任何積體電路內部的其中一種同步電路。進一步言之，雖然前面的討論係以延遲鎖相迴路為基準，不過本發明的粗略相位偵測器 80 亦可配合任何其它同步電路(舉例來說，其包含同步鏡像延遲電路(Synchronous Mirror Delay Circuit, SMD)，其亦可在包含 SDRAM 在內的各種電子式積體電路中作為時脈同步之用)來使用。

圖 19 所示的係系統 100 的方塊圖，於該系統之中可使用根據本發明之教授內容建構而成的粗略相位偵測器(舉例來說，圖 15 中的偵測器 80)。該系統 100 可能包含一資料處理單元或計算單元 102，該資料處理單元或計算單元 102 包含一處理器 104 用來實施各種計算功能，例如執行特定的軟體以實施特定的計算或資料處理任務。該計算單元 102 可能還包含複數個記憶體裝置 106，其可經由一匯流排 108

來與該處理器 104 進行通信。該匯流排 108 可能包含位址匯流排(圖中未顯示)、資料匯流排(圖中未顯示)、以及控制匯流排(圖中未顯示)。該等記憶體裝置 106 中每一者均可能係動態隨機存取記憶體(DRAM)晶片或是其它類型的記憶體電路(例如 SRAM(靜態隨機存取記憶體)晶片或是快閃記憶體)。再者,該 DRAM 可能係一同步 DRAM,舉例來說,SGRAM(同步圖形隨機存取記憶體)、SDRAM(同步動態隨機存取記憶體)、SDRAM II 或是 DDR SDRAM(雙重資料率 SDRAM)、以及 Synchlink 或是 Rambus DRAM。熟習本技藝的人士將可輕易地瞭解到,圖 19 的記憶體裝置 106 已經被簡化成用以圖解一記憶體裝置的其中一種實施例,而並不希望詳細地圖解某種標準記憶體晶片的所有特點。該處理器 104 能夠依據該等記憶體裝置 106 中所儲存的資訊與資料來實施複數種功能。該處理器 104 可能係微處理器、數位信號處理器、嵌入式處理器、微控制器、專用記憶體測試晶片、或是類似的處理器。

該等記憶體裝置 106 中每一者均可能具有和圖 1 中所示者雷同的構造,不同的係,該延遲鎖相迴路 28 可能係包含圖 15 的粗略相位偵測器 80 而非圖 15 中所示之先前技藝的粗略相位偵測器 50。記憶體控制器 110 會響應在匯流排 112 之上接收自該處理器 104 的控制信號(圖中未顯示)來控制資料與該等記憶體裝置 106 的交換作業。該記憶體控制器 110 可能包含一命令解碼電路(圖中未顯示)。該命令解碼電路可能會(在匯流排 112 之上)接收該等輸入控制

信號(圖中未顯示)以決定該等記憶體裝置 106 中一者以上的運作模式。在匯流排 112 之上(亦可能係在匯流排 108 之上)的該等輸入信號或控制信號(圖 19 中未顯示)的部份範例包含外部時脈信號、晶片選擇信號、列存取選通信號、行存取選通信號、寫入致動信號、...等。

該系統 100 可能包含被連接至該計算單元 102 的一個以上的輸入裝置 114(舉例來說，鍵盤、滑鼠、...等)，用以允許使用者手動輸入資料、指令、...等，用以操作該計算單元 102。本文中可能還提供被連接至該計算單元 102 的一個以上輸出裝置 116 作為該系統 100 的一部份，以便顯示或者輸出處理器 104 所產生的資料。輸出裝置 116 的範例包含印表機、視訊終端機或是視訊顯示單元(VDU)。於其中一實施例中，該系統 100 還包含一個以上資料儲存裝置 118，其係被連接至該資料處理單元 102，用以讓該處理器 104 可將資料儲存於內部或外部的儲存媒體(圖中未顯示)之中或是從內部或外部的儲存媒體(圖中未顯示)之中來擷取資料。典型資料儲存裝置 118 的範例包含可接受硬碟與軟碟的驅動裝置、CD-ROM(光碟式唯讀記憶體)、以及卡帶匣。

前面說明的係一種用以於一同步電路(舉例來說，延遲鎖相迴路或是 DLL)的初始化期間來產生與終止各種時脈移動模式的系統與方法。於初始化時，該延遲鎖相迴路會進入 ForceSL(強制左移(Force Shift Left))模式與 Onlx(也就是，於每個時脈循環中左移(left shifting on each clock

cycle))模式。該回授時脈會追蹤該參考時脈(其係從系統時脈中所衍生出來的)的相位，該回授時脈在被施加至粗略相位偵測視窗之前會於一開始在一粗略相位偵測器之中先被延遲。可利用該參考時脈來取樣該回授時脈的兩個延遲版本，以便產生一對相位資訊信號，接著便可利用該對相位資訊信號來建立一前移相位均衡(APHEQ)信號。該 APHEQ 信號會領先該 PHEQ(相位均衡)相位的起始處並且用以終止該等 ForceSL 模式與 Onlx 模式，從而防止因為時脈抖動(clock jitter)而發生錯誤的 ForceSL 離開或是可於 Onlx 離開期間防止發生回授路徑過衝(feedback path overshooting)。避免發生錯誤的 ForceSL 離開與 Onlx 過衝等問題則可進一步造成更快的延遲鎖相迴路鎖定時間。

雖然已經詳細地說明本發明並且參考過其特定的實施例，不過，熟習本技藝的人士將會明白仍可對本發明進行各種變化與修改，並不會脫離本發明的精神與範疇。因此，吾人希望在該等所有修改例與變化例落在隨附申請專利範圍及其等效範圍內的前提下，本發明涵蓋所有該等修改例與變化例。

【圖式簡單說明】

為更容易瞭解且立即實現本發明，現在將配合下面的圖示來說明本發明，其目的僅係作為解釋用途而非加以限制，其中：

圖 1 所示的係一記憶體晶片或是記憶體裝置的簡化方塊圖；

圖 2 所示的係圖 1 中所示之延遲鎖相迴路的簡化方塊圖；

圖 3 所示的係由圖 2 中的相位偵測器來操作的 ClkREF 與 ClkFB 之間的時序失配關係圖；

圖 4 所示的係圖 2 中的相位偵測器的主要電路元件的方塊圖；

圖 5 所示的係構成圖 4 中所示之粗略相位偵測器的各種電路元件的示範方塊圖；

圖 6 所示的係圖 5 中之粗略相位偵測器所產生的 PH1 信號與 PH2 信號之間的相位關係；

圖 7A-7C 所示的係圖 5 之粗略相位偵測器之中各波形之間的時序關係，同時也顯示出是否應該將該參考時脈左移或是右移以達到鎖定目的；

圖 8 所示的係該延遲線方塊中的複數個暫存器與複數條延遲線的簡化與示範圖式，同時也顯示出如何於該延遲鎖相迴路的初始化期間經由該等延遲線來移動該參考時脈；

圖 9 所示的係於圖 1 中的延遲鎖相迴路的初始化時，該參考時脈與該回授時脈的示範波形組；

圖 10 所示的係於圖 1 中的延遲鎖相迴路的初始化時，該參考時脈與該回授時脈的另一示範波形組；

圖 11 所示的係於圖 1 的延遲鎖相迴路的初始化時一高頻率的參考時脈與對應的回授時脈的示範波形組；

圖 12 所示的係在高時脈頻率處離開該 On1x 模式時所

遭遇到的過衝問題的示範波形組；

圖 13A 與 13B 所示的分別係用以產生與終止圖 12 中所示之 ForceSL 信號與 Onlx 信號的兩種示範電路；

圖 14 所示的係因時脈抖動所造成的錯誤 ForceSL 離開問題的波形組；

圖 15 所示的係根據本發明其中一實施例的粗略相位偵測器；

圖 16 所示的係圖 15 中所示之受控延遲單元的一種示範電路佈置以及對應的信號波形；

圖 17 所示的係如何利用圖 15 的粗略相位偵測器來避免發生圖 12 中所示之過衝問題的示範波形組；

圖 18 所示的係圖 15 的相位控制單元的示範電路圖；以及

圖 19 所示的係一種系統的方塊圖，於該系統之中可使用根據本發明之教授內容建構而成的粗略相位偵測器。

【主要元件符號說明】

12	記憶體晶片
14	接針
17	位址匯流排
18	資料匯流排
19	控制匯流排
20	記憶體胞
22	列解碼電路
24	行解碼電路

26	輸入/輸出單元
28	時脈同步單元
30	參考時脈
32	輸出時脈
34	回授時脈
36	系統時脈
37	時脈緩衝器
38	暫存器與延遲線組
40	相位偵測器
42	時脈分配網路
43	時脈分配網路 42 的輸出
44	I/O 延遲模型電路
45	左移(SL)/右移(SR)信號
46	延遲控制單元
47	延遲調整信號
50	粗略相位偵測器
52	精細相位偵測器
53	粗略相位偵測器 50 的輸出
54	精細相位偵測器 52 的輸出
56	粗略相位偵測視窗
57	經過延遲的回授時脈信號
58	延遲元件
59	經過延遲的參考時脈信號
60	D 型正反器

62	D 型正反器
64	D 型正反器 62 的輸出
65	D 型正反器 60 的輸出
66	多數濾波器
70	示範電路
72	示範電路
74	ForceSL 信號
75	初始化脈衝
76	Onlx 信號
77	PHEQ(相位均衡)信號
80	粗略相位偵測器
82	受控延遲單元
83	第一延遲回授時脈
84	第二延遲回授時脈
86	相位控制單元
88	延遲元件
90	多工器
92	APHEQ(前移相位均衡)信號
100	系統
102	資料處理單元或計算單元
104	處理器
106	記憶體裝置
108	匯流排
110	記憶體控制器

-	112	匯流排
-	114	輸入裝置
	116	輸出裝置
	118	資料儲存裝置

五、中文發明摘要：

本發明揭示一種於一同步電路(舉例來說，延遲鎖相迴路或是 DLL)的初始化期間產生與終止各種時脈移動模式的系統與方法。於初始化時，該延遲鎖相迴路會進入 ForceSL(強制左移(Force Shift Left))模式與 On1x(也就是，於每個時脈循環中左移(left shifting on each clock cycle))模式。有一回授時脈會追蹤一參考時脈(其係從系統時脈中所衍生出來的)的相位，該回授時脈在被施加至粗略相位偵測視窗之前會於一開始在一粗略相位偵測器之中先被延遲。可利用該參考時脈來取樣該回授時脈的兩個延遲版本，以便產生一對相位資訊信號，接著便可利用該對相位資訊信號來建立一前移相位均衡(APHEQ)信號。該 APHEQ 信號會領先該 PHEQ(相位均衡)相位的起始處並且用以終止該等 ForceSL 模式與 On1x 模式，從而防止因為時脈抖動(clock jitter)而發生錯誤的 ForceSL 離開或是於 On1x 離開期間防止發生回授路徑過衝(feedback path overshooting)。避免發生錯誤的 ForceSL 離開與 On1x 過衝等問題則可進一步造成更快的延遲鎖相迴路鎖定時間。

六、英文發明摘要：

A system and method are disclosed to generate and terminate clock modes during initialization of a synchronous circuit (e.g., a delay-locked loop or DLL). Upon initialization, the DLL is entered into a ForceSL (Force Shift Left) mode and an On1x mode(i.e., left shifting on each clock cycle). The feedback clock

that tracks the phase of the reference clock (which, in turn, is derived from the system clock) is initially delayed in a coarse phase detector prior to applying it to the coarse phase detection window. Two delayed versions of the feedback clock are sampled by the reference clock to generate a pair of phase information signals, which are then used to establish and advance phase equal (APHEQ) signal. The APHEQ signal advances onset of the PHEQ (phase equalization) phase and is used to terminate the ForceSL and On1x modes, thereby preventing wrong ForceSL exit due to clock jitter or feedback path overshooting during On1x exit. The avoidance of wrong ForceSL exit and On1x overshooting problems further results in faster DLL locking time.

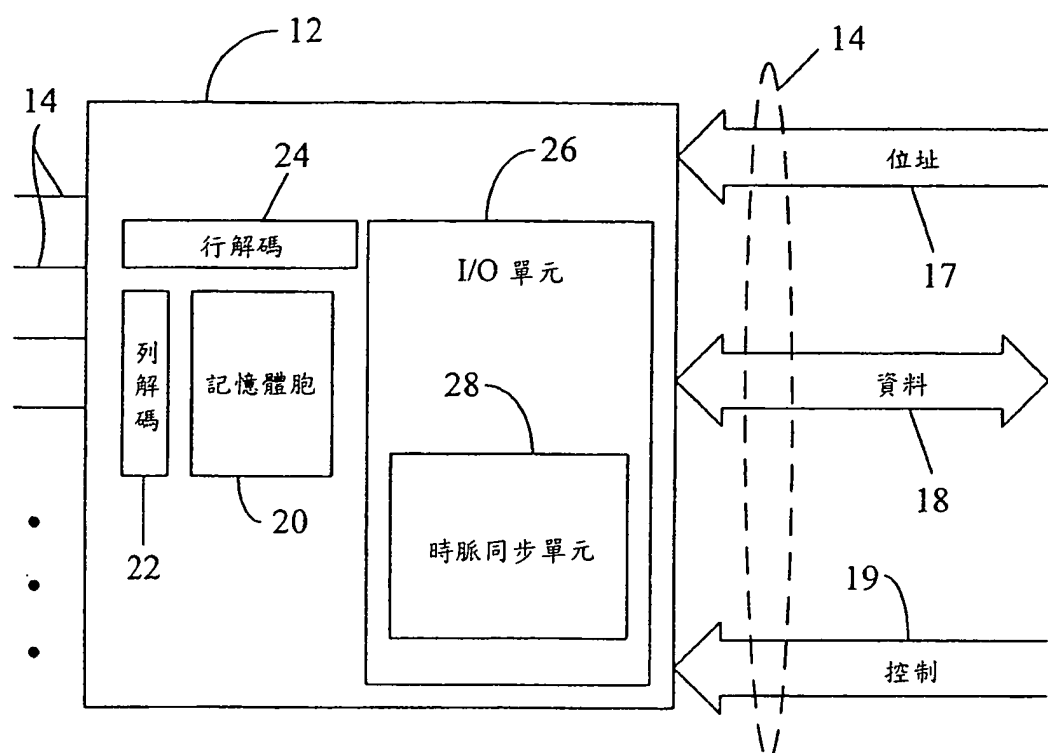


圖 1

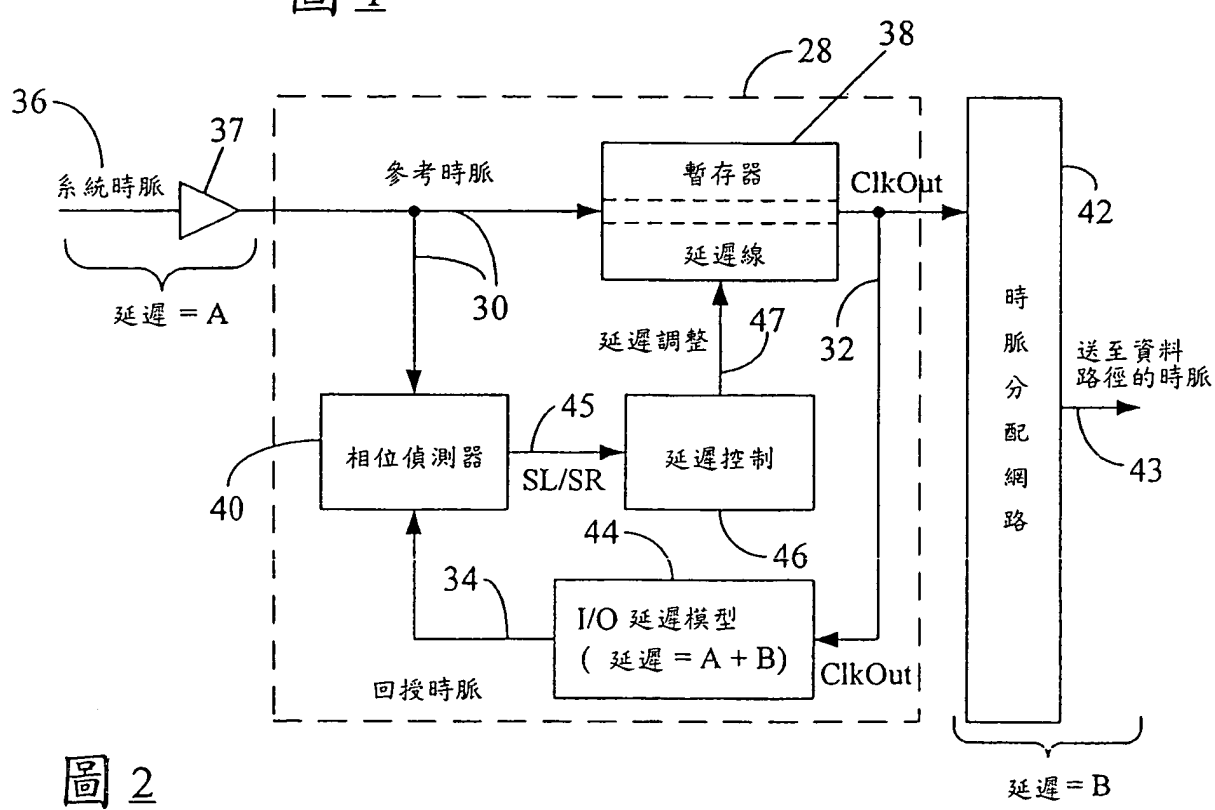


圖 2

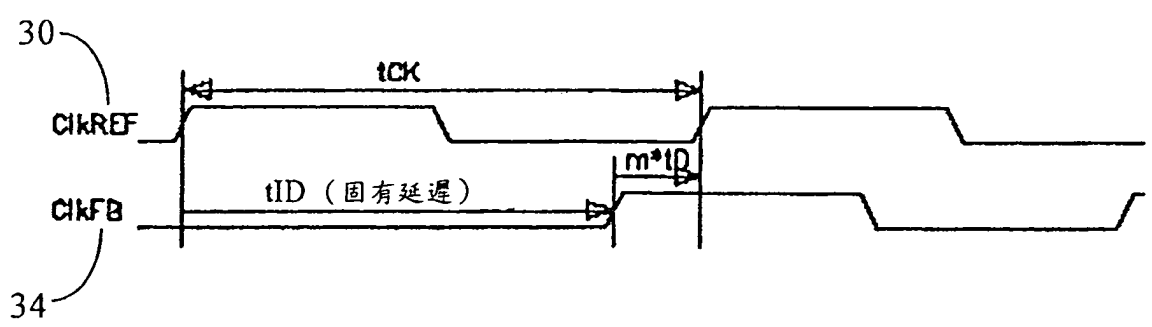


圖 3

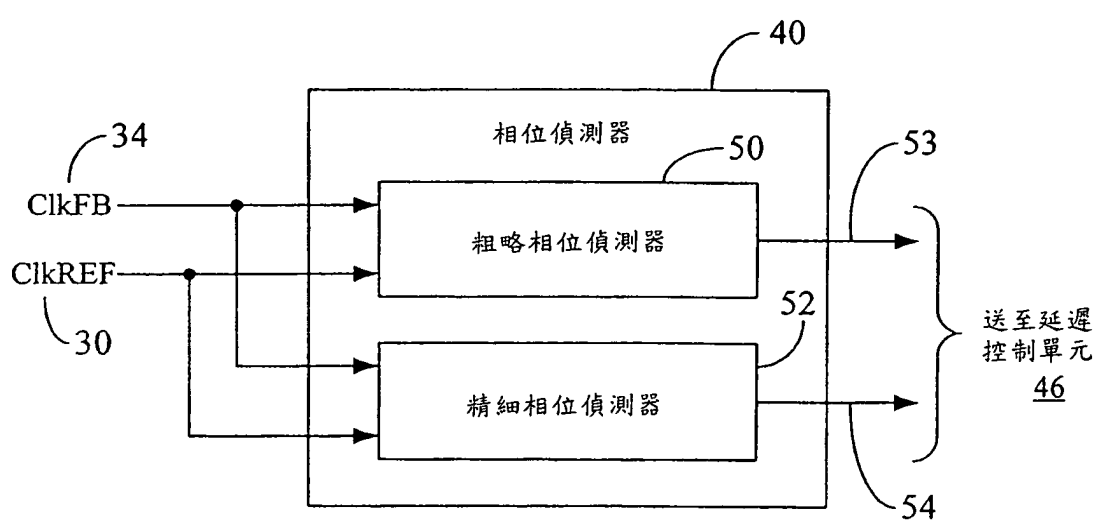


圖 4

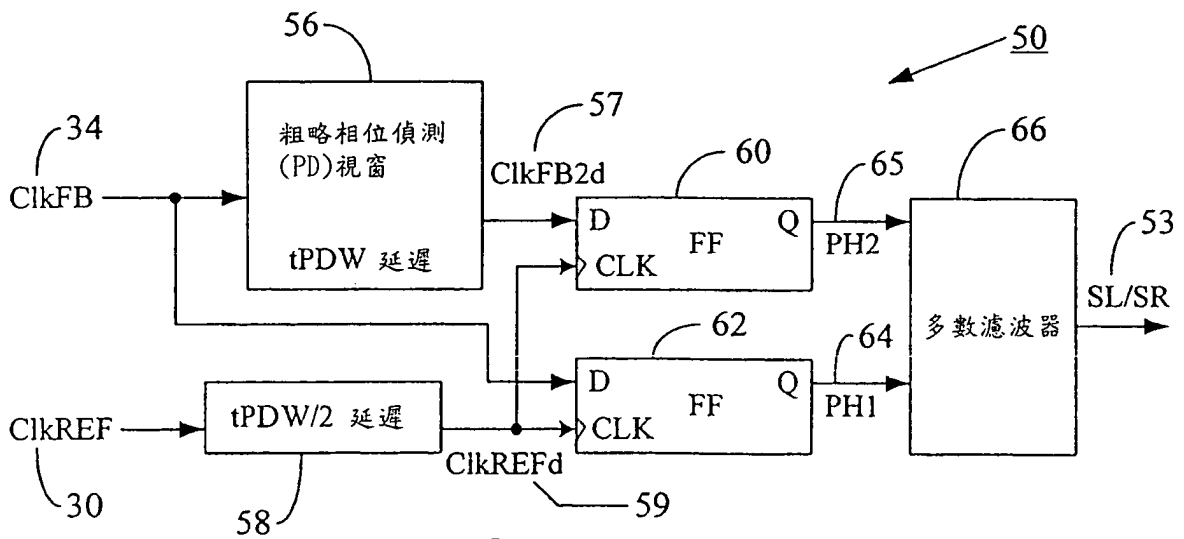


圖 5

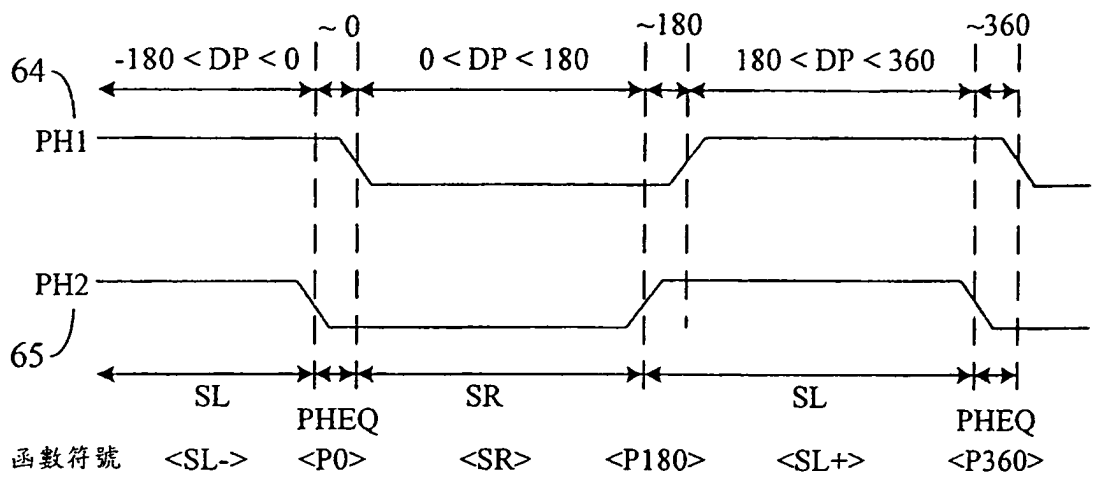


圖 6

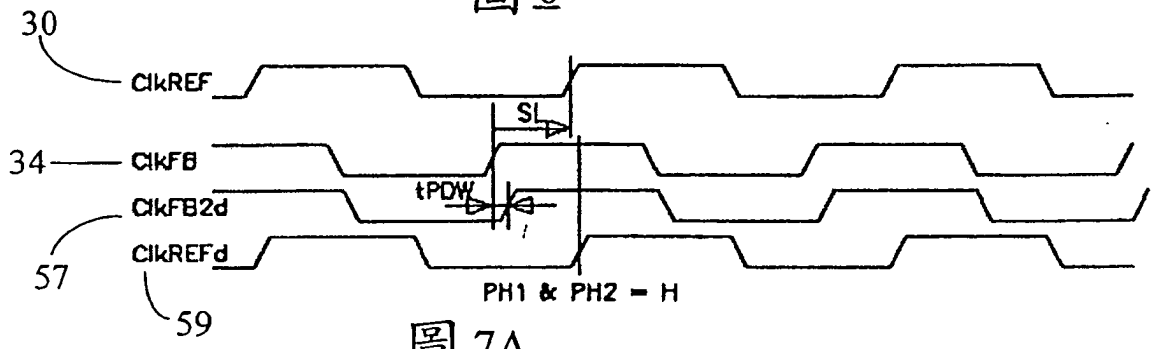


圖 7A

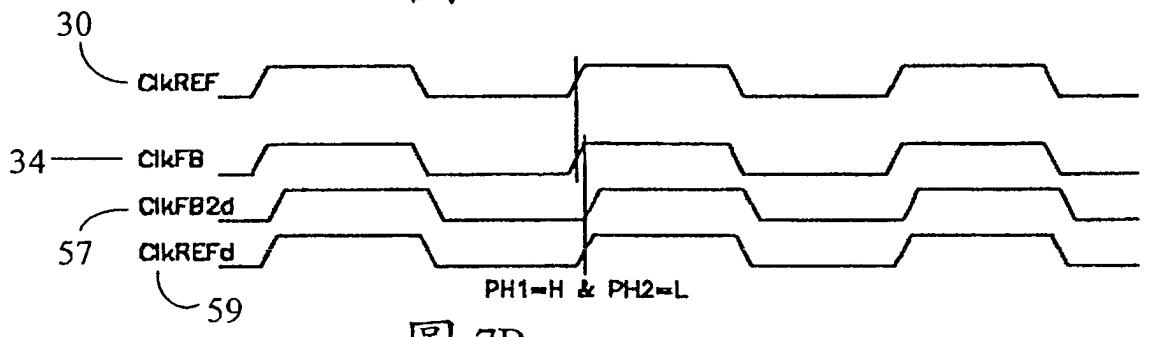


圖 7B

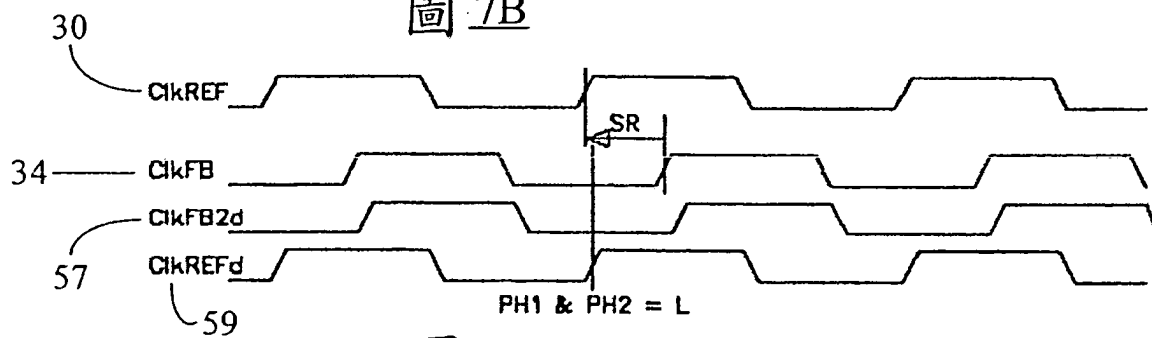


圖 7C

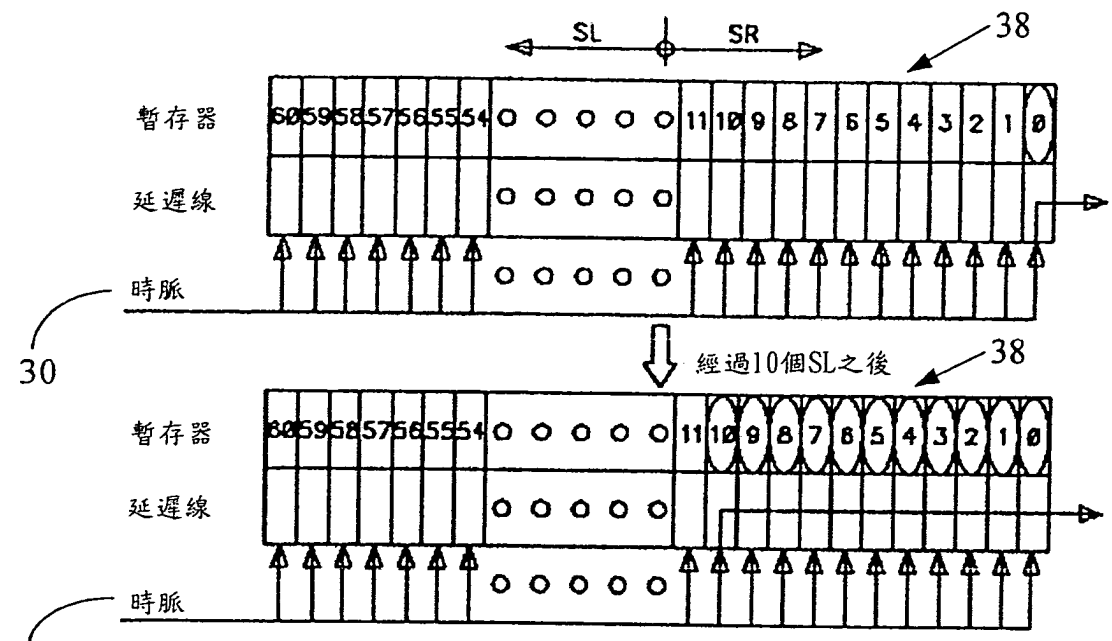


圖 8

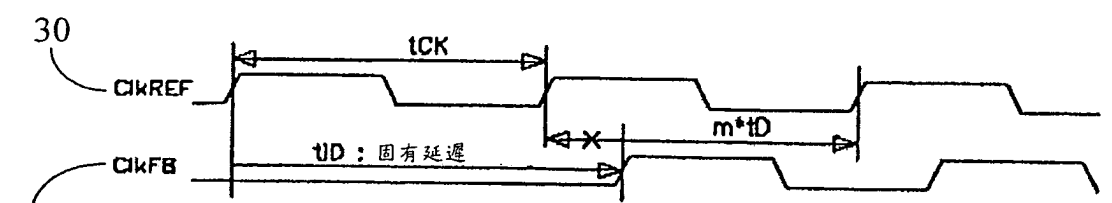


圖 9

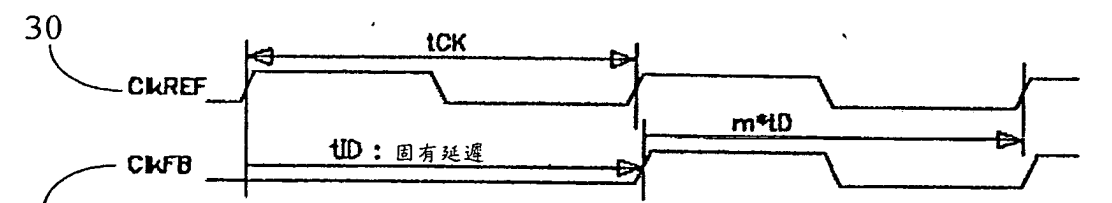


圖 10

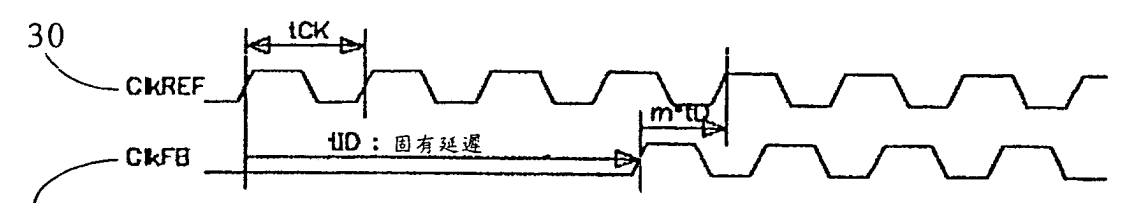


圖 11

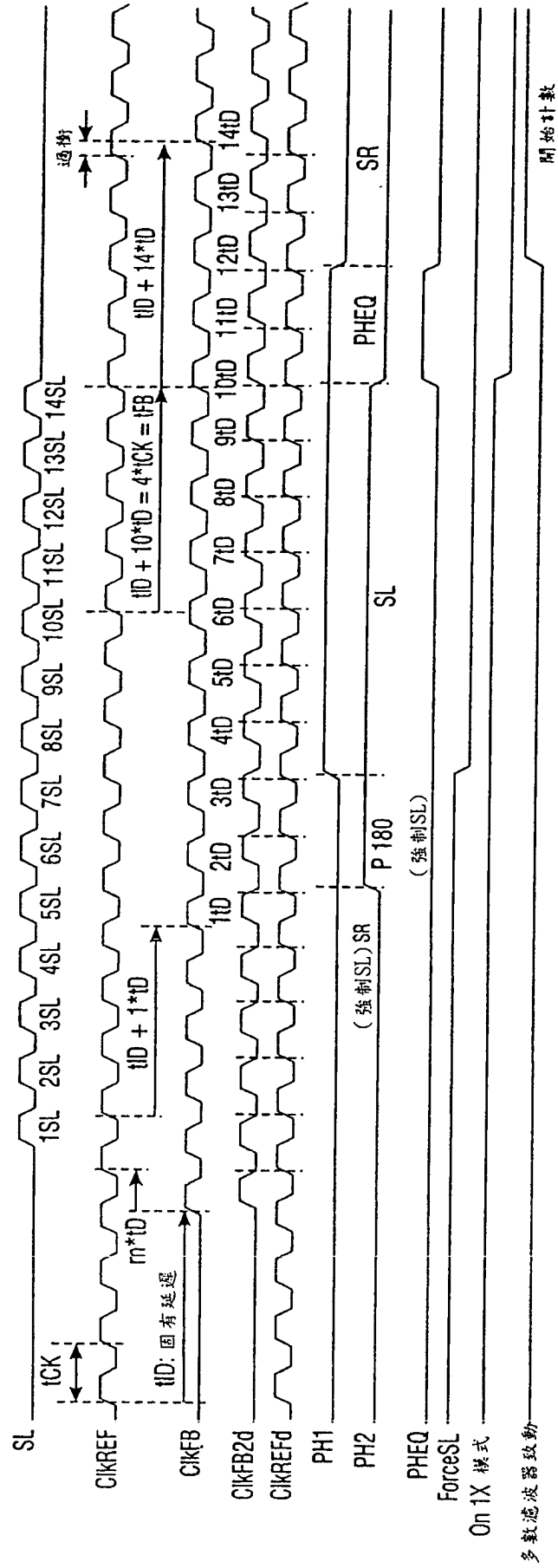


圖 12

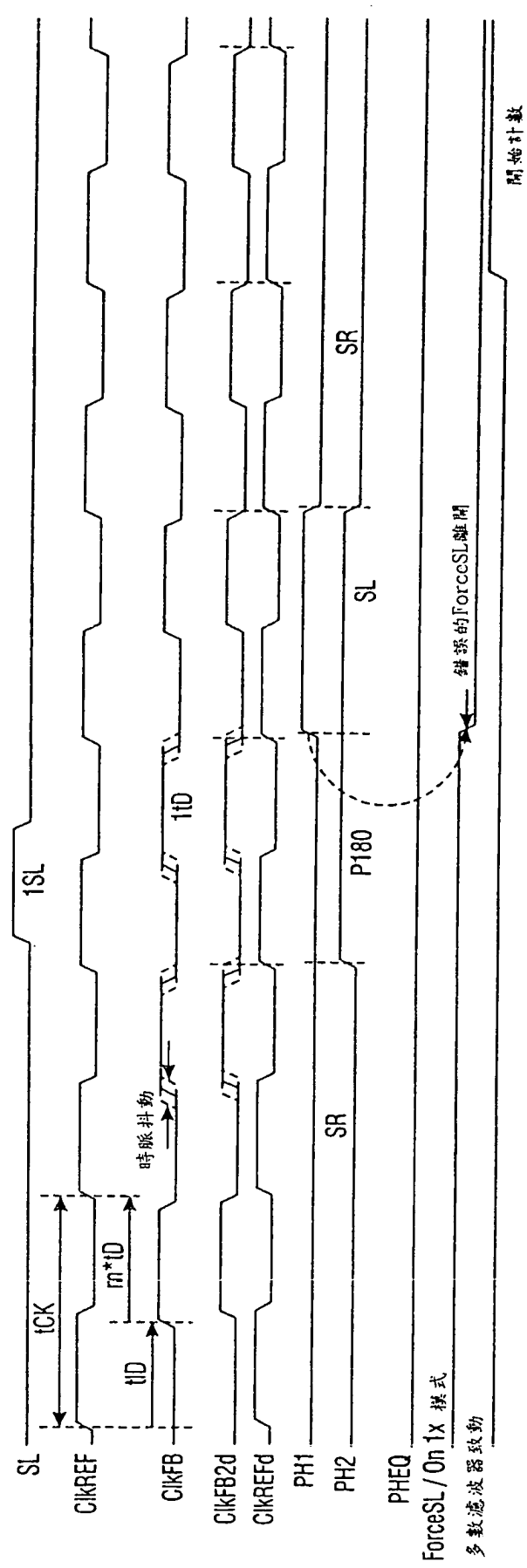


圖 14

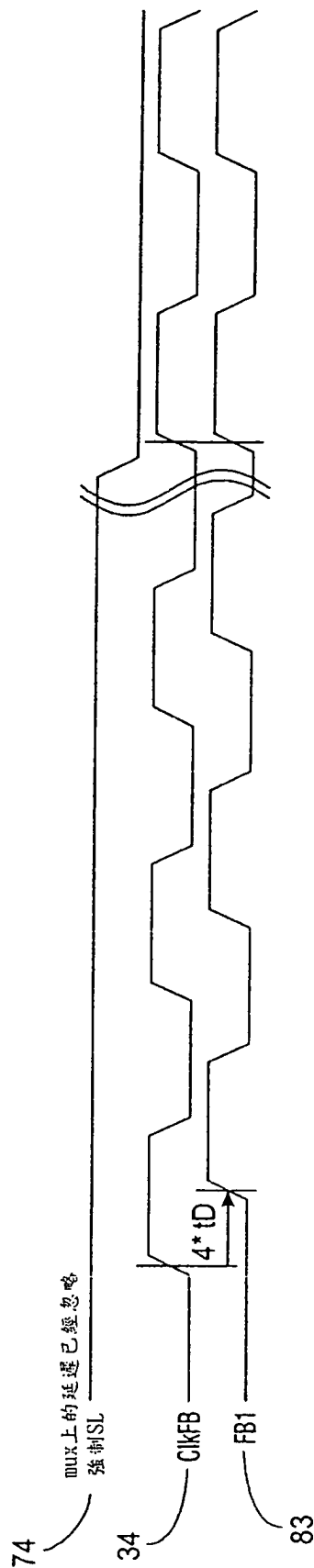
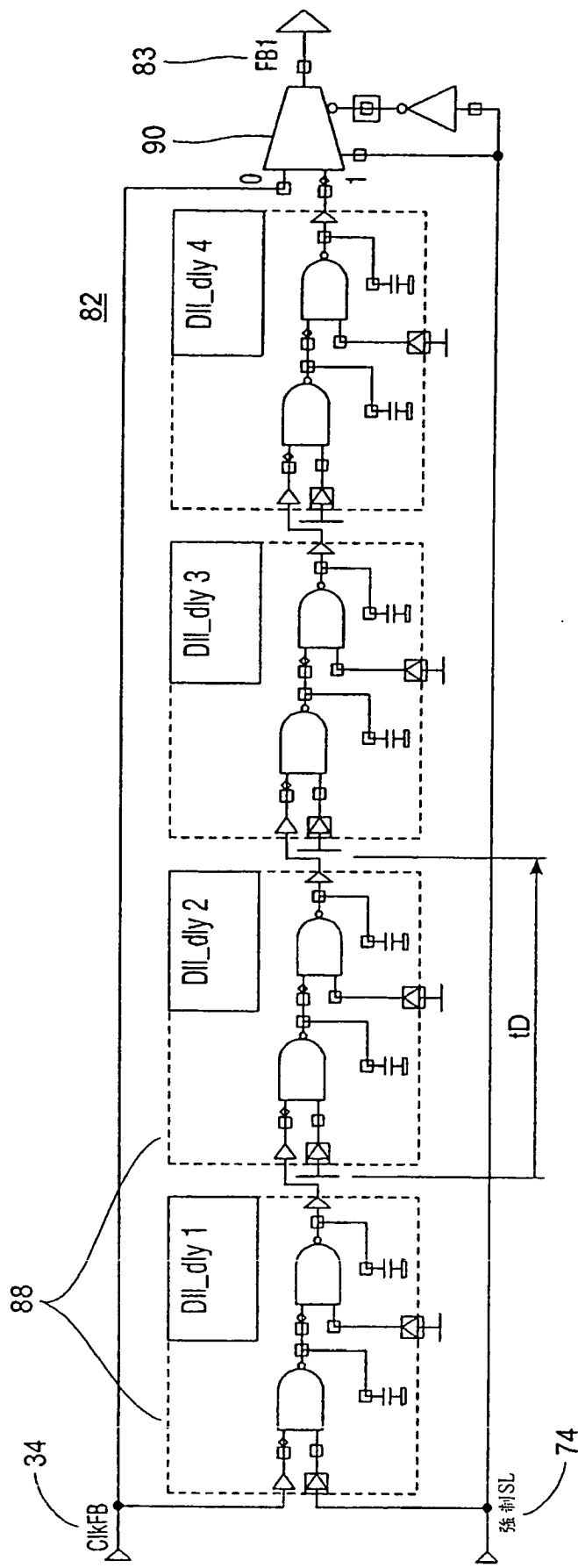


圖 16

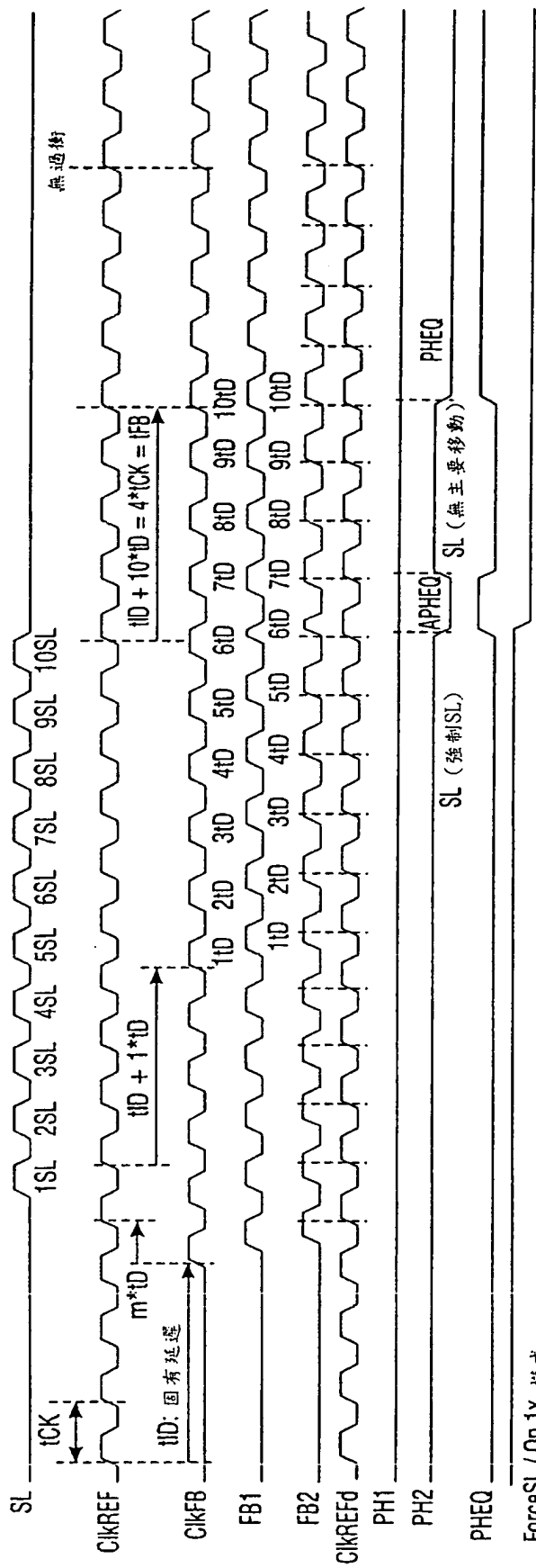


圖 17

ForceSL / On 1x 模式

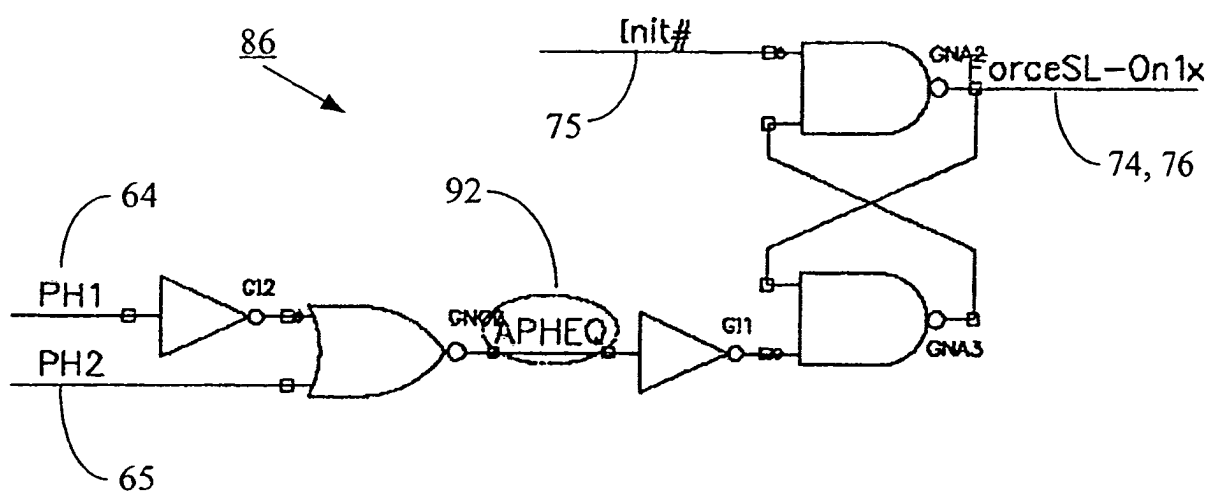


圖 18

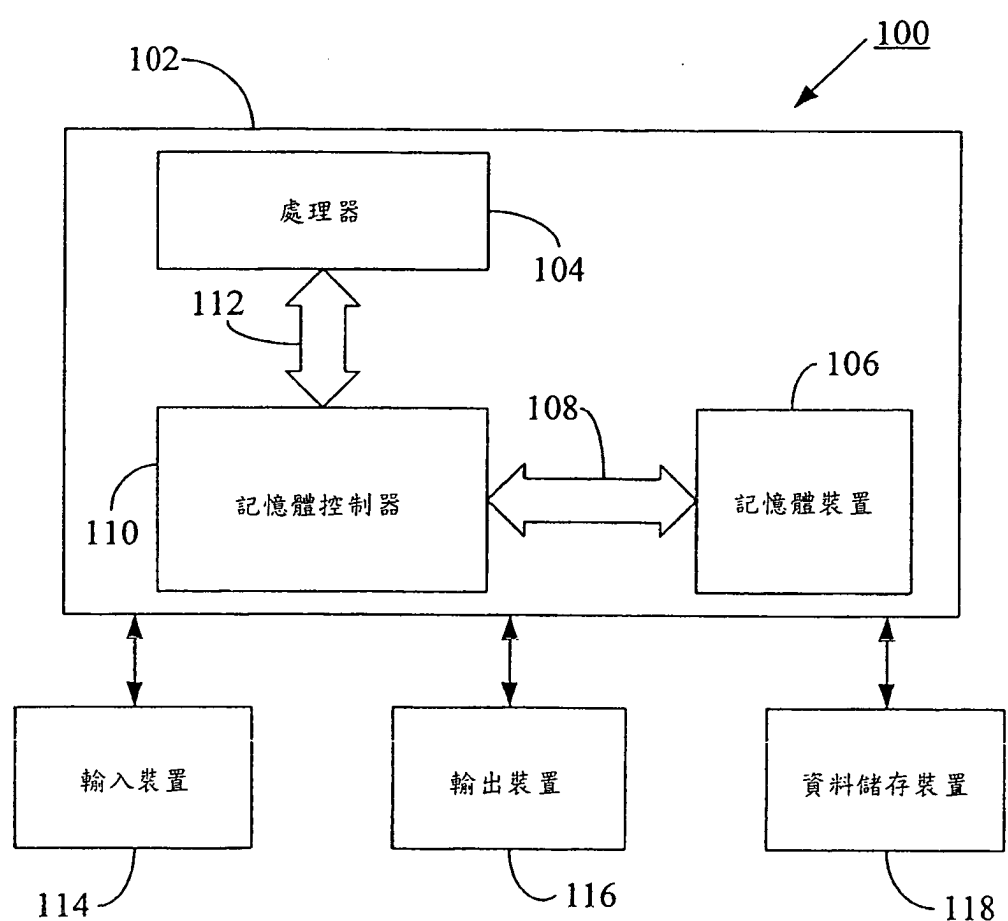


圖 19

七、指定代表圖：

(一)本案指定代表圖為：第 (15) 圖。

(二)本代表圖之元件符號簡單說明：

53	粗略相位偵測器 50 的輸出
56	粗略相位偵測視窗
58	延遲元件
59	經過延遲的參考時脈信號
60	D 型正反器
62	D 型正反器
64	D 型正反器 62 的輸出
65	D 型正反器 60 的輸出
66	多數濾波器
74	ForceSL 信號
80	粗略相位偵測器
82	受控延遲單元
83	第一延遲回授時脈
84	第二延遲回授時脈
86	相位控制單元

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

96年7月0日修正替換頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94114223

※ 申請日期：94.5.3

※ IPC 分類：H03L 7/08

公告本

一、發明名稱：(中文/英文)

利用前移相位均衡之延遲鎖相迴路相位偵測

DLL PHASE DETECTION USING ADVANCED PHASE EQUAL

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

麥克隆科技公司 / MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

魯塞爾 D. 史利佛 / SLIFER, RUSSELL D.

住居所或營業所地址：(中文/英文)

美國愛達華州 83707-0006 波思市南聯邦路 8000 號

8000 South Federal Way, Boise, Idaho 83707, U.S.A.

國 籍：(中文/英文)

美國 / USA

三、發明人：(共 1 人)

姓 名：(中文/英文)

金強龍 / KIM, KANG YOUNG

國 籍：(中文/英文)

韓國 / KORA

十、申請專利範圍：

1.一種產生一時脈信號之方法，其包括：

將一參考時脈(ClkREF)作為一輸入而施加至一延遲線，使用該參考時脈而於該延遲線的一輸出處產生一輸出時脈(Clkout)，自該輸出時脈產生一回授時脈(ClkFB)，該方法之特徵在於從該回授時脈中獲取一第一延遲回授時脈(FB1)以及一第二延遲回授時脈(FB2)，其中該第一延遲回授時脈具有相對該回授時脈之一可變延遲量而該第二延遲回授時脈具有相對該第一延遲回授時脈的一固定延遲量，並且根據該參考時脈、該第一延遲回授時脈與該第二延遲回授時脈之間的一相位關係來調整該延遲線的延遲。

2.如申請專利範圍第1項之方法，其進一步包括：

利用一第一延遲來延遲該參考時脈以獲取一延遲參考時脈(ClkREFd)，及其中調整該延遲線的延遲係包含依據該延遲參考時脈、該第一延遲回授時脈、以及該第二延遲回授時脈之間的相位關係來調整該延遲線的延遲。

3.如申請專利範圍第2項之方法，其中該第一延遲的數額係該第二延遲回授時脈相對該第一延遲回授時脈的固定延遲量的一半。

4.如申請專利範圍第2項之方法，其進一步包括：

於該延遲參考時脈的一上升訊緣處來取樣該第一延遲回授時脈，用以產生一第一邏輯數值；

於該延遲參考時脈的該上升訊緣處來取樣該第二延遲回授時脈，用以產生一第二邏輯數值；以及

在該同步電路初始化時將該可變延遲量施加至該回授時脈，其前提為該等第一邏輯數值與第二邏輯數值均為二進制「1」。

5.如申請專利範圍第4項之方法，其進一步包括：

於第一次出現該第二邏輯數值抵達二進制「0」而該第一邏輯數值仍為二進制「1」時，停止持續施加該可變延遲量給該回授時脈。

6.如申請專利範圍第4項之方法，其進一步包含：

在該延遲線初始化時於一第一方向調整該延遲線的延遲，其前提為該等第一邏輯數值與第二邏輯數值均為二進制「1」。

7.如申請專利範圍第6項之方法，其進一步包括：

於第一次出現該第二邏輯數值抵達二進制「0」而該第一邏輯數值仍為二進制「1」時，停止持續於一第一方向調整該延遲線的延遲。

8.一種同步電路，其包括一延遲線(38)以接收一參考時脈(ClkREF)並且從中產生一輸出時脈(Clkout)，一輸入/輸出模型(44)以從該輸出時脈產生一回授時脈(ClkFB)；以及一相位偵測器(40)，其耦合至該延遲線以接收該回授時脈及該參考時脈，該同步電路之特徵在於該相位偵測器配置成從該回授時脈產生一第一延遲回授時脈(FB1)以及一第二延遲回授時脈(FB2)，其中該第一延遲回授時脈具有相對該回授時脈之一可變延遲而該第二延遲回授時脈具有相對該第一延遲回授時脈之一固定延遲，且其中該相位偵測器進一步

配置成依據該參考時脈、該第一延遲回授時脈、以及該第二延遲回授時脈之間的一相位關係來調整該延遲線的延遲。

9.如申請專利範圍第 8 項之電路，其中該相位偵測器進一步包含：

一延遲單元(58)，用以提供一延遲給該參考時脈來獲得一延遲參考時脈(ClkREFd)，並且其中該相位偵測器係配置成根據該延遲參考時脈、該第一延遲回授時脈以及該第二延遲回授信號之間的相位關係來調整該延遲線的延遲。

10.如申請專利範圍第 9 項之電路，其中由該延遲單元(58)所提供之延遲的數額係該第二延遲回授時脈相對該第一延遲回授時脈之固定延遲的數額的一半。

11.如申請專利範圍第 8 項之電路，其中該相位偵測器包含：

一第一取樣電路(62)，以在該第一延遲回授時脈之一上升訊緣處取樣該第一延遲回授時脈來產生一第一邏輯數值；

一第二取樣電路(60)，以在該第二延遲回授時脈之一上升訊緣處取樣該第二延遲回授時脈來產生一第二邏輯數值；以及

一控制單元(66)，用以在該電路的初始化時施加該可變延遲量至該回授時脈，其前提為該等第一與第二邏輯數值皆為「1」。

12.如申請專利範圍第 11 項之電路，其中於第一次出現

該第二邏輯數值達到一二進位「0」值而該第一邏輯數值仍為一二進位「1」時，該控制單元係停止持續施加該可變延遲量至該回授時脈。

13.如申請專利範圍第11項之電路，其中該控制單元在該同步電路初始化時配置成調整該延遲線的延遲，其前提為該等第一與第二邏輯數值均為二進位「1」。

14.如申請專利範圍第11項之電路，其中於第一次出現該第二邏輯數值達到二進位「0」而該第一邏輯數值仍為二進位「1」時，該控制單元係配置成停止調整該延遲線的延遲。

十一、圖式：

如次頁

圖13A

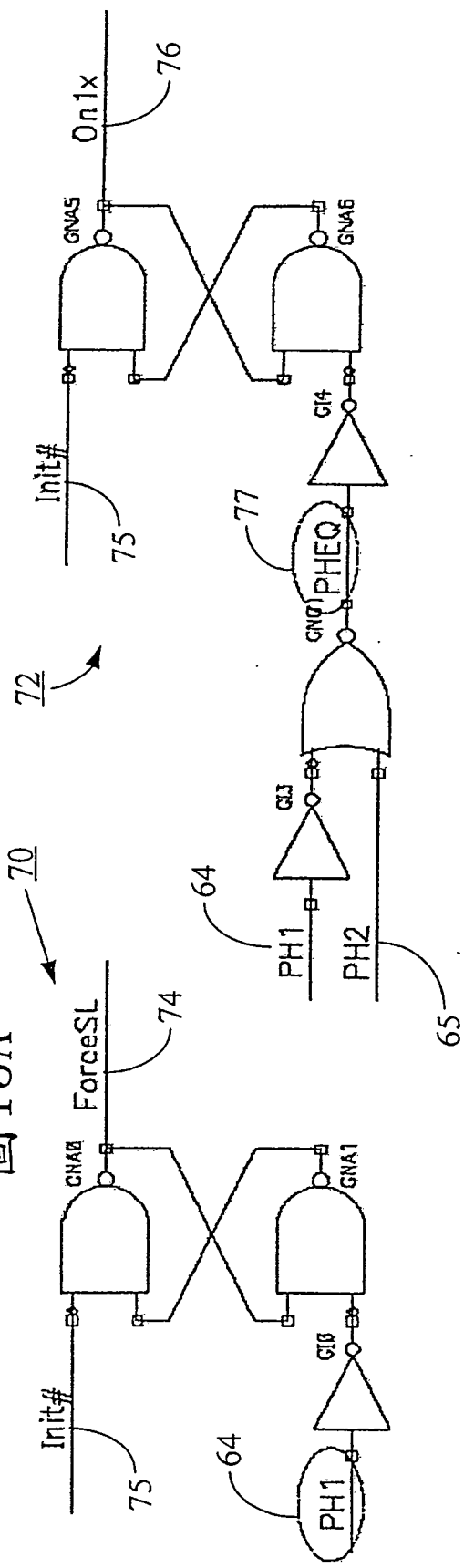


圖13B

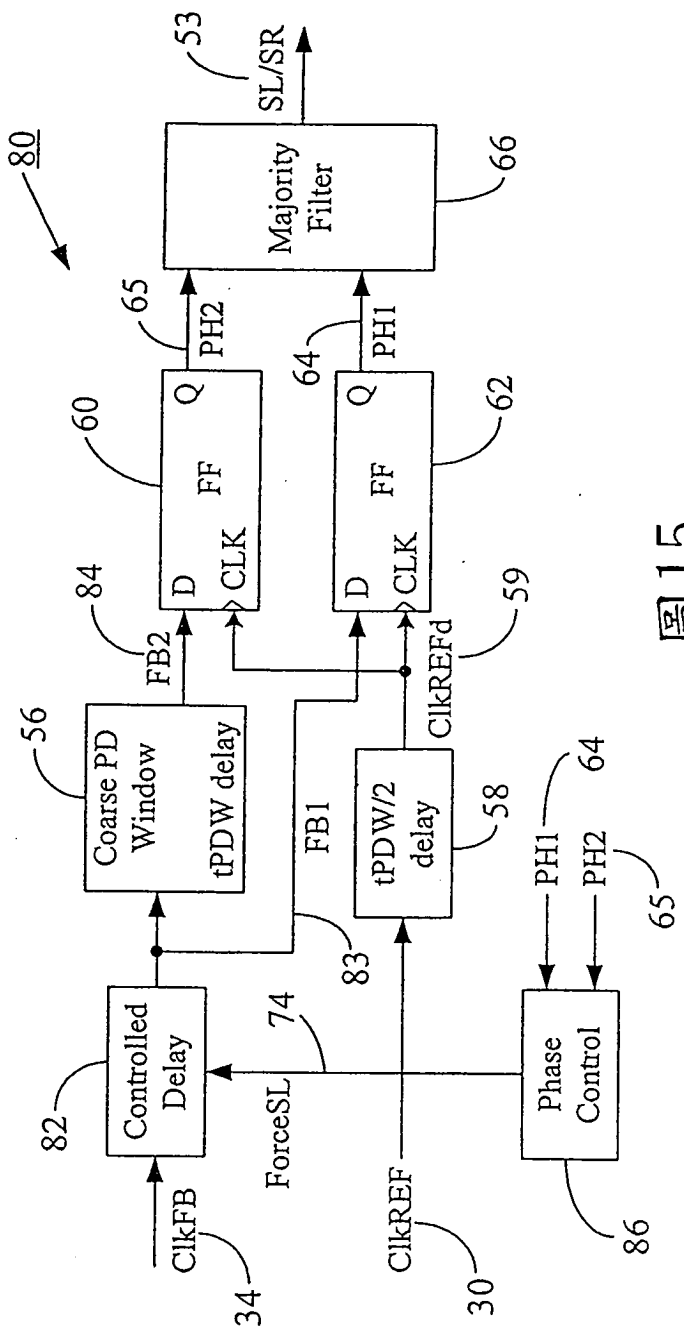
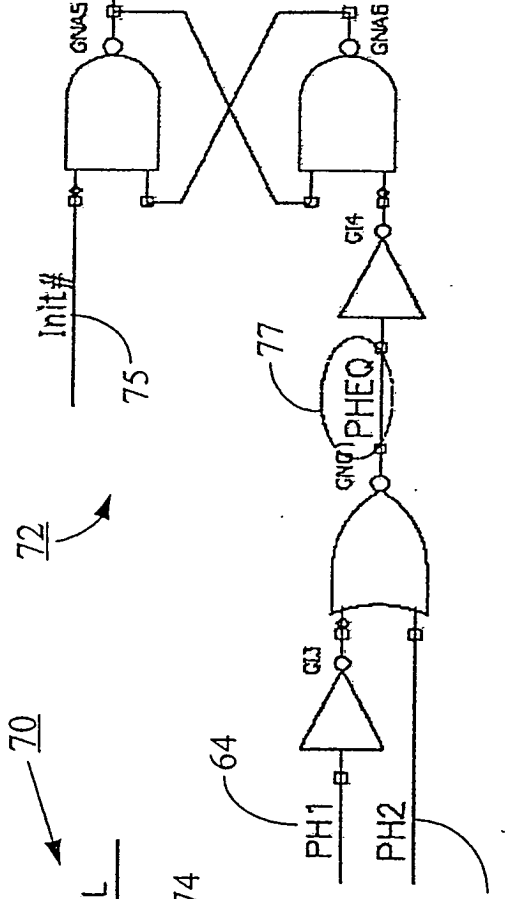


圖15