

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-302196

(P2005-302196A)

(43) 公開日 平成17年10月27日(2005. 10. 27)

(51) Int. Cl.⁷

G 1 1 C 11/403

F I

G 1 1 C 11/34

3 6 3 M

G 1 1 C 11/34

3 7 1 J

テーマコード (参考)

5 M O 2 4

審査請求 未請求 請求項の数 8 O L (全 36 頁)

(21) 出願番号 特願2004-119155 (P2004-119155)

(22) 出願日 平成16年4月14日 (2004. 4. 14)

(71) 出願人 302062931

N E Cエレクトロニクス株式会社

神奈川県川崎市中原区下沼部 1 7 5 3 番地

(74) 代理人 100096105

弁理士 天野 広

(72) 発明者 高橋 弘行

神奈川県川崎市中原区下沼部 1 7 5 3 番地

N E Cエレクトロニ

クス株式会社内

(72) 発明者 加藤 義之

神奈川県川崎市中原区下沼部 1 7 5 3 番地

N E Cエレクトロニ

クス株式会社内

Fターム(参考) 5M024 AA40 BB22 BB37 BB39 DD82

DD92 EE05 EE15 EE18 EE23

EE24 PP01 PP07

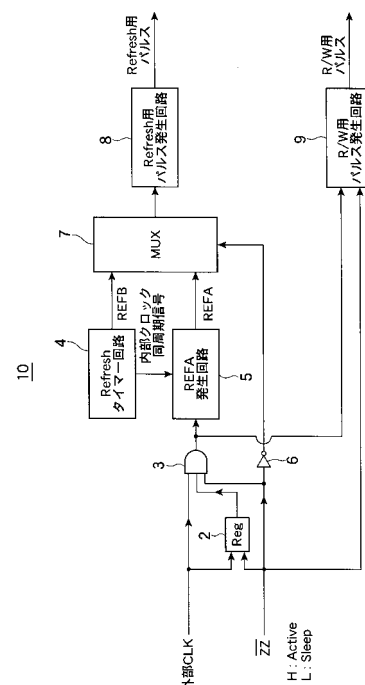
(54) 【発明の名称】 半導体記憶装置及び半導体記憶システム

(57) 【要約】

【課題】 リフレッシュ動作がリード／ライト動作との相互干渉を防止可能な半導体記憶装置及びシステムを提供する。

【解決手段】 リード／ライト動作は、外部クロック信号が入力されるアクティブ状態時にのみ、該外部クロック信号により規定されるタイミングで行うように構成されている。アクティブ状態時におけるリフレッシュ動作は、外部クロック信号により規定されるタイミングで、且つ、リフレッシュ動作がリード／ライト動作と相互干渉しないタイミングで行う。スリープ状態時におけるリフレッシュ動作は、半導体記憶装置の内部で発生される内部クロック信号により規定されるタイミングで行う。スリープ状態からの復帰直後の外部クロック信号のうち、最初の少なくとも1クロックにより規定されるタイミングではリード／ライト動作を行わない。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

リフレッシュ動作が必要なメモリセルを備える半導体記憶装置において、

前記メモリセルに対するリード／ライト動作は、当該半導体記憶装置の外部から外部クロック信号が入力される通常状態時にのみ、該外部クロック信号により規定されるタイミングで行うように構成されているとともに、

前記通常状態時に生じたトリガに基づく前記リフレッシュ動作は、前記外部クロック信号により規定されるタイミングで、且つ、該リフレッシュ動作が前記リード／ライト動作と相互干渉しないタイミングで行う一方で、

前記外部クロック信号が当該半導体記憶装置に入力されない特別状態時に生じたトリガに基づく前記リフレッシュ動作は、当該半導体記憶装置の内部で発生される内部クロック信号により規定されるタイミングで行うように構成され、

前記特別状態から前記通常状態への切り替わり後に当該半導体記憶装置へ入力される外部クロック信号のうち、最初の少なくとも 1 クロックにより規定されるタイミングでは前記リード／ライト動作を行わないように構成されていることを特徴とする半導体記憶装置。

10

【請求項 2】

当該半導体記憶装置に入力される外部クロック信号を、少なくとも 1 クロック分以上遅延させて出力する外部クロック信号遅延手段と、

前記外部クロック信号遅延手段からの外部クロック信号により規定されるタイミングで、前記リード／ライト動作のトリガとしてのリード／ライト用パルスを発生するリード／ライト用パルス発生手段と、

を備えることを特徴とする請求項 1 に記載の半導体記憶装置。

20

【請求項 3】

前記内部クロック信号を所定周期で発生し、該内部クロック信号を前記リフレッシュ動作の第 1 の要求信号として出力する第 1 の要求信号出力手段と、

前記内部クロック信号と同周期の内部クロック同周期信号を出力する内部クロック同周期信号出力手段と、

前記内部クロック同周期信号出力手段からの内部クロック同周期信号と、当該半導体記憶装置に入力される外部クロック信号と、を入力とし、該入力される外部クロック信号のうち、内部クロック同周期信号が入力されているタイミングで入力された外部クロック信号のみを前記リフレッシュ動作の第 2 の要求信号として出力する第 2 の要求信号出力手段と、

30

前記第 2 の要求信号出力手段からの第 2 の要求信号と、前記第 1 の要求信号出力手段からの第 1 の要求信号と、を入力とし、前記特別状態時にはこのうち第 1 の要求信号を出力する一方で、前記通常状態時には第 2 の要求信号を出力する要求信号選択的出力手段と、

前記要求信号選択的出力手段から出力される要求信号により規定されるタイミングで、前記リフレッシュ動作のトリガとしてのリフレッシュ用パルスを発生するリフレッシュ用パルス発生手段と、

を備えることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

40

【請求項 4】

前記特別状態は、スリープ状態であることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体記憶装置。

【請求項 5】

リフレッシュ動作が必要なメモリセルを備える半導体記憶装置において、

前記メモリセルに対するリード／ライト動作は、当該半導体記憶装置の外部から入力される外部クロック信号の周波数が一定以上である通常状態時にのみ、該外部クロック信号により規定されるタイミングで行うように構成されているとともに、

前記通常状態時に生じたトリガに基づく前記リフレッシュ動作は、前記外部クロック信号により規定されるタイミングで、且つ、該リフレッシュ動作が前記リード／ライト動作

50

と相互干渉しないタイミングで行う一方で、

当該半導体記憶装置に入力される前記外部クロック信号の周波数が一定未満である特別状態時に生じたトリガに基づく前記リフレッシュ動作は、当該半導体記憶装置の内部で発生される内部クロック信号により規定されるタイミングで行うように構成され、

前記特別状態から前記通常状態への切り替わり後に当該半導体記憶装置へ入力される外部クロック信号のうち、最初の少なくとも1クロックにより規定されるタイミングでは前記リード／ライト動作を行わないように構成されていることを特徴とする半導体記憶装置。

【請求項6】

リフレッシュ動作が必要なメモリセルを備える半導体記憶装置において、

前記メモリセルに対するリード／ライト動作は、当該半導体記憶装置の外部から入力される外部クロック信号により規定されるタイミングで、当該半導体記憶装置におけるリード／ライト動作が許可された通常状態時にのみ行うように構成されているとともに、

前記通常状態時に生じたトリガに基づく前記リフレッシュ動作は、前記外部クロック信号により規定されるタイミングで、且つ、該リフレッシュ動作が前記リード／ライト動作と相互干渉しないタイミングで行う一方で、

当該半導体記憶装置におけるリード／ライト動作が許可されていない特別状態時に生じたトリガに基づく前記リフレッシュ動作は、当該半導体記憶装置の内部で発生される内部クロック信号により規定されるタイミングで行うように構成され、

当該半導体記憶装置は、

前記特別状態から前記通常状態への切り替わりの際における前記相互干渉の発生可能性の有無を判定する相互干渉判定手段と、

前記相互干渉判定手段により前記相互干渉の発生可能性があるると判定された場合に、前記リード／ライト動作の実行タイミングを前記相互干渉が回避できる程度に遅延させる遅延手段と、

を備えることを特徴とする半導体記憶装置。

【請求項7】

リフレッシュ動作が必要なメモリセルを備える半導体記憶装置において、

前記メモリセルに対するリード／ライト動作は、当該半導体記憶装置の外部から入力される外部クロック信号により規定されるタイミングで、前記リード／ライト動作への外部クロック信号の使用が許可された通常状態時にのみ行うように構成され、

前記通常状態時に生じたトリガに基づく前記リフレッシュ動作は、前記外部クロック信号により規定されるタイミングで、且つ、該リフレッシュ動作が前記リード／ライト動作と相互干渉しないタイミングで行う一方で、

前記リード／ライト動作への外部クロック信号の使用が許可されていない特別状態時に生じたトリガに基づく前記リフレッシュ動作も、前記外部クロック信号により規定されるタイミングで行うように構成されているとともに、

前記特別状態時における前記リフレッシュ動作は、当該リフレッシュ動作のタイミングを規定する外部クロック信号に対して次周期の外部クロック信号が入力される以前に終了させるように構成されていることを特徴とする半導体記憶装置。

【請求項8】

リフレッシュ動作が必要なメモリセルを備える半導体記憶装置と、

通常状態時には前記半導体記憶装置に外部クロック信号を入力する一方で、前記通常状態以外の特別状態時には、前記半導体記憶装置への外部クロック信号の入力を停止するように構成された外部クロック信号入力手段と、

を備える半導体記憶システムにおいて、

前記半導体記憶装置は、

前記メモリセルに対するリード／ライト動作は、当該半導体記憶装置の外部から外部クロック信号が入力される通常状態時にのみ、該外部クロック信号により規定されるタイミングで行うように構成されているとともに、

10

20

30

40

50

前記通常状態時に生じたトリガに基づく前記リフレッシュ動作は、前記外部クロック信号により規定されるタイミングで、且つ、該リフレッシュ動作が前記リード／ライト動作と相互干渉しないタイミングで行う一方で、

前記特別状態時に生じたトリガに基づく前記リフレッシュ動作は、当該半導体記憶装置の内部で発生される内部クロック信号により規定されるタイミングで行うように構成され、

前記外部クロック信号入力手段は、

前記特別状態から前記通常状態に切り替わった場合には、該切り替わりのタイミングから所定の待機時間が経過してから、前記半導体記憶装置への前記外部クロック信号の入力を再開することを特徴とする半導体記憶システム。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置及び半導体記憶システムに関する。

【背景技術】

【0002】

ランダムアクセスが可能な代表的な半導体記憶装置としては、例えば、SRAM (Static Random Access Memory: スタティック・ランダム・アクセス・メモリ) 及びDRAM (Dynamic Random Access Memory: ダイナミック・ランダム・アクセス・メモリ) がある。

20

【0003】

このうちSRAMは、DRAMと比較すると、一般に高速動作が可能である。さらに、SRAMの場合、電源を供給してアドレス信号を入力すれば、そのアドレス信号の変化を捉えて内部の順序回路が動作し、読み出しあるいは書き込みが行われる。つまり、SRAMは単純な入力信号波形を与えるだけで動作するため、DRAMに比べて動作制御が容易である。

【0004】

加えて、SRAMは、DRAMとは異なり、メモリセルに記憶されたデータを保持し続けるためのリフレッシュ動作を行うことは不要であり、このようにリフレッシュ動作を必要としないため、スタンバイ状態における消費電力が小さいという利点を有している。

30

【0005】

このような利点のためにSRAMは種々の分野において用いられているが、SRAMは一般にメモリセル1個当たり6個のトランジスタを必要とするため、DRAMと比較するとチップサイズが大きく、かつ、製造コストが高いという欠点がある。

【0006】

他方、DRAMのメモリセルは1個のトランジスタと1個のキャパシタとで構成することができるため、小さなチップサイズで大容量化を図ることが比較的容易である。従って、同じ記憶容量の半導体記憶装置をつくる場合、DRAMの方がSRAMよりも製造コストは低い。

40

【0007】

しかしながら、DRAMは、アドレス信号として行アドレス信号及び列アドレス信号を2回に分けて別々に与え、これらアドレス信号の取り込みタイミングを規定する信号としてRAS (Row Address Strobe: 行アドレスストロブ) 信号及びCAS (Column Address Strobe: 列アドレスストロブ) 信号を必要とすること、定期的にメモリセルをリフレッシュするための制御が必要になることから、SRAMと比較して、タイミング制御が複雑になる。しかも、このようにリフレッシュ動作を行う必要があるために、DRAMには、SRAMと比べて消費電流が大きいという問題もある。

【0008】

50

つまり、半導体記憶装置としては、取り扱いの簡単さや消費電力の少なさを考えると S R A M が適しているが、容量の大きさの観点からは D R A M が適している。

【0009】

そのような事情のもと、従来、携帯電話装置その他の携帯機器に使われている半導体記憶装置としては S R A M が主流であった。これは、これまでの携帯電話装置は簡単な機能しか有していなかったため大容量の半導体記憶装置は必要なかったこと、D R A M と比較して S R A M はタイミング制御が容易であること、S R A M はスタンバイ電流が小さく消費電力が小さいこと、などが理由である。

【0010】

ところが、近年の携帯電話装置は、電子メールの送受信やウェブへのアクセスなどの種々の高度な機能が要求されるようになっており、必要な記憶容量も飛躍的に増加しつつある。 10

【0011】

このため、携帯電話装置に代表される携帯機器に搭載される半導体記憶装置としては、D R A M 並に大容量であることが必要になってきている。無論、携帯電話装置その他の携帯機器は小型かつ軽量であることが要求されるため、大型化及び重量化は避けなければならない。

【0012】

よって、これからの携帯機器に使用される半導体記憶装置としては、S R A M 及び D R A M の双方の長所を有する半導体記憶装置が最も望ましい。 20

【0013】

このような観点から、従来の S R A M よりも小型のメモリセルを使用し、外部から見たときに S R A M とほぼ同じ仕様を有する擬似 S R A M と呼ばれるものが提案されている。

【0014】

擬似 S R A M は、D R A M とは異なり、アドレス信号を行アドレス信号及び列アドレス信号に分けて別々に与える必要はなく、そのために R A S 信号や C A S 信号などのタイミング信号も必要としない。擬似 S R A M では、通常の S R A M と同様に、アドレス信号を一度与えるだけでよく、クロック同期型の半導体記憶装置のクロックに相当するチップイネーブル信号をトリガとしてアドレス信号を内部に取り込み、読み出しまたは書き込みを行っている。 30

【0015】

ただし、擬似 S R A M は、通常の S R A M とは異なり、メモリセルのリフレッシュ動作が必要である。

【0016】

このような擬似 S R A M として、現在、同期式 M S R A M (M o b i l e S R A M) と 2 T - P S R A M (D u a l P o r t D R A M) の 2 つの形式のものが知られている。

【0017】

このうち同期式 M S R A M は、単位セルを一つのトランジスタと一つのキャパシタとで構成し、かつ、S R A M インターフェースを備えるメモリである。 40

【0018】

他方、2 T - P S R A M は、単位セルを二つのトランジスタと一つのキャパシタとで構成し、かつ、S R A M インターフェースを備えるメモリである。

【0019】

これら 2 T - P S R A M と同期式 M S R A M に共通することは、いずれも動作が外部クロック信号に同期して実行されることと、セル構成がダイナミックメモリであるため、リフレッシュが必要なことである。

【0020】

なお、リフレッシュ動作は、リフレッシュ用に専用のワード線、すなわちリフレッシュワードを立ち上げて行う。 50

【0021】

ここで、擬似SRAMにおけるリフレッシュ動作は、内部で発生するリフレッシュ用パルスをトリガとして行われる。

【0022】

このリフレッシュ用パルスは、通常時には、外部から一定周期で入力される外部クロック信号により規定されるタイミングで発生される。

【0023】

具体的には、擬似SRAMは、例えば、外部クロック信号とは桁違いに長い一定周期でクロック信号を発生する内部クロック発生回路を備える。そして、通常時には、内部クロック発生回路により発生される内部クロック信号の発生周期で外部クロック信号を選択し、該選択した外部クロック信号をトリガとしてリフレッシュ用パルスを発生し、該リフレッシュ用パルスを用いてリフレッシュ動作を行う。

10

【0024】

なお、このような通常時におけるリフレッシュを、以下では定時リフレッシュという。

【0025】

ここで、図14及び図15を参照して、擬似SRAMにおける定時リフレッシュ動作を説明する。

【0026】

このうち図14は、同期式MSRAMにおける定時リフレッシュのタイミングを示す信号波形図であり、図15は、2T-PSRAMにおける定時リフレッシュのタイミングを示す信号波形図である。

20

【0027】

図14に示すように、同期式MSRAMにおいては、リフレッシュワードと、リード／ライト動作のワード線であるノーマルワードとで、立ち上がっているタイミングが相互に重複しないように、ノーマルワードとリフレッシュワードとを交互に立ち上げるようになっている。

【0028】

これは、ノーマルワードとリフレッシュワードとで立ち上がっているタイミングが相互に重複してしまうと（すなわち、ワード線のマルチ選択が発生してしまうと）、セル記憶データが破壊されてしまうためである。

30

【0029】

或いは、ノーマルワードとリフレッシュワードとのうち何れか一方のみを選択可能に構成された同期式MSRAMの場合には、例えば、ノーマルワードを駆動してリストア動作を行っている最中にリフレッシュワードが駆動されてしまうと、リストア動作が強制的に中断されてしまい、やはり、セル記憶データ破壊が発生してしまうためである。

【0030】

つまり、同期式MSRAMにおける通常時のリフレッシュ動作のタイミングは、セル記憶データが破壊されないようなタイミングに制御されている。

【0031】

他方、2T-PSRAMは、デュアルポートの構成であるため、一方のポートではリフレッシュ動作（リフレッシュワードの立ち上げ）を行いながら、他方のポートではリード／ライト動作（ノーマルワードの立ち上げ）を行うというように、リフレッシュ動作とリード／ライト動作とを並行して行うことにより制御時間を短縮できるという特徴がある。

40

【0032】

ところで、ビット線を介したデータ読み出しに際しては、ビット線の電位と、リファレンス電位との比較動作を行うが、この比較動作においては微少な電位差を判定（以下、センス動作という）する。従って、相互に隣接したビット線の一方がこのようなセンス動作に供されているタイミングで、その隣のビット線において急激な電位変化を生じると、クロストークによるノイズの影響でセンス動作に不具合を生じ、その結果としてノーマル動作側のセル記憶データが破壊されてしまうことがある。つまり、2T-PSRAMの場合

50

、リフレッシュ動作と、リード／ライト動作とが、相互に僅かにずれたタイミングで実行されてしまうと、このような問題を生じてしまう。

【0033】

そのため、2T-PSRAMにおいては、図15に示すように、ノーマルワードとリフレッシュワードとで、立ち上がっているタイミングが相互に一致するように、ノーマルワードとリフレッシュワードとを同時に立ち上げるようになっており、これにより、上記のような制御時間の短縮と、上記のような繊細なセンス動作とを両立している。

【0034】

つまり、2T-PSRAMにおいても、通常時（通常状態時）のリフレッシュ動作のタイミングは、セル記憶データが破壊されないようなタイミングに制御されている。

10

【0035】

次に、擬似SRAMにおける通常時以外の状態時におけるリフレッシュ動作について説明する。

【0036】

ここで、“通常時以外の状態時（以下、特別状態時）”としては、例えば、以下に説明する4つの状態（モード）がある。

【0037】

（1）スリープモード（ZZモード）

スリープモード（スリープ状態）とは、外部クロック信号が半導体記憶装置に入力されない状態である。

20

【0038】

（2）ストップCLKモード

ストップCLKモード（ストップCLK状態）とは、一時的に、外部クロック信号CLKが駆動されていない状態をさす。

【0039】

（3）CLK非選択モード

CLK非選択モード（CLK非選択状態）とは、外部クロック信号CLKが半導体記憶装置に導入されても、該外部クロック信号CLKをクロックイネーブル信号CKEにより非選択とする状態を指す。

【0040】

30

（4）ロングサイクルモード（Long Cycle Mode）

ロングサイクルモード（ロングサイクル状態）とは、外部クロック信号CLKがある一定の周波数以下になっている状態、つまり、外部クロック信号CLKが半導体記憶装置に導入される1サイクルの時間が極めて長い状態を指す。

【0041】

従って、このうち（1）～（3）の状態時には、半導体記憶装置では、外部クロック信号を用いることができない。また、（4）の状態時には、十分な頻度で外部クロック信号を用いることができない。

【0042】

このため、擬似SRAMにおいて、これら（1）～（4）の特別状態時には、内部クロックをリフレッシュの要求信号とし、該要求信号に基づきリフレッシュ用パルスが発生し、リフレッシュ動作（強制リフレッシュという）を行うようになっている。

40

【0043】

なお、以上のような擬似SRAMのうち、同期式MSRAMの一例は特許文献1に記載され、2T-PSRAMの一例は特許文献2に記載されている。

【特許文献1】特許第3367519号公報

【特許文献2】特開2001-210074号公報（図2）

【発明の開示】

【発明が解決しようとする課題】

【0044】

50

ところで、上記の擬似 S R A Mにおいて、上記の (1) ~ (4) の何れかの特別状態から通常状態に復帰し、再び半導体記憶装置が外部クロック信号を使用可能な状態 (或いは十分な頻度で使用可能な状態) となると、ノーマルワードは再び外部クロック信号 C L K をトリガーとして駆動され始める。

【 0 0 4 5 】

ここで、外部クロック信号と内部クロック信号とは相互に非同期なタイミングで発生する。

【 0 0 4 6 】

また、通常状態時におけるノーマルワードは、リフレッシュワードと同一の外部クロック信号 C L K をトリガとして立ち上がるだけでなく、リフレッシュ動作と関連のないその他の任意のタイミングでも、リード／ライト動作の指令があれば立ち上がる。 10

【 0 0 4 7 】

このため、擬似 S R A Mにおいては、特別状態から通常状態への復帰直後に以下のような問題を生じる可能性がある。

【 0 0 4 8 】

すなわち、図 1 6 に示すように、特別状態から通常状態への復帰直前に発生した強制リフレッシュの要求信号に基づくリフレッシュワードの立ち上がり期間 (リフレッシュ動作の実行期間) は、復帰直後の外部クロック信号に基づくノーマルワードの立ち上がり期間 (リード／ライト動作の実行期間) と重複したり、或いは、相互に僅かにずれたタイミングとなってしまう可能性がある。 20

【 0 0 4 9 】

このため、同期式 M S R A Mの場合には、特別状態から通常状態への復帰直後においては、上記のようなワード線マルチ選択或いはリストア動作の中断という誤動作が生じる可能性がある。

【 0 0 5 0 】

他方、2 T - P S R A Mの場合には、特別状態から通常状態への復帰直後においては、上記のようなセンス動作の不具合という誤動作を生じる可能性がある。

【 0 0 5 1 】

要するに、同期式 M S R A M或いは 2 T - P S R A Mのような擬似 S R A Mにおいては、リフレッシュ動作とリード／ライト動作とが相互干渉してしまうようなタイミングで、これらリフレッシュ動作とリード／ライト動作とが実行されてしまうことによる誤動作を生じる可能性があった。 30

【 0 0 5 2 】

本発明は、上記のような問題点を解決するためになされたもので、スリープ状態等の特別状態が終了して外部クロック信号を使用可能となった直後における上記相互干渉を防止することが可能な半導体記憶装置及び半導体記憶システムを提供することを目的とする。

【課題を解決するための手段】

【 0 0 5 3 】

そこで、本発明の半導体記憶装置は、リフレッシュ動作が必要なメモリセルを備える半導体記憶装置において、前記メモリセルに対するリード／ライト動作は、当該半導体記憶装置の外部から外部クロック信号が入力される通常状態時にのみ、該外部クロック信号により規定されるタイミングで行うように構成されているとともに、前記通常状態時に生じたトリガに基づく前記リフレッシュ動作は、前記外部クロック信号により規定されるタイミングで、且つ、該リフレッシュ動作が前記リード／ライト動作と相互干渉しないタイミングで行う一方で、前記外部クロック信号が当該半導体記憶装置に入力されない特別状態時に生じたトリガに基づく前記リフレッシュ動作は、当該半導体記憶装置の内部で発生される内部クロック信号により規定されるタイミングで行うように構成され、前記特別状態から前記通常状態への切り替わり後に当該半導体記憶装置へ入力される外部クロック信号のうち、最初の少なくとも 1 クロックにより規定されるタイミングでは前記リード／ライト動作を行わないように構成されていることを特徴としている。 40 50

【0054】

本発明の半導体記憶装置においては、当該半導体記憶装置に入力される外部クロック信号を、少なくとも1クロック分以上遅延させて出力する外部クロック信号遅延手段と、前記外部クロック信号遅延手段からの外部クロック信号により規定されるタイミングで、前記リード／ライト動作のトリガとしてのリード／ライト用パルスを発生するリード／ライト用パルス発生手段と、を備えることが好ましい。

【0055】

本発明の半導体記憶装置においては、前記内部クロック信号を所定周期で発生し、該内部クロック信号を前記リフレッシュ動作の第1の要求信号として出力する第1の要求信号出力手段と、前記内部クロック信号と同周期の内部クロック同周期信号を出力する内部クロック同周期信号出力手段と、前記内部クロック同周期信号出力手段からの内部クロック同周期信号と、当該半導体記憶装置に入力される外部クロック信号と、を入力とし、該入力される外部クロック信号のうち、内部クロック同周期信号が入力されているタイミングで入力された外部クロック信号のみを前記リフレッシュ動作の第2の要求信号として出力する第2の要求信号出力手段と、前記第2の要求信号出力手段からの第2の要求信号と、前記第1の要求信号出力手段からの第1の要求信号と、を入力とし、前記特別状態時にはこのうち第1の要求信号を出力する一方で、前記通常状態時には第2の要求信号を出力する要求信号選択的出力手段と、前記要求信号選択的出力手段から出力される要求信号により規定されるタイミングで、前記リフレッシュ動作のトリガとしてのリフレッシュ用パルスを発生するリフレッシュ用パルス発生手段と、を備えることが好ましい。

10

20

【0056】

なお、本発明の半導体記憶装置において、前記特別状態は、例えば、スリープ状態である。

【0057】

本発明の半導体記憶装置は、リフレッシュ動作が必要なメモリセルを備える半導体記憶装置において、前記メモリセルに対するリード／ライト動作は、当該半導体記憶装置の外部から入力される外部クロック信号の周波数が一定以上である通常状態時にのみ、該外部クロック信号により規定されるタイミングで行うように構成されているとともに、前記通常状態時に生じたトリガに基づく前記リフレッシュ動作は、前記外部クロック信号により規定されるタイミングで、且つ、該リフレッシュ動作が前記リード／ライト動作と相互干渉しないタイミングで行う一方で、当該半導体記憶装置に入力される前記外部クロック信号の周波数が一定未満である特別状態時に生じたトリガに基づく前記リフレッシュ動作は、当該半導体記憶装置の内部で発生される内部クロック信号により規定されるタイミングで行うように構成され、前記特別状態から前記通常状態への切り替わり後に当該半導体記憶装置へ入力される外部クロック信号のうち、最初の少なくとも1クロックにより規定されるタイミングでは前記リード／ライト動作を行わないように構成されていることを特徴としている。

30

【0058】

本発明の半導体記憶装置においては、前記内部クロック信号を所定周期で発生し、該内部クロック信号を前記リフレッシュ動作の第1の要求信号として出力する第1の要求信号出力手段と、前記内部クロック信号と同周期の内部クロック同周期信号を出力する内部クロック同周期信号出力手段と、前記内部クロック同周期信号出力手段からの内部クロック同周期信号と、当該半導体記憶装置に入力される外部クロック信号と、を入力とし、該入力される外部クロック信号のうち、内部クロック同周期信号が入力されているタイミングで入力された外部クロック信号のみを前記リフレッシュ動作の第2の要求信号として出力する第2の要求信号出力手段と、前記第2の要求信号出力手段からの第2の要求信号と、前記第1の要求信号出力手段からの第1の要求信号と、を入力とし、前記特別状態時にはこのうち第1の要求信号を出力する一方で、前記通常状態時には第2の要求信号を出力する要求信号選択的出力手段と、前記要求信号選択的出力手段から出力される要求信号により規定されるタイミングで、前記リフレッシュ動作のトリガとしてのリフレッシュ用パル

40

50

スを発生するリフレッシュ用パルス発生手段と、を備えることが好ましい。

【0059】

本発明の半導体記憶装置は、リフレッシュ動作が必要なメモリセルを備える半導体記憶装置において、前記メモリセルに対するリード／ライト動作は、当該半導体記憶装置の外部から入力される外部クロック信号により規定されるタイミングで、当該半導体記憶装置におけるリード／ライト動作が許可された通常状態時にのみ行うように構成されているとともに、前記通常状態時に生じたトリガに基づく前記リフレッシュ動作は、前記外部クロック信号により規定されるタイミングで、且つ、該リフレッシュ動作が前記リード／ライト動作と相互干渉しないタイミングで行う一方で、当該半導体記憶装置におけるリード／ライト動作が許可されていない特別状態時に生じたトリガに基づく前記リフレッシュ動作は、当該半導体記憶装置の内部で発生される内部クロック信号により規定されるタイミングで行うように構成され、当該半導体記憶装置は、前記特別状態から前記通常状態への切り替わりの際における前記相互干渉の発生可能性の有無を判定する相互干渉判定手段と、前記相互干渉判定手段により前記相互干渉の発生可能性があるると判定された場合に、前記リード／ライト動作の実行タイミングを前記相互干渉が回避できる程度に遅延させる遅延手段と、を備えることを特徴としている。

【0060】

本発明の半導体記憶装置においては、前記相互干渉判定手段は、前記特別状態から前記通常状態への切り替わりのタイミングにおける前記内部クロック信号の有無を判定し、前記遅延手段は、前記相互干渉判定手段により内部クロック信号が存在していると判定された場合に、前記リード／ライト動作の実行タイミングを遅延させることが好ましい。

【0061】

本発明の半導体記憶装置においては、前記内部クロック信号を所定周期で発生し、該内部クロック信号を前記リフレッシュ動作の第1の要求信号として出力する第1の要求信号出力手段と、前記内部クロック信号と同周期の内部クロック同周期信号を出力する内部クロック同周期信号出力手段と、前記内部クロック同周期信号出力手段からの内部クロック同周期信号と、当該半導体記憶装置に入力される外部クロック信号と、を入力とし、該入力される外部クロック信号のうち、内部クロック同周期信号が入力されているタイミングで入力された外部クロック信号のみを前記リフレッシュ動作の第2の要求信号として出力する第2の要求信号出力手段と、前記第2の要求信号出力手段からの第2の要求信号と、前記第1の要求信号出力手段からの第1の要求信号と、を入力とし、前記特別状態時にはこのうち第1の要求信号を出力する一方で、前記通常状態時には第2の要求信号を出力する要求信号選択的出力手段と、前記要求信号選択的出力手段から出力される要求信号により規定されるタイミングで、前記リフレッシュ動作のトリガとしてのリフレッシュ用パルスを発生するリフレッシュ用パルス発生手段と、を備えることが好ましい。

【0062】

本発明の半導体記憶装置は、リフレッシュ動作が必要なメモリセルを備える半導体記憶装置において、前記メモリセルに対するリード／ライト動作は、当該半導体記憶装置の外部から入力される外部クロック信号により規定されるタイミングで、前記リード／ライト動作への外部クロック信号の使用が許可された通常状態時にのみ行うように構成され、前記通常状態時に生じたトリガに基づく前記リフレッシュ動作は、前記外部クロック信号により規定されるタイミングで、且つ、該リフレッシュ動作が前記リード／ライト動作と相互干渉しないタイミングで行う一方で、前記リード／ライト動作への外部クロック信号の使用が許可されていない特別状態時に生じたトリガに基づく前記リフレッシュ動作も、前記外部クロック信号により規定されるタイミングで行うように構成されているとともに、前記特別状態時における前記リフレッシュ動作は、当該リフレッシュ動作のタイミングを規定する外部クロック信号に対して次周期の外部クロック信号が入力される以前に終了させるように構成されていることを特徴としている。

【0063】

また、本発明の半導体記憶装置は、例えば、同期式MSRAMであり、前記通常状態時

における前記リフレッシュ動作は、前記リード／ライト動作と相互干渉しないように、該リード／ライト動作とは実行期間をずらして行うことを好ましい一例とする。

【0064】

この場合、前記相互干渉は、前記リフレッシュ動作と前記リード／ライト動作との実行期間が重複してしまうことにより発生する。

【0065】

また、本発明の半導体記憶装置は、例えば、2T-PSRAMであり、前記通常状態時における前記リフレッシュ動作は、前記リード／ライト動作と相互干渉しないように、該リード／ライト動作と相互に一致する実行期間に行うことを好ましい一例とする。

【0066】

この場合、前記相互干渉は、前記リフレッシュ動作と前記リード／ライト動作とが、相互に僅かにずれた実行期間で行われてしまうことにより発生する。

【0067】

また、本発明の半導体記憶システムは、リフレッシュ動作が必要なメモリセルを備える半導体記憶装置と、

通常状態時には前記半導体記憶装置に外部クロック信号を入力する一方で、前記通常状態以外の特別状態時には、前記半導体記憶装置への外部クロック信号の入力を停止するように構成された外部クロック信号入力手段と、を備える半導体記憶システムにおいて、前記半導体記憶装置は、前記メモリセルに対するリード／ライト動作は、当該半導体記憶装置の外部から外部クロック信号が入力される通常状態時にのみ、該外部クロック信号により規定されるタイミングで行うように構成されているとともに、前記通常状態時に生じたトリガに基づく前記リフレッシュ動作は、前記外部クロック信号により規定されるタイミングで、且つ、該リフレッシュ動作が前記リード／ライト動作と相互干渉しないタイミングで行う一方で、前記特別状態時に生じたトリガに基づく前記リフレッシュ動作は、当該半導体記憶装置の内部で発生される内部クロック信号により規定されるタイミングで行うように構成され、前記外部クロック信号入力手段は、前記特別状態から前記通常状態に切り替わった場合には、該切り替わりのタイミングから所定の待機時間が経過してから、前記半導体記憶装置への前記外部クロック信号の入力を再開することの特徴としている。

【0068】

本発明の半導体記憶システムにおいて、前記特別状態は、例えば、スリープ状態である。

【0069】

本発明の半導体記憶システムにおいては、前記半導体記憶装置は、前記内部クロック信号を所定周期で発生し、該内部クロック信号を前記リフレッシュ動作の第1の要求信号として出力する第1の要求信号出力手段と、前記内部クロック信号と同周期の内部クロック同周期信号を出力する内部クロック同周期信号出力手段と、前記内部クロック同周期信号出力手段からの内部クロック同周期信号と、当該半導体記憶装置に入力される外部クロック信号と、を入力とし、該入力される外部クロック信号のうち、内部クロック同周期信号が入力されているタイミングで入力された外部クロック信号のみを前記リフレッシュ動作の第2の要求信号として出力する第2の要求信号出力手段と、前記第2の要求信号出力手段からの第2の要求信号と、前記第1の要求信号出力手段からの第1の要求信号と、を入力とし、前記特別状態時にはこのうち第1の要求信号を出力する一方で、前記通常状態時には第2の要求信号を出力する要求信号選択的出力手段と、前記要求信号選択的出力手段から出力される要求信号により規定されるタイミングで、前記リフレッシュ動作のトリガとしてのリフレッシュ用パルスを発生するリフレッシュ用パルス発生手段と、を備えることが好ましい。

【0070】

本発明の半導体記憶システムにおいては、前記待機時間は、前記リフレッシュ用パルスの1パルス分よりも長い時間に設定されていることが好ましい。

【0071】

10

20

30

40

50

本発明の半導体記憶システムにおいては、前記半導体記憶装置の前記要求信号選択的出力手段は、更に、前記特別状態であるか前記通常状態であるかの判別に用いられる状態判別信号を入力とし、前記状態判別信号を用いて前記通常状態であると判別される場合には前記第2の要求信号を選択して出力する一方で、前記状態判別信号を用いて前記特別状態であると判別される場合には前記第1の要求信号を選択して出力するように構成されていることが好ましい。

【発明の効果】

【0072】

本発明によれば、スリープ状態等の特別状態が終了して外部クロック信号を使用可能となった直後における上記相互干渉を防止することが可能となる。

10

【発明を実施するための最良の形態】

【0073】

〔第1の実施形態〕

図1は、本発明の第1の実施形態に係る半導体記憶装置10を示すブロック図である。

【0074】

本実施形態に係る半導体記憶装置10は、例えば、同期式MSRAM、2T-PSRAM、或いはその他の擬似SRAMであり、リフレッシュを必要とするメモリセル（図示略）を備えている。

【0075】

この半導体記憶装置10は、メモリセルに対するリード／ライト動作は、当該半導体記憶装置10の外部から外部クロック信号CLKが入力されるアクティブ状態時（通常状態時）にのみ、該外部クロック信号CLKにより規定されるタイミングで行うように構成されている。

20

【0076】

また、アクティブ状態時に生じたトリガに基づくリフレッシュ動作は、外部クロック信号CLKにより規定されるタイミングで、且つ、該リフレッシュ動作がリード／ライト動作と相互干渉しないタイミングで行うように、半導体記憶装置10は構成されている。

【0077】

ここでいう相互干渉とは、半導体記憶装置10が同期式MSRAMである場合、リフレッシュ動作とリード／ライト動作との実行期間が重複してしまうことにより発生する問題である。そして、該相互干渉が発生すると、ワード線マルチ選択或いはリストア動作の中断という誤動作を生じてしまう。このため、半導体記憶装置10が同期式MSRAMの場合、アクティブ状態時におけるリフレッシュ動作は、リード／ライト動作と相互干渉しないように、該リード／ライト動作とは実行期間をずらして行う。

30

【0078】

他方、半導体記憶装置10が2T-PSRAMである場合の上記相互干渉は、リフレッシュ動作とリード／ライト動作とが、相互に僅かにずれた実行期間で行われてしまうことにより発生する問題である。そして、該相互干渉が発生すると、センス動作の不具合という誤動作を生じてしまう。このため、半導体記憶装置10が2T-PSRAMの場合、アクティブ状態時におけるリフレッシュ動作は、リード／ライト動作と相互干渉しないように、該リード／ライト動作と相互に一致する実行期間に行う。

40

【0079】

また、外部クロック信号CLKが半導体記憶装置10に入力されないスリープ状態時（特別状態時）に生じたトリガに基づくリフレッシュ動作は、当該半導体記憶装置10の内部で発生される内部クロック信号により規定されるタイミングで行うように、半導体記憶装置10は構成されている。

【0080】

なお、外部クロック信号CLKにより規定されるタイミングで行うリフレッシュを定時リフレッシュといい、内部クロック信号により規定されるタイミングで行うリフレッシュを強制リフレッシュという。

50

【0081】

本実施形態に係る半導体記憶装置10は、スリープ状態からアクティブ状態への切り替わり（復帰）後に半導体記憶装置10へ入力される外部クロック信号CLKのうち、最初の少なくとも1クロックにより規定されるタイミングではリード／ライト動作を行わないように構成され、このように構成したことにより、スリープ状態からアクティブ状態に復帰した（切り替わった）直後におけるリード／ライト動作とリフレッシュ動作との相互干渉を回避可能となっている。

【0082】

本実施形態は、ZZモードから復帰したときの対策を示すものである。

【0083】

図1に示すように、本実施形態に係る半導体記憶装置10は、レジスタ（状態判別信号遅延手段）2と、AND回路（外部クロック信号出力手段）3と、リフレッシュタイマー回路（第1の要求信号出力手段、内部クロック同周期信号出力手段）4と、定時リフレッシュ要求信号発生回路（第2の要求信号出力手段）5と、インバータ6と、マルチプレクサ（要求信号選択的出力手段）7と、リフレッシュ用パルス発生回路（リフレッシュ用パルス発生手段）8と、リードライド用パルス発生回路（リード／ライトパルス発生手段）9と、を備えている。

【0084】

なお、半導体記憶装置10は、従来周知の擬似SRAMと同様に、複数のメモリセル、ノーマルワード線、リフレッシュワード線及びその他の図示しない構成を備えているが、それら図示しない各構成要素は、従来の半導体記憶装置と同様であるため、その説明を省略する。

【0085】

図1に示すように、半導体記憶装置10には、図示しない外部クロック信号入力手段から外部クロック信号CLKが入力される一方で、スリープレベル信号（ZZ信号）の反転信号（以下、ZZインバース信号）が図示しないスリープレベル信号入力手段から入力されるようになっている。

【0086】

ここで、ZZインバース信号は、ハイがアクティブ状態に、ローがスリープ状態に、それぞれ対応する。逆に、ZZ信号は、ローがアクティブ状態に、ハイがスリープ状態に、それぞれ対応する。これらZZ信号及びZZインバース信号は、何れも、スリープ状態（特別状態）であるかアクティブ状態（通常状態）であるかの判別に用いられる状態判別信号である。

【0087】

また、外部クロック信号CLKは、一定周期のクロック信号であり、例えば、アクティブ状態時、すなわちZZインバース信号がハイの状態時にのみ半導体記憶装置10に入力されるようになっている。

【0088】

半導体記憶装置10のレジスタ（状態判別信号遅延手段）2は、外部クロック信号CLKに同期してZZインバース信号を取り込んで保持し、該取り込んだZZインバース信号を、次の外部クロック信号CLKの入力に伴いAND回路3に出力する。つまり、レジスタ2は、状態判別信号としてのZZインバース信号のAND回路3への入力を、外部クロック信号の1クロック分だけ遅延させる。

【0089】

また、AND回路（外部クロック信号出力手段）3には、レジスタ2からのZZインバース信号と、レジスタ2を介さずに入力されるZZインバース信号と、外部クロック信号と、が入力されるようになっている。

【0090】

このAND回路3は、3つの入力と共にハイの状態時にのみ信号を出力する。つまり、AND回路3は、ZZインバース信号がハイの状態時（つまりアクティブ状態時）におい

10

20

30

40

50

て、レジスタ 2 からの Z Z インバース信号（外部クロック信号の 1 クロック分遅延された Z Z インバース信号）もハイの状態時にのみ、該 A N D 回路 3 に入力される外部クロック信号 C L K を定時リフレッシュ要求信号発生回路 5 及びリードライド用パルス発生回路 9 に出力するものであるといえる。他方、Z Z インバース信号がローの状態時、すなわち、スリープ状態時には、A N D 回路 3 は、該 A N D 回路 3 に外部クロック信号 C L K が入力されても、該入力される外部クロック信号 C L K を定時リフレッシュ要求信号発生回路 5 及びリードライド用パルス発生回路 9 に出力しない。

【0091】

なお、レジスタ（状態判別信号遅延手段）2 及び A N D 回路（外部クロック信号出力手段）3 により、半導体記憶装置 10 に入力される外部クロック信号 C L K を、少なくとも該外部クロック信号 C L K の 1 クロック分以上遅延させて出力する外部クロック信号遅延手段が構成されている。

10

【0092】

リフレッシュタイマー回路 4 は、内部クロック信号を所定周期で発生し、該内部クロック信号を強制リフレッシュの要求信号（第 1 の要求信号）としてマルチプレクサ 7 に出力する。ここで、内部クロック信号の発生周期は、外部クロック信号 C L K の周期と比べて桁違いに（例えば、数百倍～数千倍程度）長いものとする。

【0093】

更に、リフレッシュタイマー回路 4 は、定時リフレッシュのタイミングを決定する信号（内部クロック同周期信号）を、内部クロック信号と同周期で定時リフレッシュ要求信号発生回路 5 に出力する。ここで、内部クロック同周期信号は、内部クロック信号の発生に基づき発生される信号であるが、該内部クロック同周期信号の出力タイミングは、例えば、内部クロック信号の発生タイミングから所定のディレイ時間が経過後となっている。

20

【0094】

このように、リフレッシュタイマー回路 4 は、第 1 の要求信号出力手段としての機能と、内部クロック同周期信号出力手段としての機能とを兼ね備える。

【0095】

定時リフレッシュ要求信号発生回路 5 には、リフレッシュタイマー回路 4 からの内部クロック同周期信号と、A N D 回路 3 からの外部クロック信号 C L K と、が入力されるようになっている。

30

【0096】

定時リフレッシュ要求信号発生回路 5 は、A N D 回路 3 からの外部クロック信号 C L K のうち、リフレッシュタイマー回路 4 からの内部クロック同周期信号が入力されているタイミングで入力された外部クロック信号 C L K のみを抽出し、該抽出した外部クロック信号 C L K を定時リフレッシュの要求信号（第 2 の要求信号）としてマルチプレクサ 7 に出力する。つまり、内部クロック同周期信号の周期は、外部クロック信号 C L K の周期と比べて上記のように桁違いに長いために、定時リフレッシュ要求信号発生回路 5 では、外部クロック信号 C L K を“まびいて”マルチプレクサ 7 に出力することになる。

【0097】

また、インバータ 6 は、Z Z インバース信号を入力とし、該入力される Z Z インバース信号を反転させた信号（つまり Z Z 信号）をマルチプレクサ 7 に出力する。

40

【0098】

マルチプレクサ（要求信号選択的出力手段）7 には、インバータ 6 からの Z Z 信号と、定時リフレッシュ要求信号発生回路 5 からの定時リフレッシュ要求信号（R E F A）と、リフレッシュタイマー回路 4 からの強制リフレッシュ要求信号（R E F B）と、が入力されるようになっている。

【0099】

このマルチプレクサ 7 は、スリープ状態であるかアクティブ状態であるかに応じて、強制リフレッシュ要求信号と定時リフレッシュ要求信号とのうち何れか一方のみをリフレッシュ用パルス発生回路 8 に出力するように構成されている。

50

【0100】

すなわち、マルチプレクサ7は、ZZ信号を用いてアクティブ状態であると判別した場合、つまりZZ信号がローの状態時には、定時リフレッシュ要求信号を選択してリフレッシュ用パルス発生回路8に出力する一方で、ZZ信号を用いてスリープ状態であると判別した場合、つまりZZ信号がハイの状態時には、強制リフレッシュ要求信号を選択してリフレッシュ用パルス発生回路8に出力する。

【0101】

リフレッシュ用パルス発生回路（リフレッシュ用パルス発生手段）8には、マルチプレクサ7から、強制リフレッシュ要求信号及び定時リフレッシュ要求信号のうち選択された要求信号が入力されるようになっている。この要求信号に基づき、リフレッシュ用パルス発生回路8は、リフレッシュのトリガであるリフレッシュ用パルスを発生する。 10

【0102】

すなわち、アクティブ状態時には、リフレッシュ用パルス発生回路8には定時リフレッシュ要求信号が入力され、該定時リフレッシュ要求信号により規定されるタイミングで、リフレッシュ用パルス発生回路8はリフレッシュ用パルスを発生する。逆に、スリープ状態時には、リフレッシュ用パルス発生回路8には強制リフレッシュ要求信号が入力され、該強制リフレッシュ要求信号により規定されるタイミングで、リフレッシュ用パルス発生回路8はリフレッシュ用パルスを発生する。

【0103】

また、リード／ライトパルス発生回路9には、AND回路3からの外部クロック信号CLKと、ZZインバース信号と、が入力されるようになっている。 20

【0104】

そして、リード／ライトパルス発生回路9は、ZZインバース信号を用いてアクティブ状態であると判別される場合に入力される外部クロック信号CLKに基づいて、リード／ライト動作のトリガであるリード／ライト用パルスを発生する。

【0105】

本実施形態に係る半導体記憶装置10は、以上のように構成されている。

【0106】

次に、半導体記憶装置10の動作について説明する。

【0107】

図2は、本実施形態に係る半導体記憶装置10が同期式MSRAMである場合の動作を示すタイムチャートである。 30

【0108】

すなわち、図2には、(a)半導体記憶装置10へのZZインバース信号の入力状態、(b)半導体記憶装置10への外部クロック信号CLKの入力状態、(c)リード／ライト用パルス発生回路9への外部クロック信号CLKの入力状態、(d)リフレッシュタイマー回路4による内部クロック信号（強制リフレッシュ要求信号（REFB）でもある）の発生状態、(e)リフレッシュタイマー回路4による内部クロック同周期信号の発生状態、(f)ノーマルワード線の駆動状態及び(g)リフレッシュワード線の駆動状態が示されている。 40

【0109】

以下、図2を参照して、アクティブ状態からスリープ状態に移行し、更に、スリープ状態からアクティブ状態に復帰する場合の動作について、順を追って説明する。

【0110】

まず、アクティブ状態の動作について説明する。

【0111】

図2に示すように、アクティブ状態の場合、半導体記憶装置10には、ハイレベルのZZインバース信号が入力される（図2（a））一方で、外部クロック信号CLKが一定周期で入力される（図2（b））。

【0112】

このとき、レジスタ 2 は、ハイレベルの Z Z インバース信号を外部クロック信号 C L K に同期して取り込み、該取り込んだ Z Z インバース信号を、次周期の外部クロック信号 C L K の入力に伴い A N D 回路 3 に出力する。

【0113】

A N D 回路 3 には、レジスタ 2 からのハイレベルの Z Z インバース信号と、レジスタ 2 を介さずに入力されるハイレベルの Z Z インバース信号と、外部クロック信号と、が入力される。よって、A N D 回路 3 は、該 A N D 回路 3 に入力される外部クロック信号 C L K を定時リフレッシュ要求信号 (R E F A) 発生回路 5 及びリード／ライト用パルス発生回路 9 に転送する (図 2 (c))。

【0114】

ここで、リフレッシュタイマー回路 4 は、アクティブ状態であるかスリープ状態であるかに拘わらず、常時一定間隔で内部クロック信号 (図 2 (d)) を発生し、該内部クロック信号と同周期の内部クロック同周期信号 (図 2 (e)) を定時リフレッシュ要求信号 (R E F A) 発生回路 5 に出力している。

【0115】

そして、定時リフレッシュ要求信号 (R E F A) 発生回路 5 は、A N D 回路 3 からの外部クロック信号 C L K のうち、リフレッシュタイマー回路 4 からの内部クロック同周期信号 (図 2 (e)) が入力されているタイミングで入力された外部クロック信号 C L K のみを抽出し、該抽出した外部クロック信号 C L K を定時リフレッシュ要求信号 (R E F A) としてマルチプレクサ 7 に出力する。

【0116】

他方、リフレッシュタイマー回路 4 は、発生する内部クロック信号を強制リフレッシュ要求信号 (R E F B) としてマルチプレクサ 7 に出力する。

【0117】

つまり、アクティブ状態の場合、マルチプレクサ 7 には、定時リフレッシュ要求信号と強制リフレッシュ要求信号との双方が入力される。

【0118】

ここで、アクティブ状態時にマルチプレクサ 7 へ入力される Z Z 信号はローレベルであるため、該マルチプレクサ 7 は、定時リフレッシュ要求信号と強制リフレッシュ要求信号とのうち定時リフレッシュ要求信号のみを選択的にリフレッシュ用パルス発生回路 8 に出力する。

【0119】

従って、リフレッシュ用パルス発生回路 8 は、定時リフレッシュ要求信号により規定されるタイミング (遡れば、外部クロック信号 C L K により規定されるタイミング) でリフレッシュ用パルスを発生する。

【0120】

更に、リフレッシュ用パルス発生回路 8 により発生されたリフレッシュ用パルスに基づき、リフレッシュワード線 (図 2 (g)) が立ち上がる。

【0121】

他方、リード／ライト用パルス発生回路 9 は、リード／ライト動作の指令を受けた場合に、A N D 回路 3 からの外部クロック信号 C L K により規定されるタイミングでリード／ライト用パルスを発生する。

【0122】

更に、リード／ライト用パルス発生回路 9 により発生されたリード／ライト用パルスに基づき、ノーマルワード線 (図 2 (f)) が立ち上がる。

【0123】

なお、図 2 に示すのは、半導体記憶装置 10 が同期式 M S R A M である場合であるため、同一の外部クロックによりタイミングが規定されるノーマルワード線 (図 2 (f)) とリフレッシュワード線 (図 2 (g)) との立ち上がりは、アクティブ状態時において交互に行われる。

10

20

30

40

50

【0124】

次に、スリープ状態の動作について説明する。

【0125】

図2に示すように、スリープ状態の場合、半導体記憶装置10には、ローレベルのZZインバース信号が入力される(図2(a))。なお、外部クロック信号CLKは入力されていても入力停止状態となっていて良い(図2(b))。

【0126】

このとき、AND回路3には、外部クロック信号CLKが入力されなくなり、また、ハイレベルのZZインバース信号が入力されなくなるため、該AND回路3から定時リフレッシュ要求信号発生回路5への外部クロック信号CLK出力が行われない状態となる。

10

【0127】

よって、定時リフレッシュ要求信号発生回路5からマルチプレクサ7への定時リフレッシュ要求信号の出力も行われない状態となる。

【0128】

他方、リフレッシュタイマー回路4からマルチプレクサ7への強制リフレッシュ要求信号(REFB(図2(d)))の出力は引き続き行われる。

【0129】

また、スリープ状態の場合、マルチプレクサ7へ入力されるZZ信号はハイレベルであるため、該マルチプレクサ7は、強制リフレッシュ要求信号をリフレッシュ用パルス発生回路8に出力する。

20

【0130】

従って、リフレッシュ用パルス発生回路8は、強制リフレッシュ要求信号(つまり内部クロック信号)により規定されるタイミングでリフレッシュ用パルスを発生する。

【0131】

更に、リフレッシュ用パルス発生回路8により発生されたリフレッシュ用パルスに基づき、リフレッシュワード線が立ち上がる(図2(g))。

【0132】

なお、スリープ状態では、メモリセルへのリード/ライト動作は行われなため、ノーマルワード線(図2(f))は駆動停止状態となっている。

【0133】

次に、スリープ状態からアクティブ状態に復帰した直後の動作について説明する。

30

【0134】

スリープ状態からアクティブ状態に復帰すると、再び、半導体記憶装置10には、ハイレベルのZZインバース信号(図2(a))が入力される一方で、外部クロック信号CLK(図2(b))が一定周期で入力される状態となる。

【0135】

すると、レジスタ2は、ハイレベルのZZインバース信号を外部クロック信号CLKに同期して取り込み、該取り込んだZZインバース信号を、次周期の外部クロック信号CLKの入力に伴いAND回路3に出力する。

【0136】

このため、レジスタ2からAND回路3にハイレベルのZZインバース信号が入力されるタイミングは、スリープ状態からアクティブ状態に復帰したタイミングT1に対し、少なくとも外部クロック信号CLKの1クロック分以上遅延したタイミングとなる。

40

【0137】

また、アクティブ状態に復帰すると、直ちにAND回路3へのハイレベルのZZインバース信号と外部クロック信号の入力も再開される。

【0138】

しかし、レジスタ2からAND回路3にハイレベルのZZインバース信号が入力されるタイミングが、上記のように、タイミングT1に対し、少なくとも外部クロック信号CLKの1クロック分以上遅延したタイミングとなるため、AND回路3は、スリープ状態か

50

らアクティブ状態への復帰後、最初の1クロック分の外部クロック信号CLKを遮断することになる。

【0139】

なお、AND回路3への入力が仮に外部クロック信号とレジスタ2からの出力のみであると、スリープ状態からアクティブ状態への復帰後の最初の外部クロック信号に同期してAND回路3からパルスが出力されてしまう。これは、アクティブ状態からスリープ状態に移行後の最初の外部クロック信号が導入されたときにレジスタ2にハイレベルの信号がラッチ出力されているためである。そこで、本実施形態では、AND回路3にはレジスタ2を介さずにZZインバース信号を導入し、これによりスリープ状態に移行した際には完全にAND回路3の出力をローレベルに固定するようにしている。

10

【0140】

このように、スリープ状態からアクティブ状態への復帰後、最初の1クロック分の外部クロック信号CLKが遮断されるので、AND回路3から定時リフレッシュ要求信号発生回路5及びリード／ライト用パルス発生回路9への外部クロック信号CLKの転送が再開されるタイミングが、タイミングT1に対し、少なくとも外部クロック信号CLKの1クロック分以上遅延したタイミングとなる。

【0141】

つまり、図2(c)に示すように、スリープ状態からアクティブ状態への復帰後、最初の1クロック分の外部クロック信号CLK1がリード／ライト用パルス発生回路9に入力されることがなく、該外部クロック信号CLK1により規定されるタイミングT2ではノーマルワード線が立ち上がることがない。

20

【0142】

よって、仮に、スリープ状態時における最終の強制リフレッシュ要求信号(REFB)に基づくリフレッシュワード線の立ち上がり期間T3が、アクティブ状態への復帰後のタイミングとなり、タイミングT2と重複するような場合であっても、リフレッシュワード線とノーマルワード線との間で相互干渉が生じることがなく、ワード線マルチ選択或いはリストア動作の中断という誤動作の発生を好適に防止することができる。

【0143】

次に、半導体記憶装置10が2T-PSRAMである場合の動作について説明する。

【0144】

図3は、本実施形態に係る半導体記憶装置10が2T-PSRAMである場合の動作を示すタイムチャートである。

30

【0145】

すなわち、図3には、図2と同様に、(a)半導体記憶装置10へのZZインバース信号の入力状態、(b)半導体記憶装置10への外部クロック信号CLKの入力状態、(c)リード／ライト用パルス発生回路9への外部クロック信号CLKの入力状態、(d)リフレッシュタイマー回路4による内部クロック信号(強制リフレッシュ要求信号(REFB)でもある)の発生状態、(e)リフレッシュタイマー回路4による内部クロック同周期信号の発生状態、(f)ノーマルワード線の駆動状態及び(g)リフレッシュワード線の駆動状態が示されている。

40

【0146】

図3に示すように、2T-PSRAMの場合の動作は、同一の外部クロックによりタイミングが規定されるノーマルワード線(図3(f))とリフレッシュワード線(図3(g))との立ち上がり期間が相互に一致するタイミングとなる点でのみ同期式MSRAM(図2)の場合と異なり、その他の点では、同期式MSRAMの場合と同様である。

【0147】

また、2T-PSRAMの場合は、スリープ状態からアクティブ状態に復帰した直後においては、仮に、スリープ状態時における最終の強制リフレッシュ要求信号(REFB)に基づくリフレッシュワード線の立ち上がり期間T3がタイミングT2と僅かにずれているような場合であっても、リフレッシュワード線とノーマルワード線との間で相互干渉が

50

生じることがなく、センス動作の不具合という誤動作の発生を好適に防止することができる。

【0148】

以上のように、第1の実施形態に係る半導体記憶装置10によれば、スリープ状態からアクティブ状態への切り替わり後に半導体記憶装置10へ入力される外部クロック信号CLKのうち、最初の1クロックにより規定されるタイミングではリード／ライト動作を行わないように構成されているので、スリープ状態からアクティブ状態に復帰して外部クロック信号CLKを使用可能となった直後における上記相互干渉を防止することができる。

【0149】

なお、上記の第1の実施形態においては、外部クロック信号遅延手段による外部クロック信号CLKの遅延を外部クロック信号CLKの1クロック分である例を説明したが、本発明はこれに限らず、2クロック分以上の遅延を発生させるように構成することも好ましい。

【0150】

つまり、上記のような相互干渉を防止するのに必要なだけ、外部クロック信号CLKを遅延させると良い。

【0151】

2クロック分以上の遅延を発生させるには、状態判別信号遅延手段は、例えば、ZZインバースを取り込んで、少なくとも外部クロック信号CLKの1クロック分以上の間だけ保持した後に出力するn段（nは2以上の正の整数）のレジスタを備えて構成されていることとすればよい。また、この2段のレジスタは、例えば、外部クロックCLKに同期してZZインバース信号を取り込み、該取り込んだZZインバース信号を、その後n番目の外部クロック信号CLKの入力に同期してAND回路3に出力することとすればよい。

【0152】

また、上記の第1の実施形態においては、定時リフレッシュ要求信号発生回路5への外部クロック信号CLKの入力も遅延させるような回路構成を例示したが、該定時リフレッシュ要求信号発生回路5への外部クロック信号CLKの入力は遅延させなくても良い。この場合、該定時リフレッシュ要求信号発生回路5への外部クロック信号CLKの入力経路は、リード／ライト用パルス発生回路9への外部クロック信号CLKの入力経路とは別系統にすると良い。

【0153】

〔第2の実施形態〕

図4は、本発明の第2の実施形態に係る半導体記憶システム20を示すブロック図である。

【0154】

図4に示すように、本実施形態に係る半導体記憶システム20は、半導体記憶装置21と、該半導体記憶装置21に外部クロック信号CLKを入力可能な外部クロック信号入力手段22と、を備えている。

【0155】

このうち半導体記憶装置21は、AND回路（外部クロック信号出力手段）3と、リフレッシュタイマー回路（第1の要求信号出力手段、内部クロック同周期信号出力手段）4と、定時リフレッシュ要求信号発生回路（第2の要求信号出力手段）5と、インバータ6と、マルチプレクサ（要求信号選択的出力手段）7と、リフレッシュ用パルス発生回路（リフレッシュ用パルス発生手段）8と、リード／ライト用パルス発生回路（リード／ライトパルス発生手段）9と、を備えている。

【0156】

すなわち、第2の実施形態に係る半導体記憶装置21は、レジスタ（状態判別信号遅延手段）2を備えていない点と、外部からのZZインバース信号が、レジスタ2を介さずにAND回路3へ入力される点で第1の実施形態に係る半導体記憶装置10と異なる。

【0157】

また、第2の実施形態に係る半導体記憶装置21においては、外部クロック信号入力手段22からの外部クロック信号CLKがリード／ライト用パルス発生回路9に入力される点でも第1の実施形態に係る半導体記憶装置10と異なる。

【0158】

ただし、それらの点の他は、第2の実施形態に係る半導体記憶装置21は、第1の実施形態に係る半導体記憶装置10と同様であるため、同様の構成要素についての説明は省略する。

【0159】

他方、外部クロック信号入力手段22には、スリープレベル信号（ZZ信号）の反転信号（ZZインバース信号）が、図示しないスリープレベル信号入力手段から入力されるようになっている。ここで、ZZ信号及びZZインバース信号は上記第1の実施形態と同様である。

10

【0160】

外部クロック信号入力手段22は、ZZインバース信号のレベルに応じて外部クロック信号CLKを半導体記憶装置21に入力する状態と、出力しない状態とに切り替える。すなわち、外部クロック信号入力手段22は、ZZインバース信号がハイの状態時、すなわちアクティブ状態時にのみ外部クロック信号CLKを一定周期で半導体記憶装置21に入力する一方で、ローの状態時、すなわちスリープ状態時には外部クロック信号を半導体記憶装置21に入力しない。

【0161】

20

第2の実施形態に係る半導体記憶システム20においては、スリープ状態からアクティブ状態への切り替わり後に半導体記憶装置21への外部クロック信号CLKの入力を再開するタイミングを、該切り替わりのタイミングから所定のセットアップ時間（待機時間）Ts（図5）だけ遅らせるように構成され、このように構成したことにより、スリープ状態からアクティブ状態に復帰した直後におけるリフレッシュ動作とリード／ライト動作との相互干渉を回避可能となっている。

【0162】

すなわち、外部クロック信号入力手段22は、該外部クロック信号入力手段22に入力されるZZインバース信号がローからハイに切り替わった場合に、該切り替わりのタイミングからセットアップ時間Tsが経過してから、半導体記憶装置21への外部クロック信号CLKの入力を再開するように構成されている。

30

【0163】

このようなセットアップ時間Tsの設定は、例えば、外部クロック信号入力手段22内の配線によるディレイがセットアップ時間Tsに相当する時間となるように該配線の特性を調節することにより行うことが挙げられる。或いは、セットアップ時間Tsに相当するディレイを生じるような論理回路を外部クロック信号入力手段22内に設けることにより該セットアップ時間Tsを設定することとしても良い。

【0164】

なお、セットアップ時間Tsは、例えば、リフレッシュパルス時間Trよりも長い時間に設定する。

40

【0165】

本実施形態に係る半導体記憶システム20は、以上のように構成されている。

【0166】

次に、半導体記憶システム20の動作について説明する。

【0167】

図5は、本実施形態に係る半導体記憶システム20の半導体記憶装置21が同期式MSRAMである場合の動作を示すタイムチャートである。

【0168】

すなわち、図5には、図2と同様に、（a）半導体記憶装置21へのZZインバース信号の入力状態、（b）半導体記憶装置21への外部クロック信号CLKの入力状態、（c

50

）リード／ライト用パルス発生回路 9 への外部クロック信号 C L K の入力状態、（d）リフレッシュタイマー回路 4 による内部クロック信号（強制リフレッシュ要求信号（R E F B）でもある）の発生状態、（e）リフレッシュタイマー回路 4 による内部クロック同周期信号の発生状態、（f）ノーマルワード線の駆動状態及び（g）リフレッシュワード線の駆動状態が示されている。

【0169】

以下、図 5 を参照して、アクティブ状態からスリープ状態に移行し、更に、スリープ状態からアクティブ状態に復帰する場合の動作について、順を追って説明する。

【0170】

なお、上記第 1 の実施形態と同様の動作については適宜説明を省略する。

10

【0171】

まず、アクティブ状態の動作について説明する。

【0172】

図 5 に示すように、アクティブ状態の場合、半導体記憶装置 21 には、図示しないスリープレベル信号入力手段からはハイレベルの Z Z インバース信号が入力される（図 5（a））一方で、外部クロック信号入力手段 22 からは外部クロック信号 C L K が一定周期で入力され、これら外部クロック信号 C L K 及び Z Z インバース信号がそれぞれ A N D 回路 3 に入力される。よって、A N D 回路 3 は、該 A N D 回路 3 に入力される外部クロック信号 C L K を定時リフレッシュ要求信号（R E F A）発生回路 5 に転送する（図 5（c））

20

【0173】

また、リフレッシュタイマー回路 4 は、内部クロック信号（図 5（d））を発生し、該内部クロック信号を強制リフレッシュ要求信号（R E F B（図 5（d）））としてマルチプレクサ 7 に出力する一方で、内部クロック信号と同周期の内部クロック同周期信号（図 5（e））を定時リフレッシュ要求信号（R E F A）発生回路 5 に出力する。

【0174】

定時リフレッシュ要求信号（R E F A）発生回路 5 は、A N D 回路 3 からの外部クロック信号 C L K（図 5（c））を“まびいて”、該まびいた外部クロック信号 C L K を定時リフレッシュ要求信号（R E F A）としてマルチプレクサ 7 に出力する。

【0175】

30

また、アクティブ状態時にマルチプレクサ 7 へ入力される Z Z 信号はローレベルであるため、該マルチプレクサ 7 は、定時リフレッシュ要求信号（R E F A）のみを選択的にリフレッシュ用パルス発生回路 8 に出力する。

【0176】

リフレッシュ用パルス発生回路 8 は、定時リフレッシュ要求信号により規定されるタイミングでリフレッシュ用パルスを発生する。

【0177】

更に、リフレッシュ用パルス発生回路 8 により発生されたリフレッシュ用パルスに基づき、リフレッシュワード線（図 5（g））が立ち上がる。

【0178】

40

他方、リード／ライト用パルス発生回路 9 は、リード／ライト動作の指令を受けた場合に、外部クロック信号入力手段 22 からの外部クロック信号 C L K により規定されるタイミングでリード／ライト用パルスを発生する。

【0179】

更に、リード／ライト用パルス発生回路 9 により発生されたリード／ライト用パルスに基づき、ノーマルワード線（図 2（f））が立ち上がる。

【0180】

なお、図 5 に示すのは、半導体記憶装置 21 が同期式 M S R A M である場合であるため、ノーマルワード線（図 5（f））とリフレッシュワード線（図 5（g））との立ち上がりは交互に行われる。

50

【0181】

また、スリープ状態の動作については、上記第1の実施形態と同様であるため説明を省略する。

【0182】

次に、スリープ状態からアクティブ状態に復帰した直後の動作について説明する。

【0183】

図5に示すように、アクティブ状態に復帰すると、再び、半導体記憶装置21には、ハイレベルのZZインバース信号(図5(a))が入力される一方で、外部クロック信号入力手段22から外部クロック信号CLK(図5(b))が一定周期で入力される状態となる。

10

【0184】

ただし、本実施形態の場合、外部クロック信号入力手段22から半導体記憶装置21への外部クロック信号CLKの入力は、スリープ状態からアクティブ状態に復帰したタイミングT1から上記セットアップ時間Tsが経過してから再開される。つまり、AND回路3及びリード／ライト用パルス発生回路9への外部クロック信号CLKの入力は、タイミングT1からセットアップ時間Tsが経過してから再開される。

【0185】

このため、例えば、スリープ状態からアクティブ状態への復帰後、図5に示すように、例えば最初の1クロック分の外部クロック信号CLK1はAND回路3及びリード／ライト用パルス発生回路9に入力されないことになる。

20

【0186】

よって、第2の実施形態の場合にも上記第1の実施形態の場合と同様の効果が得られる。

【0187】

また、図6は、本実施形態に係る半導体記憶システム20の半導体記憶装置21が2T-PSRAMである場合の動作を示すタイムチャートであるが、この場合にも、上記第1の実施形態の場合と同様の効果が得られる。

【0188】

〔第3の実施形態〕

図7は、本発明の第3の実施形態に係る半導体記憶装置30を示すブロック図である。

30

【0189】

本実施形態は、ストップCLKモードから復帰したときの対策を示すものである。

【0190】

本実施形態に係る半導体記憶装置30は、上記の各実施形態の場合と同様に、例えば、同期式MSRAM、2T-PSRAM、或いはその他の擬似SRAMであり、リフレッシュを必要とするメモリセル(図示略)を備えている。

【0191】

本実施形態に係る半導体記憶装置30には、ZZインバース信号及び外部クロック信号CLKの他に、チップセレクト信号CSが入力されるようになっている。

【0192】

ここで、チップセレクト信号CSはハイとローの何れかのレベルとなる信号であり、このうちハイレベルは選択レベル(半導体記憶装置30におけるリード／ライト動作が許可された状態)に対応し、ローレベルは非選択(deselect)レベル(半導体記憶装置30におけるリード／ライト動作が許可されていない状態)に対応している。

40

【0193】

そして、本実施形態に係る半導体記憶装置30においては、メモリセルに対するリード／ライト動作は、当該半導体記憶装置30に入力されるチップセレクト信号CSが選択レベル(ハイレベル)であり、且つ、該半導体記憶装置30に入力される外部クロック信号CLKの周波数が一定以上であるアクティブ状態時(通常状態時)にのみ、該外部クロック信号CLKにより規定されるタイミングで行うように構成されている。

50

【0194】

また、アクティブ状態時に生じたトリガに基づくリフレッシュ動作は、外部クロック信号CLKにより規定されるタイミングで、且つ、該リフレッシュ動作がリード／ライト動作と相互干渉しないタイミングで行うように、半導体記憶装置30は構成されている。

【0195】

他方、アクティブ状態以外の状態時（特別状態時）に生じたトリガに基づくリフレッシュ動作は、当該半導体記憶装置30の内部で発生される内部クロック信号により規定されるタイミングで行うように、半導体記憶装置30は構成されている。

【0196】

本実施形態に係る半導体記憶装置30は、外部クロック信号CLKの周波数が一定未満の状態から一定以上の状態に切り替わるのに伴いアクティブ状態に復帰した場合に、半導体記憶装置30へ入力される外部クロック信号CLKのうち、最初の少なくとも1クロックにより規定されるタイミングではリード／ライト動作を行わないように構成され、このように構成したことにより、スリープ状態からアクティブ状態に復帰した（切り替わった）直後におけるリード／ライト動作とリフレッシュ動作との相互干渉を回避可能となっている。

【0197】

図7に示すように、本実施形態に係る半導体記憶装置30は、AND回路31と、リフレッシュタイマー回路（第1の要求信号出力手段、内部クロック同周期信号出力手段）4と、定時リフレッシュ要求信号発生回路（第2の要求信号出力手段）5と、マルチプレクサ（要求信号選択的出力手段）7と、リフレッシュ用パルス発生回路（リフレッシュ用パルス発生手段）8と、周波数感知回路（周波数判定結果出力手段）32と、レジスタ（外部クロック信号遅延手段、判定結果信号遅延手段）33と、AND回路34（外部クロック信号遅延手段、外部クロック信号出力手段）と、AND回路35と、リード／ライト用パルス発生回路（リード／ライトパルス発生手段）9と、を備えている。

【0198】

また、半導体記憶装置30は、従来周知の擬似SRAMと同様に、複数のメモリセル、ノーマルワード線、リフレッシュワード線及びその他の図示しない構成を備えているが、それら図示しない各構成要素は、従来の半導体記憶装置と同様であるため、その説明を省略する。

【0199】

図7に示すように、半導体記憶装置30には、外部クロック信号CLKが図示しない外部クロック信号入力手段から入力され、ZZインバース信号が図示しないスリープレベル信号入力手段からは入力され、更に、チップセレクト信号CSが図示しないチップセレクト信号入力手段から入力されるようになっている。

【0200】

そして、AND回路31には、ZZインバース信号と外部クロック信号CLKとが入力されるようになっている。このAND回路31は、外部クロック信号CLK及びZZインバース信号が共にハイの状態時にのみ信号を出力する。つまり、AND回路31は、ZZインバース信号がハイの状態時、すなわち、アクティブ状態時にのみ、該AND回路31に入力される外部クロック信号CLKを定時リフレッシュ要求信号発生回路5、周波数感知回路32、レジスタ33及びAND回路34に出力する。

【0201】

また、リフレッシュタイマー回路4及び定時リフレッシュ要求信号発生回路5は、上記の第1の実施形態と同様であるため、その説明を省略する。

【0202】

周波数感知回路（周波数判定結果出力手段）32は、AND回路31からの外部クロック信号CLKの周波数を感知し、該感知した周波数が一定以上であるか一定未満であるかを判定し、その判定結果をマルチプレクサ7及びレジスタ33に信号出力する。具体的には、例えば、一定以上であると判定した場合には、ハイレベルの信号を出力し、一定未満

であると判定した場合には、ローレベルの信号を出力する。

【0203】

マルチプレクサ7は、周波数感知回路32からの判定結果が「周波数が一定以上である（つまり、ハイレベル）」の場合には、定時リフレッシュ要求信号発生回路5からの定時リフレッシュ要求信号（REF A）をリフレッシュ用パルス発生回路8に出力する一方で、周波数感知回路32からの判定結果が「周波数が一定未満である（つまり、ローレベル）」の場合には、リフレッシュタイマー回路4からの強制リフレッシュ要求信号（REF B）をリフレッシュ用パルス発生回路8に出力する。

【0204】

なお、周波数感知回路32が「周波数が一定未満である」と判定した場合にマルチプレクサ7に入力される判定結果（つまり、ローレベルの信号）を強制リフレッシュ活性化信号ということとする。 10

【0205】

また、リフレッシュ用パルス発生回路8は、マルチプレクサ7からの定時リフレッシュ要求信号（REF A）或いは強制リフレッシュ要求信号（REF B）の何れかの要求信号を受けて、上記第1の実施形態と同様に機能する。

【0206】

他方、AND回路35には、チップセレクト信号CSとZZインバース信号とが入力されるようになっていて、このAND回路35は、チップセレクト信号CSとZZインバース信号とが共にハイレベルである状態時にハイレベルの信号をリード／ライト用パルス発生回路9に入力する。 20

【0207】

また、レジスタ33は、周波数感知回路32からの判定結果を、AND回路31からの外部クロック信号CLKに同期して取り込み、該取り込んだ判定結果を、次にAND回路31から入力される外部クロック信号CLKに同期してAND回路34に出力する。つまり、レジスタ33は、AND回路34への「周波数感知回路32からの判定結果」の出力を、外部クロック信号CLKの1クロック分だけ遅延させる。

【0208】

また、AND回路34は、レジスタ33から外部クロック信号CLKの1クロック分だけ遅れて入力される「周波数感知回路32からの判定結果」と、AND回路31から入力される外部クロック信号CLKと、が共にハイである状態時にのみ外部クロック信号をリード／ライト用パルス発生回路9に出力する。つまり、外部クロック信号CLKの周波数が一定以上である場合に入力された外部クロック信号のみをリード／ライト用パルス発生回路9に出力する。 30

【0209】

リード／ライト用パルス発生回路9は、AND回路35からハイレベルの信号が入力される状態時（つまり、選択状態時）にAND回路34から入力される外部クロック信号CLKに基づきリード／ライト用パルスを発生する。

【0210】

半導体記憶装置30は、以上のように構成されている。 40

【0211】

次に、半導体記憶装置30の主要な動作について説明する。

【0212】

図8は、本実施形態に係る半導体記憶装置30が同期式MSRAMの動作を示すタイムチャートである。

【0213】

すなわち、図8には、（a）リード／ライト用パルス発生回路9への外部クロック信号CLKの入力状態、（b）ノーマルワード線の駆動状態及び（c）リフレッシュワード線の駆動状態、（d）ZZインバース信号の入力状態、（e）CS信号の入力状態が示されている。

【0214】

以下、特別状態から通常状態に復帰する場合の半導体記憶装置30の動作について説明する。

【0215】

特別状態から通常状態に復帰すると、半導体記憶装置30は、外部クロック信号CLK(図2(a))により規定されるタイミングでリード/ライト動作を行う状態となる。

【0216】

ただし、本実施形態に係る半導体記憶装置30においては、特別状態から通常状態に復帰した場合におけるリード/ライト用パルス発生回路9への外部クロック信号の入力再開が、復帰のタイミングに対し外部クロック信号CLKの1クロック分以上遅延される。このため、図2(a)に示すように、特別状態から通常状態への復帰後、最初の1クロック分の外部クロック信号CLK1がリード/ライト用パルス発生回路9に入力されることがなく、該外部クロック信号CLK1により規定されるタイミングT2では、ノーマルワード線が立ち上がることがない。

10

【0217】

よって、仮に、特別状態時における最終の強制リフレッシュ要求信号(REFB)に基づくリフレッシュワード線の立ち上がり期間T3がタイミングT2と重複するか或いは僅かにずれるような場合であっても、リフレッシュワード線とノーマルワード線との間で相互干渉が生じることがなく、ワード線マルチ選択、リストア動作の中断或いはセンス動作の不具合という誤動作の発生を好適に防止することができる。

20

【0218】

つまり、第3の実施形態に係る半導体記憶装置30においても、上記第1及び第2の実施形態と同様の効果が得られる。

【0219】

〔第4の実施形態〕

図9は、本発明の第4の実施形態に係る半導体記憶装置40を示すブロック図である。

【0220】

本実施形態は、ロングサイクルモードから復帰したときの対策を示すものである。

【0221】

本実施形態に係る半導体記憶装置40は、上記の各実施形態の場合と同様に、例えば、同期式MSRAM、2T-PSRAM、或いはその他の擬似SRAMであり、リフレッシュを必要とするメモリセル(図示略)を備えている。

30

【0222】

本実施形態に係る半導体記憶装置40には、外部クロック信号CLK及びチップセレクト信号CSが入力されるようになっている。

【0223】

そして、本実施形態に係る半導体記憶装置40においては、メモリセルに対するリード/ライト動作は、当該半導体記憶装置40に入力される外部クロック信号CLKにより規定されるタイミングで行うように構成されている。

【0224】

ただし、このリード/ライト動作が行われるのは、半導体記憶装置40に入力されるチップセレクト信号CSが選択レベル(ハイレベル)である状態時(半導体記憶装置40におけるリード/ライト動作が許可された通常状態時)だけである。

40

【0225】

また、アクティブ状態時に生じたトリガに基づくリフレッシュ動作は、外部クロック信号CLKにより規定されるタイミングで、且つ、該リフレッシュ動作がリード/ライト動作と相互干渉しないタイミングで行うように、半導体記憶装置40は構成されている。

【0226】

他方、半導体記憶装置40に入力されるチップセレクト信号CSが非選択レベル(ローレベル)である状態時(半導体記憶装置40におけるリード/ライト動作が許可されてい

50

ない特別状態時)に生じたトリガに基づくリフレッシュ動作は、当該半導体記憶装置40の内部で発生される内部クロック信号により規定されるタイミングで行うように、半導体記憶装置40は構成されている。

【0227】

本実施形態に係る半導体記憶装置40は、特別状態から通常状態への復帰の際に上記の相互干渉が発生しうるか否かを判定し、発生しうる場合には、相互干渉を回避できる程度にリード／ライト動作を遅延させるように構成され、このように構成したことにより、非選択状態からアクティブ状態に復帰した直後におけるリード／ライト動作とリフレッシュ動作との相互干渉を回避可能となっている。

【0228】

本実施形態に係る半導体記憶装置40は、入力レジスタ41と、AND回路42と、判定回路43と、マルチプレクサ7と、リフレッシュ用パルス発生回路8と、リード／ライト用パルス発生回路9と、を備えている。

【0229】

また、半導体記憶装置40は、図示は省略するが、上記の各実施形態と同様に、リフレッシュタイマー回路4及び定時リフレッシュ要求信号発生回路5を備えている。

【0230】

そして、本実施形態に係る半導体記憶装置40のマルチプレクサ7には、例えば判定結果信号(上記第3の実施形態参照)又はZZ信号(上記第1の実施形態参照)が入力されるようになっていて、これら何れかの信号に応じてリフレッシュタイマー回路4からの強制リフレッシュ要求信号REFB又はリフレッシュ要求信号発生回路5からの定時リフレッシュ要求信号REFAを選択的に出力する。

【0231】

入力レジスタ41は、外部クロック信号CLKに同期してチップセレクト信号を取り込んで保持し、該取り込んだチップセレクト信号を、次の外部クロック信号CLKの入力に伴いAND回路42に出力する。

【0232】

AND回路42は、入力レジスタ41からのチップセレクト信号CSがハイレベルの状態時に該AND回路42に入力される外部クロック信号CLKのみを判定回路43に出力する。

【0233】

判定回路43は、AND回路42からの外部クロック信号CLKと、図示しないリフレッシュタイマー回路4からのREFBとを入力としている。

【0234】

そして、判定回路43は、特別状態から通常状態への切り替わりに伴い、AND回路42からの外部クロック信号CLKの入力が再開されると、該切り替わりの際におけるREFBの有無を判定することによって、該切り替わりの際における相互干渉の発生可能性の有無を判定する。

【0235】

すなわち、判定回路43は、特別状態から通常状態への切り替わりの際において、REFBが発生している(入力されている)場合には、相互干渉の発生可能性があるとは判定し、REFBが発生していない場合には、相互干渉の発生可能性がないとは判定する。

【0236】

そして、判定回路43は、相互干渉の発生可能性があるとは判定した場合には、該相互干渉が回避できる程度に遅延させて、外部クロック信号をリード／ライト用パルス発生回路9に入力する。

【0237】

ここで、遅延時間は、リフレッシュ動作の完了まで待ってからリード／ライト動作が開始される程度の時間に設定すると良い。この時間は、例えば、数ns～50ns程度である。

10

20

30

40

50

【0238】

他方、判定回路43は、相互干渉の発生可能性がないと判定した場合には、外部クロック信号を遅延させずにリード／ライト用パルス発生回路9に入力する。

【0239】

リード／ライト用パルス発生回路9は、判定回路43からの外部クロック信号CLKの入力に基づき、リード／ライト用パルスを発生する。

【0240】

つまり、リード／ライト用パルス発生回路9は、判定回路43により相互干渉の発生可能性があるとして判定された場合には、該相互干渉が回避できる程度に遅延したタイミングでリード／ライト用パルスを発生する。

10

【0241】

次に、図10を参照して、動作を説明する。

【0242】

図10は、本実施形態に係る半導体記憶装置40の動作を示すタイムチャートである。

【0243】

例えば、図10に示すように、時刻Tbにおいて、チップセレクト信号CSがローレベルからハイレベルに切り替わり、アクティブ状態に復帰したものとする。

【0244】

判定回路43は、時刻Tbの時点におけるREFBの入力有無を判定し、入力されていると判定した場合には、相互干渉の発生可能性があるとして判定し、外部クロック信号CLKを、該相互干渉が回避できる程度に遅延させてリード／ライト用パルス発生回路9に出力する。

20

【0245】

その結果、図10に示すように、ノーマルワード、ノーマルSE（センスイネーブル）、ノーマルYJ（カラムセレクト）及びDA（データアンプ）の立ち上がり期間がそれぞれ、リフレッシュワード、リフレッシュSE（センスイネーブル）、リフレッシュYJ（カラムセレクト）との相互干渉を回避できるまで遅延される。

【0246】

よって、第4の実施形態に係る半導体記憶装置40においても、上記第1乃至第3の実施形態と同様の効果が得られる。

30

【0247】

〔第5の実施形態〕

図11は、本発明の第5の実施形態に係る半導体記憶装置50を示すブロック図である。

【0248】

本実施形態は、CLK非選択モードから復帰したときの対策を示すものである。

【0249】

本実施形態に係る半導体記憶装置50は、例えば、同期式MSRAM、2T-PSRAM、或いはその他の擬似SRAMであり、リフレッシュを必要とするメモリセル（図示略）を備えている。

40

【0250】

本実施形態に係る半導体記憶装置50は上述のCLK非選択モードに対応するものである。

【0251】

すなわち、半導体記憶装置50には、外部クロック信号CLKと、リード／ライト動作への外部クロック信号CLKの使用可／使用不可を設定するクロックイネーブル信号（CKEインバース信号）と、が入力されるようになっている。

【0252】

ここで、CKEインバース信号は、ローレベルが半導体記憶装置50で外部クロック信号CLKをリード／ライト動作に使用可能な状態（通常状態）に対応し、ハイレベルが半

50

導体記憶装置 50 で外部クロック信号 CLK をリード／ライト動作に使用不可能な状態（特別状態）に対応する。

【0253】

そして、半導体記憶装置 50 は、メモリセルに対するリード／ライト動作は、外部クロック信号がリード／ライト動作に使用可能である状態時（CKE インバース信号がローレベル）にのみ、当該半導体記憶装置 50 の外部から入力される外部クロック信号 CLK により規定されるタイミングで行うように構成されている。

【0254】

また、通常状態時に生じたトリガに基づくリフレッシュ動作は、外部クロック信号 CLK により規定されるタイミングで、且つ、該リフレッシュ動作がリード／ライト動作と相互干渉しないタイミングで行うように、半導体記憶装置 50 は構成されている。 10

【0255】

更に、特別状態時に生じたトリガに基づくリフレッシュ動作も、外部クロック信号 CLK により規定されるタイミングで行うように構成されている。

【0256】

そして、本実施形態に係る半導体記憶装置 50 は、特別状態に生じたトリガに基づくリフレッシュ動作は、該トリガとなる外部クロック信号に対して次周期の外部クロック信号が入力される以前に終了させるように構成され、このように構成したことにより、特別状態から通常状態に復帰した直後におけるリード／ライト動作とリフレッシュ動作との相互干渉を回避可能となっている。 20

【0257】

図 11 に示すように、本実施形態に係る半導体記憶装置 50 は、リフレッシュタイマー回路 4 と、定時リフレッシュ要求信号発生回路（要求信号出力手段）5 と、リフレッシュ用パルス発生回路 8 と、インバータ 51 と、リードライド用パルス発生回路 9 と、を備えている。

【0258】

このうちリフレッシュタイマー回路 4 は、内部クロック信号を所定周期で発生し、該内部クロック信号と同周期の内部クロック同周期信号を定時リフレッシュ要求信号発生回路 5 に出力する。

【0259】

定時リフレッシュ要求信号発生回路 5 は、リフレッシュタイマー回路 4 からの内部クロック同周期信号と、当該半導体記憶装置 50 に入力される外部クロック信号 CLK と、を入力とし、該入力される外部クロック信号 CLK のうち、内部クロック同周期信号が入力されているタイミングで入力された外部クロック信号 CLK のみをリフレッシュ動作の要求信号としてリフレッシュ用パルス発生回路 8 に出力する。 30

【0260】

リフレッシュ用パルス発生回路 8 は、定時リフレッシュ要求信号発生回路 5 から出力される要求信号により規定されるタイミングで、リフレッシュ動作のトリガとしてのリフレッシュ用パルスを発生する。

【0261】

また、インバータ 51 は、クロックイネーブル信号（CKE インバース信号）を入力とし、該信号を反転させて AND 回路 52 に出力する。 40

【0262】

AND 回路 52 は、インバータ 51 からの反転信号と、当該半導体記憶装置 50 に入力される外部クロック信号 CLK と、を入力とし、これら双方の信号が共にハイである場合にのみ信号をリード／ライト用パルス発生回路 9 に出力する。つまり、インバータ 51 からの反転信号がハイである場合に入力される外部クロック信号 CLK のみをリード／ライト用パルス発生回路 9 に出力する。

【0263】

リード／ライト用パルス発生回路 9 は、インバータ 51 からの外部クロック信号 CLK 50

に基づいてリード／ライト動作のトリガとなるリード／ライト用パルスを発生する。

【0264】

次に、図12を参照して、半導体記憶装置50の動作について説明する。

【0265】

図12は、本実施形態に係る半導体記憶装置50の動作を示すタイムチャートである。

【0266】

例えば、図12に示すように、時刻Taにおいて、クロックイネーブル信号CKEがハイレベルからローレベルに移行し、それに伴って、外部クロック信号CLKがアクティブに復帰したとする。

【0267】

すると、リード／ライト用パルスの発生が再開され、それに伴いリード／ライト動作も再開される。

【0268】

ただし、本実施形態に係る半導体記憶装置50においては、特別状態時にトリガを生じるリフレッシュ動作Raは、該トリガとなる外部クロック信号CLKaに対して次周期の外部クロック信号CLKbが入力されるタイミングT5以前に終了する。

【0269】

これにより、特別状態から通常状態に復帰した直後におけるリード／ライト動作Rbとリフレッシュ動作Raとの相互干渉を回避可能となっている。

【0270】

よって、第5の実施形態に係る半導体記憶装置50においても、上記第1乃至第4の実施形態と同様の効果が得られる。

【0271】

〔第6の実施形態〕

次に、図13を参照して、本発明の第6の実施形態に係る半導体記憶装置60について説明する。

【0272】

図13にブロック構成を示す半導体記憶装置60は、例えば、上述のZZモード、ストップCLKモード及びロングサイクルモードの3つのモードに対応することができるように構成されている。

【0273】

つまり、半導体記憶装置60は、上記半導体記憶システム20の半導体記憶装置21、上記半導体記憶装置30及び上記半導体記憶装置50の機能を組み合わせた装置である。

【0274】

なお、以下の説明において、上記の何れかの実施形態と同様の構成要素については、同一の符号を付している。

【0275】

半導体記憶装置60は、具体的には、例えば、メモリコア回路51と、レジスタ53、54、55と、リード／ライト用パルス発生回路9と、パルスシフト信号発生回路56と、周波数感知回路32と、リフレッシュ用パルス発生回路8と、タイマー59と、フリップフロップ（FF）62と、リフレッシュ用アドレス発生回路61と、インバータ51と、AND回路31、52と、NAND回路65、66、67、68と、を備えている。

【0276】

クロックイネーブル信号（CKEインバース信号）はインバータ51に入力され、インバータ51により反転された後、AND回路52の一方の入力端子に入力される。AND回路52は、反転されたクロックイネーブル信号CKEと、AND回路31の出力信号とを入力し、これら二つの信号に応じた信号をクロック信号CLKiとしてレジスタ53、レジスタ54、レジスタ55及びリード／ライト用パルス発生回路9に出力する。

【0277】

AND回路31は、外部クロック信号CLK及びZZインバース信号を入力し、これら

10

20

30

40

50

二つの信号に応じた信号をAND回路52及びNAND回路66に出力する。

【0278】

NAND回路65は、ZZインバース信号と、周波数感知回路32からの出力信号とを入力し、これら二つの信号に応じた信号をNAND回路67に出力する。

【0279】

NAND回路66は、AND回路31の出力信号と、周波数感知回路32の出力信号と、フリップフロップ(FF)62の出力信号とを入力し、定時リフレッシュ要求信号REFAをNAND回路68に出力する。

【0280】

NAND回路67は、NAND回路65からの出力信号と、フリップフロップ(FF)62からの出力信号とを入力し、強制リフレッシュ要求信号REFBをNAND回路68に出力する。 10

【0281】

NAND回路68は、NAND回路66から定時リフレッシュ要求信号REFAを、NAND回路67から強制リフレッシュ要求信号REFBをそれぞれ受信し、何れか一方を選択し、選択した要求信号をリフレッシュ用パルス発生回路8、リフレッシュ用アドレス発生回路61及びフリップフロップ(FF)62に出力する。

【0282】

NAND回路65、66、67及び68がリフレッシュ要求信号発生回路を構成している。 20

【0283】

フリップフロップ(FF)62は、タイマー59が出力する信号によって指定される時刻において、NAND回路68が出力する要求信号をリセットし、NAND回路66及びNAND回路67に出力する。

【0284】

NAND回路68が出力した要求信号を受信したリフレッシュ用パルス発生回路8及びリフレッシュ用アドレス発生回路61は、それぞれリフレッシュ用パルス及びリフレッシュ用アドレス信号をメモリア回路51に出力する。

【0285】

レジスタ53は、信号Add及びデータを入力し、AND回路52からのクロック信号CLKiに応じて、メモリア回路51に出力する。 30

【0286】

レジスタ54は、信号CS及びリード／ライト信号を入力し、AND回路63からのクロック信号CLKiに応じて、リード／ライト用パルス発生回路9に出力する。

【0287】

周波数感知回路32は、外部クロック信号CLKの周波数を感知し、ストップCLKモード及びロングサイクルモードの場合にはローレベルの信号を出力し、それら以外の場合にはハイレベルの信号をパルスシフト信号発生回路56、NAND回路65及びNAND回路66に出力する。

【0288】

パルスシフト信号発生回路56は、上記第3の実施形態におけるレジスタ33及びAND回路34に相当する回路であり、周波数感知回路32から出力されるローレベルまたはハイレベルの信号に応じて、パルスシフト信号をリード／ライト用パルス発生回路9に出力する。 40

【0289】

リード／ライト用パルス発生回路9は、パルスシフト信号発生回路56からのパルスシフト信号と、レジスタ55からの出力信号と、AND回路52からのクロック信号CLKiとを入力し、リード／ライト用パルスをメモリア回路51に発生する。

【0290】

メモリア回路51は、読み出されたデータをレジスタ54に出力し、レジスタ54は 50

、AND回路52からのクロック信号CLK_iに応じて、メモリコア回路51からのデータを出力する。

【0291】

このような構成により、半導体記憶装置60は、上記半導体記憶システム20の半導体記憶装置21、上記半導体記憶装置30及び上記半導体記憶装置50の機能を組み合わせた機能を実現する。

【0292】

なお、本実施形態に係る半導体記憶装置60は、上記の例に限らず、ZZモード、ストップCLKモード、CLK非選択モード及びロングサイクルモードの4つのモードにそれぞれ対応するように構成されている半導体記憶装置を適宜組み合わせることにより、これら4つのモードの何れか2つ、3つまたは4つ全てに対応可能な半導体記憶装置を構成することも可能である。

【図面の簡単な説明】

【0293】

【図1】第1の実施形態に係る半導体記憶装置を示すブロック図である。

【図2】図1の半導体記憶装置が同期式MSRAMである場合の動作を示すタイムチャートである。

【図3】図1の半導体記憶装置が2T-PSRAMである場合の動作を示すタイムチャートである。

【図4】第2の実施形態に係る半導体記憶システムを示すブロック図である。

【図5】図4の半導体記憶システムの半導体記憶装置が同期式MSRAMである場合の動作を示すタイムチャートである。

【図6】図4の半導体記憶システムの半導体記憶装置が2T-PSRAMである場合の動作を示すタイムチャートである。

【図7】第3の実施形態に係る半導体記憶装置を示すブロック図である。

【図8】図7の半導体記憶装置の動作を示すタイムチャートである。

【図9】第4の実施形態に係る半導体記憶装置を示すブロック図である。

【図10】図9の半導体記憶装置の動作を示すタイムチャートである。

【図11】第5の実施形態に係る半導体記憶装置を示すブロック図である。

【図12】図11の半導体記憶装置の動作を示すタイムチャートである。

【図13】第6の実施形態に係る半導体記憶装置を示すブロック図である。

【図14】同期式MSRAMにおける定時リフレッシュ動作のタイミングを示す信号波形図である。

【図15】2T-PSRAMにおける定時リフレッシュ動作のタイミングを示す信号波形図である。

【図16】従来の半導体記憶装置における問題点を説明するためのタイムチャートである。

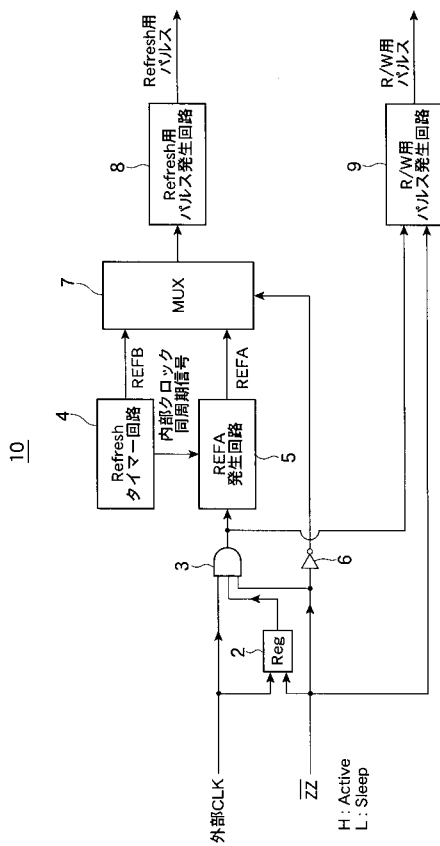
【符号の説明】

【0294】

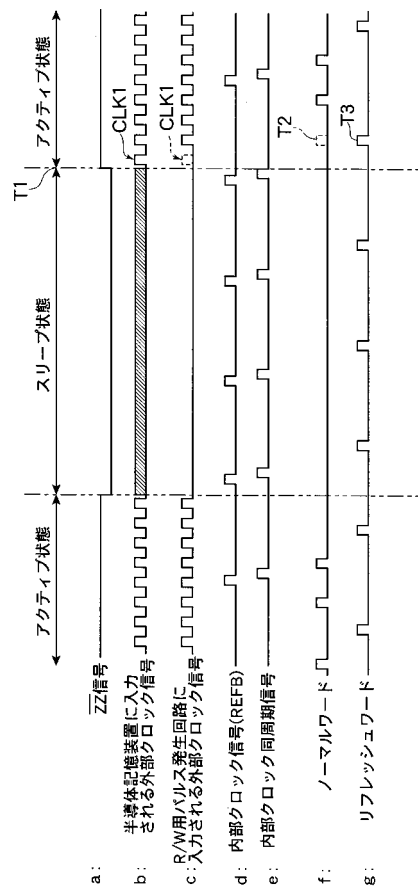
- | | | |
|----|---|----|
| 2 | レジスタ（外部クロック信号遅延手段、状態判別信号遅延手段） | 40 |
| 3 | AND回路（外部クロック信号遅延手段、外部クロック信号出力手段） | |
| 4 | リフレッシュタイマー回路（第1の要求信号出力手段、内部クロック同周期信号出力手段） | |
| 5 | 定時リフレッシュ要求信号発生回路（第2の要求信号出力手段、要求信号出力手段） | |
| 7 | マルチプレクサ（要求信号選択的出力手段） | |
| 8 | リフレッシュ用パルス発生回路（リフレッシュ用パルス発生手段） | |
| 9 | リード／ライト用パルス発生回路（リード／ライト用パルス発生手段） | |
| 10 | 半導体記憶装置 | |
| 20 | 半導体記憶システム | 50 |

- | | |
|-----|---|
| 2 1 | 半 導 体 記 憶 装 置 |
| 2 2 | 外 部 ク ロ ッ ク 信 号 入 力 手 段 |
| 3 0 | 半 導 体 記 憶 装 置 |
| 3 2 | 周 波 数 感 知 回 路 （ 周 波 数 判 定 結 果 出 力 手 段 ） |
| 3 3 | レ ジ ス タ （ 外 部 ク ロ ッ ク 信 号 遅 延 手 段 、 判 定 結 果 信 号 遅 延 手 段 ） |
| 3 4 | A N D 回 路 （ 外 部 ク ロ ッ ク 信 号 遅 延 手 段 、 外 部 ク ロ ッ ク 信 号 出 力 手 段 ） |
| 4 0 | 半 導 体 記 憶 装 置 |
| 4 3 | 判 定 回 路 （ 相 互 干 渉 判 定 手 段 、 遅 延 手 段 ） |
| 5 0 | 半 導 体 記 憶 装 置 |

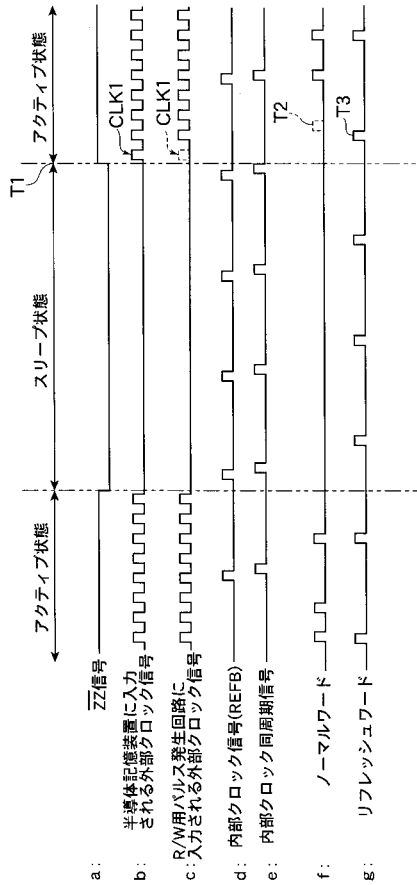
【図 1】



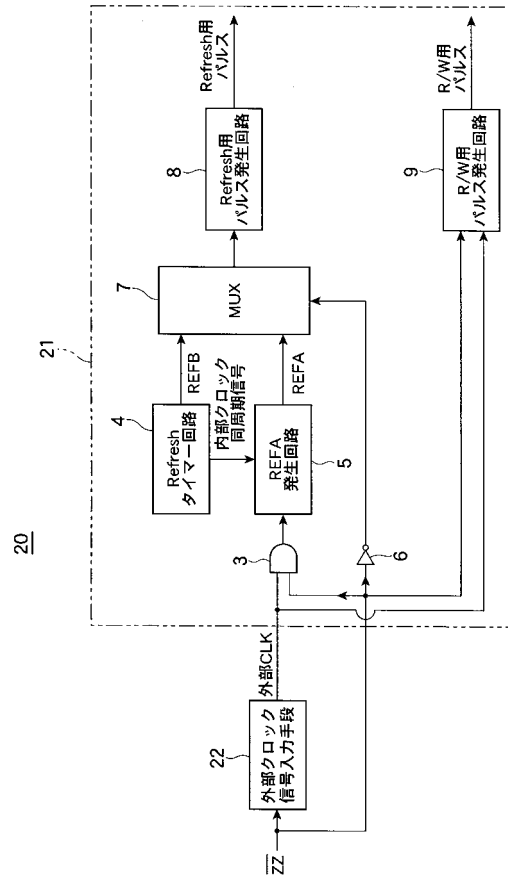
【図 2】



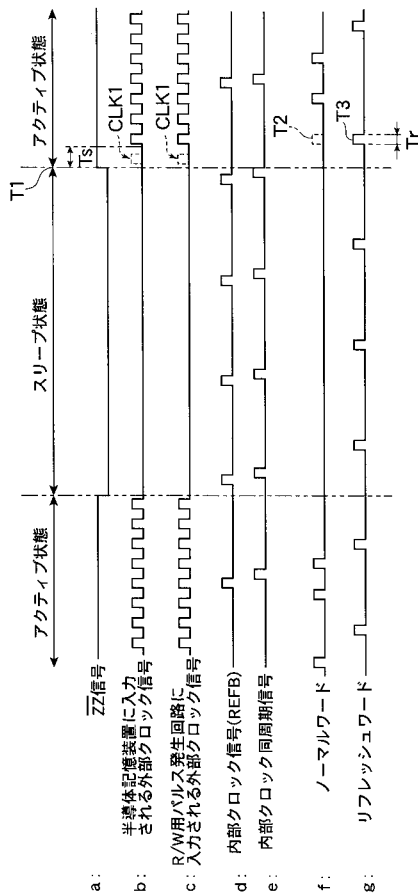
【図 3】



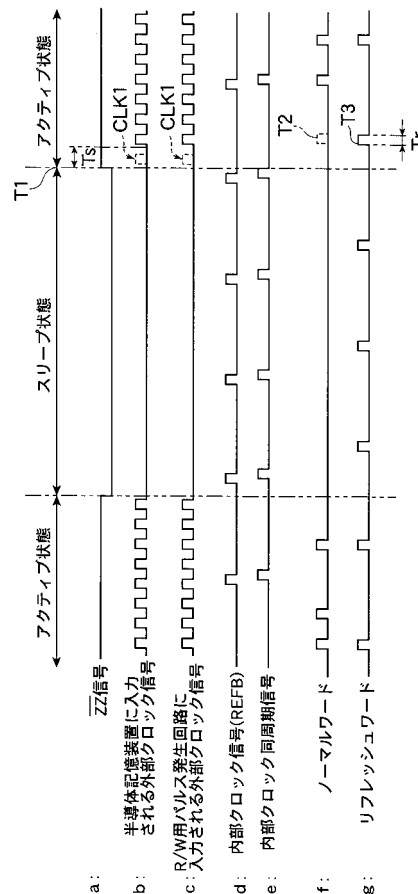
【図 4】



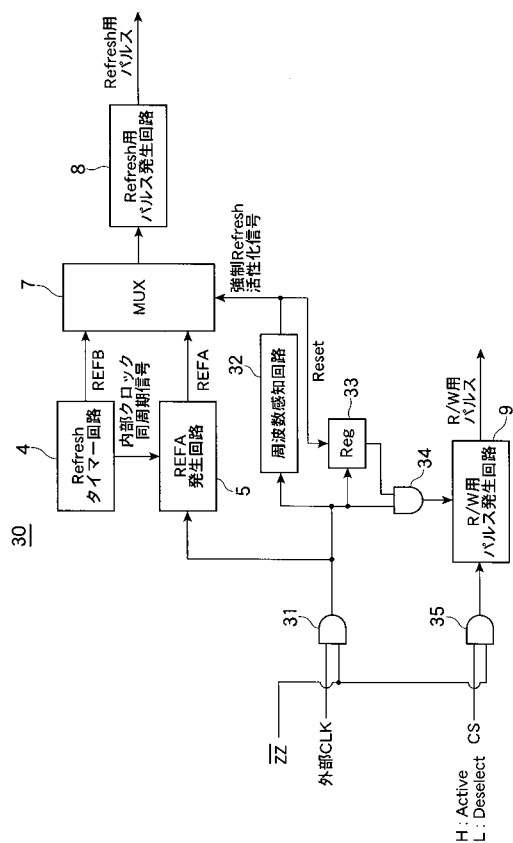
【図 5】



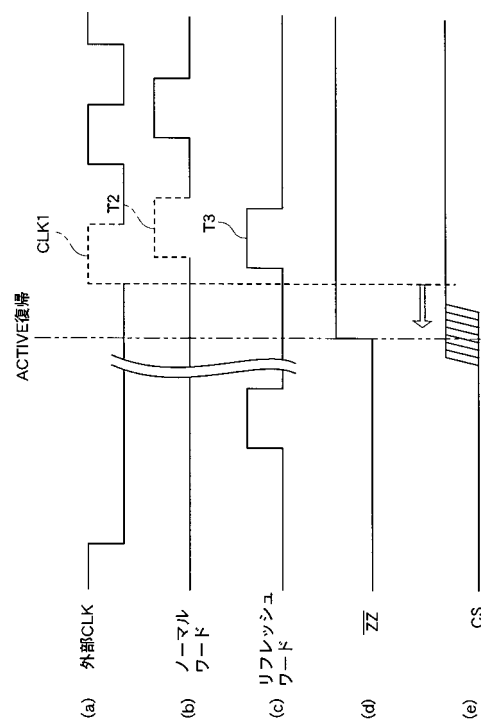
【図 6】



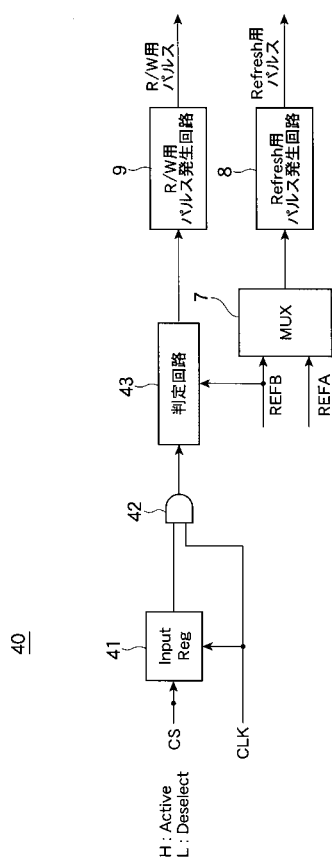
【図 7】



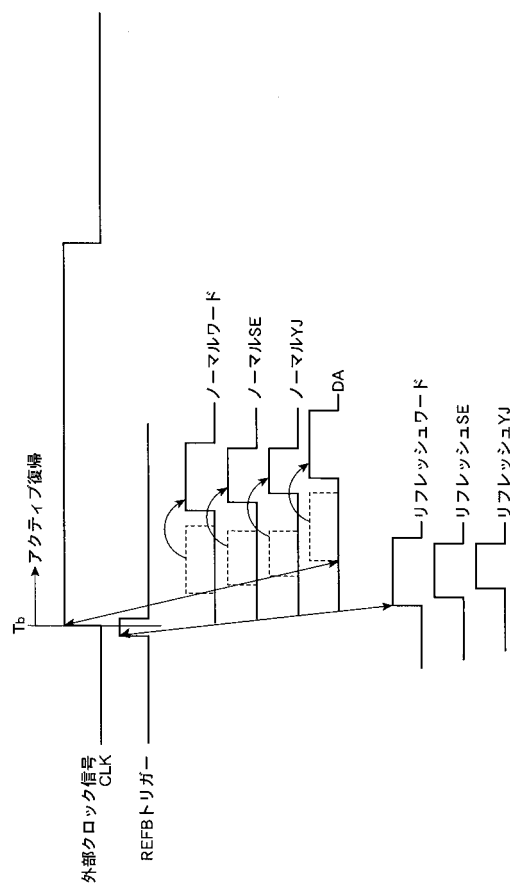
【図 8】



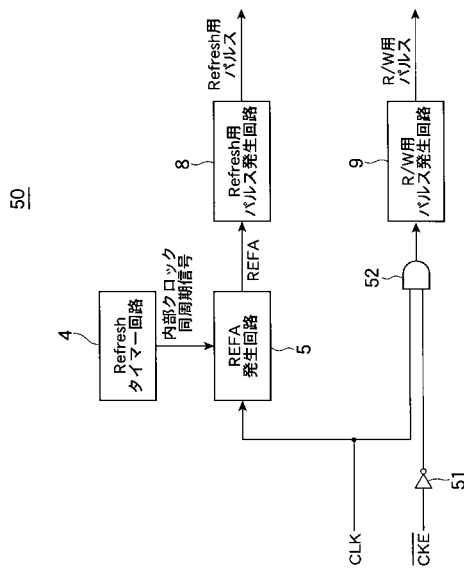
【图 9】



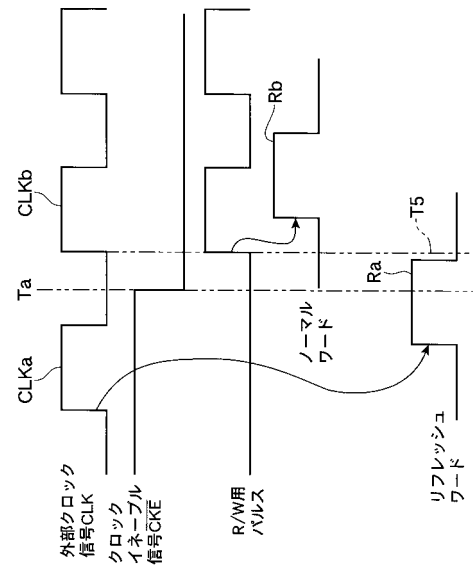
【 図 1 0 】



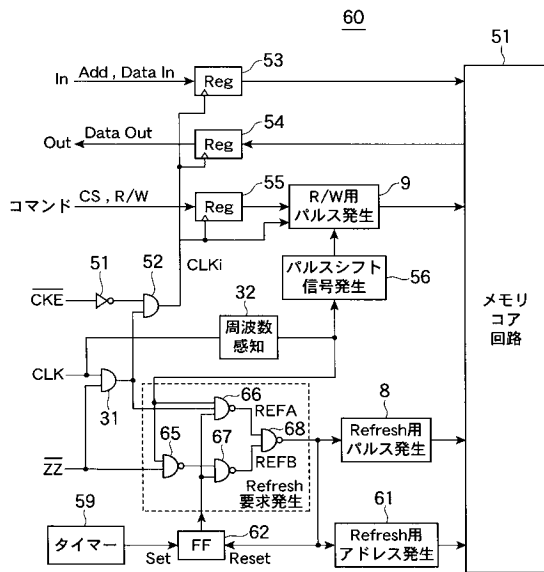
【図 1 1】



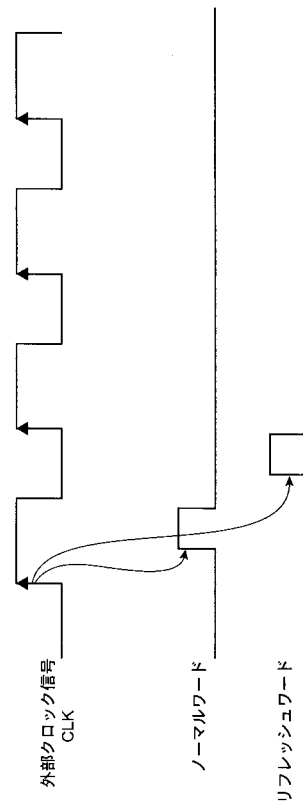
【図 1 2】



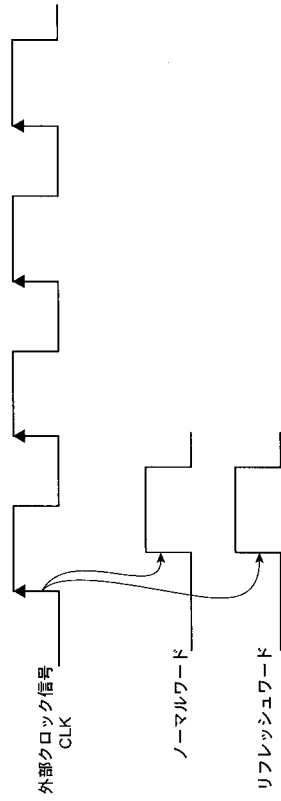
【図 1 3】



【図 1 4】



【図 15】



【図 16】

