

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成26年6月5日(2014.6.5)

【公開番号】特開2011-253607(P2011-253607A)

【公開日】平成23年12月15日(2011.12.15)

【年通号数】公開・登録公報2011-050

【出願番号】特願2011-121586(P2011-121586)

【国際特許分類】

G 1 1 C	5/00	(2006.01)
H 0 1 L	27/115	(2006.01)
H 0 1 L	21/8247	(2006.01)
H 0 1 L	21/336	(2006.01)
H 0 1 L	29/788	(2006.01)
H 0 1 L	29/792	(2006.01)
H 0 1 L	27/10	(2006.01)
H 0 1 L	25/065	(2006.01)
H 0 1 L	25/07	(2006.01)
H 0 1 L	25/18	(2006.01)

【F I】

G 1 1 C	5/00	3 0 3 Z
H 0 1 L	27/10	4 3 4
H 0 1 L	29/78	3 7 1
H 0 1 L	27/10	4 9 5
H 0 1 L	25/08	Z

【手続補正書】

【提出日】平成26年4月16日(2014.4.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

積層された複数のメモリチップと、

前記メモリチップを貫通する複数の貫通電極(TSV)と、

少なくとも1つの前記メモリチップと少なくとも1つの前記貫通電極との間に結合され

、前記貫通電極の欠陥状態に基づいて選択的に活性化される入出力バッファと、

を含むことを特徴とする積層半導体メモリ装置。

【請求項2】

前記入出力バッファは、

前記メモリチップの内部に含まれることを特徴とする請求項1に記載の積層半導体メモリ装置。

【請求項3】

前記貫通電極のうちの少なくとも1つが欠陥ポイントを有する場合、欠陥を有する貫通電極に接続された入出力バッファのうちの前記欠陥ポイントの下に位置したメモリチップに含まれた入出力バッファが活性化されることを特徴とする請求項1に記載の積層半導体メモリ装置。

【請求項4】

前記貫通電極のうちの少なくとも1つが欠陥を有する場合、前記欠陥を有する貫通電極に接続された入出力バッファのうち欠陥ポイントより上に位置したメモリチップに含まれた入出力バッファは活性化しないことを特徴とする請求項3に記載の積層半導体メモリ装置。

【請求項5】

前記貫通電極のうちの少なくとも1つが欠陥を有する場合、前記欠陥を有する貫通電極に接続された入出力バッファのうち欠陥ポイントより上に位置したメモリチップに含まれた入出力バッファは活性化しないことを特徴とする請求項1に記載の積層半導体メモリ装置。

【請求項6】

前記メモリチップの各々は、

前記貫通電極の欠陥状態に基づいて前記メモリチップの各々の内部にある入出力バッファをイネーブルさせるバッファ制御回路を含むことを特徴とする請求項1に記載の積層半導体メモリ装置。

【請求項7】

前記バッファ制御回路は、揮発性メモリ装置を含むことを特徴とする請求項6に記載の積層半導体メモリ装置。

【請求項8】

前記バッファ制御回路は、OTPまたはEEPROMを含むことを特徴とする請求項6に記載の積層半導体メモリ装置。

【請求項9】

前記メモリチップの各々は、

前記貫通電極の状態に基づいて前記メモリチップの各々の内部にある入出力バッファをイネーブルさせるバッファ制御回路を前記入出力バッファ毎に独立的に有することを特徴とする請求項1に記載の積層半導体メモリ装置。

【請求項10】

アドレス/コマンドのための複数の貫通電極とデータのための複数の貫通電極とを含む場合、前記データのための貫通電極のうちの一部の欠陥によってデータバスのマッピングが変更された場合、アドレス/コマンドバスのマッピングを変更することを特徴とする請求項1に記載の積層半導体メモリ装置。

【請求項11】

前記積層半導体メモリ装置は、

アドレス/コマンドのための複数の貫通電極とデータのための複数の貫通電極を含む場合、前記アドレス/コマンドのための貫通電極のうちの一部の欠陥によってアドレス/コマンドバスのマッピングが変更された場合、データバスのマッピングを変更することを特徴とする請求項1に記載の積層半導体メモリ装置。

【請求項12】

プロセッサチップと、

前記プロセッサチップの上部に積層された複数のメモリチップと、

前記メモリチップをすべて貫通し、前記プロセッサチップに接続された複数の貫通電極(TSV)と、

前記メモリチップの全部又は一部と前記貫通電極の各々との間に結合され、前記貫通電極の欠陥状態に基づいて選択的に活性化される入出力バッファと、

を含むことを特徴とするメモリシステム。

【請求項13】

アドレス/コマンドのための複数の貫通電極とデータのための複数の貫通電極を含む場合、前記データのための貫通電極のうちの一部の欠陥によってデータバスのマッピングが変更された場合、アドレス/コマンドバスのマッピングを変更することを特徴とする請求項12に記載のメモリシステム。

【請求項14】

前記プロセッサチップは、前記変更されたデータバスのマッピングを元通り復旧するリペア回路を含むことを特徴とする請求項1\_3に記載のメモリシステム。

【請求項 1\_5】

前記リペア回路は、前記プロセッサチップ内にあるメモリコントローラに含まれることを特徴とする請求項1\_4に記載のメモリシステム。

【請求項 1\_6】

少なくとも1つのメモリチップと少なくとも1つの貫通電極との間に入出力バッファを各々結合する段階と、

前記貫通電極の欠陥状態に基づいて前記入出力バッファを選択的に活性化する段階と、を含むことを特徴とする積層半導体メモリ装置の貫通電極欠陥リペア方法。

【請求項 1\_7】

前記入出力バッファは、

前記メモリチップの内部に形成されることを特徴とする請求項1\_6に記載の積層半導体メモリ装置の貫通電極欠陥リペア方法。

【請求項 1\_8】

前記入出力バッファを選択的に活性化する段階は、

欠陥を有する貫通電極に接続された入出力バッファのうち欠陥を有する貫通電極の欠陥ポイントより下に位置した1つのメモリチップに含まれた入出力バッファを活性化する段階と、

欠陥を有しない貫通電極に接続された入出力バッファを活性化する段階と、

を含むことを特徴とする請求項1\_6に記載の積層半導体メモリ装置の貫通電極欠陥リペア方法。

【請求項 1\_9】

前記貫通電極のうちの一部が欠陥を有する場合、前記欠陥を有する貫通電極に接続された入出力バッファのうち欠陥ポイントより上に位置したメモリチップに含まれた入出力バッファは活性化しないことを特徴とする請求項1\_6に記載の積層半導体メモリ装置の貫通電極欠陥リペア方法。

【請求項 2\_0】

前記入出力バッファを選択的に活性化する段階は、

前記データのための貫通電極のうちの少なくとも1つの欠陥によってデータバスのマッピングを変更する段階と、

アドレス／コマンドバスのマッピングを変更する段階と、

を含むことを特徴とする請求項1\_6に記載の積層半導体メモリ装置の貫通電極欠陥リペア方法。

【請求項 2\_1】

前記入出力バッファを選択的に活性化する段階は、

前記変更されたデータバスのマッピングを元通り復旧する段階をさらに含むことを特徴とする請求項2\_0に記載の積層半導体メモリ装置の貫通電極欠陥リペア方法。

【請求項 2\_2】

第1方向に積層された複数のメモリチップと、

前記複数のメモリチップの各々に配置された複数の入出力バッファと、

前記メモリチップを介して前記第1方向に伸びる複数の貫通電極（TSV）と、を含み、

前記複数の貫通電極の各々は前記複数の入出力バッファのうちの少なくとも2つと結合され、前記複数の入出力バッファは前記複数の貫通電極のうちの少なくとも1つに欠陥が存在した際、選択的に活性化されることを特徴とする積層半導体メモリ装置。

【請求項 2\_3】

前記貫通電極のうちの欠陥を有する貫通電極にある欠陥が発生した場合、少なくとも1つが欠陥ポイントを有する際、欠陥を有する貫通電極に接続された入出力バッファ内に、前記欠陥の下に位置して、前記欠陥を有する貫通電極に接続されたメモリチップに含まれ

た第1入出力バッファが活性化されることを特徴とする請求項2\_2に記載の積層半導体メモリ装置。

【請求項24】

前記第1入出力バッファは、前記複数のメモリチップのうち前記欠陥の下の最も近くに位置したメモリチップ内に配置されることを特徴とする請求項2\_3に記載の積層半導体メモリ装置。

【請求項25】

前記欠陥を有する貫通電極に結合され、前記欠陥の上に位置した他の入出力バッファは活性化しないことを特徴とする請求項2\_3に記載の積層半導体メモリ装置。