

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/336 (2006.01)

H01L 29/786 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610100255.0

[43] 公开日 2007 年 2 月 28 日

[11] 公开号 CN 1921075A

[22] 申请日 2006.7.5

[21] 申请号 200610100255.0

[30] 优先权

[32] 2005. 8. 24 [33] US [31] 11/161,973

[71] 申请人 国际商业机器公司

地址 美国纽约

[72] 发明人 E·J·诺瓦克 K·麦克斯戴
罗明姬

[74] 专利代理机构 北京市中咨律师事务所
代理人 于 静 刘瑞东

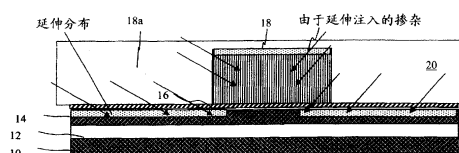
权利要求书 3 页 说明书 6 页 附图 4 页

[54] 发明名称

半导体器件及改善体接触绝缘体上硅(SOI)场
效应晶体管的方法

[57] 摘要

一种用于降低体接触区域下面的电阻的装置和方法。 本方法包括提供包括栅极结构的衬底, 该栅极结构包括有源区域和接触体区域。 本方法还包括在接触体区域下面以高于在有源区域下面的剂量形成第一杂质区域。 所得的较高浓度用于降低在隔离沟道区域的体接触寄生区域中的电阻, 并抑制用于泄漏的背栅极“潜路径”。



1. 一种方法，包括以下步骤：

提供包括栅极结构的衬底，所述栅极结构包括有源区域和接触体区域；
以及

在所述接触体区域下面以高于在所述有源区域下面的剂量形成第一杂质区域。

2. 根据权利要求1的方法，其中所述形成步骤包括在基本平行于所述有源区域的方向上离子注入杂质。

3. 根据权利要求2的方法，其中仅在所述接触体区域下面离子注入所述杂质。

4. 根据权利要求2的方法，还包括在所述有源区域下面离子注入杂质。

5. 根据权利要求4的方法，其中以高于在所述有源区域下面的剂量或能量水平、或角度，进行在所述接触体区域下面的注入。

6. 根据权利要求1的方法，其中所述形成步骤包括以从 $2 \times 10^{13} \text{cm}^{-2}$ 到约 $2 \times 10^{14} \text{cm}^{-2}$ 范围内的剂量在所述接触体区域下面注入杂质。

7. 根据权利要求1的方法，还包括以第一能量和剂量在所述有源区域和所述接触体区域的边缘下面注入杂质，并且所述形成步骤包括以更高的剂量和能量水平、或角度注入所述杂质区域。

8. 根据权利要求1的方法，其中所述形成步骤包括基本垂直于所述有源区域，在所述接触体区域的T或H体的一部分的方向上注入强晕圈离子注入。

9. 根据权利要求1的方法，其中所述形成步骤在所述接触体区域的体接触寄生区域中提供低电阻。

10. 根据权利要求1的方法，其中所述形成步骤抑制用于泄漏的背栅极“潜路径”。

11. 一种方法，包括以下步骤：

提供具有栅极结构的衬底，所述栅极结构包括有源栅极电极和隔离栅

极电极，所述有源栅极电极和隔离栅极电极互不平行；以及

在所述隔离栅极电极的边缘下面以高于在所述有源栅极电极下面的剂量形成第一杂质区域，其中所述第一杂质没有注入到所述有源栅极电极下面。

12. 根据权利要求 11 的方法，其中所述形成步骤包括在基本平行于所述有源栅极电极的方向上离子注入杂质。

13. 根据权利要求 12 的方法，其中仅在所述隔离栅极电极下面离子注入所述杂质。

14. 根据权利要求 11 的方法，还包括在所述有源栅极电极下面离子注入杂质。

15. 根据权利要求 14 的方法，其中以低于形成所述第一杂质区域的剂量进行所述离子注入。

16. 根据权利要求 14 的方法，其中还在所述隔离栅极电极下面进行在所述有源栅极电极下面的所述离子注入。

17. 根据权利要求 11 的方法，其中所述形成第一杂质区域的步骤包括使用包括硼（B），铟（In）和氟化硼（BF₂）中的一种的第一掺杂剂，或包括磷（P），砷（As）和锑（Sb）中的一种的第二掺杂剂。

18. 根据权利要求 11 的方法，其中所述有源栅极电极为 nMOSFET 和 pMOSFET 中的至少一个形成器件，所述 pMOSFET 掺杂有硼（B），铟（In）和氟化硼（BF₂）中的一种用于延伸区域，并且所述 nMOSFET 掺杂有磷（P），砷（As）和锑（Sb）中的一种用于延伸区域。

19. 根据权利要求 11 的方法，其中所述有源栅极电极以较低剂量掺杂有与形成所述第一杂质区域相同的杂质。

20. 一种半导体器件，包括一器件，所述器件具有一有源沟道区域和基本垂直于所述有源沟道区域的至少一个隔离沟道区域，所述有源沟道区域和所述至少一个隔离沟道区域具有第一浓度的掺杂区域，并且所述隔离沟道区域具有基本上不影响所述器件的所述有源沟道区域的第二、更高浓度的掺杂区域，所述第二、更高浓度用于降低所述隔离沟道区域的体接触

寄生区域中的电阻，并抑制用于泄漏的背栅极“潜路径”。

半导体器件及改善体接触绝缘体上硅（SOI）

场效应晶体管的方法

技术领域

本发明涉及半导体器件，更具体地说，涉及使用晕圈注入工艺改善体接触绝缘体上硅（SOI）场效应晶体管（FET）的方法。

背景技术

在部分耗尽 SOI，PDSOI 中的体接触器件是在 PLL，小摆动（small-swing）接收器及类似器件中使用的关键类似元件。如在半导体制造技术中所公知的，在 PDSOI 中，栅极下面的耗尽/反型层比硅有源层薄。在体接触器件中，必须确保与体是低电阻接触，并且在程序开发的早期提供了精确的模型。在程序开发的后期增加的晕圈或阱剂量降低了体效应和 FET 的发展。此外，在程序开发的后期增加的晕圈或阱剂量要求重新设计器件，伴随着周期和成本的增加。

在标准 SOI FET 中，在硅氧化物绝缘层上设置的硅外延层中形成源极和漏极。在 SOI 技术中，如果 SOI 晶体管器件的体悬浮，例如不与电压源连接，器件的特性和阈值电压可能随着实际操作中器件经历的开关历程而改变。已公知，为了消除这样的不足，形成与器件的体的接触以允许体与电压源连接。这可以通过使用垂直栅极线做到；然而，已知的接触体具有高电阻，这有损器件的特性。

作为例子，在已知的体接触中，以与半导体器件的有源区域的浓度相同的浓度掺杂体接触。此掺杂可以影响半导体器件的许多性能特性。例如，如果为了减小体接触电阻提高体掺杂浓度，相应地会增加器件的阈值电压。因此，在一些情况下，对于施加给栅极的给定电压，采用增加体掺杂以减

小体接触电阻的半导体器件倾向于要求更高的栅极电压以导电并且弱导电。体接触器件的另一个问题是对与器件沟道相邻的源极和漏极之间以及在体接触和源极/漏极区域之间提供隔离的栅极电极的区域下面的电流可能存在“潜路径 (sneak path)”。当体掺杂在此隔离区域下面太低处并与源极和漏极区域相邻时，可以在源极和漏极之间形成降低器件的操作的寄生沟道。当在关于衬底电压的电压下操作体接触器件时，此潜路径显著恶化，其倾向于反转体，在此潜路径上提供“背栅极”作用。因此期望获得低电阻体接触，并且消除潜路径，而保持器件的低阈值电压。

发明内容

在本发明的第一方面中，一种制造器件的方法包括提供包括栅极结构的衬底，所述栅极结构包括有源区域和接触体区域。本方法还包括在接触体区域下面以高于在有源区域下面的剂量形成第一杂质区域。

在本发明的另一方面中，一种方法包括提供包括栅极结构的衬底，所述栅极结构包括有源栅极电极和隔离栅极电极。有源栅极电极和隔离栅极电极互不平行。该方法还包括在隔离栅极电极的边缘，以高于在有源栅极电极下面的剂量形成第一杂质区域。不在有源栅极电极下面形成第一杂质区域。

在本发明的另一方面中，一种半导体器件包括具有有源沟道区域和至少一个基本垂直于有源沟道区域的隔离沟道区域的器件。有源沟道区域和至少一个隔离沟道区域具有第一浓度的掺杂区域，并且隔离沟道区域具有基本不影响器件的有源沟道区域的第二、更高浓度的掺杂区域。第二、更高浓度用于降低隔离沟道区域的体接触寄生区域中的电阻，并抑制用于泄漏的背栅极“潜路径”。

附图说明

图 1-3 是根据本发明制造器件的方法的实施例的截面图；

图 4 示出了本发明的第一实施例的顶视图；以及

图 5 示出了本发明的第二实施例的顶视图；

具体实施方式

本发明涉及半导体器件，更具体地说，涉及在体接触区域上使用晕圈注入工艺改善体接触 SOI FET 的方法。根据本发明，在衬底的第一方向（如，x-方向）上形成 FET 的沟道区域并且在沟道区域中包括第一浓度、第一杂质类型的第一晕圈注入。在另一方向（如 y 方向）上形成体接触区域并且包括不同于第一浓度的第二浓度（优选更高的浓度）、第一杂质类型的第二晕圈注入。根据本发明，第二晕圈注入减小体接触电阻，仅提少数特征。

参考图 1，示出了根据本发明的实施例的初始结构的实例。在图 1 中，在衬底 10 上形成可选氧化物 BOX 12 并且在可选氧化物 BOX 12 上形成 SOI 层 14。在 SOI 层 14 上形成栅极介质 16。在栅极介质 16 上形成有源栅极电极（例如，栅极）18，该电极包括垂直栅极线 18a（隔离栅极电极）。垂直栅极线 18a 用作与下面的衬底的体接触，下面将更详细的讨论。

应该明白，初始结构可以由用于形成各自结构的任何合适的方法形成。因此，栅极介质 16 可以由例如氧化物，氮化物或高 k 材料形成并可以包括例如 SiO_2 。栅极 18（以及垂直栅极线 18a）可以由例如多晶硅形成。此外，栅极介质 16 可以在约 0.7nm 到 2nm 的范围内，并且还可以依赖于具体的应用改变这些规格。例如，栅极 18 的长度可以在从约 50nm 到约 150nm 的范围内。

参考图 2，在一个实施例中，实行氧化工艺以移除在多晶硅栅极 18 的侧壁和垂直栅极线 18a 上的任何不完整部分并保护多晶硅栅极 18 的侧壁和垂直栅极线 18a。在实施例中，可以通过任何公知的沉积工艺生长或沉积氧化物以形成氧化物层 20，或者使用生长和沉积的组合。氧化物层 20 可以在如 2nm 到 5nm 的范围内，当然，本发明也旨在使用其它范围。

图 2 还示出了用于本器件的延伸注入工艺。在此工艺中，如磷（P），砷（As），锑（Sb）等的施主元素用于 nMOSFET，并且如硼（B），铈

(In)，氟化硼(BF₂)等的受主元素用于 pMOSFET。在一个实施中，依赖于具体的应用，在普通能量水平和剂量下进行掺杂。用于延伸区域的典型的杂质剂量范围从 $5 \times 10^{14} \text{cm}^{-2}$ 到 $1 \times 10^{16} \text{cm}^{-2}$ 。用于延伸区域的典型的杂质能量水平范围从 0.1keV 到 10keV，如示出的实例。

图 3 示出了掺杂和延伸的分布，在一个实施例中，因为图 2 的延伸注入，离子渗入栅极 18 和垂直栅极线 18a 约 5nm 到 10nm。因为图 2 的延伸注入，杂质在 SOI 层 14 中提供约 180 Å 到 400 Å 的分布。本领域的技术人员应该明白在 SOI 层 14 中的分布及栅极 18 和垂直栅极线 18a 中的分布是一个非限制性示意实例，并因此可以依赖于用于具体应用的粒子能量水平和杂质浓度而改变。

图 3 同样示出了在四个方向上的晕圈注入。可以通过适合所形成的器件类型的任何标准的晕圈注入方法形成晕圈区域。例如，对 nFET 类型的器件，晕圈区域可以由例如 B, In, BF₂ 等形成，剂量范围从 $1 \times 10^{13} \text{cm}^{-2}$ 到 $2 \times 10^{14} \text{cm}^{-2}$ ，杂质能量范围从 1keV 到 100keV 并且倾角范围从 10° 到 50°。在一个实施例中，倾角是与有源区域的注入倾角不同的角度。对 pFET 类型的器件，晕圈区域可以由例如 P, As, Sb 等形成。

图 4 示出了根据本发明的器件的顶视图。在此实施例中，示出了“T”形栅极类型器件。如此图所示，在体接触区域上，更具体地说，在垂直栅极线 18a 上实施附加晕圈注入工艺。如图 4 中所示，平行于有源栅极区域 18b 实施晕圈注入工艺。这样，因为更高的剂量基本平行于这样的区域 18b 并且基本在垂直栅极线 18a (垂直于区域 18b) 上实施，晕圈注入工艺不会显著影响有源沟道区域 18b。

在一个实施例中，晕圈注入的剂量在 $2 \times 10^{13} \text{cm}^{-2}$ 到约 $2 \times 10^{14} \text{cm}^{-2}$ 范围内，以相对高的能量如对于 As 为 120keV 实施。

在此工艺中，注入包括，例如，对 pMOSFET 器件用如 P, As, Sb 等的施主元素掺杂器件，并且对 nMOSFET 器件用如 B, In, BF₂ 等的受主元素掺杂器件。因此，根据本发明，在晕圈注入中使用的杂质的类型将是用于初始晕圈注入的杂质的类型。

通过在更高的能量和剂量下使用晕圈注入，现在其自身可以减小体的底部的体电阻。因此，在本发明的方法和结构中，剂量和能量越高，体中的电阻下降越大。

图 5 示出了根据本发明的器件的顶视图。在此实施例中，示出了“H”形栅极类型器件。如此图所示，在体接触区域上，更具体地说，在垂直栅极线 18a 上实施附加晕圈注入工艺。如图 5 中所示，类似于图 4，仅基本在垂直栅极线 18a 上实施晕圈注入工艺。这样，因为基本平行于这样的区域 18b 并且基本在垂直栅极线 18a（垂直于区域 18b）上实施注入，所以晕圈注入工艺不会显著影响有源沟道区域 18b。当参考图 4 的实施例时，晕圈注入还可以控制阈值电压，以及抑制用于泄漏的背栅极潜路径。

同样，如前面讨论的，通过在更高的能量和剂量下使用晕圈注入，现在其自身可以减小体的底部的体电阻。因此，在本发明的方法和结构中，剂量和能量越高，体中的电阻下降越大。在一个实施例中，晕圈注入的剂量在 $2 \times 10^{13} \text{cm}^{-2}$ 到约 $2 \times 10^{14} \text{cm}^{-2}$ 范围内，以相对高的能量如对于 As 为 120keV 实施，并且利用了如上面描述的相同的元素。

因此，这些实施例包括这样的方法和器件，其利用如垂直栅极线的体接触的增加的掺杂浓度提供半导体器件的有源区域的掺杂浓度。根据本发明，在晕圈注入中，离子穿过体接触到达，其自身在有源沟道区域中接收更小的注入剂量或浓度。这样，本发明的晕圈注入工艺控制阈值电压，同时减小在体接触和下面结构之间的接触电阻。同样，通过使用本发明，通过在 T 或 H-体栅极的方向上提供强晕圈离子注入，而沿有源栅极仅有常规剂量的晕圈注入，体接触相比于常规器件有较大改进而仅对 FET 有较小影响。这在体接触寄生区域中提供低电阻，并且还抑制否则在这样的设计中已经观察到的用于泄漏的背栅极潜路径。

在图 4 和图 5 的注入步骤后可以执行标准的工艺步骤以完成器件制造（包括隔离物形成，源极/漏极注入，源极/漏极退火，以及金属化）。例如，在衬底的延伸区域顶上，在栅极的任一侧上形成源极/漏极隔离物。可以通过用于形成侧壁隔离物的任何标准方法形成源极/漏极隔离物。在衬底中形

成到源极/漏极隔离物的任一侧的源极/漏极区域。可以由任何适合形成的器件类型的杂质形成源极/漏极区域。例如，对 nFET 器件，源极/漏极区域可以由如砷或磷形成。对 pFET 器件，源极/漏极区域可以由如硼或 BF_2 形成。

虽然根据典型的实施例描述了本发明，本领域的技术人员应该认识到本发明可以修改并且在附加权利要求的精神和范围内实施。

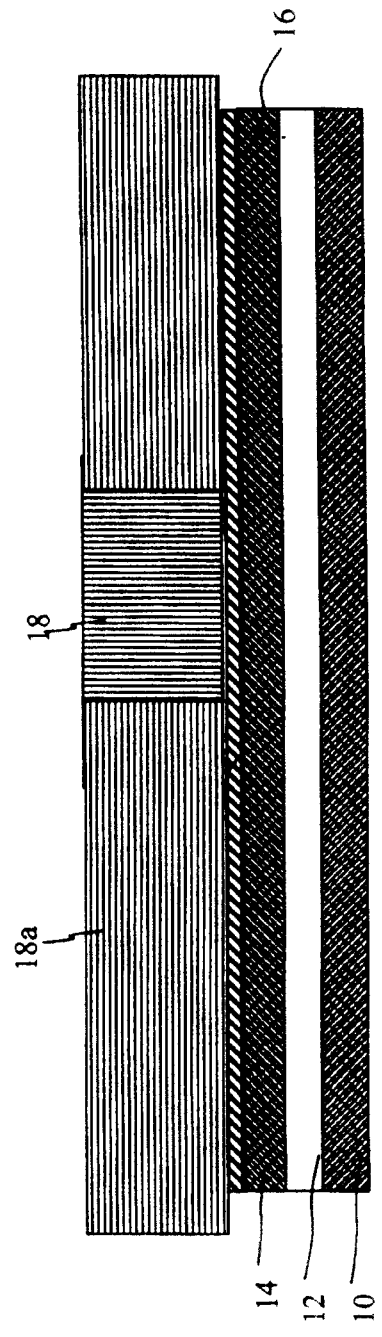


图 1

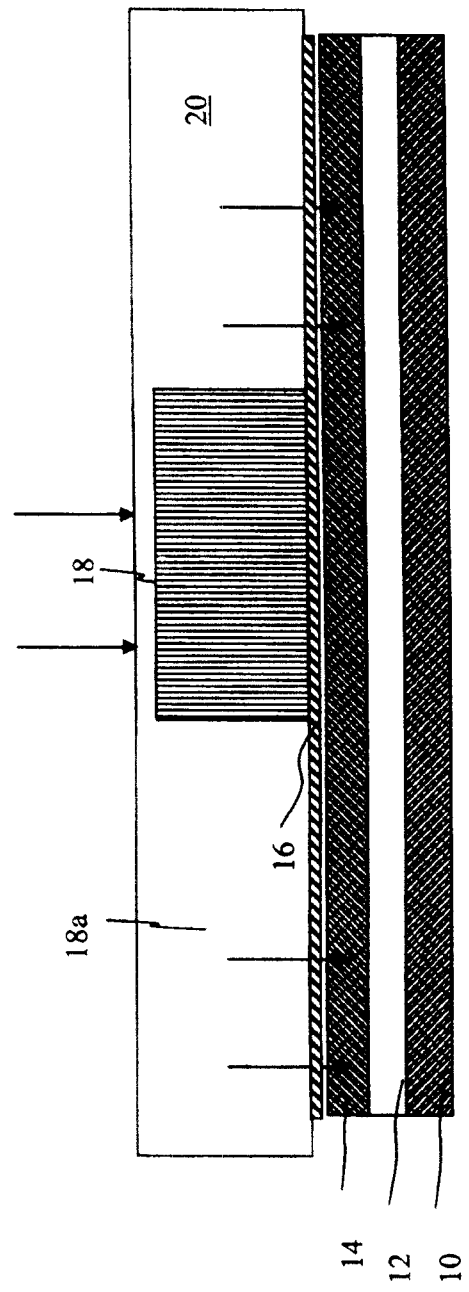


图 2

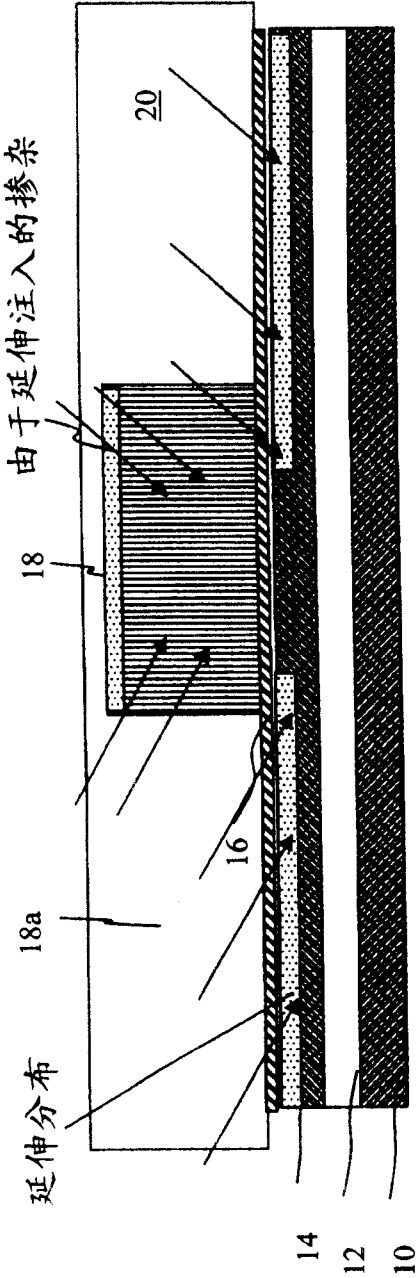


图 3

