(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2011-199178
(P2011-199178A)
(43)公開日　平成23年10月6日(2011.10.6)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 27/04	(2006.01)	H01L	27/04	F	4M104
H01L 21/822	(2006.01)	H01L	29/48	D	5F038
H01L 29/47	(2006.01)	H01L	27/06	F	5H740
H01L 29/872	(2006.01)	H02M	1/08	A	
H01L 27/06	(2006.01)				

審査請求 未請求　請求項の数 5　OL　（全 15 頁）　最終頁に続く

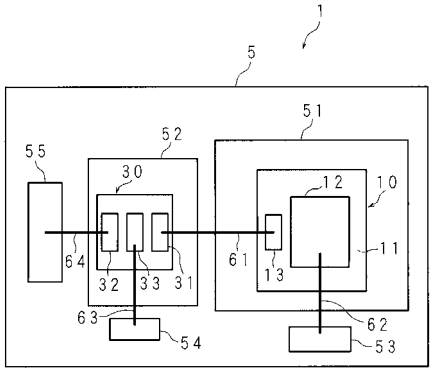
(21)出願番号　特願2010-66708(P2010-66708)
(22)出願日　平成22年3月23日(2010.3.23)

(71)出願人　000002130
住友電気工業株式会社
大阪府大阪市中央区北浜四丁目５番３３号
(74)代理人　100078868
弁理士　河野　登夫
(72)発明者　澤田　研一
大阪府大阪市此花区島屋一丁目１番３号
住友電気工業株式会社大阪製作所内

Fターム(参考)　4M104 AA03 CC03 FF02 GG03
5F038 AV06 BB05 BH19 DF01 EZ02 EZ20
5H740 AA04 BA12 KK01 PP01 PP02

(54)【発明の名称】半導体装置

(57)【要約】
【課題】スイッチング素子による高温の悪影響を回避して、誤点弧を防止する回路をスイッチング素子と同一の基板上に配置した半導体装置を提供する。
【解決手段】基板５上の導電体パターン５１，５２上にNチャネル型のＭＯＳＦＥＴ１０、及びNチャネル型で半導体材料が炭化珪素からなるＪＦＥＴ３０を各別に近接して配置し、ＭＯＳＦＥＴ１０のゲート電極１３とＪＦＥＴ３０のドレイン電極３１とをリード線６１で接続する。ＭＯＳＦＥＴ１０をオン／オフに制御する外部からの駆動信号がＪＦＥＴ３０のソース電極３２及びドレイン電極３１間を伝播するときに、ソース電極３２及びゲート電極３３間のゲート電圧の低／高に応じてＪＦＥＴ３０のチャネル抵抗を大／小に変更することにより、ＭＯＳＦＥＴ１０のドレイン電極１１及びソース電極１２間のスイッチング波形の前縁を、後縁に比較して緩やかな傾斜にする。
【選択図】図３



【特許請求の範囲】
【請求項１】
絶縁ゲート型のスイッチング素子と、該スイッチング素子のオン／オフを制御する制御信号が伝播する半導体回路とを基板上に備える半導体装置において、
前記半導体回路は、シリコンよりバンドギャップが大きい半導体からなる１又は複数の半導体素子を含み、
該半導体素子は、前記制御信号が伝播するときの抵抗の大／小を可変に構成してあること
を特徴とする半導体装置。
【請求項２】
前記半導体素子は、ドレイン電極又はソース電極の電位を基準とするゲート電極の電圧の低／高（又は高／低）に応じてチャネルの抵抗が大／小に変化するＮチャネル（又はＰチャネル）型のＦＥＴであることを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記ＦＥＴはＪＦＥＴ又はデプレッション型のＭＯＳＦＥＴであることを特徴とする請求項２に記載の半導体装置。
【請求項４】
前記スイッチング素子は、Ｎチャネル（又はＰチャネル）型であり、
前記半導体素子は、逆並列に接続されたショットキバリアダイオードであり、前記スイッチング素子に対する順方向（又は逆方向）の抵抗を逆方向（又は順方向）の抵抗より大きくしてあること
を特徴とする請求項１に記載の半導体装置。
【請求項５】
前記半導体素子は、半導体材料が炭化珪素からなることを特徴とする請求項１から４の何れか１項に記載の半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、基板上に絶縁ゲート型のスイッチング素子と半導体回路とを備える半導体装置に関する。
【背景技術】
【０００２】
近年、安定化された直流電源を必要とする電子機器にＤＣ／ＤＣコンバータが幅広く用いられている。降圧型のＤＣ／ＤＣコンバータでは、一次側の直流電圧をスイッチング素子でオン／オフし、発生させたパルスをＬＣフィルタで平滑化して安定化された電圧を得ている。また、スイッチング素子がオフしている期間に環流する電流を、ダイオードに代わる第２のスイッチング素子に導通させて同期式のＤＣ／ＤＣコンバータとすることにより、電源の利用効率をアップさせることが行われている。
【０００３】
ところで、同期式のＤＣ／ＤＣコンバータでは一次側の直流電圧をスイッチングする第１のスイッチング素子がオンした時に、第２のスイッチング素子の端子電圧が急激に上昇し、寄生容量の影響で制御電極の電圧が上昇して第２のスイッチング素子が誤点弧（セルフターンオン）に至ることがある。
【０００４】
図１２は、従来のスイッチング素子の駆動回路を示す回路図である。上述の誤点弧に対し、例えば図１２に示すように、第１のスイッチング素子１０ａがオンする速度を低下させるための抵抗器Ｒ９と、オフする速度を低下させないためのショットキバリアダイオード（ＳＢＤ）Ｄ２ａとを並列に接続した回路を、第１のスイッチング素子の制御電極１３ａに対して直列に接続する技術が用いられている。通常このような並列回路では、標準的な抵抗体からなる抵抗器と、シリコンからなるＳＢＤとが用いられる。スイッチングの高

速化のためには、制御電極に接続される回路にまつわる配線長を出来るだけ短くしてインダクタンスを小さくすることが望ましいのは言うまでもない。

【０００５】

更に、特許文献１では、第２のスイッチング素子を駆動する信号の駆動回路で負電圧を発生させ、第２のスイッチング素子がオフしている期間に制御電極に負電圧を印加することにより、第２のスイッチング素子の誤点弧を防止する技術が開示されている。

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】特開２００９－２２１０６号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

しかしながら、上述した抵抗器及びＳＢＤの並列回路を用いる方法では、抵抗体及びシリコンが高温の環境下で劣化する虞があるため、スイッチングに伴って高温となる場合がある第１のスイッチング素子と同一の基板上に並列回路を配置することができず、駆動回路から制御電極に至る配線長が延びてインダクタンスの影響が無視出来なくなる問題がある。この問題に加えて、特許文献１に開示された技術では、スイッチング素子の駆動回路が複雑になるという問題があった。

【０００８】

本発明は斯かる事情に鑑みてなされたものであり、その目的とするところは、スイッチング素子による高温の悪影響を回避して、誤点弧を防止する回路をスイッチング素子と同一の基板上に配置した半導体装置を提供することにある。

【課題を解決するための手段】

【０００９】

本発明に係る半導体装置は、絶縁ゲート型のスイッチング素子と、該スイッチング素子のオン／オフを制御する制御信号が伝播する半導体回路とを基板上に備える半導体装置において、前記半導体回路は、シリコンよりバンドギャップが大きい半導体からなる１又は複数の半導体素子を含み、該半導体素子は、前記制御信号が伝播するときの抵抗の大／小を可変に構成してあることを特徴とする。

【００１０】

本発明にあっては、制御信号が半導体素子を伝播するときの抵抗の大／小を可変にすることにより、スイッチング素子をオン／オフに制御するときのゲート電流を小／大に変更できるため、スイッチング素子に生じるスイッチング波形の前縁が、後縁に比較して緩やかな傾斜となる。また、半導体素子がワイドバンドギャップ半導体からなるため、同一基板上に配されたスイッチング素子の発熱の影響を間近に受けて半導体素子の温度が上昇した場合であっても、半導体素子が劣化することなく確実に動作する。

【００１１】

本発明に係る半導体装置は、前記半導体素子は、ドレイン電極又はソース電極の電位を基準とするゲート電極の電圧の低／高（又は高／低）に応じてチャネルの抵抗が大／小に変化するＮチャネル（又はＰチャネル）型のＦＥＴであることを特徴とする。

【００１２】

本発明にあっては、Ｎチャネル（又はＰチャネル）型のＦＥＴのドレイン及びソースに略対象性があることから、スイッチング素子をオン／オフに制御する制御信号が与えられるＦＥＴのソース電極又はドレイン電極の電位を基準とするゲート電極の電圧を、低／高（又は高／低）に変化させた場合は、スイッチング素子をオン／オフに制御するときのＦＥＴのチャネル抵抗を大／小に変更できる。

【００１３】

本発明に係る半導体装置は、前記ＦＥＴはＪＦＥＴ又はデプレッション型のＭＯＳＦＥＴであることを特徴とする。

【００１４】
本発明にあっては、ＦＥＴがＪＦＥＴ又はデプレッション型のＭＯＳＦＥＴであるため、ＦＥＴのソース電極及びゲート電極間にバイアス電圧を与えない場合であってもチャネルが導通する。従って、ＦＥＴの駆動回路の構成が簡単になる。
【００１５】
本発明に係る半導体装置は、前記スイッチング素子は、Ｎチャネル（又はＰチャネル）型であり、前記半導体素子は、逆並列に接続されたショットキバリアダイオードであり、前記スイッチング素子に対する順方向（又は逆方向）の抵抗を逆方向（又は順方向）の抵抗より大きくしてあることを特徴とする。
【００１６】
本発明にあっては、スイッチング素子がＮチャネル（又はＰチャネル）型であるため、スイッチング素子をオン／オフに制御するときのゲート電流が、スイッチング素子に対して順／逆方向（又は逆／順方向）に流れる。また、半導体素子として用いたショットキバリアダイオードが逆並列に接続されており、スイッチング素子に対する半導体素子の順方向の抵抗が逆方向の抵抗より大きく（又は小さく）なる。
従って、スイッチング素子をオン／オフに制御するときのゲート電流を、ショットキバリアダイオードの抵抗によって小／大に変更できる。
【００１７】
本発明に係る半導体装置は、前記半導体素子は、半導体材料が炭化珪素からなることを特徴とする。
【００１８】
本発明にあっては、半導体素子が炭化珪素からなるため、半導体素子の温度が４００℃近辺まで上昇した場合であっても、確実な動作が期待される。
【発明の効果】
【００１９】
本発明によれば、ワイドバンドギャップ半導体からなる半導体素子を制御信号が伝播するときの抵抗を可変にして、スイッチング素子をオン／オフに制御するときのゲート電流を小／大に変更できるため、スイッチング素子に生じるスイッチング波形の前縁が、後縁に比較して緩やかな傾斜となる。また、同一基板上に配されたスイッチング素子の発熱の影響を間近に受けて半導体素子の温度が上昇した場合であっても、半導体素子が劣化することなく確実に動作する。
従って、スイッチング素子による高温の悪影響を回避して誤点弧を防止する回路をスイッチング素子と同一の基板上に配置することが可能となる。
【図面の簡単な説明】
【００２０】
【図１】本発明の実施の形態１に係る半導体装置の回路図である。
【図２】標準的なＮチャネル型のＪＦＥＴのチャネル抵抗がゲート電圧に応じて変化する様子を模式的に示す説明図である。
【図３】半導体装置の模式的な平面図である。
【図４】本発明の実施の形態１に係る半導体装置の変形例の回路図である。
【図５】ＪＦＥＴのチャネルを伝播する駆動信号によってＭＯＳＦＥＴをオン／オフさせるときの、ＪＦＥＴのゲート電圧を例示する図表である。
【図６】本発明の実施の形態２に係る半導体装置の回路図である。
【図７】本発明の実施の形態２に係る他の半導体装置の回路図である。
【図８】本発明の実施の形態３に係る半導体装置の回路図である。
【図９】ショットキバリアダイオードの構成を模式的に示す縦断面図である。
【図１０】ショットキバリアダイオードのオン抵抗がｎ－層の比抵抗及び／又は厚みに応じて変化する様子を模式的に示す説明図である。
【図１１】半導体装置の模式的な平面図である。
【図１２】従来のスイッチング素子の駆動回路を示す回路図である。

【発明を実施するための形態】
【００２１】
以下、本発明をその実施の形態を示す図面に基づいて詳述する。但し、以下に示す実施の形態は、本発明を具体化するための半導体装置を例示するものであって、本発明は、半導体装置を以下の装置には限定しない。更に、この明細書は、特許請求の範囲に示される部材を、実施の形態に記載される部材に限定するものではない。
（実施の形態１）
図１は、本発明の実施の形態１に係る半導体装置の回路図である。図中１は半導体装置であり、半導体装置１は、炭化珪素等のいわゆるワイドバンドギャップ半導体又はシリコンを半導体材料とするスイッチング素子であるＮチャネル型のＭＯＳＦＥＴ１０と、半導体材料が炭化珪素からなりＭＯＳＦＥＴ１０のゲート電極１３にドレイン電極３１が接続された半導体素子であるＮチャネル型のＪＦＥＴ３０とを備える。ＪＦＥＴ３０のソース電極３２と、ＭＯＳＦＥＴ１０のソース電極１２との間には、外部の駆動回路２からＭＯＳＦＥＴ１０をオン／オフさせる駆動信号が与えられる。ＭＯＳＦＥＴ１０のドレイン電極１１及びソース電極１２には、外部の図示しない負荷及び電源が接続されている。
【００２２】
駆動回路２は、前記駆動信号をソース電極３２及びソース電極１２間に与える信号源Ｓ１と、該信号源Ｓ１が出力する電圧を分圧する抵抗器Ｒ１，Ｒ２の直列回路とを備える。抵抗器Ｒ１，Ｒ２の接続点及び抵抗器Ｒ１の他端は、夫々ＪＦＥＴ３０のゲート電極３３及びソース電極３２に接続されている。
【００２３】
上述した構成において、信号源Ｓ１が出力する駆動信号がＨ（ハイ）レベルの場合、Ｈレベルの電圧が抵抗器Ｒ１，Ｒ２で分圧され、抵抗器Ｒ１に分圧された電圧がゲート電極３３及びソース電極３２間に印加される。この結果、ソース電極３２の電位を基準とするゲート電極３３の電圧（以下、単にゲート電圧という）は負の電圧となる。一方、信号源Ｓ１が出力する駆動信号がＬ（ロウ）レベルの場合、抵抗器Ｒ１に分圧される電圧は略ゼロであるから、ゲート電圧は略０となる。
【００２４】
次に、ＪＦＥＴ３０のゲート電圧とチャネル抵抗との関係について説明する。
図２は、標準的なＮチャネル型のＪＦＥＴのチャネル抵抗がゲート電圧に応じて変化する様子を模式的に示す説明図である。図中横軸はソース電極の電位を基準とするドレイン電極の電圧（以下、単にドレイン電圧という）Ｖｄｓ（Ｖ）を表し、縦軸はドレイン電極に流入する電流（以下、単にドレイン電流という）Ｉｄ（Ａ）を表す。図２では、５通りのゲート電圧Ｖｇｓ（０Ｖ、－１Ｖ、－２Ｖ、－３Ｖ及び－４Ｖ）をパラメータにして、ドレイン電圧Ｖｄｓに対するドレイン電流Ｉｄの変化を実線で示す。各曲線の傾きの逆数がチャネル抵抗に相当する。
尚、ＪＦＥＴのソース電極及びドレイン電極には略対象性があるため、横軸にドレイン電極の電位を基準とするソース電極の電圧をとり、縦軸にソース電極に流入する電流をとって、ドレイン電極の電位に対するゲート電極の電圧をパラメータにした場合であっても、図２と同様の曲線が示される。
【００２５】
図２に示すように、ドレイン電圧Ｖｄｓを正の一定電圧にしてゲート電圧Ｖｇｓを変化させた場合、ゲート電圧Ｖｇｓの低／高に応じてドレイン電流Ｉｄが小／大に変化し、チャネル抵抗が大／小に変化する様子が読み取れる。ゲート電圧Ｖｇｓが一定の場合はチャネル抵抗が略一定であるため、ドレイン電圧Ｖｄｓに略比例するドレイン電流Ｉｄが流れる。但し、いわゆる飽和領域では、ドレイン電流Ｉｄが略一定となる。
一方、ドレイン電圧Ｖｄｓを負の電圧にして漸次低下させた場合、ドレイン電圧Ｖｄｓがゲート電圧Ｖｇｓよりも低下したときにゲート電極及びドレイン電極間が導通してゲート電流がドレイン電極から流出するため、負のドレイン電流が急激に増大する。このような現象は、負のゲート電圧Ｖｇｓの絶対値が小さい領域で発生し易い。

尚、半導体素子は、ＪＦＥＴに限定されず、デプレッション型のＭＯＳＦＥＴであってもよい。半導体素子がデプレッション型のＭＯＳＦＥＴの場合、ドレイン電圧Ｖｄｓがゲート電圧Ｖｇｓよりも低下したとしても、ゲート電極及びドレイン電極間が導通することがなく、ドレイン電圧Ｖｄｓが負の電圧のときに負のドレイン電流Ｉｄが急激に増大することはない。

【００２６】

図１に戻って、信号源Ｓ１が出力する駆動信号がＬ（ロウ）レベルからＨ（ハイ）レベルとなり、ＪＦＥＴ３０のゲート電圧Ｖｇｓが負の電圧に低下した場合、図２の説明よりＪＦＥＴ３０のチャネル抵抗が小から大に変化する。これにより、ゲート電極１３へ流入するゲート電流を抑制してＭＯＳＦＥＴ１０を緩やかにオンさせることができ、ドレイン電極１１及びソース電極１２間のスイッチング波形の前縁（本実施の形態１では立ち下がり）が緩やかな傾斜となる。またこの場合、ソース電極３２の電位が速やかにＨレベルに上昇するのに対し、ＭＯＳＦＥＴ１０のゲート電極１３に接続されたドレイン電極３１では、ゲート電極１３の浮遊容量の影響によって電位の上昇が遅れるため、ＪＦＥＴ３０のドレイン電圧Ｖｄｓが負の電圧となる。但し、ＪＦＥＴ３０のチャネル抵抗を小から大に変化させたときは、負のゲート電圧Ｖｇｓの絶対値が十分に大きく保たれるため、ＪＦＥＴ３０のドレイン電圧Ｖｄｓがゲート電圧Ｖｇｓよりも低下する逆転現象は発生し難い。仮にそのような逆転現象が発生したとしても、ＪＦＥＴ３０のドレイン電極３１から流出する電流によってゲート電極１３の電位が上昇するため、上述した逆転現象は速やかに解消する。

【００２７】

次に、信号源Ｓ１が出力する駆動信号がＨレベルからＬレベルとなり、ＪＦＥＴ３０のゲート電圧Ｖｇｓが負の電圧から略ゼロまで上昇した場合、図２の説明よりＪＦＥＴ３０のチャネル抵抗が大から小に変化する。これにより、低抵抗でゲート電極１３からゲート電流を引き出してＭＯＳＦＥＴ１０を速やかにオフさせることができ、ドレイン電極１１及びソース電極１２間のスイッチング波形の後縁（本実施の形態１では立ち上がり）が急峻な傾斜となる。またこの場合、ソース電極３２の電位が速やかにＬレベルに下降するのに対し、ＭＯＳＦＥＴ１０のゲート電極１３に接続されたドレイン電極３１では、ゲート電極１３の浮遊容量の影響によって電位の下降が多少遅れるため、ＪＦＥＴ３０のドレイン電圧Ｖｄｓが正の電圧となり、上述した逆転現象は生じない。

【００２８】

次に、同一基板上にＭＯＳＦＥＴ１０及びＪＦＥＴ３０を搭載した半導体装置１の実装例について説明する。

図３は、半導体装置１の模式的な平面図である。半導体装置１は、セラミックからなる基板５を備え、該基板５上の導電体パターン５１，５２上に縦型のＭＯＳＦＥＴ１０及び横型のＪＦＥＴ３０が各別に近接して配されている。ＭＯＳＦＥＴ１０のドレイン電極１１と導電体パターン５１、及びＪＦＥＴ３０のサブストレートと導電体パターン５２は、夫々高温ハンダ及び／又は導電性の接着剤で接続されている。ゲート電極１３及びドレイン電極３１間は、リード線６１で接続されており、ソース電極１２、ゲート電極３３及びソース電極３２の夫々は、基板５上の導電体パターン５３，５４，５５にリード線６２，６３，６４で各別に接続されている。

尚、ＪＦＥＴ３０は縦型でもよく、縦型の場合は、基板５側に向けたドレイン電極３１と導電体パターン５２を高温ハンダで接続し、ゲート電極１３及び導電体パターン５２間をリード線６１で接続すればよい。

【００２９】

図３では、ＪＦＥＴ３０が、ＭＯＳＦＥＴ１０に近接して配されているため、ＭＯＳＦＥＴ１０のスイッチングによる発熱の影響を間近に受けるが、半導体材料が炭化珪素からなるため、４００℃程度の高温であっても劣化の虞がなく、ＦＥＴとして確実に動作する。

【００３０】

以上のように本実施の形態１によれば、ＭＯＳＦＥＴの駆動信号がＪＦＥＴを伝播するときのチャネル抵抗の大／小を可変にすることにより、ＭＯＳＦＥＴをオン／オフに制御するときのゲート電流を小／大に変更できるため、ＭＯＳＦＥＴのドレイン電極及びソース電極間のスイッチング波形の前縁が、後縁に比較して緩やかな傾斜となる。また、ＪＦＥＴがワイドバンドギャップ半導体からなるため、同一基板上に配されたＭＯＳＦＥＴの発熱の影響を間近に受けてＪＦＥＴの温度が上昇した場合であっても、ＪＦＥＴが劣化することなく確実に動作する。

従って、スイッチング素子による高温の悪影響を回避して誤点弧を防止する回路をスイッチング素子と同一の基板上に配置することが可能となる。

【００３１】

また、半導体素子がＪＦＥＴ又はデプレッション型のＭＯＳＦＥＴであるため、ＦＥＴのゲート電圧Ｖｇｓとして特段のバイアス電圧を与えない場合であってもチャネルが導通する。従って、ＦＥＴの駆動回路を簡単に構成することが可能となる。

【００３２】

更にまた、半導体素子としてのＪＦＥＴが炭化珪素からなるため、ＪＦＥＴの温度が４００℃近辺まで上昇した場合であっても、可変抵抗素子として確実に動作させることが可能となる。

【００３３】

（変形例１）

図１では、信号源Ｓ１が出力する駆動信号の電圧を抵抗器Ｒ１，Ｒ２からなる分圧器で分圧し、抵抗器Ｒ１に分圧された電圧をＪＦＥＴ３０のゲート電圧Ｖｇｓとしているが、ＪＦＥＴ３０のゲート電圧Ｖｇｓに対するチャネル抵抗の変化特性に合わせて前記駆動信号の電圧を適当に調整することとした場合は、分圧器を省略してもよい。以下では、分圧器を用いない変形例について説明する。

図４は、本発明の実施の形態１に係る半導体装置１の変形例の回路図である。信号源Ｓ１が出力する駆動信号が、ＪＦＥＴ３０のソース電極３２と、ＭＯＳＦＥＴ１０のソース電極１２との間に与えられるのは、図１と同様であり、前記駆動信号の電圧がそのままゲート電極３３及びソース電極３２間に印加される点が図１と異なる。半導体装置１の回路は図１と同様であるので、その説明を省略する。

【００３４】

上述した構成において、信号源Ｓ１が出力する駆動信号がＨレベルの場合、ＪＦＥＴ３０のゲート電圧Ｖｇｓは、絶対値がＨレベルの電圧値に等しい負の電圧となる。信号源Ｓ１が出力する駆動信号がＬレベルの場合、ゲート電圧Ｖｇｓが略０となるのは図１と同様である。ここでは、信号源Ｓ１の駆動信号がＨレベルとなったときの負のゲート電圧Ｖｇｓによって、ＪＦＥＴ３０のチャネル抵抗が所望の大きい値となるように、前記駆動信号のＨレベルの波高値を調整してある。逆に、ＪＦＥＴ３０のゲート電圧Ｖｇｓに対するチャネル抵抗の変化特性を、前記駆動信号のＨレベルの波高値に合わせて調整するようにしてもよい。このように調整することにより、駆動回路２の抵抗器Ｒ１，Ｒ２を省略することが可能となる。

【００３５】

（実施の形態２）

実施の形態１は、ＭＯＳＦＥＴ１０及びＪＦＥＴ３０のチャネル型（Ｎチャネル型／Ｐチャネル型）を共にＮチャネル型とする形態であるのに対し、実施の形態２は、ＭＯＳＦＥＴ及びＪＦＥＴのチャネル型を相異ならせる形態、及び共にＰチャネル型とする形態である。

【００３６】

図５は、ＪＦＥＴのチャネルを伝播する駆動信号によってＭＯＳＦＥＴをオン／オフさせるときの、ＪＦＥＴのゲート電圧を例示する図表である。ＪＦＥＴがデプレッション型のＭＯＳＦＥＴであっても同様である。図表中の各行及び各列は、夫々ＪＦＥＴ及びＭＯＳＦＥＴのチャネル型を表す。図５には、Ｈ／Ｌレベルの駆動信号によってＭＯＳＦＥＴ

をオン／オフ、又はオフ／オンさせるときゲート電圧が示されている。
尚、図５は、ＪＦＥＴのソース電極にＭＯＳＦＥＴの駆動信号を与えるときのＪＦＥＴのゲート電圧を例示するものであるが、ＪＦＥＴのソース電極及びドレイン電極には略対象性があるため、ドレイン電極にＭＯＳＦＥＴの駆動信号を与えるときの（ドレイン電極の電位に対する）ゲート電圧を例示した場合についても、図５と同様のものが示される。
【００３７】
例えば、実施の形態１の図１，４の回路図で、Ｎチャネル型のＪＦＥＴ３０のチャネルを伝播する駆動信号によってＮチャネル型のＭＯＳＦＥＴ１０をオン／オフさせる場合、駆動信号がＨレベルのときは、ゲート電圧Ｖｇｓが負電圧となり、駆動信号がＬレベルのときは、ゲート電圧Ｖｇｓがゼロ電圧となる。つまり、ＭＯＳＦＥＴ１０をオン／オフに制御するＨ／Ｌレベルの駆動信号に対して、ゲート電圧Ｖｇｓを低／高に変化させることにより、ＪＦＥＴ３０のチャネル抵抗を大／小に変更する。
以下では、Ｐチャネル型のＪＦＥＴ及びＮチャネル型のＭＯＳＦＥＴを組み合わせた場合と、Ｐチャネル型のＪＦＥＴ及びＰチャネル型のＭＯＳＦＥＴを組み合わせた場合とについて説明する。Ｎチャネル型のＪＦＥＴ及びＰチャネル型のＭＯＳＦＥＴを組み合わせた場合の回路図については、他の組み合わせの場合の回路図から容易に想到されるため、具体的な例示を省略する。
【００３８】
先ず、Ｐチャネル型のＪＦＥＴ及びＮチャネル型のＭＯＳＦＥＴを組み合わせた場合について説明する。
図６は、本発明の実施の形態２に係る半導体装置の回路図である。図中１ａは半導体装置であり、半導体装置１ａは、Ｎチャネル型のＭＯＳＦＥＴ１０と、半導体材料が炭化珪素からなりＭＯＳＦＥＴ１０のゲート電極１３にドレイン電極４１が接続されたＰチャネル型のＪＦＥＴ４０とを備える。ＪＦＥＴ４０のソース電極４２と、ＭＯＳＦＥＴ１０のソース電極１２との間には、外部の駆動回路２ａからＭＯＳＦＥＴ１０をオン／オフさせる駆動信号が与えられる。ＭＯＳＦＥＴ１０のドレイン電極１１及びソース電極１２には、外部の図示しない負荷及び電源が接続されている。
【００３９】
駆動回路２ａは、前記駆動信号をソース電極４２及びソース電極１２間に与える信号源Ｓ１と、図示しないプラス電源の電圧及び信号源Ｓ１が出力する電圧の差分を分圧する抵抗器Ｒ３，Ｒ４の直列回路とを備える。抵抗器Ｒ３，Ｒ４の接続点及び抵抗器Ｒ３の他端は、夫々ＪＦＥＴ４０のゲート電極４３及びソース電極４２に接続されている。前記プラス電源の電圧は、前記駆動信号のＨレベルの電圧より高くなるようにしてある。駆動回路２ａは、また、ベース抵抗としての抵抗器Ｒ５を介してベース及びエミッタが信号源Ｓ１に接続されたＮＰＮ型のトランジスタＱ１と、トランジスタＱ１のコレクタ及びエミッタの夫々にベース及びエミッタが接続されたＮＰＮ型のトランジスタＱ２とを備える。トランジスタＱ１のコレクタは、抵抗器Ｒ６を介して前記プラス電源に接続されており、トランジスタＱ２のコレクタは、ゲート電極４３に接続されている。
【００４０】
上述した構成において、トランジスタＱ１のコレクタには、信号源Ｓ１が出力する駆動信号のＨ／Ｌレベルを反転させた反転信号が出力され、トランジスタＱ２のコレクタには、前記反転信号のＬ／Ｈレベルを反転させたＨ／Ｌレベルの信号が出力される。つまり、信号源Ｓ１が出力する駆動信号がＨレベルの場合、トランジスタＱ２のコレクタが出力する信号はＨレベル（オープンコレクタ）となる。この場合、前記プラス電源の電圧とＨレベルの電圧との差分が抵抗器Ｒ３，Ｒ４で分圧され、抵抗器Ｒ３に分圧された電圧がゲート電極４３及びソース電極４２間に印加されて、ゲート電圧Ｖｇｓが正の電圧となる。一方、信号源Ｓ１が出力する駆動信号がＬレベルの場合、トランジスタＱ２のコレクタがＬレベルとなるため、ソース電極４２及びゲート電極４３が何れもＬレベルとなり、ＪＦＥＴ４０のゲート電圧Ｖｇｓは略ゼロとなる。
【００４１】

換言すれば、Ｐチャネル型のＪＦＥＴ４０のチャネルを伝播する駆動信号によってＮチャネル型のＭＯＳＦＥＴ１０をオン／オフさせる場合、駆動信号がＨレベルのときは、ＪＦＥＴ４０のゲート電圧Ｖｇｓが正電圧となり、駆動信号がＬレベルのときは、ゲート電圧Ｖｇｓがゼロ電圧となる。つまり、図５に示すように、ＭＯＳＦＥＴ１０をオン／オフに制御するＨ／Ｌレベルの駆動信号に対して、ゲート電圧Ｖｇｓを高／低に変化させることにより、ＪＦＥＴ４０のチャネル抵抗を大／小に変更することができる。

【００４２】

続いて、Ｐチャネル型のＪＦＥＴ及びＰチャネル型のＭＯＳＦＥＴを組み合わせた場合について説明する。

図７は、本発明の実施の形態２に係る他の半導体装置の回路図である。図中１ｂは半導体装置であり、半導体装置１ｂは、Ｐチャネル型のＭＯＳＦＥＴ２０と、半導体材料が炭化珪素からなりＭＯＳＦＥＴ２０のゲート電極２３にドレイン電極４１が接続されたＰチャネル型のＪＦＥＴ４０とを備える。ＪＦＥＴ４０のソース電極４２と、ＭＯＳＦＥＴ２０のソース電極２２との間には、外部の駆動回路２ｂからＭＯＳＦＥＴ２０をオン／オフさせる駆動信号が与えられる。ＭＯＳＦＥＴ２０のドレイン電極２１及びソース電極２２には、外部の図示しない負荷及び電源が接続されている。

【００４３】

駆動回路２ｂは、前記駆動信号をソース電極４２及びソース電極２２間に与える信号源Ｓ２と、該信号源Ｓ２が出力する電圧を分圧する抵抗器Ｒ７，Ｒ８の直列回路とを備える。抵抗器Ｒ７，Ｒ８の接続点及び抵抗器Ｒ７の他端は、夫々ＪＦＥＴ４０のゲート電極４３及びソース電極４２に接続されている。

【００４４】

上述した構成において、信号源Ｓ２が出力する駆動信号がＬレベルの場合、Ｌレベルの電圧が抵抗器Ｒ７，Ｒ８で分圧され、抵抗器Ｒ７に分圧された電圧がゲート電極４３及びソース電極４２間に印加されて、ゲート電圧Ｖｇｓは正の電圧となる。一方、信号源Ｓ２が出力する駆動信号がＨレベルの場合、抵抗器Ｒ７に分圧される電圧は略ゼロであるから、ゲート電圧Ｖｇｓは略０となる。

【００４５】

換言すれば、Ｐチャネル型のＪＦＥＴ４０のチャネルを伝播する駆動信号によってＰチャネル型のＭＯＳＦＥＴ２０をオン／オフさせる場合、駆動信号がＬレベルのときは、ＪＦＥＴ４０のゲート電圧Ｖｇｓが正電圧となり、駆動信号がＨレベルのときは、ゲート電圧Ｖｇｓがゼロ電圧となる。つまり、図５に示すように、ＭＯＳＦＥＴ２０をオン／オフに制御するＬ／Ｈレベルの駆動信号に対して、ゲート電圧Ｖｇｓを高／低に変化させることにより、ＪＦＥＴ４０のチャネル抵抗を大／小に変更することができる。

【００４６】

その他、実施の形態１に対応する箇所には同様の符号を付して、その詳細な説明を省略する。

【００４７】

以上のように本実施の形態２によれば、Ｎチャネル（又はＰチャネル）型のＪＦＥＴのドレイン及びソースに略対象性があることから、ＭＯＳＦＥＴをオン／オフに制御する駆動信号が与えられるＪＦＥＴのソース電極又はドレイン電極の電位を基準とするゲート電圧を、低／高（又は高／低）に変化させた場合は、ＭＯＳＦＥＴをオン／オフに制御するときのＦＥＴチャネル抵抗を大／小に変更することが可能となる。

【００４８】

（実施の形態３）

実施の形態１が、半導体素子としてＪＦＥＴ３０を用いる形態であるのに対し、実施の形態３は、半導体素子として逆並列に接続されたショットキバリアダイオードを用いる形態である。

図８は、本発明の実施の形態３に係る半導体装置の回路図である。図中１ｃは半導体装置であり、半導体装置１ｃは、Ｎチャネル型のＭＯＳＦＥＴ１０と、半導体材料が炭化珪

素からなり逆並列に接続されたショットキバリアダイオードＤ１，Ｄ２とを備える。ショットキバリアダイオードＤ１，Ｄ２は、夫々カソード及びアノードがＭＯＳＦＥＴ１０のゲート電極１３に接続されている。ショットキバリアダイオードＤ１，Ｄ２夫々のアノード及びカソードと、ＭＯＳＦＥＴ１０のソース電極１２との間には、外部の信号源Ｓ１からＭＯＳＦＥＴ１０をオン／オフさせる駆動信号が与えられる。ＭＯＳＦＥＴ１０のドレイン電極１１及びソース電極１２には、外部の図示しない負荷及び電源が接続されている。

【００４９】

上述した構成において、信号源Ｓ１が出力する駆動信号がＬレベルからＨレベルになった場合、オン抵抗が比較的大きいショットキバリアダイオードＤ１が導通することにより、ゲート電極１３へ流入するゲート電流を抑制してＭＯＳＦＥＴ１０を緩やかにオンさせる。また、信号源Ｓ１が出力する駆動信号がＨレベルからＬレベルとなった場合、オン抵抗が比較的小さいショットキバリアダイオードＤ２が導通することにより、低抵抗でゲート電極１３からゲート電流を引き出してＭＯＳＦＥＴ１０を速やかにオフさせる。

尚、ＭＯＳＦＥＴ１０がＰチャネル型の場合は、ショットキバリアダイオードＤ１のオン抵抗を比較的小さくし、ショットキバリアダイオードＤ２のオン抵抗を比較的大きくすることにより、上記と同様の効果を奏する。

【００５０】

次に、ショットキバリアダイオードＤ１，Ｄ２のオン抵抗について説明する。

図９は、ショットキバリアダイオードＤ１，Ｄ２の構成を模式的に示す縦断面図である。図中７１はｎ＋型半導体層であり、該ｎ＋型半導体層７１の上面にはｎ－型半導体層７２が積層されている。ｎ＋型半導体層７１の下面はカソードとなる裏面金属電極層７０に覆われており、ｎ－型半導体層７２の上面の中央部には、アノードとなる金属電極膜７３が形成されている。ｎ－型半導体層７２の上面のその他の部分は、珪素酸化物からなる絶縁膜７４に覆われている。

【００５１】

ｎ＋型半導体層７１及びｎ－型半導体層７２の夫々は、金属電極膜７３から裏面金属電極層７０に導通するオン電流に対し、ｎ＋層抵抗８１及びｎ－層抵抗８２によって表される等価抵抗を有している。また、裏面金属電極層７０及び金属電極膜７３の夫々は、裏面金属電極層抵抗８０及び金属電極膜抵抗８３によって表される等価抵抗を有している。これらの等価抵抗は、オン電流に対して直列に接続されたオン抵抗とみなされる。ショットキバリアダイオードＤ１，Ｄ２のオン抵抗は、製造時にｎ－型半導体層（以下、ｎ－層という）７２の比抵抗及び／又は厚みを調整することにより、抵抗値を変化させることができる。

【００５２】

図１０は、ショットキバリアダイオードＤ１，Ｄ２のオン抵抗がｎ－層７２の比抵抗及び／又は厚みに応じて変化する様子を模式的に示す説明図である。図の横軸は順電圧ＶＦ（Ｖ）を表し、縦軸は順電流ＩＦ（Ａ）を表す。図１０において、実線はｎ－層７２の比抵抗及び／又は厚みが比較的小さい場合を示し、破線はｎ－層７２の比抵抗及び／又は厚みが比較的大きい場合を示す。実線及び破線の傾きの逆数がオン抵抗に相当する。つまり、ｎ－層７２の比抵抗及び／又は厚みが小から大に変化するに応じて、順電圧ＶＦに対する順電流ＩＦの傾きが大から小に変化し、オン抵抗が小から大に変化する様子が読み取れる。

【００５３】

次に、同一基板上にＭＯＳＦＥＴ１０及びショットキバリアダイオードＤ１，Ｄ２を搭載した半導体装置１ｃの実装例について説明する。

図１１は、半導体装置１ｃの模式的な平面図である。半導体装置１ｃは、セラミックからなる基板５ａを備え、該基板５ａ上の導電体パターン５１，５６，５７上に縦型のＭＯＳＦＥＴ１０及びショットキバリアダイオードＤ１，Ｄ２が各別に近接して配されている。ＭＯＳＦＥＴ１０のドレイン電極１１と導電体パターン５１、及びショットキバリアダ

イオードＤ１，Ｄ２の裏面金属電極層７０，７０と導電体パターン５６，５７は、夫々高温ハンダで接続されている。

【００５４】

ソース電極１２及びゲート電極１３は、夫々リード線６２，６５で基板５ａ上の導電体パターン５３，５８に接続されている。導電体パターン５６，５８間はリード線６６で接続されており、導電体パターン５８及びショットキバリアダイオードＤ２の金属電極膜７３間は、リード線６７で接続されている。また、ショットキバリアダイオードＤ１の金属電極膜７３と、基板５ａ上の導電体パターン５９とがリード線６８で接続されており、更に導電体パターン５７，５９間がリード線６９で接続されている。

【００５５】

ショットキバリアダイオードＤ１，Ｄ２は、ＭＯＳＦＥＴ１０に近接して配されているため、ＭＯＳＦＥＴ１０のスイッチングによる発熱の影響を間近に受けるが、ショットキバリアダイオードＤ１，Ｄ２の半導体材料が炭化珪素からなるため、４００℃程度の高温であっても劣化の虞がなく、オン抵抗が相異なるダイオードとして確実に動作する。

【００５６】

その他、実施の形態１に対応する箇所には同様の符号を付して、その詳細な説明を省略する。

【００５７】

以上のように本実施の形態３によれば、ＭＯＳＦＥＴがＮチャネル（又はＰチャネル）型であるため、ＭＯＳＦＥＴをオン／オフに制御するときのゲート電流が、ＭＯＳＦＥＴに対して順／逆方向（又は逆／順方向）に流れる。また、ショットキバリアダイオードが逆並列に接続されており、ＭＯＳＦＥＴに対して順方向の抵抗が逆方向の抵抗より大きく（又は小さく）なる。

従って、ＭＯＳＦＥＴをオン／オフに制御するときのゲート電流を、ショットキバリアダイオードの抵抗によって小／大に変更することが可能となる。

【００５８】

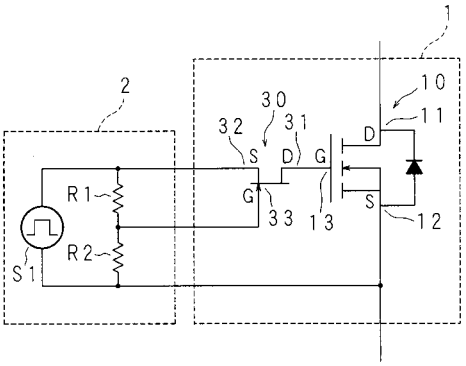
尚、実施の形態１から３にあっては、スイッチング素子にＭＯＳＦＥＴ１０又は２０を用いたが、これに限定されるものではなく、ＩＧＢＴ等の絶縁ゲートを有するバイポーラ素子を用いてもよい。

【符号の説明】

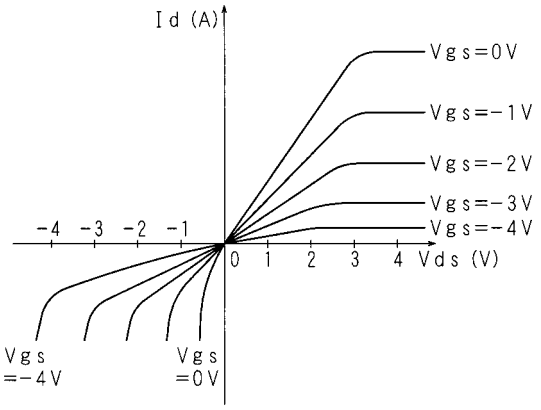
【００５９】

１、１ａ、１ｂ、１ｃ　半導体装置
５、５ａ　基板
１０、２０　ＭＯＳＦＥＴ（スイッチング素子）
１３、２３　ゲート電極（絶縁ゲート）
３０、４０　ＪＦＥＴ（半導体素子）
３１、４１　ドレイン電極
３２、４２　ソース電極
３３、４３　ゲート電極
Ｄ１、Ｄ２　ショットキバリアダイオード

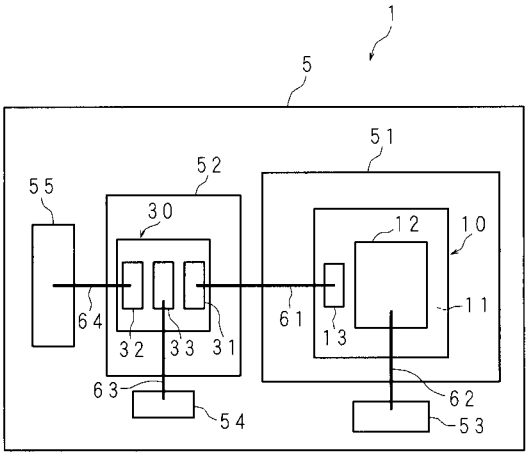
【図１】


1
2
30
32
31
10
11
D
S
D
G
G
S
R1
R2
S1
33
13
12

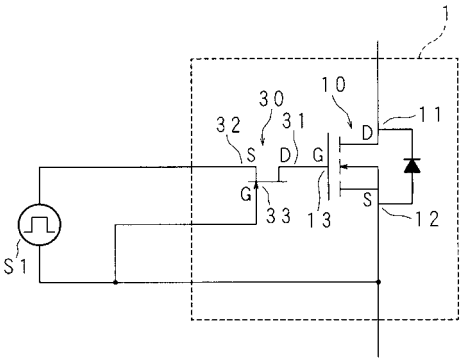
【図２】


Id (A)
Vgs=0V
Vgs=−1V
Vgs=−2V
Vgs=−3V
Vgs=−4V
−4 −3 −2 −1
0 1 2 3 4 Vds (V)
Vgs
=−4V
Vgs
=0V

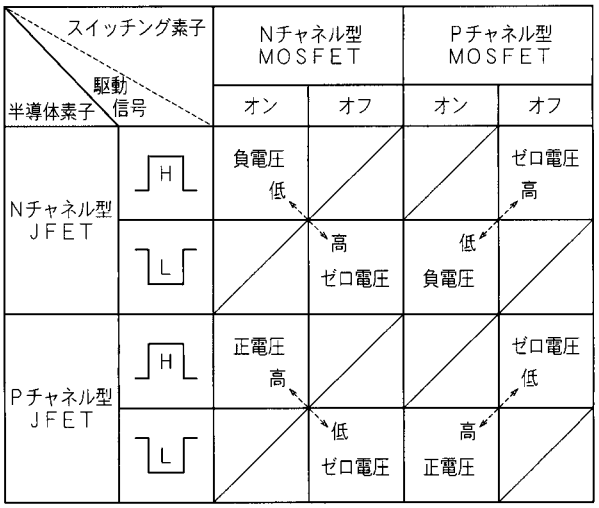
【図３】


1
5
51
52
55
30
12
10
11
64
61
13
32
33
31
63
62
54
53

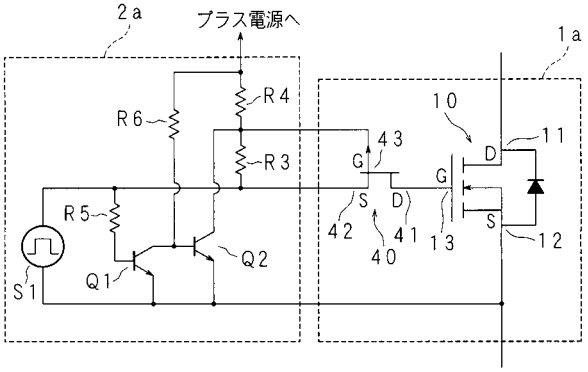
【図４】


1
30
10
11
32
31
D
S
D
G
G
S
33
13
12
S1

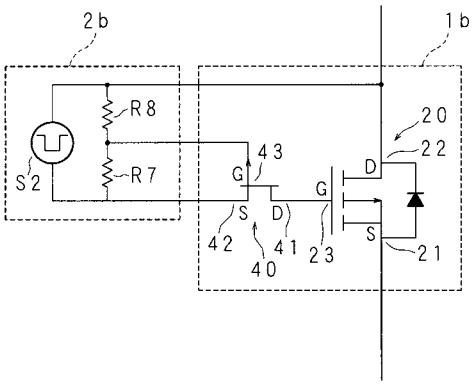
【図５】


スイッチング素子
駆動信号
半導体素子
Nチャネル型MOSFET
Pチャネル型MOSFET
オン
オフ
オン
オフ
Nチャネル型JFET
H
L
負電圧
低
高
ゼロ電圧
高
低
ゼロ電圧
負電圧
Pチャネル型JFET
H
L
正電圧
高
低
ゼロ電圧
ゼロ電圧
低
高
正電圧

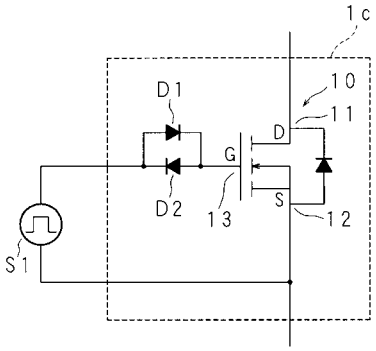
【図６】


2a
プラス電源へ
1a
R6
R4
R3
R5
Q1
Q2
S1
10
11
43
G
D
S
42
41
40
13
12

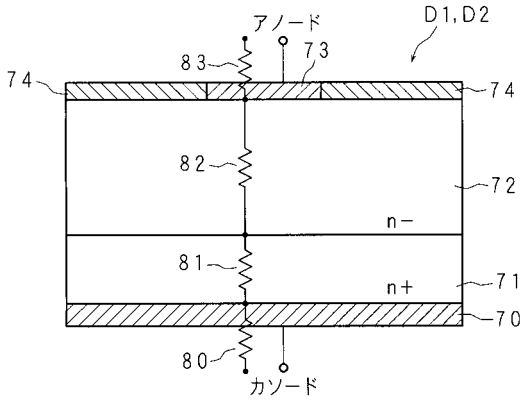
【図７】


2b
1b
R8
R7
S2
43
G
D
S
42
40
41
23
20
22
21

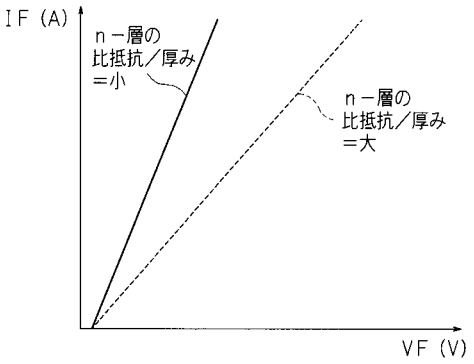
【図８】


1c
D1
D2
G
S
D
10
11
13
12
S1

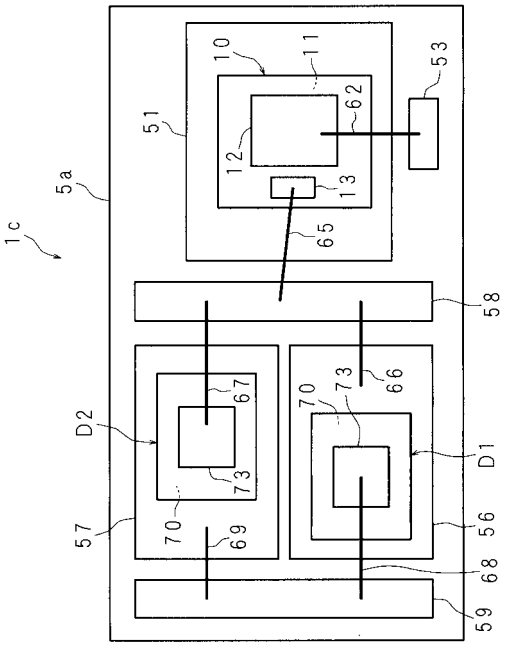
【図９】


アノード
D1,D2
83
73
74
74
82
72
n−
81
n+
71
70
80
カソード

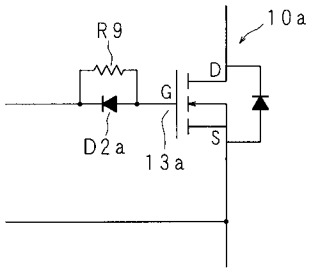
【図１０】


IF (A)
ｎ－層の
比抵抗／厚み
＝小
ｎ－層の
比抵抗／厚み
＝大
VF (V)

【図１１】


1c
5a
10
11
53
51
62
12
13
65
58
D2
67
73
70
73
66
D1
57
70
69
56
68
59

【図１２】


R9
10a
D
G
S
D2a
13a

フロントページの続き

(51)Int.Cl.		F I	テーマコード（参考）
Ｈ０１Ｌ 21/8232	*(2006.01)*		
Ｈ０２Ｍ 1/08	*(2006.01)*		