



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU 232 366

K AUTORSKÉMU OSVEDČENIU

(11) (B1)

(51) Int. Cl.³ G 11 C 5/06

(61)

(23) Výstavná priorita
(22) Prihlášené 21 04 82
(21) (PV 2848-82)

(40) Zverejnené 18 06 84
(45) Vydané 01 01 87

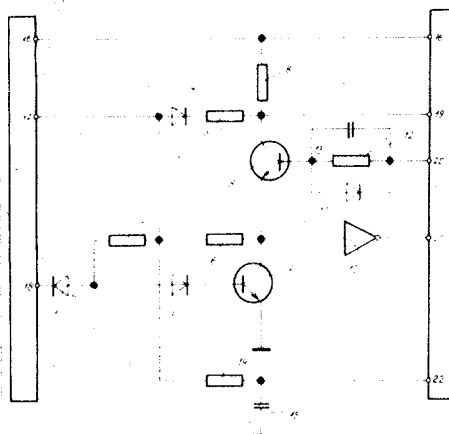
(75)

Autor vynálezu GUBKA JOZEF ing., BRATISLAVA

(54)

Zapojenie pre uchovanie informácií v pamätiach RWM

Zapojenie je určené pre plynulé prepínanie napájania pamätí RWM na sekundárny batériový zdroj pri zániku primárneho napätia tak, že obsahy pamätí sa uchovávajú a ostanú neporušené počas neprítomnosti, ako aj pri opätovnom pripojení primárneho napätia. Zapojenie pri zániku primárneho napätia aktivuje stav výdrže WAIT mikroprocesora. Pri opätovnom obnovení napájania primárneho napätového zdroja umožňuje nastaviť počiatočné parametre obvodov mikropočítača a jeho spoluprácu s chráneným pamäťovým systémom RWM.



Vynález sa týka zapojenia pre uchovanie informácií v pamätiach RWM pri vypínaní a pri inom výpadku napätia primárneho napájacieho zdroja v mikropočítačových systémoch.

Doterajšie zapojenia pre uchovanie informácií sú zapojené tak, že potrebná funkcia sa zabezpečuje pomocou riadiacich logických obvodov technológie CMOS, s nízkou hodnotou pracovného napájacieho napätia, ktoré riadia v časových reláciách potrebných pre uchovanie informácií buďenie tranzistorového spínača. Pri týchto zapojeniach možno dosiahnuť požadovaný výsledok len nepretržitým napájaním riadiacich logických obvodov technológie CMOS.

Vyššie uvedené nevýhody odstraňuje zapojenie podľa vynálezu, vyznačujúceho sa tým, že pozostáva z tranzistorového obvodu, ktorého tranzistory sú zapojené v súčinnom zapojení napájaného cez rozdelené zaťažovacie členy pripojené súčasne na napätie primárneho napájacieho zdroja a na napätie dobíjanej batérie záložného zdroja. Prvý zo vstupov tranzistorového súčinného zapojenia je buďený obvodmi logiky mikropočítača pre určenie selektu pamätí RWM, kým druhý vstup súčinného zapojenia je buďený cez pasívne členy z výstupov primárneho napájacieho zdroja. Pri výpadku napätia primárneho napájacieho zdroja sa súčasne prepne napájanie pamätí RWM na napätie batérie záložného zdroja a zablokuje sa možné buďenie prvého zo vstupov tranzistorového súčinného zapojenia obvodmi logiky mikropočítača tým, že sa vytvára požiadavka o stav výdrže WAIT mikroprocesora. Pri opätovnom nabehnutí a ustálení napätia primárneho napájacieho zdroja je buďenie prvého zo vstupov tranzistorového súčinného zapojenia umožnené až po ukončení vytvoreného nulovacieho signálu.

Hlavné výhody zapojenia pre uchovanie informácií v pamätiach RWM podľa tohoto vynálezu spočívajú v tom, že sa dosiahne nové obvodové riešenie pri zachovaní časovej logickej postupnosti nutnej pre uchovanie informácií v pamätiach RWM, odpadá nevyhnutnosť používania riadiacich logických obvodov technológie CMOS, čím sa znižuje spotreba sekundárneho batériového napájacieho zdroja, ktorá je len na úrovni spotreby pamäťového systému RWM.

Predmet vynálezu je zrejmý z popisu výkresu, na ktorom je znázornená schéma prevedenia zapojenia.

Počas trvania stabilného napätia primárneho napájacieho zdroja 23 je na výstupe 16 dobíjanej batérie sekundárneho napájania napätie, ktorým sú napájané pamäti RWM. Výstupy 17 a 18 primárneho napájacieho zdroja 23 majú úroveň +5V. Cez prvý odpor 2 a druhú diódu 3 je zabezpečené budenie prvého tranzistoru 7, ktorý je v stave saturácie. Prvá dióda 1 kompenzuje vplyv druhej diódy 3 na budiaci obvod prvého tranzistora 7 a oddeľuje výstup 18 primárneho napájacieho zdroja 23, ktorý je realizovaný hradlom s otvoreným kolektorom, od malého zaťažovacieho vstupného odporu prvého tranzistora 7. Prvý odpor 2 je súčasne zaťažovacím odporom výstupu hradla s otvoreným kolektorom, ktorý sa nachádza v primárnom napájacom zdroji 23. Druhý tranzistor 9 je budený z výstupu 20 logiky mikropočítača 24 vždy, ak je aktivovaný adresný priestor pamätí RWM. Piaty odpor 12 a urýchľovací kondenzátor 13 definujú budiaci prúd a rýchlosť otvorenia druhého tranzistoru 9. Štvrtá dióda 11 zabezpečuje odvádzanie náboja z báze druhého tranzistoru 9, ak tento nie je budený, čím určuje rýchlosť regenerácie obvodu pred príchodom ďalšieho aktivovacieho impulzu.

Výstup 19 druhého tranzistoru 9 je privedený na selektový vstup pamätí RWM. Zaťažovací člen druhého tranzistora 9 predstavuje v tejto činnosti tretia dióda 4 a zaťažovací odpor 5. Zaťažovací odpor 8 má rádovo vyššiu hodnotu a preto sa neuplatňuje.

Výstup invertora 10 pre žiadosť o stav výdrže WAIT mikroprocesora má hodnotu log.1, čo značí, že stav WAIT, súvisiaci s činnosťou zapojenia pre uchovanie informácií v tejto fáze činnosti nie je žiadaný.

Pri zániku napätia primárneho napájacieho zdroja, signál na výstupe 18 predpovede výpadku napájania má úroveň $\log.0$ s predstihom pred poklesom napätia v bode 17. Prvý tranzistor 7 nie je budený, tretím odporom 6 sa definuje vstupná logická úroveň invertora 10 na hodnotu $\log.1$, čím sa žiada stav výdrže WAIT mikroprocesora.

Po zániku napätia na výstupe 17 primárneho napájacieho zdroja 23 je na výstupe 19 druhého tranzistoru 9 úroveň napätia batérie sekundárneho napájania, ktorá sa privádza cez štvrtý odpor 8 na selektové vstupy pamätí RWM z výstupu 16, z ktorého sa zabezpečuje tiež napájanie pamätí RWM v tomto režime.

Tretia dióda 4 bráni vybíjaniu batérie sekundárneho napájacieho zdroja cez výstup 17.

Po obnovení činnosti napájania primárneho napájacieho zdroja 23 jeho výstup 17 obnovuje svoju napájaciu úroveň $+5V$ v časovom predstihu pred nábehom pracovnej úrovne výstupu 18 na hodnotu $\log.1$. Vplyv časových relácií výstupov 17 a 18 primárneho napájacieho zdroja 23 je potlačený činnosťou obvodu, zloženého zo šiesteho odporu 14 a druhého kondenzátoru 15 s veľkou nabíjacou časovou konštantou. Počas trvania záporného impulzu na výstupe 22 sa prevádza nulovanie obvodov logiky mikropočítača 24, čím sa zabezpečuje, že sa nebudú generovať aktivovacie impulzy z výstupu 20 skôr, ako bude prvý tranzistor 7 z výstupu 18 primárneho napájacieho zdroja 23 budený. Po ukončení nulovania sú hodnoty napätí primárneho napájacieho zdroja 23 ustálené, nie je žiadaný stav výdrže WAIT a mikroprocesor obnovuje spoluprácu s pamäťovým systémom RWM, ktorý obsahuje počas výpadku primárneho napájacieho zdroja 23 uchované údaje.

Zapojenie podľa vynálezu je vhodné pre využitie v mikropočítačových systémoch, kde na pamäťový systém RWM mikropočítača je vztiahnutá požiadavka uchovania informácií o zániku napätia primárneho napájacieho zdroja.

P R E D M E T V Y N Á L E Z U

232 366

1. Zapojenie pre uchovanie informácií v pamätiach RWM mikropočítačov po zániku napätia primárneho napájacieho zdroja vyznačené tým, že pozostáva z tranzistorového obvodu, ktorého tranzistory (7,9) sú zapojené v súčinnom zapojení, pripojeného k primárnemu napájaciemu zdroju (23), pričom druhý tranzistor (9) so zaťažovacími členmi tvorenými diódou (4) a zaťažovacími odpormi (5,8) má v budiacom obvode zapojené pasívne prvky tvorené paralelným zapojením diódy (11), odporu (12) a kondenzátoru (13) pripojeným k výstupu (20) logiky mikropočítača (24) a budiaci obvod prvého tranzistora (7) je tvorený pasívnymi prvkami tvorenými diódou (1), odporom (2) a diódou (3).
2. Zapojenie podľa bodu 1, vyznačené tým, že kolektor prvého tranzistoru (7) je pripojený jednak na vstup invertora (10) a jednak na odpor (6) pre nastavenie vstupnej úrovne invertora (10).
3. Zapojenie podľa bodu 1, vyznačené tým, že na výstup (17) primárneho napájacieho zdroja (23) je pripojený obvod tvorený odporom (14) s uzemneným kondenzátorom (15) pre vytvorenie signálu nulovania mikroprocesora po nábehu napätia primárneho napájacieho zdroja (23), pričom druhý koniec odporu (4) je pripojený k výstupu (22) logiky mikropočítača (24).

1 výkres

