



[12] 发明专利说明书

专利号 ZL 03816965.7

[45] 授权公告日 2009 年 12 月 23 日

[11] 授权公告号 CN 100573910C

[22] 申请日 2003.6.5 [21] 申请号 03816965.7

[86] 国际申请 PCT/JP2003/007168 2003.6.5

[87] 国际公布 WO2004/109808 日 2004.12.16

[85] 进入国家阶段日期 2005.1.17

[73] 专利权人 三菱电机株式会社

地址 日本东京

[72] 发明人 德田法史 楠 茂

[56] 参考文献

JP2 - 67766A 1990.3.7

JP3 - 126264A 1991.5.29

JP3 - 268363A 1991.11.29

JP2002 - 299635A 2002.10.11

审查员 黄道许

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

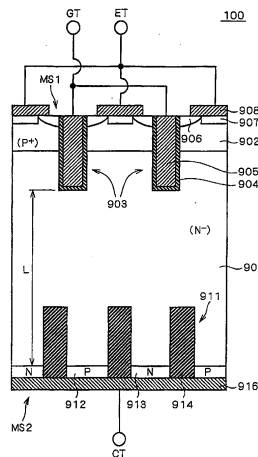
权利要求书 2 页 说明书 18 页 附图 12 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

本发明涉及主电流在半导体衬底的厚度方向上流动的半导体器件。其目的在于：提供在主电流在半导体衬底的厚度方向上流动的半导体器件中，当相邻配置功能不同的半导体元件时，能够实现所期待的电特性的半导体元件。而且，为了实现所述目的，在半导体衬底的第二主面的表面内设置彼此隔开间隔交替形成的 P 型半导体区和 N 型半导体区，在两者间的半导体衬底的表面内，配置在沟槽内埋入绝缘体而形成的沟槽隔离构造。此外，配置第二主电极，使其接触 P 型半导体区和 N 型半导体区。



1. 一种半导体器件，包括：

设置在半导体衬底的第一主面上的第一主电极；

设置在所述半导体衬底的第二主面上的第二主电极；以及

设置在所述第一主面的表面内的至少一个沟槽型栅极，

主电流在所述半导体衬底的厚度方向上流动，其中，

所述半导体衬底具有：

设置在所述第二主面的表面内的至少一个沟槽隔离构造；以及

配置在所述第二主面的表面内的第一导电类型的第一杂质区和第二导电类型的第二杂质区，其中，

通过在设置于所述第二主面的表面内的沟槽内部埋入绝缘体或与所述半导体衬底导电类型相反的半导体，构成所述至少一个沟槽隔离构造，并将其配置成隔离所述第一杂质区和所述第二杂质区，且

将所述沟槽的深度设置成，

所述半导体器件作为 IGBT 元件动作时的电流与作为 MOSFET 元件动作时的电流的合流点与所述第二杂质区之间产生第一电阻，在将所述第一杂质区与所述合流点连接的电流路径上，与所述第一电阻平行地产生第二电阻。

2. 根据权利要求 1 所述的半导体器件，其中，

所述第二主面的所述至少一个沟槽隔离构造与所述第一和第二杂质区的露出面为同一平面，

所述第二主电极配置为共同覆盖所述至少一个沟槽隔离构造以及所述第一和第二杂质区。

3. 根据权利要求 1 所述的半导体器件，其中，

所述第二主电极被配置为分别覆盖所述第一和第二杂质区；

覆盖所述第一杂质区的所述第二主电极通过电阻元件连接在外部端子上。

4. 根据权利要求 1 所述的半导体器件，其中，

在所述至少一个沟槽隔离构造中，所述绝缘体内部的电荷与所述半导体衬底内的电荷极性相反，所述至少一个沟槽隔离构造的电荷量的合计等于从所述半导体衬底的所述第二主面到所述至少一个沟槽隔离构造的底面的区域的所述半导体衬底内的电荷量。

5. 根据权利要求1所述的半导体器件，其中，

所述至少一个沟槽隔离构造的宽度范围被设定为 $0.2\mu\text{m}\sim 100\mu\text{m}$ ，配置间隔范围被设定为 $0.5\mu\text{m}\sim 500\mu\text{m}$ 。

6. 一种半导体器件的制造方法，该半导体器件包括设置在半导体衬底的第一主面上的第一主电极；设置在所述半导体衬底的第二主面上的第二主电极；以及设置在所述第一主面的表面内的至少一个沟槽型栅极，并且主电流在所述半导体衬底的厚度方向上流动，所述制造方法包括：

(a) 在半导体晶片的状态下形成所述第一主面一侧的结构后，在所述第二主面的表面内形成至少一个沟槽的步骤；

(b) 在所述半导体晶片的状态下，在所述第二主面的整个面上形成绝缘体层或与所述半导体衬底导电类型相反的半导体层，在所述至少一个沟槽内埋入所述绝缘体层或所述半导体层的步骤；以及

(c) 除去所述第二主面上的所述绝缘体层或所述半导体层，获得至少一个沟槽隔离构造的步骤。

半导体器件及其制造方法

技术领域

本发明涉及半导体器件，特别是涉及主电流在半导体衬底的厚度方向上流动的半导体器件。

背景技术

作为主电流流向半导体衬底的厚度方向的半导体器件的一例，提出相邻形成 IGBT（绝缘栅双极晶体管：insulated gate bipolar transistor）元件和与该 IGBT 元件反向并联的二极管元件的结构。

例如，在特开平 11-97715 号公报中，描述在半导体衬底第一主面一侧形成栅极构造，在第二主面内交替相邻形成 P 型杂质区和 N 型杂质区，用 P 型杂质区和栅极构造构成 IGBT 区，用 N 型杂质区和栅极构造构成二极管区的例子。

在这样的构造中，第二主面一侧的 P 型杂质区和 N 型杂质区接触，所以例如发生称作急速返回（snapback）的现象，有在 IGBT 元件的开关动作中产生能量损失，无法取得所期待的电特性的问题。

发明内容

本发明的目的在于：提供在主电流流向半导体衬底的厚度方向的半导体器件中，当相邻配置功能不同的半导体元件时，能实现所期待的电特性的半导体元件。

本发明的半导体器件的形态包括设置在半导体衬底的第一主面上的第一主电极；设置在所述半导体衬底的第二主面上的第二主电极；以及设置在所述第一主面的表面内的至少一个沟槽型栅极，主电流在所述半导体衬底的厚度方向上流动，其中，所述半导体衬底具有：设置在所述第二主面的表面内的至少一个沟槽隔离构造；以及配置在所述第二主面的表面内的第一导电类型的第一杂质区和第二导电类型的第二杂质区，其中，通过在设置于所述第二主面的表面内的沟槽内部

埋入绝缘体或与所述半导体衬底导电类型相反的半导体，构成所述至少一个沟槽隔离构造，并将其配置成隔离所述第一杂质区和所述第二杂质区，且将所述沟槽的深度设置成，所述半导体器件作为 IGBT 元件动作时的电流与作为 MOSFET 元件动作时的电流的合流点与所述第二杂质区之间产生第一电阻，在将所述第一杂质区与所述合流点连接的电流路径上，与所述第一电阻平行地产生第二电阻。

根据本发明的半导体器件的形态，例如当把第一杂质区作为 MOSFET 元件的漏区和二极管元件的阴极区使用，把第二杂质区作为 IGBT 元件的集电区使用时，由于至少一个沟槽隔离构造的存在，在 IGBT 元件的动作时流过的电流路径的电阻值增加，能减少在调制时流过该电流路径的电流，所以能抑制急速返回。此外，通过设置至少一个沟槽隔离构造，不减小占据第二主面中的有效区的面积（第一杂质区和第二杂质区的面积之和），也能抑制急速返回，所以能防止 IGBT 元件的动作时的导通电压或二极管元件动作时的正向电压 V_f 提高，或各动作时的局部电流密度升高。

本发明的半导体器件的制造方法的形态是该半导体器件包括设置在半导体衬底的第一主面上的第一主电极、设置在所述半导体衬底的第二主面上的第二主电极、设置在所述第一主面的表面内的至少一个沟槽型栅极，主电流在所述半导体衬底的厚度方向上流动，包括：在半导体晶片的状态下形成所述第一主面一侧的结构后，在所述第二主面的表面内形成至少一个沟槽的步骤（a）；在所述半导体晶片的状态下在所述第二主面的全面形成绝缘体层或与所述半导体衬底导电类型相反的半导体层，在所述至少一个沟槽内埋入所述绝缘体层或所述半导体层的步骤（b）；除去所述第二主面上的所述绝缘体层或所述半导体层，取得至少一个沟槽隔离构造的步骤（c）。

根据本发明的半导体器件的制造方法，通过采用由至少一个沟槽隔离构造隔开作为 MOSFET 元件的漏区和二极管元件的阴极区起作用的杂质区和作为 IGBT 元件的集电区起作用的杂质区的结构，由于至少一个沟槽隔离构造的存在，在 IGBT 元件的动作时流过的电流路径的电阻值增加，能减少在调制时流过该电流路径的电流，所以能抑制急速返回。此外，通过设置至少一个沟槽隔离构造，不减小占据第

二主面中的有效区的面积（第一杂质区和第二杂质区的面积之和），也能抑制急速返回，所以能防止 IGBT 元件的动作时的导通电压或二极管元件动作时的正向电压 V_f 提高，或各动作时的局部电流密度升高。

通过以下的详细说明和附图，本发明的目的、特征、局面、优点变得更明白。

附图说明

下面简要说明附图。

图 1 是表示用于说明本发明的细节的半导体器件结构的剖视图。

图 2 是表示用于说明本发明的细节的半导体器件动作的等价电路图。

图 3 说明用于说明本发明的细节的半导体器件的动作特性。

图 4 是表示本发明的半导体器件的实施例结构的剖视图。

图 5 表示本发明的半导体器件的实施例平面结构的一例。

图 6 表示本发明的半导体器件的实施例平面结构的一例。

图 7 表示本发明的半导体器件的实施例平面结构的一例。

图 8 表示本发明的半导体器件的实施例平面结构的一例。

图 9 表示本发明的半导体器件的实施例平面结构的一例。

图 10 表示本发明的半导体器件的实施例平面结构的一例。

图 11 表示本发明的半导体器件的实施例平面结构的一例。

图 12 表示本发明的半导体器件中使用的半导体衬底的晶片状态下的结构的平面图。

图 13 是表示本发明的半导体器件的实施例动作的等价电路图。

图 14 说明本发明的半导体器件的实施例的动作特性。

图 15 是说明本发明的半导体器件的实施例的制造步骤的剖视图。

图 16 是说明本发明的半导体器件的实施例的制造步骤的剖视图。

图 17 是说明本发明的半导体器件的实施例的制造步骤的剖视图。

图 18 是说明本发明的半导体器件的实施例的制造步骤的剖视图。

图 19 是表示本发明的半导体器件的实施例的变形例结构的剖视图。

具体实施方式

下面，在说明本发明的实施例之前，参照图 1~图 3，说明到达本发明的技术思想前的细节。

图 1 是表示为了解决以往的半导体器件的问题而考虑的半导体器件 90 的基本结构的剖视图。

在图 1 所示的半导体器件 90 中，在高电阻率 N 型衬底 (N^-) 即半导体衬底 901 的第一主面 MS1 的表面内，跨全面形成 P 型半导体区 902。

然后设置从第一主面 MS1 的表面贯通 P 型半导体区 902 到达半导体衬底 901 内的两个沟槽 903，沟槽 903 的内壁面由栅绝缘膜 904 覆盖。在由栅绝缘膜 904 包围的沟槽 903 内的区域中埋入导电体材料，构成沟槽型栅极 905。

此外，在 P 型半导体区 902 的表面内配置选择性形成的较高浓度 (N^+) 的 N 型半导体区 906，使其至少一部分接触栅绝缘膜 904。N 型半导体区 906 设置在两个沟槽 903 各自的两侧，但是在沟槽间相对的 N 型半导体区 906 之间设置有较高浓度 (P^+) 的 P 型半导体区 907。须指出的是，P 型半导体区 907 是用于取得对 P 型半导体区 902 的良好电接触的结构。

然后，接触彼此相邻的 N 型半导体区 906 和 P 型半导体区 907 的上部配置第一主电极 908。

第一主电极 908 是从外部端子 ET 对 N 型半导体区 906 以及 P 型半导体区 907 提供电位的电极。须指出的是，第一主电极 908 根据半导体器件 90 的动作，有时作为发射极起作用时，有时作为阳极或源极起作用。此外，从外部端子 GT 对沟槽型栅极 905 提供控制电压。

此外，在半导体衬底 901 的第二主面 MS2 的表面内设置彼此隔开间隔交替形成的 P 型半导体区 912 和 N 型半导体区 913。而且，配

置第二主电极 916，使其共同接触 P 型半导体区 912 和 N 型半导体区 913。

这样，通过把 P 型半导体区 912 和 N 型半导体区 913 配置为不接触，谋求电特性的改善。

第二主电极 916 是从外部端子 CT 对 P 型半导体区 912 和 N 型半导体区 913 提供电位的电极。须指出的是，第二主电极 916 有时作为集电极起作用，有时也作为阴极或漏极起作用。

下面，参照图 2 和图 3 说明半导体器件 90 的动作。图 2 是把半导体器件 90 的功能作为等价电路模式地表示的图，表示半导体器件 90 作为 IGBT 元件和与它反向并联的二极管元件起作用。此外，图 3 是表示半导体器件 90 的电流电压特性的图。

如图 2 所示，当在第二主面 MS2 的表面内隔开间隔配置 P 型半导体区 912 和 N 型半导体区 913 时，对外部端子 ET 提供接地电位，对外部端子 CT 提供正电位，对外部端子 GT 提供导通信号时，作为到达第一主面 MS1 一侧的电流路径，形成：从 N 型半导体区 913 通过具有电阻 R1 和 R2 的半导体衬底 901 内的路径和在与栅绝缘膜 904 接触的 P 型半导体区 902 内形成的沟道区，到达 N 型杂质区 906 的电流路径（1）；从 P 型半导体区 912 通过具有电阻 R2 的半导体衬底 901 内的路径和在与栅绝缘膜 904 接触的 P 型半导体区 902 内形成的沟道区，到达 N 型杂质区 906 的电流路径（2）。

这里，电流路径（1）是作为所谓的 MOSFET 元件动作时的路径，电流路径（2）是作为所谓的 IGBT 元件动作时的路径。

须指出的是，在对外部端子 ET 提供接地电位，对外部端子 CT 提供负电位，对外部端子 GT 提供断开信号时，半导体器件 90 作为二极管元件动作，通过具有电阻 R3 的半导体衬底 901 内的路径，电流流向 N 型半导体区 913。

如果把 P 型半导体区 912 附近的半导体衬底 901 内的部分称作 X 点，与 N 型半导体区 913 之间的电阻 R1 的电阻值在 N 型半导体区 913 和 P 型半导体区 912 接近时变得非常小。

须指出的是，在图 2 中，半导体衬底 901 内的电阻 R2 和 R3 分别作为 IGBT 元件动作时和作为二极管元件动作时，发生调制，伴随着电压升高，电阻值降低，所以使用可变电阻的记号，但是当作为 MOSFET 元件动作时，变为几乎一定的电阻值。

图 3 概念地表示半导体器件 90 的电流电压特性。即在图 3 中，横轴表示电压值，纵轴表示电流值，表示特性 A、特性 B、特性 C 和特性 D 等 4 种电流电压特性。

特性 A 表示不把 N 型半导体区 913 连接在外部端子 CT 上而成为开路状态时在外部端子 CT 上流动的电流和外部端子 CT 与 X 点之间的电位差的关系。

特性 B 表示不把 P 型半导体区 912 连接在外部端子 CT 上而成为开路状态时在外部端子 CT 上流动的电流和外部端子 CT 与 X 点之间的电位差的关系。

特性 C 表示不把 N 型半导体区 913 连接在外部端子 CT 上而成为开路状态时在外部端子 CT 上流动的电流和外部端子 CT 与外部端子 ET 之间的电位差的关系。

特性 D 表示不把 P 型半导体区 912 连接在外部端子 CT 上而成为开路状态时在外部端子 CT 上流动的电流和外部端子 CT 与外部端子 ET 之间的电位差的关系。

这里，特性 B 表示斜率 $1/R_1$ 的直线，特性 A 表示外部端子 CT 和 X 点之间的电位差在到达 0.6V 之前，几乎不流过电流的特性。

下面，说明把 N 型半导体区 913 和 P 型半导体区 912 共同连接在外部端子 CT 上的情形。

当电流小时，外部端子 CT 和 X 点之间的电位差小，IGBT 元件不动作，所以 MOSFET 元件的动作变为主要，电流几乎流向电流路径 (1)。

然后，发生调制，IGBT 元件动作，电流开始流过时，即外部端子 CT 和 X 点之间的电位差到达 0.6V 时，特性 D 的电流值和电压值变为在 Z 点表示的值。

以后,把 IGBT 元件动作而流过电流的电压即开始发生调制的电压定义为调制电压 V_{mod} 。

而且,当要使所产生的电流不低于 Z 点表示的电流时,作为通过电流路径 (2) 的 IGBT 元件的动作渐渐变为主流。作为 IGBT 元件的动作中流过的电流按指数函数增加,而作为 MOSFET 元件的动作中流过的电流只以一次函数增加,所以如果产生的电流大于等于 Z 点表示的电流时,就观测到外部端子 CT 和外部端子 ET 之间的电位差减小的现象即急速返回现象。

在图 3 中,表示把特性 D 中的 Z 点作为折返点,伴随着电压的下降,电流急剧增加的特性 E,该特性与急速返回现象对应。

须指出的是,把观测到急速返回现象的负性电阻区称作急速返回区。

当随着时间经过观察开关动作时,如果产生急速返回现象,则产生电流和电压都增大的时间带,产生能量损失。

在把 P 型半导体区 912 和 N 型半导体区 913 配置为不接触的结构中,当 P 型半导体区 912 和 N 型半导体区 913 接近时,产生急速返回现象。因此,通过进一步扩大 P 型半导体区 912 和 N 型半导体区 913 的间隔,占据第二主面 MS2 中的有效区的面积(P 型半导体区 912 和 N 型半导体区 913 的面积和)减小,特性 A 和特性 C 稍微向高电压一侧(图 3 右侧)移动。

此外,由于 P 型半导体区 912 和 N 型半导体区 913 的间隔扩大,电阻 R1 (图 2) 的电阻值增大,特性 B 的斜率变缓和。

而且,即使 P 型半导体区 912 和 N 型半导体区 913 的间隔扩大,半导体芯片的面积不增大时, N 型半导体区 913 的面积必然减小, N 型半导体区 913 占据半导体芯片的面积的比率减小,所以特性 D 的斜率稍微减小。

而且, P 型半导体区 912 和 N 型半导体区 913 间的电阻 R1 增大,特性 B 的斜率变缓和,当外部端子 CT 和 X 点间的电位差达到 0.6V 时, MOSFET 元件的动作电流不怎么流过,外部端子 CT 和外部端子

ET 之间的电位差减小，能抑制急速返回。这里，在外部端子 CT 和 X 点间的电位差达到约 0.6V 的时刻即 Z 点， $V_{\text{mod}}=R_1 \times i_d$ 的关系成立。须指出的是， i_d 是 MOSFET 元件的动作电流，即流过电流路径 (1) 的电流，这里特指 Z 点的电流值。

可是，如上所述，通过扩大 P 型半导体区 912 和 N 型半导体区 913 的间隔，占据第二主面 MS2 中的有效区的面积减小，所以 IGBT 元件的动作时的导通电压或二极管元件的动作时的正向电压 V_f 升高，或各动作时的局部电流密度升高。

此外，通过使 N 型半导体区 913 的面积比 P 型半导体区 912 小，也能抑制急速返回，如果 N 型半导体区 913 的面积比 P 型半导体区 912 小很多，就能不观测到急速返回，但是由于减小 N 型半导体区 913 的面积，二极管元件的动作时的正向电压 V_f 升高，或电流密度变得非常大，二极管元件有可能损伤。

因此，发明者们达成了在 P 型半导体区 912 和 N 型半导体区 913 之间的半导体衬底 901 的表面内设置沟槽的技术思想。下面，作为本发明的实施例，说明所述技术思想而取得的半导体器件 100 的结构和动作。

A. 器件结构

A-1. 截面结构

图 4 是表示半导体器件 100 的基本结构的剖视图。

在图 4 所示的半导体器件 100 中，在高电阻率 N 型衬底 (N^-) 即半导体衬底 901 的第一主面 MS1 的表面内，跨全面形成 P 型半导体区 902。这里，N 型半导体衬底 901 根据耐压级别，其电阻率、P 型半导体区 912 底部和沟槽 903 的底部的距离 L 不同，但是当为耐压 1200V 级别时，电阻率为 40~60 Ωcm ，距离 L 设定为 100~200 μm ，如果耐压等级低于它，则电阻率下降，距离 L 缩短。

然后，设置从第一主面 MS1 的表面贯通 P 型半导体区 902 到达半导体衬底 901 内的两个沟槽 903，沟槽 903 的内壁面由栅绝缘膜 904 覆盖。在由栅绝缘膜 904 包围的沟槽 903 内的区域中埋入导电体材料，

构成沟槽型栅极 905。

当半导体器件 100 作为 MOSFET 元件和 IGBT 元件动作时，P 型半导体区 902 变为包含沟道区的体区，所以根据 MOSFET 或 IGBT 的阈值电压，设定杂质浓度和深度。

须指出的是，杂质浓度和扩散深度由离子注入条件、热扩散条件决定。例如，通常在与 MOSFET 的源极或 IGBT 的发射极接触的区域中，杂质浓度设定为 1×10^{17} 原子/cm³~ 1×10^{18} 原子/cm³，扩散深度在不超过沟槽 903 的程度下，设定为几 μm 的深度。

此外，通过蚀刻，以 2~10μm 的间隔设定沟槽 903，宽度设定为 0.5~3.0μm，深度设定为 3~20μm。

配置在沟槽 903 的内壁表面的栅绝缘膜 904 是构成 MOSFET 的绝缘膜，根据栅驱动电压、饱和电流和电容等，设定为最佳厚度。一般，使用 10~200nm 的厚度的氧化硅膜，由热氧化或淀积等形成。

埋入在沟槽 903 内的沟槽型栅极 905 是由高杂质浓度的多晶硅膜、例如钨硅化物等高熔点金属材料、或它们的多层膜构成。一般在第一主面 MS1 上淀积沟槽 903 的宽度的一半以上厚度的导电膜后，通过各向异性蚀刻，进行平坦化而取得，但是也能通过光刻，形成预定图案的掩模后，淀积导电膜，进行蚀刻而获得。

这里，根据沟槽型栅极 905 的材料的功函数值，P 型半导体区 902 的最佳浓度变化，极端的时候，有时也采用沿着沟槽 903 侧面设置 N 型半导体区，在与栅绝缘膜 904 接触的区域中设置与发射区同一导电类型（N 型）的薄层的埋入沟道构造。

此外，在 P 型半导体区 902 的表面内配置选择性形成的较高浓度（N⁺）的 N 型半导体区 906，使至少一部分接触栅绝缘膜 904。N 型半导体区 906 设置在两个沟槽 903 各自的两侧，但是在沟槽间相对的 N 型半导体区 906 之间设置有较高浓度（P⁺）的 P 型半导体区 907。须指出的是，P 型半导体区 907 是用于取得对 P 型半导体区 902 的良好电接触的结构。

须指出的是，通过基于光刻的构图和离子注入形成 N 型半导体区

906和P型半导体区907,表面浓度例如设定为不低于 1×10^{20} 原子/cm³。

而且,与彼此相邻的N型半导体区906和P型半导体区907的上部接触来配置第一主电极908。

第一主电极908是从外部端子ET对N型半导体区906以及P型半导体区907提供电位的电极。须指出的是,第一主电极908根据半导体器件90的动作,有时作为发射极起作用,有时作为阳极或源极起作用。此外,从外部端子GT对沟槽型栅极905提供控制电压。

把覆盖N型半导体区906和P型半导体区907而形成的层间绝缘膜(未图示)通过光刻和蚀刻选择性开口,淀积由铝和硅的化合物构成的导电膜,形成第一主电极908。

此外,在第一主电极908上形成未图示的保护膜,通过设置在所述保护膜的预定部分中的开口部连接到外部电源上。

在半导体衬底901的第二主面MS2的表面内设置彼此隔开间隔交替形成的P型半导体区912和N型半导体区913,在两者之间的半导体衬底901的表面内配置有在沟槽内埋入绝缘体914而形成的沟槽隔离构造911。

这里,P型半导体区912和N型半导体区913的杂质浓度都是 1×10^{16} 原子/cm³~ 1×10^{21} 原子/cm³,例如通过离子注入,注入预定杂质后,通过退火,进行活性化而形成,但是根据半导体器件的特性,可以是所述浓度范围以外,有时可以不进行退火。

然后,配置第二主电极916,使其共同接触P型半导体区912和N型半导体区913。须指出的是,沟槽隔离构造911设置在第二主面MS2内,使其露出面与P型半导体区912和N型半导体区913的露出面变为同一平面,把第二主电极916配置为也覆盖沟槽隔离构造911上。

第二主电极916是从外部端子CT对P型半导体区912和N型半导体区913提供电位的电极。须指出的是,第二主电极916有时作为集电极起作用,有时也作为阴极或漏极起作用。

根据半导体衬底901的电阻率、N型半导体区913和P型半导体区912的杂质浓度、两者的面积比、构成沟槽隔离构造911的绝缘体

914 的材料和生产量，把沟槽隔离构造 911 的深度设定为最佳值，通过各向异性蚀刻形成。

此外，能任意设定沟槽隔离构造 911 的宽度和配置间隔，例如宽度设定为 $0.2\mu\text{m}\sim 100\mu\text{m}$ ，配置间隔设定为 $0.5\mu\text{m}\sim 500\mu\text{m}$ 。

这里，设定构成沟槽隔离构造 911 的绝缘体 914 的材料和尺寸，从而其内部电荷对于半导体衬底内的电荷极性相反，全部沟槽隔离构造 911 的电荷量的合计几乎等于从半导体衬底 901 的第二主面 MS2 到沟槽隔离构造 911 的底面的区域的半导体衬底 901 的电荷量。例如半导体衬底 901 的 N 型杂质浓度为 n (原子/ cm^3)，沟槽隔离构造 911 的宽度尺寸为 W ，深度为 t ，向里的尺寸为 x ，沟槽隔离构造 911 的中心线间距离（沟槽配置间隔）为 P 时，如果单位电荷为 q ，则在由 2 个沟槽隔离构造 911 夹着的半导体衬底 901 的区域内存在 $qn \cdot (P-W)tx$ 的负电荷，所以设定绝缘体 914 的材料，从而在一个沟槽隔离构造 911 内部存在与所述负电荷同量的正电荷。更具体而言，使用固定电荷密度 $n \cdot (P-W) / W$ 的绝缘体。

通过这样设定，能通过降低表面电场（RESURF）效应，稳定提高耐压，能使半导体衬底 901 的厚度减小。此外，因为能提高半导体衬底 901 的浓度，所以能减小 IGBT 元件的导通电压、二极管元件的正向电压 V_f ，能减小能量的损失。

这里，半导体器件 100 作为 IGBT 元件动作时，第一主电极 908 变为发射极，第二主电极 916 变为集电极，形成在第一主面 MS1 上的 N 型半导体区 906 变为发射区，P 型半导体区 902 变为包含沟道区的体区，P 型半导体区 907 变为体接触区。

此外，作为二极管元件动作时，第一主电极 908 变为阳极，第二主电极 916 变为阴极，形成在第一主面 MS1 上的 P 型半导体区 902 变为阳极区，P 型半导体区 907 变为阳极接触区，设置在第二主面 MS2 一侧的 N 型半导体区 913 变为阴极区。

此外，当作为 MOSFET 元件动作时，第一主电极 908 变为源极，第二主电极 916 变为漏极，N 型半导体区 906 变为源区，P 型半导体

区 902 变为包含沟道区的体区，P 型半导体区 907 变为体接触区，N 型半导体区 913 变为漏区。

A-2. 平面结构

下面，参照图 11~图 15，说明沟槽隔离构造 911、P 型半导体区 912 和 N 型半导体区 913 的平面形状。须指出的是，图 5、图 8~图 11 是在半导体芯片的状态下，从第二主面 MS2 一侧观察半导体器件 100 时的平面图。

图 5 表示隔开间隔并列配置轮廓形状为矩形的环状的多个沟槽隔离构造 911 的例子，在由环状的沟槽隔离构造 911 包围的区域中配置 N 型半导体区 913，包围沟槽隔离构造 911 配置 P 型半导体区 912。

这里，在图 6 和图 7 中表示从第一主面 MS1 观察时的沟槽 903 的平面形状的例子。在图 6 所示的例子中，在 P 型半导体区 902 的表面内隔开间隔并列配置条纹状的多个沟槽 903，其排列方向与沟槽隔离构造 911 的排列方向一致。

而在图 7 所示的例子中，在 P 型半导体区 902 的表面内隔开间隔并列配置条纹状的多个沟槽 903，但是其排列方向对于沟槽隔离构造 911 的排列方向成 90 度的角度。须指出的是，在图 6 和图 7 中，为了方便，省略 N 型半导体区 906。通过这样配置两者，使沟槽 903 的排列方向与沟槽隔离构造 911 的排列方向成 90 度，存在能使电流分布均匀的优点。

图 8 表示隔开间隔把轮廓形状为矩形的环状的多个沟槽隔离构造 911 配置为同心的例子，中央的沟槽隔离构造 911 的环形最小，伴随着向外侧，沟槽隔离构造 911 的环形增大。而且，在由中央的沟槽隔离构造 911 包围的区域中配置 P 型半导体区，包围中央的沟槽隔离构造 911 配置 N 型半导体区 913。然后，同样包围各沟槽隔离构造 911 交替配置 P 型半导体区 912 和 N 型半导体区 913。

图 9 表示隔开间隔并列配置条纹状的多个沟槽隔离构造 911 的例子，在多个沟槽隔离构造 911 间交替配置 P 型半导体区 912 和 N 型半导体区 913，但是交替配置 P 型半导体区 912 和 N 型半导体区 913 的

区域只是沟槽隔离构造 911 的排列的中央部，沟槽隔离构造 911 的排列的两端部设置在杂质浓度低的半导体衬底的表面内，在半导体芯片的外周区域中配置 P 型半导体区 912。

图 10 表示隔开间隔并列配置轮廓形状为矩形的环状的多个沟槽隔离构造 911（小环形），包围该排列的外周配置轮廓形状为矩形的更大环状的沟槽隔离构造 911（大环形）的例子，在由形成小环形的沟槽隔离构造 911 包围的区域中配置 N 型半导体区 913，包围形成小环形的沟槽隔离构造 911 配置 P 型半导体区 912。此外，包围形成大环形的沟槽隔离构造 911 配置 N 型半导体区 913。

此外，图 11 表示隔开间隔并列配置条纹状的多个沟槽隔离构造 911 的例子，在多个沟槽隔离构造 911 间交替配置 P 型半导体区 912 和 N 型半导体区 913。这里，沟槽隔离构造 911 配置为延伸到半导体芯片的端缘部，P 型半导体区 912 和 N 型半导体区 913 由沟槽隔离构造 911 和芯片边缘隔离。

这里，图 12 表示用于取得图 5~图 11 所示的半导体芯片的半导体晶片的平面结构。图 12 表示在半导体晶片 WF 中设置条纹状的多个沟槽隔离构造 911 的状态，通过按照纵横设置的划片线 DL 划片，能把半导体晶片 WF 分割为多个半导体芯片。

B. 动作

下面参照图 13 和图 14 说明半导体器件 100 的动作。图 13 是把半导体器件 100 的功能作为等价电路模式地表示的图，表示半导体器件 100 作为 IGBT 元件和与它反向并联的二极管元件起作用。此外，图 14 是表示半导体器件 100 的电流电压特性的图。

如图 13 所示，在 P 型半导体区 912 和 N 型半导体区 913 之间的半导体衬底 901 的表面内配置沟槽隔离构造 911 时，对外部端子 ET 提供接地电位，对外部端子 CT 提供正电位，对外部端子 GT 提供导通信号时，作为到达第一主面 MS1 一侧的电流路径，形成：从 N 型半导体区 913 通过具有电阻 R11、R1 和 R12 的半导体衬底 901 内的路径和在与栅绝缘膜 904 接触的 P 型半导体区 902 内形成的沟道区，

到达 N 型杂质区 906 的电流路径 (1)；从 P 型半导体区 912 通过具有电阻 R13 和 R12 的半导体衬底 901 内的路径和在与栅绝缘膜 904 接触的 P 型半导体区 902 内形成的沟道区，到达 N 型杂质区 906 的电流路径 (2)。

这里，电流路径 (1) 是作为所谓的 MOSFET 元件动作时的路径，电流路径 (2) 是作为所谓的 IGBT 元件动作时的路径。

须指出的是，在对外部端子 ET 提供接地电位，对外部端子 CT 提供负电位，对外部端子 GT 提供断开信号时，作为二极管元件动作，形成通过具有电阻 R14 的半导体衬底 901 内的路径，到达 N 型半导体区 913 的电流路径 (3)。

这里，如果把半导体器件 100 作为 IGBT 元件动作时的电流与作为 MOSFET 元件动作时的电流合流的部分称作 X 点，通过用沟槽隔离构造 911 隔离 P 型半导体区 912 和 N 型半导体区 913 之间，在 P 型半导体区 912 和 X1 点之间具有电阻 R13，在 N 型半导体区 913 和 X1 点之间具有电阻 R11 和 R1，在外部端子 CT 和 X1 点之间的电阻值增大，能容易增大外部端子 CT 和 X1 点之间的电位差。须指出的是，电阻 R1 的电阻值与图 2 所示的半导体器件 90 同样小，但是电阻 R11 的电阻值比电阻 R1 大很多。

须指出的是，在图 2 中，在半导体层 100 作为 IGBT 元件动作时，半导体衬底 901 内的电阻 R12 和 R13 发生调制，此外在半导体层 100 作为二极管元件动作时，电阻 R14 发生调制，伴随着电压升高，电阻值降低，所以使用可变电阻的记号，但是作为 MOSFET 元件动作时，变为几乎一定的电阻值。

图 14 概念地表示半导体器件 100 的电流电压特性。即在图 14 中，横轴表示电压值，纵轴表示电流值，表示特性 A1、特性 B1、特性 C1 和特性 D1 等 4 种电流电压特性。此外，为了比较，也一起表示图 3 所示的特性 A、B、C 和 D。

特性 A1 表示不把 N 型半导体区 913 连接在外部端子 CT 上而成为开路状态时在外部端子 CT 上流动的电流和外部端子 CT 与 X1 点之

间的电位差的关系。

特性 B1 表示不把 P 型半导体区 912 连接在外部端子 CT 上而成为开路状态时在外部端子 CT 上流动的电流和外部端子 CT 与 X1 点之间的电位差的关系。

特性 C1 表示不把 N 型半导体区 913 连接在外部端子 CT 上而成为开路状态时在外部端子 CT 上流动的电流和外部端子 CT 与外部端子 ET 之间的电位差的关系。

特性 D1 表示不把 P 型半导体区 912 连接在外部端子 CT 上而成为开路状态时在外部端子 CT 上流动的电流和外部端子 CT 与外部端子 ET 之间的电位差的关系。

此外，特性 A' 是不把 N 型半导体区 913 连接在外部端子 CT 上而成为开路状态时的流过外部端子 CT 的电流和外部端子 CT 与 X' 点之间电压差的关系。

这里，P 型半导体区 912 的面积和 N 型半导体区 913 的面积都设定为与图 2 所示的半导体器件 90 相同，所以特性 C1 和 D1 分别图 3 图 3 所示的特性 C 和 D 相同。

而由于 X1 点和 N 型半导体区 913 间的距离增大，其间的电阻值（电阻 R 和电阻 R11 的电阻值的合计）增大，特性 B1 的斜率比特性 B 缓和很多。

结果，即使外部端子 CT 和 X 点之间的电位差到达 0.6V，到达开始发生调制的调制电压 V_{mod} （在 Z 点表示的电压），也不怎么产生电流，外部端子 CT 和外部端子 ET 之间的电位差也小，能抑制急速返回。这里，流过电阻 R13 的电流 i_c 几乎为 0，所以在 Z 点， $V_{mod} = (R_{11} + R_1) \times i_d$ 的关系成立，因为电阻 $(R_{11} + R_1)$ 的电阻值大，所以用小电流 i_d 就能使 IGBT 的集电极导通。这里， i_d 是 MOSFET 元件的动作电流，即流过电流路径（1）的电流，这里特指 Z 点的电流值。此外，电流 i_c 是 IGBT 元件的动作电流，即电流路径（2）中流动的电流，在 Z 点为 0。

如上所述，在半导体器件 100 中，能抑制急速返回，并且因此没必要减小占据第二主面 MS2 中的有效区的面积（P 型半导体区 912 和 N 型半导体区 913 的面积和），所以能防止 IGBT 元件的动作时的导

通电压或二极管元件动作时的正向电压 V_f 提高,或各动作时的局部电流密度升高。

C. 制造方法

下面,参照图 15~图 18 说明半导体器件 100 的制造方法。须指出的是,经过与以往公开的一般的 IGBT 或 MOSFET 元件同样的制造步骤形成第一主面 MS1 一侧的结构,所以关于公开的技术,省略说明。

图 15~图 18 是按顺序表示用于取得第二主面 MS2 一侧的构造的制造步骤的剖视图。须指出的是,在以下的说明中,假定已经形成了第一主面 MS1 一侧中第一主电极 908 下面的结构。

首先,在半导体衬底 901 的第一主面 MS1 一侧形成比第一主电极 908 更下层的结构后(关于该结构,省略图示),在图 15 所示的步骤中,在半导体衬底 901 的第二主面 MS2 上通过光刻和各向异性蚀刻形成沟槽 TR。

这里半导体衬底 901 的厚度设定为在半导体器件的制造过程中,在半导体晶片上难以产生断裂或缺口,并且在光刻步骤中,不需要曝光装置中的特别的焦点深度调整的程度的厚度。例如如果以 6 英寸的半导体晶片为例,则设定为 $500\sim 650\mu\text{m}$ 。而考虑导通电阻的降低和耐压,决定从沟槽 TR 的底部到第一主面 MS1 的厚度 S,例如设想 600V 的耐压的半导体器件时,设定为 $60\mu\text{m}$ 。

须指出的是,能任意设定沟槽 TR 的宽度和配置间隔,例如宽度为 $0.2\mu\text{m}\sim 100\mu\text{m}$,配置间隔设定为 $0.5\mu\text{m}\sim 500\mu\text{m}$ 。

接着,在图 16 所示的步骤中,通过 CVD 法,在第二主面 MS2 的全面上淀积厚度不低于沟槽 TR 的宽度的绝缘膜 ZL,在沟槽 TR 中埋入绝缘膜 ZL。

接着,在图 17 所示的步骤中,通过各向异性蚀刻,进行深蚀刻,除去第二主面 MS2 的表面的绝缘膜 ZL,取得由绝缘体 914 构成的沟槽隔离构造 911。

须指出的是,为了取得所需的特性,如果需要,则在图 18 所示

的步骤中，通过各向异性蚀刻或 CMP（化学机械抛光）等研磨技术，研磨第二主面 MS2 一侧，取得所需的衬底厚度。这时，研磨后的衬底厚度 M 和厚度 T 以及 S 的大小关系当然为 $S < M < T$ 。

这里，一般在形成沟槽隔离构造 911 前形成 P 型半导体区 912 和 N 型半导体区 913，在 P 型半导体区 912 和 N 型半导体区 913 的边界部分形成沟槽隔离构造 911，但是进行使用图 18 说明的研磨时，在研磨后形成 P 型半导体区 912 和 N 型半导体区 913。

然后，通过蒸镀法淀积构成第二主电极 916 的导电体材料，能取得第二主面 MS2 一侧的构造。

须指出的是，在所述说明中，在形成第一主面 MS1 一侧的结构后形成第二主面 MS2 一侧的结构，但是并不局限于此，如果沟槽 TR 在形成第一主面 MS1 一侧的结构时不成为障碍，就可以在形成第一主面 MS1 一侧的结构的过程中形成第二主面 MS2 一侧的结构。

此外，希望通过退火使 P 型半导体区 912 和 N 型半导体区 913 充分活性化，所以在形成 P 型半导体区 912 和 N 型半导体区 913 后，希望实施退火步骤。

此外，形成第二主电极 916 的定时并不局限于所述，但是由包含金或银的多层金属膜构成，所以为了防止金属污染，希望在晶片工艺的最终步骤中形成。

D. 变形例

在以上说明的半导体器件 100 中，说明由 N 型半导体衬底构成半导体衬底 901 的例子，但是为 P 型半导体衬底时，当然也能取得同样的效果。

此外，在半导体器件 100 中，具有在第二主电极 916 上共同连接 P 型半导体区 912 和 N 型半导体区 913 的结构，是第二主电极 916 覆盖 P 型半导体区 912 和 N 型半导体区 913 的结构，所以构造简单，表示不需要用于连接在外部端子 CT 上的复杂布线的结构。可是，如图 19 所示的半导体衬底 100A 那样，可以采用设置连接在 P 型半导体区 912 上的第二主电极 916a 和连接在 N 型半导体区 913 上的第二主电极

916b,使它们在P型半导体区912和N型半导体区913中分别连接到不同的主电极上的结构。

这时,采用第二主电极916b通过电阻元件915连接在外部端子CT上的结构,N型半导体区913和P型半导体区912之间的半导体衬底901内的电阻比半导体器件还小,所以能使沟槽隔离构造911的深度变浅。须指出的是,在第二主电极916a上,作为代替电阻元件915的电流限制元件,可以连接二极管元件或晶体管元件。在P型半导体区912和N型半导体区913中,通过采用分别连接在不同的主电极上的结构,能采用多种结构。

此外,在象半导体器件100那样,通过第二主电极916覆盖P型半导体区912和N型半导体区913的结构中,选择第二主电极916的材料,使对N型半导体区913的接触电阻比对P型半导体区912的接触电阻还高,能取得与图19所示的半导体器件100A同样的效果。例如,作为第二主电极916,使用金、银和白金等功函数大的金属。

此外,在实施例,中表示在沟槽内埋入绝缘体,构成沟槽隔离构造911的结构例子,但是可以埋入与沟槽隔离构造911相反导电类型,并且具有与半导体衬底901几乎相等的杂质浓度的高电阻半导体(例如在1200V的耐压元件中,杂质浓度 1×10^{14} 原子/cm³,电阻率50~60欧姆),构成。

此外,当用高电阻半导体构成沟槽隔离构造911时,可以在高电阻半导体和N型半导体区913和P型半导体区912之间形成绝缘膜,所述绝缘膜在沟槽隔离构造911的底部可有可无。

此外,可以在沟槽TR内不埋入绝缘物或高电阻半导体材料,而只用沟槽构成沟槽隔离构造911。

此外,本发明的应用并不局限于IGBT元件或二极管元件,也能应用于半导体晶闸管元件。

图1

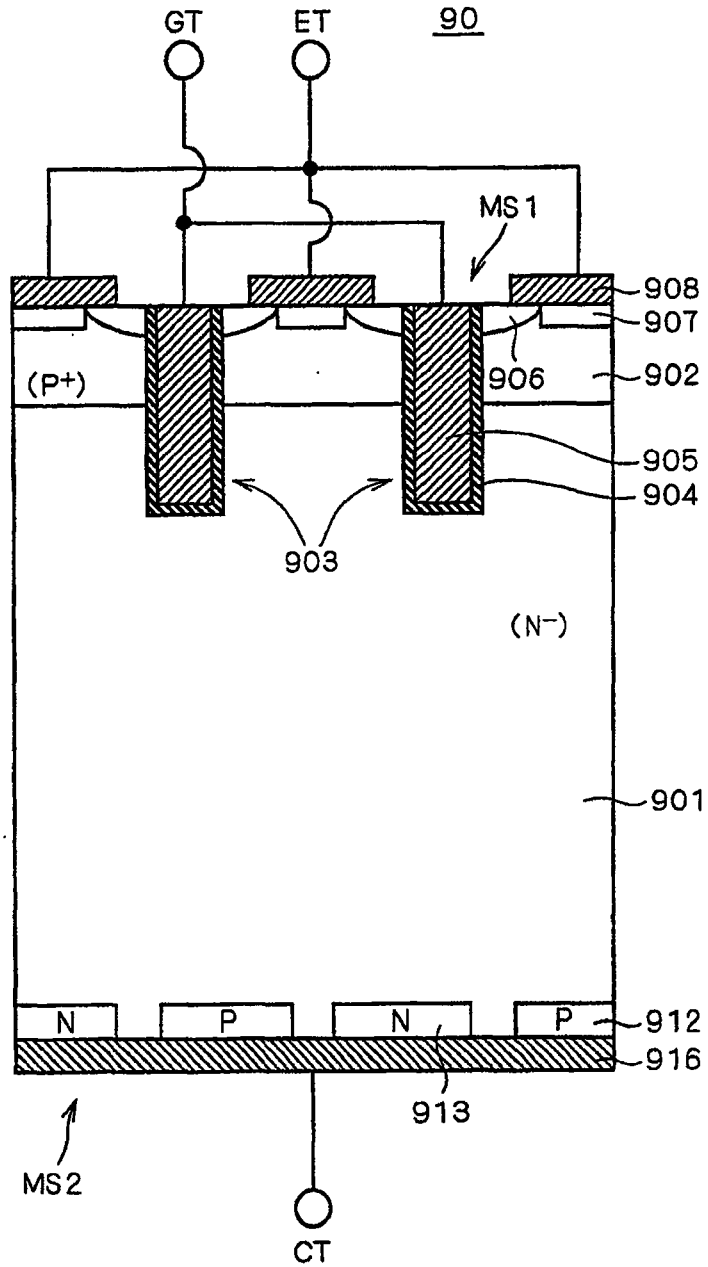


图2

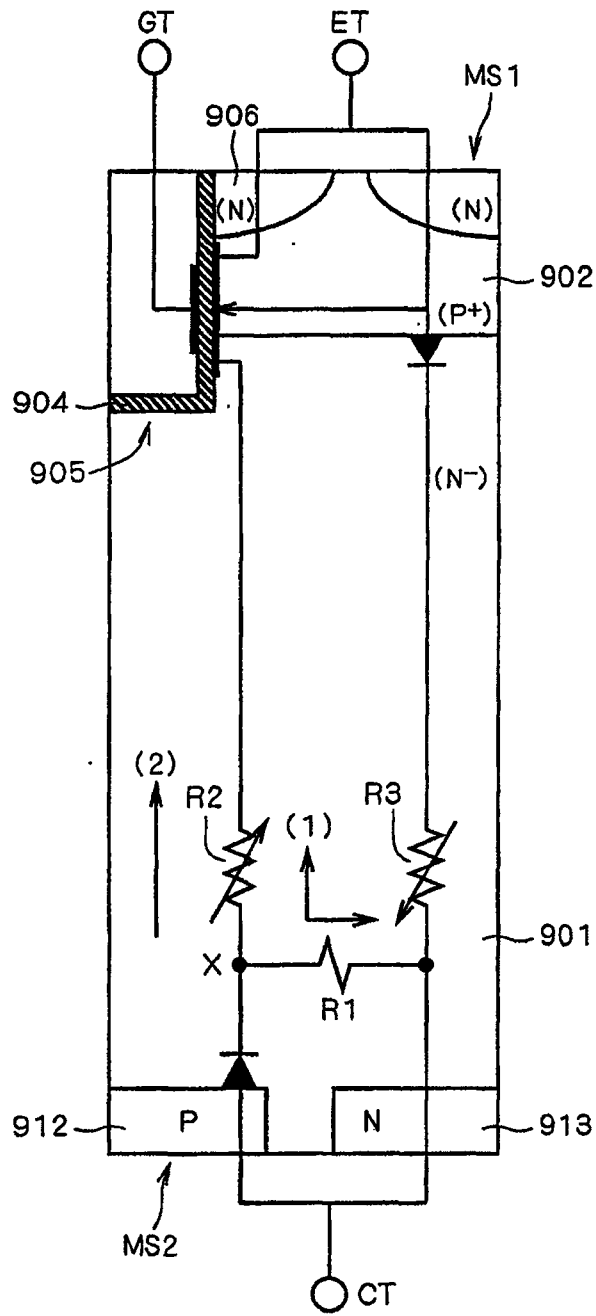


图 3

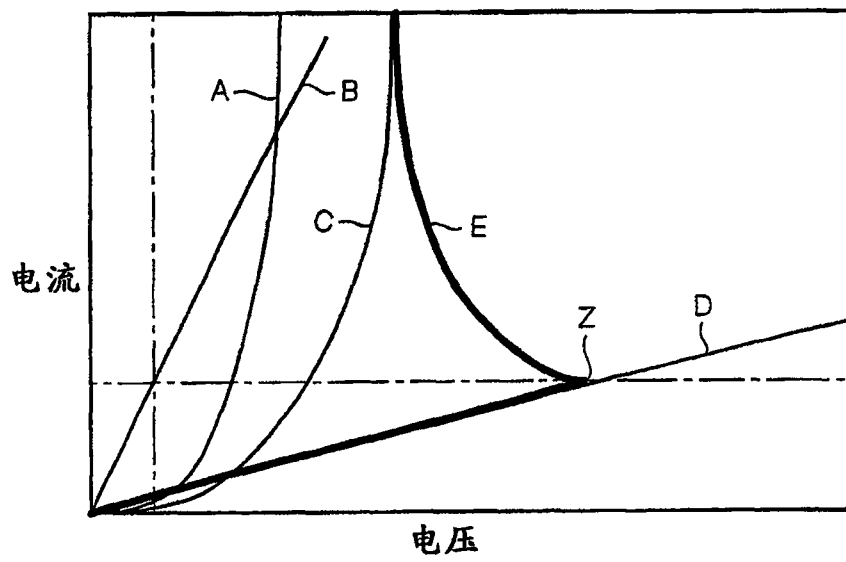


图4

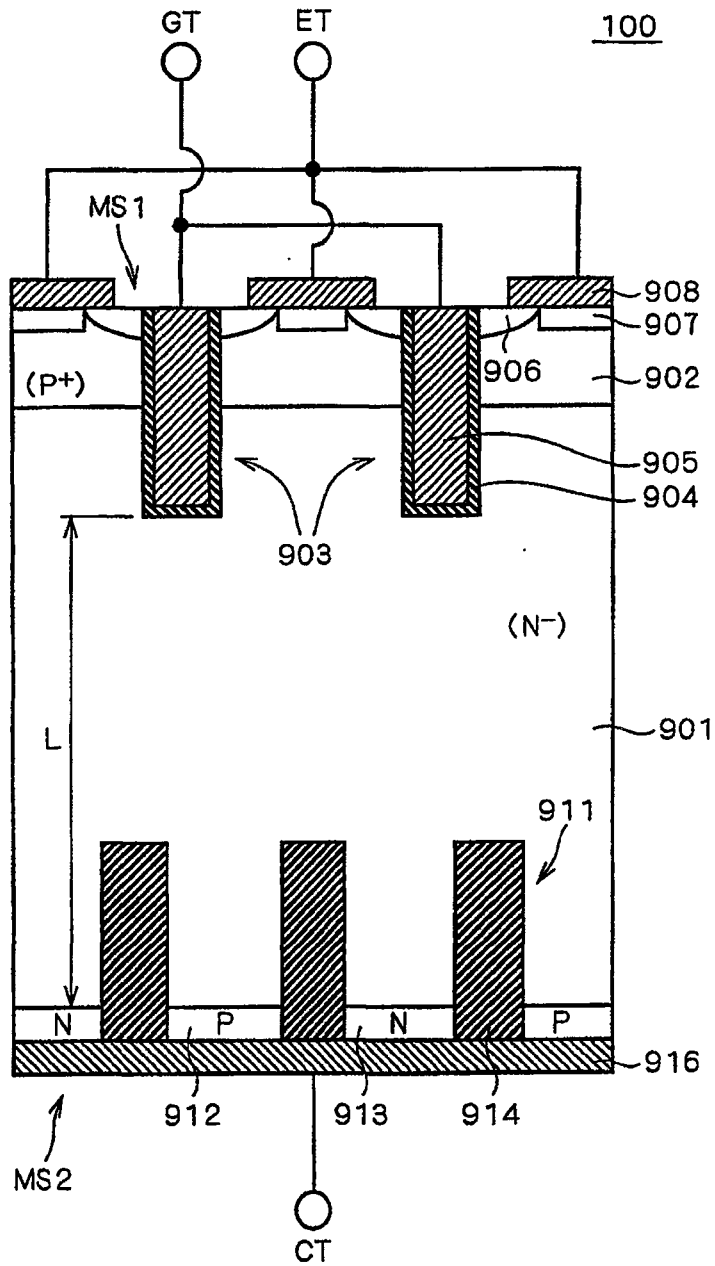


图5

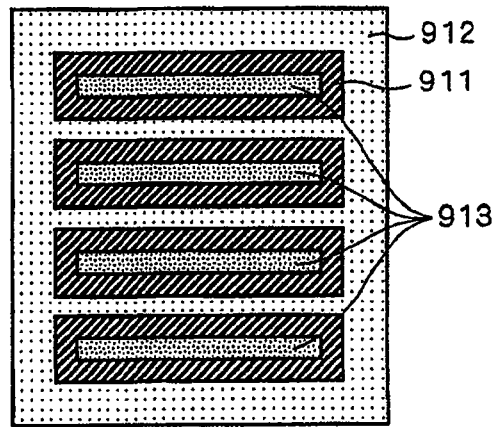


图6

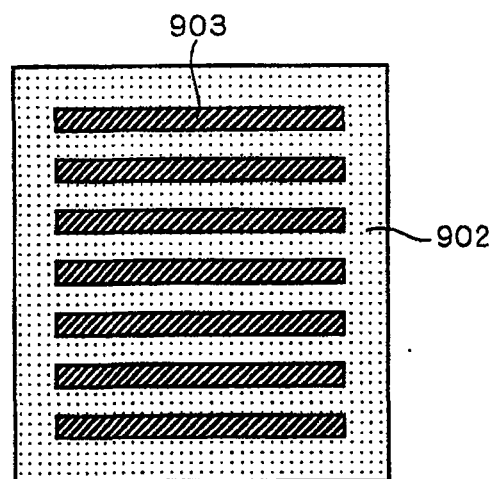


图7

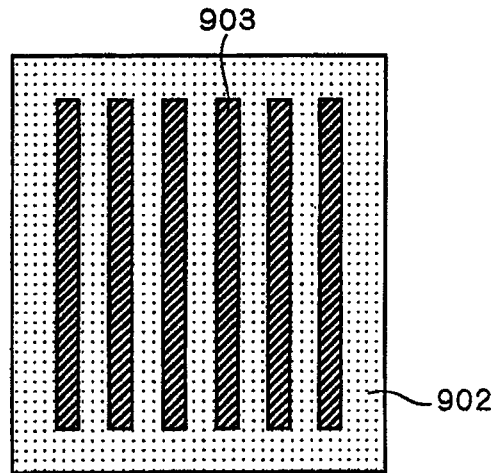


图8

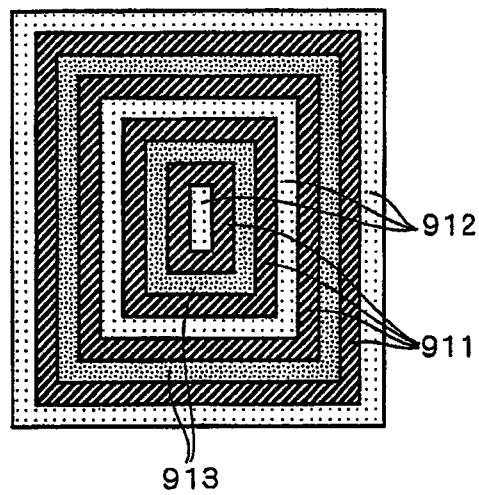


图9

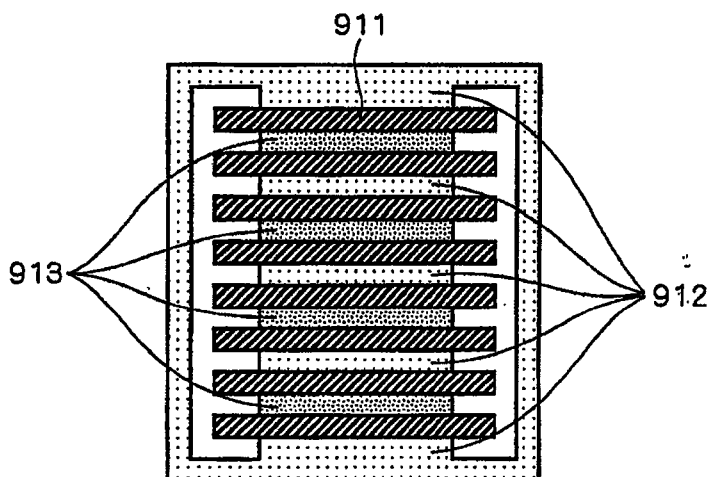


图10

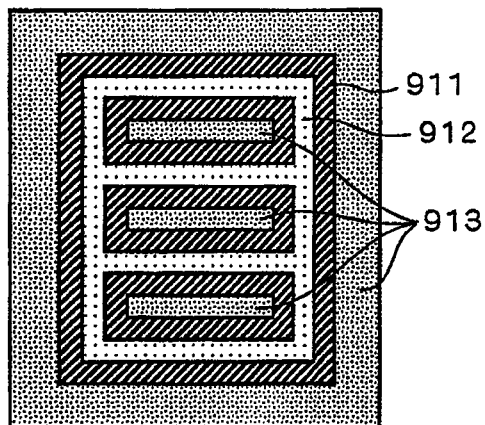


图 11

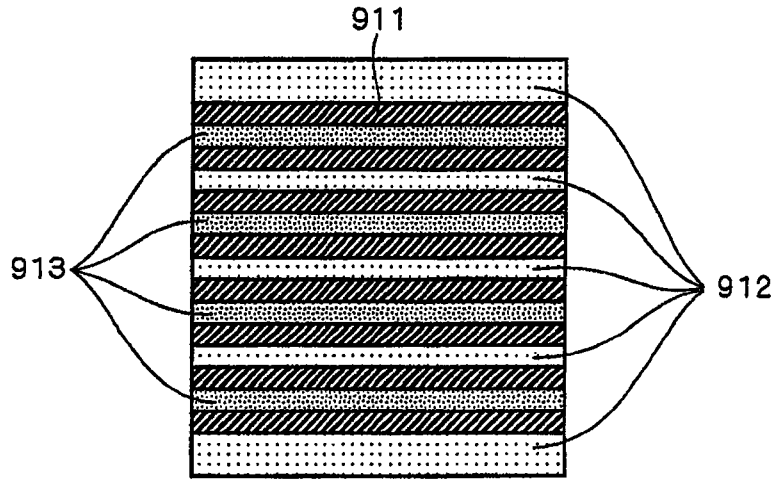


图 12

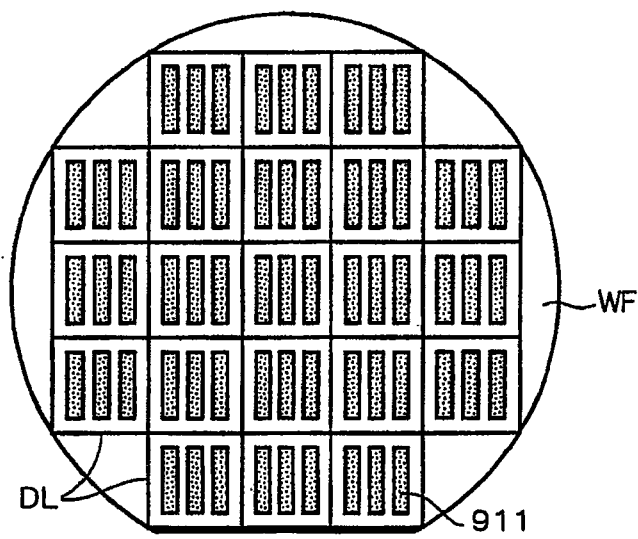


图13

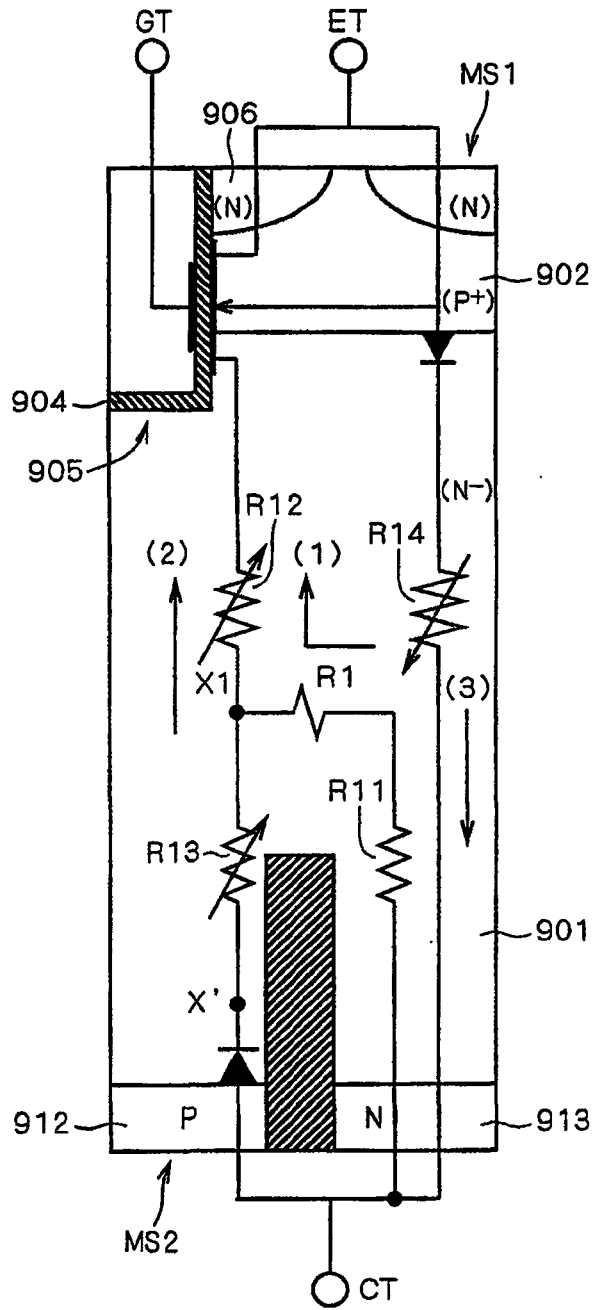


图14

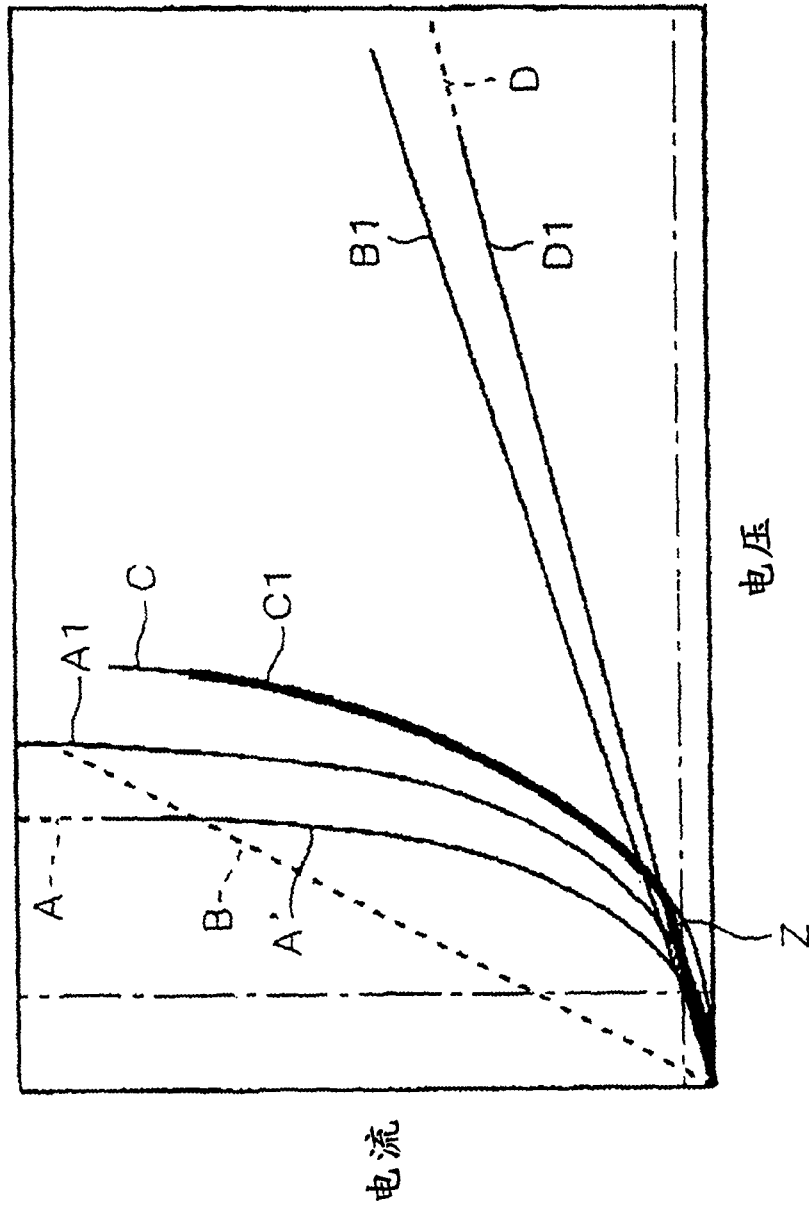


图15

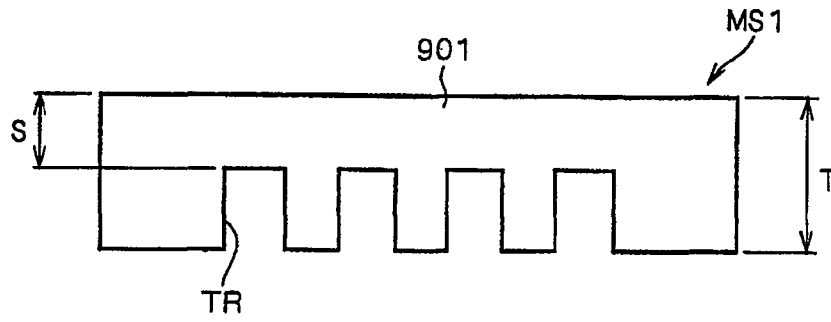


图16

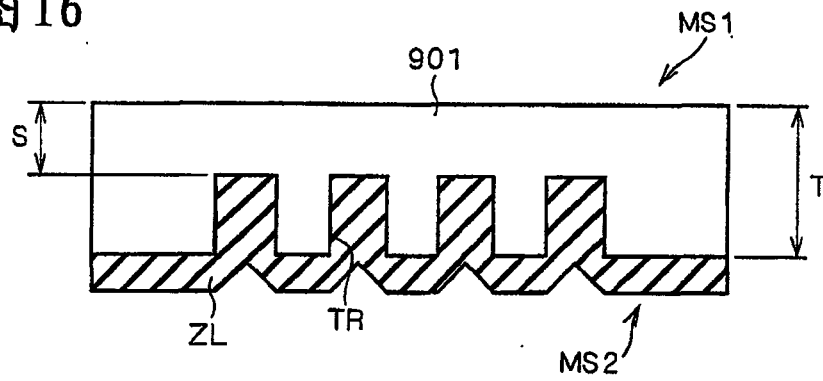


图17

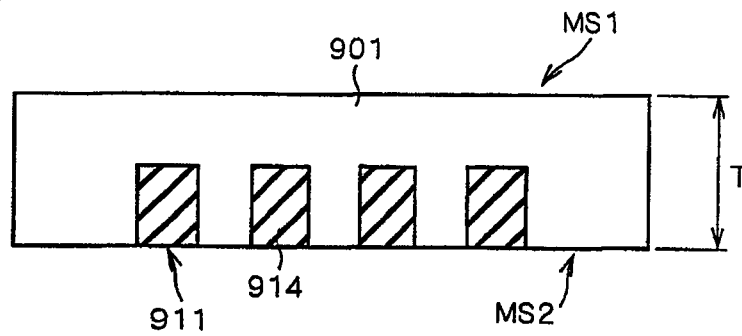


图18

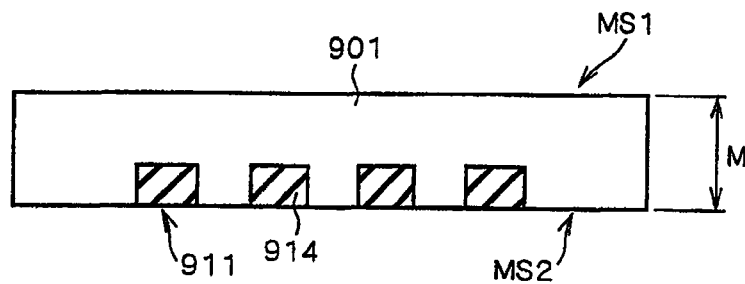


图19

