(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2019-49595
(P2019-49595A)
(43)公開日　平成31年3月28日(2019.3.28)

(51)Int.Cl.		F I			テーマコード（参考）
G09F 9/30	(2006.01)	G09F	9/30	338	3K107
H05B 33/02	(2006.01)	H05B	33/02		5C094
H01L 27/32	(2006.01)	H01L	27/32		
H01L 51/50	(2006.01)	H05B	33/14	A	
H05B 33/14	(2006.01)	H05B	33/14	Z	

審査請求 未請求　請求項の数 16　ＯＬ　（全 29 頁）　最終頁に続く

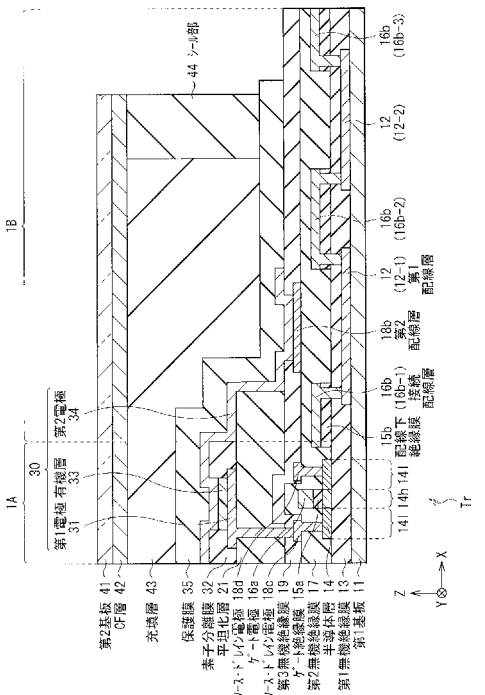
(21)出願番号　特願2017-172654 (P2017-172654)
(22)出願日　平成29年9月8日 (2017.9.8)

(71)出願人　514188173
株式会社ＪＯＬＥＤ
東京都千代田区神田錦町三丁目２３番地
(74)代理人　110001357
特許業務法人つばさ国際特許事務所
(72)発明者　村井　淳人
東京都千代田区神田錦町三丁目２３番地
株式会社ＪＯＬＥＤ内
(72)発明者　寺井　康浩
東京都千代田区神田錦町三丁目２３番地
株式会社ＪＯＬＥＤ内
(72)発明者　丸山　貴士
東京都千代田区神田錦町三丁目２３番地
株式会社ＪＯＬＥＤ内

最終頁に続く

(54)【発明の名称】表示装置

(57)【要約】
【課題】周辺領域に設けられる配線の設計の自由度を向上させることが可能な表示装置を提供する。
【解決手段】
表示領域および前記表示領域の外側の周辺領域が設けられた第１基板と、前記第１基板上の前記表示領域に設けられ、半導体層と、前記半導体層に対向するゲート電極と、前記ゲート電極と前記半導体層との間のゲート絶縁膜と、前記半導体層に電気的に接続されたソース・ドレイン電極とを有するトランジスタと、前記第１基板上の前記周辺領域に設けられ、前記トランジスタに電気的に接続されるとともに、前記トランジスタの前記ゲート電極および前記ソース・ドレイン電極と同層の位置よりも前記第１基板に近い位置に配置された第１配線層と、前記第１配線層を間にして前記第１基板上に設けられ、前記第１配線層の電位と異なる電位を有する第２配線層と、前記第２配線層と前記第１配線層との間に設けられた絶縁膜とを備えた表示装置。
【選択図】図４



【特許請求の範囲】
【請求項１】
表示領域および前記表示領域の外側の周辺領域が設けられた第１基板と、
前記第１基板上の前記表示領域に設けられ、半導体層と、前記半導体層に対向するゲート電極と、前記ゲート電極と前記半導体層との間のゲート絶縁膜と、前記半導体層に電気的に接続されたソース・ドレイン電極とを有するトランジスタと、
前記第１基板上の前記周辺領域に設けられ、前記トランジスタに電気的に接続されるとともに、前記トランジスタの前記ゲート電極および前記ソース・ドレイン電極と同層の位置よりも前記第１基板に近い位置に配置された第１配線層と、
前記第１配線層を間にして前記第１基板上に設けられ、前記第１配線層の電位と異なる電位を有する第２配線層と、
前記第２配線層と前記第１配線層との間に設けられた絶縁膜と
を備えた表示装置。
【請求項２】
前記第１配線層の厚みは、前記ゲート電極の厚みおよび前記ソース・ドレイン電極の厚みよりも小さい
請求項１に記載の表示装置。
【請求項３】
更に、前記ゲート電極または前記ソース・ドレイン電極と同層に設けられるとともに、前記第１配線層に電気的に接続された接続配線層を有する
請求項１に記載の表示装置。
【請求項４】
更に、前記第１基板上の前記表示領域に設けられ、第１電極、有機層および第２電極を含む表示素子を有する
請求項１に記載の表示装置。
【請求項５】
前記トランジスタは、前記第１基板に近い位置から、前記半導体層、前記ゲート絶縁膜、前記ゲート電極および前記ソース・ドレイン電極をこの順に有する
請求項１に記載の表示装置。
【請求項６】
前記絶縁膜は、前記第１配線層を覆う第１絶縁膜と、前記ゲート電極と前記ソース・ドレイン電極との間に設けられるとともに前記周辺領域に延在する第２絶縁膜とを含む
請求項５に記載の表示装置。
【請求項７】
更に、前記ゲート電極と前記ソース・ドレイン電極との間に前記第２絶縁膜に積層して設けられるとともに、前記周辺領域に延在する有機絶縁膜を有する
請求項６に記載の表示装置。
【請求項８】
前記有機絶縁膜は前記周辺領域に溝を有し、
前記第２配線層は前記溝に設けられている
請求項７に記載の表示装置。
【請求項９】
前記絶縁膜は、前記第１配線層を覆う第１絶縁膜と、前記ゲート絶縁膜と同層に設けられた配線下絶縁膜とを含む
請求項５に記載の表示装置。
【請求項１０】
更に、前記第１基板上の前記周辺領域に設けられ、前記表示領域を囲むシール部と、
前記シール部を間にして前記第１基板に対向する第２基板とを有する
請求項１に記載の表示装置。
【請求項１１】

前記第１配線層は前記シール部に対向して設けられている
請求項１０に記載の表示装置。
【請求項１２】
前記第１配線層は、前記第２配線層に交差する方向に延在している
請求項１に記載の表示装置。
【請求項１３】
前記半導体層は酸化物半導体材料を含む
請求項１に記載の表示装置。
【請求項１４】
更に、前記半導体層に対向するとともに前記第１配線層と同層に設けられ、前記ゲート電極または前記ソース・ドレイン電極に電気的に接続された追加電極を有する
請求項１に記載の表示装置。
【請求項１５】
更に、一対の電極の一方が、前記第１配線層と同層に設けられた保持容量を有する
請求項１に記載の表示装置。
【請求項１６】
前記第１配線層は、モリブデン（Ｍｏ），チタン（Ｔｉ），タングステン（Ｗ）または銅（Ｃｕ）を含む
請求項１に記載の表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本技術は、表示領域にトランジスタを有する表示装置に関する。
【背景技術】
【０００２】
表示装置では、例えば有機ＥＬ（Electro Luminescence）素子等の表示素子が表示領域に設けられている（例えば、特許文献１参照）。表示領域には、この表示素子を駆動するためのトランジスタが配置されており、トランジスタに電気的に接続された配線が表示領域の外側の周辺領域に引き出される。
【０００３】
周辺領域では、互いに電位の異なる複数の配線が絶縁膜を介して積層されている。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００５－３０２７０７号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
このような表示装置では、周辺領域に設けられる配線の設計の自由度を向上させることが望まれている。
【０００６】
したがって、周辺領域に設けられる配線の設計の自由度を向上させることが可能な表示装置を提供することが望ましい。
【課題を解決するための手段】
【０００７】
本技術の一実施の形態に係る表示装置は、表示領域および表示領域の外側の周辺領域が設けられた第１基板と、第１基板上の表示領域に設けられ、半導体層と、半導体層に対向するゲート電極と、半導体層に電気的に接続されたソース・ドレイン電極とを有するトランジスタと、第１基板上の周辺領域に設けられ、トランジスタに電気的に接続されるとともに、トランジスタのゲート電極およびソース・ドレイン電極と同層の位置よりも第１基

板に近い位置に配置された第１配線層と、第１配線層を間にして第１基板上に設けられ、第１配線層の電位と異なる電位を有する第２配線層と、第２配線層と第１配線層との間に設けられた絶縁膜とを備えたものである。

【０００８】

本技術の一実施の形態に係る表示装置では、第１配線層がゲート電極およびソース・ドレイン電極と同層の位置よりも第１基板に近い位置に配置されている。即ち、第１配線層は、ゲート電極およびソース・ドレイン電極と異なる工程で形成されているので、ゲート電極およびソース・ドレイン電極の構成材料および厚み等に関わらず、第１配線層の構成材料および厚み等の設計がなされる。

【発明の効果】

【０００９】

本技術の一実施の形態に係る表示装置によれば、第１配線層がゲート電極およびソース・ドレイン電極と同層の位置よりも第１基板に近い位置に配置されているので、ゲート電極およびソース・ドレイン電極の構成材料および厚み等に関わらず、第１配線層の構成材料および厚み等を自由に設計することができる。よって、周辺領域に設けられる配線の設計の自由度を向上させることが可能となる。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれの効果であってもよい。

【図面の簡単な説明】

【００１０】

【図１】本開示の第１の実施の形態に係る表示装置の概略構成を表す平面模式図である。

【図２】図１に示した表示装置の全体構成を表すブロック図である。

【図３】図２に示した画素の配置を表す模式図である。

【図４】図１に示したＩＶ－ＩＶ’線に沿った断面構成を表す模式図である。

【図５】図４に示した第１配線層等の構成を表す平面模式図である。

【図６】図４に示した第１配線層の構成の一例を表す断面模式図である。

【図７】図４に示した有機層の構成の一例を表す断面模式図である。

【図８Ａ】図４に示した表示装置の製造方法の一工程を表す断面模式図である。

【図８Ｂ】図８Ａに続く工程を表す断面模式図である。

【図８Ｃ】図８Ｂに続く工程を表す断面模式図である。

【図９Ａ】図８Ｃに続く工程を表す断面模式図である。

【図９Ｂ】図９Ａに続く工程を表す断面模式図である。

【図９Ｃ】図９Ｂに続く工程を表す断面模式図である。

【図１０Ａ】図９Ｃに続く工程を表す断面模式図である。

【図１０Ｂ】図１０Ａに続く工程を表す断面模式図である。

【図１１】比較例１に係る表示装置の要部の構成を表す断面模式図である。

【図１２】変形例１に係るトランジスタの要部の構成を表す断面模式図である。

【図１３】図１２に示したトランジスタの他の例（１）を表す断面模式図である。

【図１４】図１２に示したトランジスタの他の例（２）を表す断面模式図である。

【図１５】変形例２に係る表示装置の要部の構成を表す断面模式図である。

【図１６】図１５に示した表示装置の他の例を表す断面模式図である。

【図１７】本開示の第２の実施の形態に係る表示装置の要部の構成を表す断面模式図である。

【図１８Ａ】図１７に示した表示装置の製造方法の一工程を表す断面模式図である。

【図１８Ｂ】図１８Ａに続く工程を表す断面模式図である。

【図１９】図１８Ｂに続く工程を表す断面模式図である。

【図２０】比較例２に係る表示装置の要部の構成を表す断面模式図である。

【図２１】変形例３に係る表示装置の要部の構成を表す断面模式図である。

【図２２】図２１に示した表示装置の他の例を表す断面模式図である。

【図２３】電子機器の構成を表すブロック図である。

【発明を実施するための形態】

【００１１】
以下、本技術の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。
１．第１の実施の形態（ゲート電極よりも下層に第１配線層が設けられた表示装置）
２．変形例１（第１配線層と同層に追加電極が設けられた例）
３．変形例２（第１配線層と同層に保持容量の一方の電極が設けられた例）
４．第２の実施の形態（ゲート電極とソース・ドレイン電極との間に有機絶縁膜を有する表示装置）
５．変形例３（第２配線層と第１配線層との間に配線下絶縁膜を有する例）
６．適用例（電子機器の例）
【００１２】
＜１．第１の実施の形態＞
［構成］
図１は、本開示の一実施の形態に係る表示装置（表示装置１）の全体構成を模式的に表したものである。表示装置１は、例えば、有機電界発光素子を用いた有機ＥＬディスプレイ等であり、例えばＲ（赤），Ｇ（緑），Ｂ（青）のいずれかの色の光が上面側から出射される、上面発光型（トップエミッション型）の表示装置である。この表示装置１は、中央の表示領域１Ａと、この表示領域１Ａの外側の周辺領域１Ｂとを有している。表示領域１Ａは、例えば四角形状である。周辺領域１Ｂは、この表示領域１Ａを囲むように枠状に設けられている。
【００１３】
図２は、表示領域１Ａおよび周辺領域１Ｂの機能構成の一例を表している。表示領域１Ａは、２次元配置された複数の画素ｐｒ，ｐｇ，ｐｂを有している。この表示領域１Ａには、例えばアクティブマトリクス方式により、外部から入力される映像信号に基づいて画像が表示される。周辺領域１Ｂには、例えば、表示領域１Ａを駆動するための回路部（走査線駆動部３、信号線駆動部４および電源線駆動部５）が設けられている。表示領域１Ａから周辺領域１Ｂにわたって、例えば、画素配列の行方向に沿って延在する複数の走査線ＷＳＬと、列方向に沿って延在する複数の信号線ＤＴＬと、行方向に沿って延在する複数の電源線ＤＳＬとが設けられている。各画素ｐｒ，ｐｇ，ｐｂは、走査線ＷＳＬを介して走査線駆動部３に、信号線ＤＴＬを介して信号線駆動部４に、電源線ＤＳＬを介して電源線駆動部５に各々電気的に接続されている。画素ｐｒ，ｐｇ，ｐｂは、例えばそれぞれがサブピクセルに相当し、これらの画素ｐｒ，ｐｇ，ｐｂの組が１つのピクセル（画素Ｐｉｘ）を構成する。
【００１４】
図３は、図２に示した画素Ｐｉｘ（画素ｐｒ，ｐｇ，ｐｂ）の平面構成の一例を表したものである。画素ｐｒ、ｐｇ、ｐｂの各面形状は、例えば矩形状を有し、全体としてストライプ状を成して配置されている。画素ｐｒ、ｐｇ、ｐｂの矩形状の長辺に沿った方向（図３の列方向）では、同じ発光色の画素が並んで配置されている。画素ｐｒは、赤色（Ｒ）の表示を行うものであり、画素ｐｇは、例えば緑色（Ｇ）の表示を行うものであり、画素ｐｂは、例えば青色（Ｂ）の表示を行うものである。これらの画素ｐｒ，ｐｇ，ｐｂはそれぞれ、有機ＥＬ素子３０を含む画素回路ＰＸＬＣを有している（図２）。
【００１５】
以下では、画素ｐｒ，ｐｇ，ｐｂのそれぞれを特に区別する必要のない場合には、「画素Ｐ」と称して説明を行う。
【００１６】
画素回路ＰＸＬＣは、各画素ｐｒ，ｐｇ，ｐｂにおける発光および消光を制御するものであり、例えば有機ＥＬ素子（表示素子）３０と、保持容量Ｃｓと、書き込みトランジスタＷｓＴｒと、駆動トランジスタＤｓＴｒとを含んで構成されている。尚、ここでは、画素回路ＰＸＬＣとして、２Ｔｒ１Ｃの回路構成を例示するが、画素回路ＰＸＬＣの構成はこれに限定されるものではない。画素回路ＰＸＬＣは、この２Ｔｒ１Ｃの回路に対して、

更に各種容量やトランジスタ等を付加した回路構成を有していてもよい。

【００１７】

書き込みトランジスタＷｓＴｒは、駆動トランジスタＤｓＴｒのゲート電極に対する、映像信号（信号電圧）の印加を制御するものである。具体的には、書き込みトランジスタＷｓＴｒは、走査線ＷＳＬへの印加電圧に応じて信号線ＤＴＬの電圧（信号電圧）をサンプリングすると共に、その信号電圧を駆動トランジスタＤｓＴｒのゲート電極に書き込むものである。駆動トランジスタＤｓＴｒは、有機ＥＬ素子３０に直列に接続されており、書き込みトランジスタＷｓＴｒによってサンプリングされた信号電圧の大きさに応じて有機ＥＬ素子３０に流れる電流を制御するものである。これらの駆動トランジスタＤｓＴｒおよび書き込みトランジスタＷｓＴｒは、例えば、ｎチャネルＭＯＳ型またはｐチャネルＭＯＳ型の薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）により形成される。これらの駆動トランジスタＤｓＴｒおよび書き込みトランジスタＷｓＴｒは、また、シングルゲート型であってもよいし、デュアルゲート型であってもよい。保持容量Ｃｓは、駆動トランジスタＤｓＴｒのゲート電極およびソース電極間に所定の電圧を保持するものである。

【００１８】

書き込みトランジスタＷｓＴｒのゲート電極は、走査線ＷＳＬに接続されている。書き込みトランジスタＷｓＴｒのソース電極およびドレイン電極のうちの一方の電極が信号線ＤＴＬに接続され、他方の電極が駆動トランジスタＤｓＴｒのゲート電極に接続されている。駆動トランジスタＤｓＴｒのソース電極およびドレイン電極のうちの一方の電極が電源線ＤＳＬに接続され、他方の電極が有機ＥＬ素子３０のアノード（後述の第１電極３１）に接続されている。保持容量Ｃｓは、駆動トランジスタＤｓＴｒのゲート電極と有機ＥＬ素子３０側の電極との間に挿入されている。

【００１９】

走査線ＷＳＬは、表示領域１Ａに配置された複数の画素Ｐを行毎に選択するための選択パルスを、各画素Ｐに供給するためのものである。この走査線ＷＳＬは、走査線駆動部３の出力端（図示せず）と、後述の書き込みトランジスタＷｓＴｒのゲート電極とに接続されている。信号線ＤＴＬは、映像信号に応じた信号パルス（信号電位Ｖsigおよび基準電位Ｖofs）を、各画素Ｐへ供給するためのものである。この信号線ＤＴＬは、信号線駆動部４の出力端（図示せず）と、後述の書き込みトランジスタＷｓＴｒのソース電極またはドレイン電極とに接続されている。電源線ＤＳＬは、各画素Ｐに、電力として固定電位（Ｖcc）を供給するためのものである。この電源線ＤＳＬは、電源線駆動部５の出力端（図示せず）と、後述の駆動トランジスタＤｓＴｒのソース電極またはドレイン電極とに接続されている。尚、有機ＥＬ素子３０のカソード（後述の第２電極３４）は、共通電位線（カソード線）に接続されている。

【００２０】

走査線駆動部３は、各走査線ＷＳＬに所定の選択パルスを線順次で出力することにより、例えばアノードリセット、Ｖth補正、信号電位Ｖsigの書き込み、移動度補正および発光動作等の各動作を、各画素Ｐに所定のタイミングで実行させるものである。信号線駆動部４は、外部から入力されたデジタルの映像信号に対応するアナログの映像信号を生成し、各信号線ＤＴＬに出力するものである。電源線駆動部５は、各電源線ＤＳＬに対して、定電位を出力するものである。これらの走査線駆動部３、信号線駆動部４および電源線駆動部５は、図示しないタイミング制御部により出力されるタイミング制御信号により、それぞれが連動して動作するように制御される。また、外部から入力されるデジタルの映像信号は、図示しない映像信号受信部により補正された後、信号線駆動部４に入力される。

【００２１】

以下に、表示装置１の具体的な構成を説明する。

【００２２】

図４は、表示装置１の表示領域１Ａから周辺領域１Ｂにわたる断面構成を模式的に表したものであり、図１に示したＩＶ－ＩＶ’線に沿った断面構成に対応する。表示装置１で

は、対向する第１基板１１および第２基板４１の間に複数の有機ＥＬ素子３０が封止されている。第１基板１１上の表示領域１Ａには、トランジスタＴｒおよび有機ＥＬ素子３０が設けられている。

【００２３】

トランジスタＴｒは、例えば、トップゲート型の薄膜トランジスタであり、第１基板１１に近い位置から、半導体層１４、ゲート絶縁膜１５ａ、ゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄをこの順に有している。第１基板１１と半導体層１４との間には、第１無機絶縁膜１３（第１絶縁膜）が設けられている。この第１無機絶縁膜１３には第２無機絶縁膜１７（第２絶縁膜）および第３無機絶縁膜１９が積層されている。第２無機絶縁膜１７は、半導体層１４、ゲート絶縁膜１５ａおよびゲート電極１６ａを覆っており、第２無機絶縁膜１７上にはトランジスタＴｒのソース・ドレイン電極１８ｃ，１８ｄが設けられている。このソース・ドレイン電極１８ｃ，１８ｄを第３無機絶縁膜１９が覆っている。第３無機絶縁膜１９上に平坦化層２１を介して有機ＥＬ素子３０が配置されている。

【００２４】

有機ＥＬ素子３０は、平坦化層２１に近い位置から順に、第１電極３１、有機層３３および第２電極３４を有している。隣り合う有機ＥＬ素子３０の間には、素子分離膜３２が設けられている。有機ＥＬ素子３０上には、例えば、保護膜３５が設けられ、この保護膜３５上に充填層４３およびシール部４４を介して第２基板４１が貼り合わされている。第２基板４１の、第１基板１１との対向面には、例えばカラーフィルタ（ＣＦ）層４２が設けられている。

【００２５】

第１基板１１上の周辺領域１Ｂには、第１基板１１に近い位置から順に第１配線層１２、接続配線層１６ｂおよび第２配線層１８ｂが設けられている。第１配線層１２は第１無機絶縁膜１３で覆われている。第１無機絶縁膜１３と接続配線層１６ｂとの間には、配線下絶縁膜１５ｂが設けられている。接続配線層１６ｂは第２無機絶縁膜１７に覆われており、第２無機絶縁膜１７上に第２配線層１８ｂが設けられている。

【００２６】

第１基板１１は、例えばガラス，石英，シリコン，樹脂材料または金属板等により構成されている。樹脂材料としては、例えばＰＥＴ（ポリエチレンテレフタレート），ＰＩ（ポリイミド），ＰＣ（ポリカーボネート）またはＰＥＮ（ポリエチレンナフタレート）などが挙げられる。

【００２７】

周辺領域１Ｂに設けられた第１配線層１２は、接続配線層１６ｂを介して、表示領域１Ａに設けられたトランジスタＴｒに電気的に接続されている。第１配線層１２は、例えばソース・ドレイン電極１８ｃ，１８ｄの一方に電気的に接続され、接続配線層１６ｂとともに電源線ＤＳＬを構成している。第１配線層１２は、トランジスタＴｒのゲート電極１６ａに電気的に接続されていてもよい。本実施の形態では、この第１配線層１２がトランジスタＴｒのゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄと同層の位置よりも、第１基板１１に近い位置、つまり下層に配置されている。ここで、トランジスタＴｒのゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄと同層の位置とは、ゲート電極１６ａまたはソース・ドレイン電極１８ｃ，１８ｄと同一工程で、配線層を形成した場合の位置をいう。詳細は後述するが、このように、第１配線層１２は、トランジスタＴｒのゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄの形成工程とは、別の工程で形成されているので、ゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄの構成材料および厚み等に関わらず、その構成材料および厚み等を設計することができる。

【００２８】

第１無機絶縁膜１３に覆われた第１配線層１２は、第１無機絶縁膜１３上の半導体層１４よりも下層（第１基板１１に近い位置）に配置されている。この第１配線層１２は、例

えば、第２配線層１８ｂに対向する領域（第１配線層１２－１）と、第１配線層１２－１よりも外側のシール部４４に対向する領域（第１配線層１２－２）との２か所に設けられている。第１配線層１２と異なる電位を有する第２配線層１８ｂに対向する領域に、第１配線層１２－１を設けることにより、配線間の短絡の発生を抑えることができる（後述）。外側からの水分の浸入が生じやすいシール部４４に対向する位置に、第１配線層１２－２を設けることにより、外側からの水分の浸入を抑えることができる（後述）。

【００２９】

図５は、第１配線層１２および接続配線層１６ｂの平面（ＸＹ平面）形状を、第２配線層１８ｂおよびシール部４４の平面形状とともに表している。第１配線層１２および接続配線層１６ｂは、例えばＸ軸方向に延在している。第１配線層１２および接続配線層１６ｂに重なる部分では、第２配線層１８ｂおよびシール部４４は、第１配線層１２および接続配線層１６ｂの延在方向（Ｘ軸方向）に交差する方向（Ｙ軸方向）に延在している。表示領域１Ａの周縁近傍と第１配線層１２－１との間、および第１配線層１２－１と第１配線層１２－２との間には各々、接続配線層１６ｂが設けられている。この接続配線層１６ｂが、トランジスタＴｒと第１配線層１２－１、および第１配線層１２－１と第１配線層１２－２を電気的に接続している。第１配線層１２－２の外側にも、第１配線層１２－２に電気的に接続された接続配線層１６ｂが配置されている。

【００３０】

第１配線層１２の厚みは、トランジスタＴｒのゲート電極１６ａの厚みおよびソース・ドレイン電極１８ｃ，１８ｄの厚みよりも小さいことが好ましい。第１配線層１２の厚みを、トランジスタＴｒのゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄの厚みよりも小さくすることにより、第１配線層１２の端面形状の崩れを抑えることができる。第１配線層１２の厚みは、例えば５０ｎｍ～２００ｎｍである。

【００３１】

図６は、第１配線層１２の断面構成の一例を表している。第１配線層１２の端面は、第１基板１１に近づくにつれて広がる形状、即ち順テーパ形状を有していることが好ましい。テーパ角は、例えば２０°である。第１配線層１２の構成材料は、順テーパ形状を容易に形成可能な材料であることが好ましい。具体的には、第１配線層１２の構成材料としてモリブデン（Ｍｏ），チタン（Ｔｉ），タングステン（Ｗ）または銅（Ｃｕ）等が挙げられる。第１配線層１２は、モリブデン（Ｍｏ），チタン（Ｔｉ），タングステン（Ｗ）または銅（Ｃｕ）等の単層膜により構成されていてもよく、これらのいずれかを含む合金または積層膜により構成されていてもよい。

【００３２】

第１配線層１２を覆う第１無機絶縁膜１３は、第１基板１１上の表示領域１Ａおよび周辺領域１Ｂの全面にわたって設けられている。この第１無機絶縁膜１３は、例えば、酸化シリコン（SiO_x）、窒化シリコン（SiN_x）、酸窒化シリコン（ＳｉＯＮ）および酸化アルミニウム（AlO_x）等のうちの１種よりなる単層膜、またはそれらのうちの２種以上よりなる積層膜から構成されている。

【００３３】

第１無機絶縁膜１３は、例えば、第１基板１１に近い位置から順に厚み５０ｎｍの窒化シリコン膜と厚み１００ｎｍの酸化シリコン膜とを含む積層膜により構成されている。窒化シリコンは、一般的に高い被覆性を有している。この積層膜では、窒化シリコンが用いられているので、第１配線層１２のステップカバレッジ性を向上させることができる。したがって、第１無機絶縁膜１３にクラック等が発生しにくくなり、第１無機絶縁膜１３のクラックに起因した歩留まりおよび信頼性の低下を抑えることができる。また、水素を含む窒化シリコンは、半導体層１４に酸化物半導体材料を用いるとき、半導体層１４中の欠陥を終端（ターミネート）させることができる。したがって、トランジスタＴｒの信頼性を向上させることができる。

【００３４】

トランジスタＴｒは、例えば図２に示した駆動トランジスタＤｓＴｒに相当するもので

あり、表示領域１Ａに設けられている。

【００３５】

半導体層１４は、第１基板１１上にパターン形成されている。この半導体層１４は、ゲート電極１６ａに対向するチャネル領域１４ｈと、チャネル領域１４ｈの外側の低抵抗領域１４ｌとを有している。低抵抗領域１４ｌの電気抵抗は、チャネル領域１４ｈの電気抵抗よりも小さくなっている。低抵抗領域１４ｌは、ソース・ドレイン領域として機能する。この半導体層１４は、例えば、インジウム（Ｉｎ），ガリウム（Ｇａ），亜鉛（Ｚｎ），スズ（Ｓｎ），チタン（Ｔｉ）およびニオブ（Ｎｂ）等のうちの少なくとも１種の元素の酸化物を主成分として含む酸化物半導体から構成されている。具体的には、酸化インジウム錫亜鉛（ＩＴＺＯ），酸化インジウムガリウム亜鉛（ＩＧＺＯ：ＩｎＧａＺｎＯ），酸化亜鉛（ＺｎＯ），酸化インジウム亜鉛（ＩＺＯ），酸化インジウムガリウム（ＩＧＯ），酸化インジウム錫（ＩＴＯ）および酸化インジウム（ＩｎＯ）等が挙げられる。あるいは、半導体層１２１は、低温多結晶シリコン（ＬＴＰＳ）または非結晶シリコン（ａ－Ｓｉ）等から構成されていても構わない。

【００３６】

半導体層１４とゲート電極１６ａとの間に設けられたゲート絶縁膜１５ａは、例えば、ゲート電極１６ａと同一の平面形状を有しており、ゲート絶縁膜１５ａの端面は、ゲート電極１６ａの端面と平面視で重なる位置に配置されている。即ち、トランジスタＴｒはセルフアライン構造を有するＴＦＴである。ゲート絶縁膜１５ａは、例えば酸化シリコン（SiO_x）、窒化シリコン（SiN_x）、酸窒化シリコン（ＳｉＯＮ）および酸化アルミニウム（AlO_x）等のうちの１種よりなる単層膜、またはそれらのうちの２種以上よりなる積層膜から構成されている。

【００３７】

ゲート電極１６ａは、ゲート絶縁膜１５ａを間にして半導体層１４に対向している。このゲート電極１６ａは、印加されるゲート電圧（Ｖｇ）によって半導体層１４中のキャリア密度を制御すると共に、電位を供給する配線としての機能を有するものである。ゲート電極１６ａの構成材料は、例えば、チタン（Ｔｉ），タングステン（Ｗ），タンタル（Ｔａ），アルミニウム（Ａｌ），モリブデン（Ｍｏ），銀（Ａｇ），ネオジウム（Ｎｄ）および銅（Ｃｕ）のうちの１種を含む単体および合金が挙げられる。あるいは、それらのうちの少なくとも１種を含む化合物および２種以上を含む積層膜であってもよい。また、例えばＩＴＯ等の透明導電膜が用いられても構わない。

【００３８】

配線下絶縁膜１５ｂは例えば、ゲート絶縁膜１５ａと、接続配線層１６ｂは例えば、ゲート電極１６ａとそれぞれ同層に設けられている。即ち、配線下絶縁膜１５ｂはゲート絶縁膜１５ａと、接続配線層１６ｂはゲート電極１６ａとそれぞれ同一工程で形成されている。配線下絶縁膜１５ｂとゲート絶縁膜１５ａとが互いに同一の構成材料からなり、互いに略同一の厚みを有している。接続配線層１６ｂとゲート電極１６ａとが互いに同一の構成材料からなり、互いに略同一の厚みを有している。配線下絶縁膜１５ｂは、接続配線層１６ｂと同一の平面形状を有しており、配線下絶縁膜１５ｂの端面は接続配線層１６ｂの端面と平面視で重なる位置に配置されている。

【００３９】

接続配線層１６ｂは、平面（ＸＹ平面）視で、第２配線層１８ｂおよびシール部４４に重ならない位置に設けられている。具体的には、表示領域１Ａの周縁近傍から第２配線層１８ｂの内側（表示領域１Ａ側）の端までの領域（接続配線層１６ｂ－１）、第２配線層１８ｂの外側の端からシール部４４の内側の端までの領域（接続配線層１６ｂ－２）およびシール部４４の外側の端よりも外側の領域（接続配線層１６ｂ－３）に設けられている。接続配線層１６ｂ－１は、トランジスタＴｒと第１配線層１２－１とを電気的に接続し、接続配線層１６ｂ－２は、第１配線層１２－１と第１配線層１２－２とを電気的に接続し、接続配線層１６ｂ－３は、第１配線層１２－２と例えば電源線駆動部５とを電気的に接続している。接続配線層１６ｂ－１，１６ｂ－２，１６ｂ－３は各々、配線下絶縁膜１

５ｂおよび第１無機絶縁膜１３に設けられた接続孔を介して第１配線層１２－１，１２－２に接続されている。

【００４０】

第２無機絶縁膜１７は、ゲート電極１６ａ、ゲート絶縁膜１５ａおよび半導体層１４とともに、接続配線層１６ｂおよび配線下絶縁膜１５ｂを覆っており、表示領域１Ａから周辺領域１Ｂにわたって設けられている。この第２無機絶縁膜１７は、例えば酸化シリコン（SiO_2）膜，酸化チタン（TiO_2）膜または酸化アルミニウム（AlO_x）膜等により構成されている。第２無機絶縁膜１７は、このような膜の単層膜によって構成してもよく、あるいは、複数の膜を含む積層膜によって構成してもよい。第２無機絶縁膜１７は、例えば、積層膜により構成されており、第１基板１１に近い位置から順に、厚み１０ｎｍの酸化アルミニウム膜、厚み２００ｎｍの酸化シリコン膜および厚み５０ｎｍの酸化アルミニウム膜を含んでいる。このような第２無機絶縁膜１７では、半導体層１４の低抵抗領域１４ｌに下層の酸化アルミニウム膜が接するので低抵抗領域１４ｌが安定化される。また上層の酸化アルミニウム膜が、外気に対して良好なバリア性を有する保護膜として機能するので、酸素および水分等に起因する半導体層１４の電気的特性の変化を抑えることができる。

【００４１】

第２無機絶縁膜１７上に設けられたソース・ドレイン電極１８ｃ，１８ｄは、第２無機絶縁膜１７に設けられた接続孔を通じて半導体層１４の低抵抗領域１４ｌに電気的に接続されている。このソース・ドレイン電極１８ｃ，１８ｄは、トランジスタＴｒのソースまたはドレインとして機能するものであり、例えば、上記ゲート電極１６ａの構成材料として列挙したものと同様の金属または透明導電膜を含んで構成されている。一対のソース・ドレイン電極１８ｃ，１８ｄのうちの一方（ソース・ドレイン電極１８ｃ）は、例えば、平坦化層２１および第３無機絶縁膜１９に設けられた接続孔を通じて、有機ＥＬ素子３０の第１電極３１に電気的に接続されている。

【００４２】

周辺領域１Ｂに設けられた第２配線層１８ｂは、表示領域１Ａを囲むように、例えば平面視で四角形の枠状に設けられている（図５）。この第２配線層１８ｂは、第２無機絶縁膜１７および第１無機絶縁膜１３を間にして第１配線層１２－１に対向している。換言すれば、第２配線層１８ｂは、第１配線層１２－１を間にして第１基板１１上に設けられている。第２配線層１８ｂは、例えば、ソース・ドレイン電極１８ｃ，１８ｄと同層に設けられている。即ち、第２配線層１８ｂは、ソース・ドレイン電極１８ｃ，１８ｄと同一工程で形成されており、ソース・ドレイン電極１８ｃ，１８ｄと同一の構成材料からなる。第２配線層１８ｂは、ソース・ドレイン電極１８ｃ，１８ｄの厚みと略同一の厚みを有している。この第２配線層１８ｂは、例えば、有機ＥＬ素子３０の第２電極３４に電気的に接続されており、第１配線層１２－１とは異なる電位を有している。

【００４３】

第２配線層１８ｂには、エッチング保護膜が積層されていてもよい（図示せず）。このエッチング保護膜は、第１電極３１を形成する際のエッチングに起因した第２配線層１８ｂの損傷を防ぐためのものであり、例えば金属材料により構成されている。

【００４４】

第２無機絶縁膜１７上に設けられた第３無機絶縁膜１９は、表示領域１Ａおよび周辺領域１Ｂにわたって設けられ、ソース・ドレイン電極１８ｃ，１８ｄおよび第２配線層１８ｂを覆っている。第３無機絶縁膜１９には、ソース・ドレイン電極１８ｃ、第２配線層１８ｂ各々に達する接続孔が設けられており、これらの接続孔を介してソース・ドレイン電極１８ｃは有機ＥＬ素子３０の第１電極３１と電気的に接続され、第２配線層１８ｂは有機ＥＬ素子３０の第２電極３４と電気的に接続されている。第３無機絶縁膜１９は、例えば酸化シリコン（SiO_2）膜，酸化チタン（TiO_2）膜または酸化アルミニウム（AlO_x）膜等により構成されている。第３無機絶縁膜１９は、このような膜の単層膜によって構成してもよく、あるいは、複数の膜を含む積層膜によって構成してもよい。第３無機

絶縁膜１９は、例えば、厚み３００ｎｍの酸化シリコン膜により構成されている。この第３無機絶縁膜１９を省略し、第２無機絶縁膜１７上に平坦化層２１を設けるようにしてもよい。

【００４５】

第３無機絶縁膜１９上の平坦化層２１は、表示領域１Ａから周辺領域１Ｂの一部に延在して設けられ、第２配線層１８ｂよりも内側に平坦化層２１の端面が配置されている。即ち、第２配線層１８ｂは、平坦化層２１に覆われていない。この平坦化層２１は、第３無機絶縁膜１９に設けられたソース・ドレイン電極１８ｃに達する接続孔に連通する接続孔を有している。有機ＥＬ素子３０の第１電極３１は、平坦化層２１および第３無機絶縁膜１９に設けられた接続孔を介してソース・ドレイン電極１８ｃに電気的に接続されている。平坦化層２１には、例えばポリイミド樹脂，ノボラック樹脂，エポキシ樹脂またはアクリル樹脂等の感光性を有する有機絶縁材料を用いることができる。

【００４６】

この平坦化層２１上の表示領域１Ａに、画素ｐｒ，ｐｇ，ｐｂ毎に有機ＥＬ素子３０が配置されている。有機ＥＬ素子３０の第１電極３１は、平坦化層２１上に複数配置されている。これらの複数の第１電極３１は、互いに分離して設けられている。

【００４７】

第１電極３１は、例えばアノードとして機能する反射電極であり、画素Ｐ毎に設けられている。この第１電極３１の構成材料としては、例えばアルミニウム（Ａｌ），ネオジム（Ｎｄ），クロム，金（Ａｕ），白金（Ｐｔ），ニッケル（Ｎｉ），銅（Ｃｕ），タングステンあるいは銀（Ａｇ）などの金属元素の単体または合金が挙げられる。また、第１電極３１は、これらの金属元素の単体または合金よりなる金属膜と、光透過性を有する導電性材料（透明導電膜）との積層膜を含んでいてもよい。透明導電膜としては、例えばＩＴＯ（酸化インジウム錫）、ＩＺＯ（酸化インジウム亜鉛）および酸化亜鉛（ＺｎＯ）系材料等が挙げられる。酸化亜鉛系材料としては、例えばアルミニウム（Ａｌ）を添加した酸化亜鉛（ＡＺＯ）、およびガリウム（Ｇａ）を添加した酸化亜鉛（ＧＺＯ）などが挙げられる。

【００４８】

素子分離膜３２は、複数の第１電極３１を覆い、各々の第１電極３１の表面から隣り合う第１電極３１の間に設けられている。素子分離膜３２は、各第１電極３１に対向して開口を有している。この開口では、素子分離膜３２から第１電極３１が露出されており、この露出された第１電極３１上に有機層３３が配置される。素子分離膜３２は、各画素Ｐの発光領域を規定すると共に、第１電極３１と第２電極３４との絶縁性を確保するためのものである。素子分離膜３２は、有機層３３がウェットプロセスを用いて成膜される場合には、いわゆる隔壁として機能する。素子分離膜３２は、例えば、アクリル系樹脂、ポリイミド系樹脂、フッ素系樹脂、シリコン系樹脂、フッ素系ポリマー、シリコン系ポリマー、ノボラック系樹脂、エポキシ系樹脂、ノルボルネン系樹脂等の感光性樹脂を含んで構成されている。あるいは、これらの樹脂材料に顔料を分散させたものが用いられてもよい。また、素子分離膜３２には、例えば酸化シリコン、窒化シリコンおよび酸窒化シリコン等の無機材料が用いられても構わない。

【００４９】

図７は、有機層３３の具体的な構成の一例を表している。有機層３３は、例えば第１電極３１に近い位置から、正孔注入層３３１、正孔輸送層３３２、発光層３３３、電子輸送層３３４および電子注入層３３５をこの順に有している。有機層３３は、例えば、画素ｐｒ，ｐｇ，ｐｂ毎に、素子分離膜３２の開口に設けられている。発光層３３３は、例えば、画素ｐｒ，ｐｇ，ｐｂ毎に、互いに異なる色の発光層３３３を有している。例えば、画素ｐｒの発光層３３３は赤色を、画素ｐｇの発光層３３３は緑色を、画素ｐｂの発光層３３３は青色を、それぞれ発生させる。

【００５０】

正孔注入層３３１は、リークを防止するための層であり、例えばヘキサアザトリフェニ

レン（ＨＡＴ）等により構成されている。正孔注入層３３１の厚みは、例えば１ｎｍ～２０ｎｍである。正孔輸送層３３２は、例えばα－ＮＰＤ〔N,N'-di(1-naphthyl)-N,N'-diphenyl-〔1,1'-biphenyl〕-4,4'-diamine〕により構成されている。正孔輸送層３３２の厚みは、例えば１５ｎｍ～１００ｎｍである。

【００５１】

発光層３３３は、正孔と電子との結合により、所定の色の光を発するように構成されており、例えば、５ｎｍ～５０ｎｍの厚みを有している。赤色波長域の光を発する発光層３３３は、例えば、ピロメテンホウ素錯体がドーピングされたルブレンにより構成されている。このとき、ルブレンはホスト材料として用いられている。緑色波長域の光を発する発光層３３３は、例えばＡｌｑ3（トリスキノリノールアルミニウム錯体）により構成されている。青色波長域の光を発する発光層３３３は、例えば、ジアミノクリセン誘導体がドーピングされたＡＤＮ（９，１０－ジ（２－ナフチル）アントラセン）により構成されている。このとき、ＡＤＮは、ホスト材料として、正孔輸送層３３２上に例えば厚み２０ｎｍで蒸着され、ジアミノクリセン誘導体は、ドーパント材料として、相対膜厚比で５％ドーピングされる。

【００５２】

電子輸送層３３４は、ＢＣＰ（２，９－ジメチル－４，７－ジフェニル－１，１０－フェナントロリン）により構成されている。電子輸送層３３４の厚みは、例えば１５ｎｍ～２００ｎｍである。電子注入層３３５は、例えばフッ化リチウム（ＬｉＦ）により構成されている。電子注入層３３５の厚みは、例えば１５ｎｍ～２７０ｎｍである。

【００５３】

有機層３３を間にして第１電極３１に対向する第２電極３４は、例えばカソードとして機能するものであり、表示領域１Ａの全面にわたって（全画素Ｐに共通の電極として）形成されている。第２電極３４は、例えば、平坦化層２１の端面を介して周辺領域１Ｂの第３無機絶縁膜１９上に延在し、第３無機絶縁膜１９に設けられた接続孔を介して第２配線層１８ｂに電気的に接続されている。この第２電極３４は、例えば透明導電膜から構成されている。透明導電膜としては、例えばＩＴＯ（酸化インジウム錫）、ＩＺＯ（酸化インジウム亜鉛）および酸化亜鉛（ＺｎＯ）系材料等が挙げられる。酸化亜鉛系材料としては、例えばアルミニウム（Ａｌ）を添加した酸化亜鉛（ＡＺＯ）、およびガリウム（Ｇａ）を添加した酸化亜鉛（ＧＺＯ）などが挙げられる。第２電極３４の厚みは、特に限定されないが、導電性と光透過性とを考慮して設定されるとよい。第２電極３４には、この他にも、マグネシウムと銀との合金（ＭｇＡｇ合金）が用いられてもよい。

【００５４】

保護膜３５は、第２電極３４を覆うように設けられ、表示領域１Ａおよび周辺領域１Ｂの全面にわたって延在している。この保護膜３５は、有機ＥＬ素子３０への水分の侵入を防ぎ、発光効率などの特性が変化するのを防止する保護膜としての機能を有しており、例えば厚み３μｍ程度の窒化シリコンなどにより構成されている。

【００５５】

充填層４３は、保護膜３５と第２基板４１とを貼り合わせると共に、有機ＥＬ素子３０を封止するものである。この充填層４３は、保護膜３５上の一面にわたって設けられている。充填層４３の材料としては、例えば、アクリル系樹脂、ポリイミド系樹脂、フッ素系樹脂、シリコン系樹脂、フッ素系ポリマー、シリコン系ポリマー、ノボラック系樹脂、エポキシ系樹脂およびノルボルネン系樹脂等が挙げられる。あるいは、これらの樹脂材料に顔料を分散させたものが用いられてもよい。

【００５６】

シール部４４は、充填層４３よりも外側の周辺領域１Ｂに設けられている。このシール部４４は、表示領域１Ａを囲む枠状に設けられており（図５）、第２基板４１の周縁に配置されている。シール部４４により、有機ＥＬ素子３０とともに、第１基板１１と第２基板４１との間の各部がこれらの間に封止される。シール部４４は、例えばエポキシ系樹脂およびアクリル系樹脂等の樹脂材料により構成されている。

【００５７】
カラーフィルタ層４２は、例えば、赤色フィルタ，緑色フィルタおよび青色フィルタを含んでいる。このカラーフィルタ層４２は、例えば、第２基板４１の一面（例えば充填層４３側の面）に設けられている。画素ｐｒの有機ＥＬ素子３０に対向する領域に赤色フィルタが、画素ｐｇの有機ＥＬ素子３０に対向する領域に緑色フィルタが、画素ｐｂの有機ＥＬ素子３０に対向する領域に青色フィルタが、それぞれ設けられている。これらの赤色フィルタ，緑色フィルタおよび青色フィルタは、顔料を混入した樹脂によりそれぞれ構成されている。
【００５８】
上記の赤色フィルタ，緑色フィルタおよび青色フィルタ間の領域（画素間の領域）にブラックマトリクス層を設けるようにしてもよい。このブラックマトリクス層は、例えば黒色の着色剤を混入した樹脂膜、または薄膜の干渉を利用した薄膜フィルタにより構成されている。薄膜フィルタは、例えば、金属，金属窒化物あるいは金属酸化物よりなる薄膜を１層以上積層し、薄膜の干渉を利用して光を減衰させるものである。薄膜フィルタとしては、具体的には、Ｃｒと酸化クロム（III）（Cr_2O_3）とを交互に積層したものが挙げられる。
【００５９】
第２基板４１は、充填層４３と共に有機ＥＬ素子３０を封止するものである。この第２基板４１は、例えば、有機ＥＬ素子３０で発生した光に対して透明なガラスまたはプラスチックなどの材料により構成されている。
【００６０】
[製造方法]
このような表示装置１は、例えば、以下のようにして製造する（図８Ａ～図１０Ｂ）。
【００６１】
まず、第１基板１１上に、例えばスパッタ法を用いて厚み１００ｎｍのモリブデン（Ｍｏ）を成膜した後、フォトリソグラフィ法およびドライエッチング法を用いてこれをパターニングする。これにより、第１配線層１２－１，１２－２が形成される（図８Ａ）。ドライエッチング法には、例えば四フッ化炭素（CF_4）/酸素（O_2）系のガスを用いる。
【００６２】
次に、図８Ｂに示したように、第１無機絶縁膜１３および半導体層１４をこの順に形成する。第１無機絶縁膜１３は、例えばＣＶＤ（Chemical Vapor Deposition）法を用いて厚み５０ｎｍの窒化シリコン（ＳｉＮｘ）膜および厚み１００ｎｍの酸化シリコン（SiO_2）膜をこの順に成膜することにより形成する。窒化シリコン膜を成膜する際には、例えばプロセスガスとしてシラン（SiH_4）ガスを使用する。半導体層１４は、例えば、スパッタ法を用いて厚み３０ｎｍの酸化物半導体材料を成膜した後、フォトリソグラフィ法を用いてこれをパターニングすることにより形成する。
【００６３】
半導体層１４を形成した後、図８Ｃ，９Ａ，９Ｂに示したように、ゲート絶縁膜１５ａ、配線下絶縁膜１５ｂ、ゲート電極１６ａおよび接続配線層１６ｂを形成する。具体的には、以下のように行う。
【００６４】
まず、半導体層１４を覆うようにして、絶縁膜１５を第１無機絶縁膜１３上に成膜した後、この絶縁膜１５に第１配線層１２－１，１２－２に達する接続孔を形成する（図８Ｃ）。絶縁膜１５は、ゲート絶縁膜１５ａおよび配線下絶縁膜１５ｂを形成するためのものであり、例えばＣＶＤ法を用いて厚み２００ｎｍの酸化シリコン（SiO_2）膜を成膜することにより形成する。絶縁膜１５の接続孔は、例えば、フォトリソグラフィ法およびドライエッチング法を用いて形成する。ドライエッチング法には、例えば、四フッ化炭素（CF_4）系のガスを使用する。
【００６５】
絶縁膜１５に接続孔を形成した後、絶縁膜１５上にゲート電極１６ａおよび接続配線層

１６ｂ（接続配線層１６ｂ－１，１６ｂ－２，１６ｂ－３）を同一工程で形成する（図９Ａ）。具体的には、絶縁膜１５上に、スパッタ法を用いて厚み５０ｎｍのチタン（Ｔｉ）、厚み５００ｎｍのアルミニウム（Ａｌ）および厚み５０ｎｍのチタンをこの順に成膜した後、フォトリソグラフィ法およびドライエッチング法を用いてこれをパターニングする。ドライエッチング法には、例えば、塩素（Cl_2）系のガスを使用する。これにより、ゲート電極１６ａおよび接続配線層１６ｂ（１６ｂ－１，１６ｂ－２，１６ｂ－３）が形成される。ゲート電極１６ａは半導体層１４に対向する位置に配置し、接続配線層１６ｂは、絶縁膜１５に設けた接続孔を介して第１配線層１２に接続させる。

【００６６】

ゲート電極１６ａおよび接続配線層１６ｂを形成する際のエッチング工程と連続して、絶縁膜１５をエッチングし、ゲート絶縁膜１５ａおよび配線下絶縁膜１５ｂを同一工程で形成する（図９Ｂ）。このとき、ゲート電極１６ａ，接続配線層１６ｂ各々がマスクとなり、これと同一の平面形状を有するゲート絶縁膜１５ａ，配線下絶縁膜１５ｂが形成される。絶縁膜１５のエッチングには、例えば、四フッ化炭素（CF_4）系のガスを使用したドライエッチング法を用いる。この絶縁膜１５のエッチングを行う際に、ゲート電極１６ａから露出された半導体層１４が低抵抗化され、チャネル領域１４ｈおよび低抵抗領域１４ｌが自己整合的に形成される。

【００６７】

ゲート絶縁膜１５ａおよび配線下絶縁膜１５ｂを形成した後、図９Ｃに示したように、第２無機絶縁膜１７と、第２無機絶縁膜１７上のソース・ドレイン電極１８ｃ，１８ｄおよび第２配線層１８ｂとを形成する。具体的には、以下のように行う。

【００６８】

まず、ゲート電極１６ａおよび接続配線層１６ｂを覆うように、第２無機絶縁膜１７を形成する。第２無機絶縁膜１７は、例えば、スパッタ法を用いて、第１無機絶縁膜１３上に、厚み１０ｎｍの酸化アルミニウム（AlO_x）、厚み２００ｎｍの酸化シリコン（ＳｉＯ）および厚み５０ｎｍの酸化アルミニウムをこの順に成膜して形成する。この第２無機絶縁膜１７には、フォトリソグラフィ法およびドライエッチング法を用いて半導体層１４の低抵抗領域１４ｌに達する接続孔を形成しておく。ここでは、例えば、上層から順に、塩素（Cl_2）系のガスを使用して酸化アルミニウムのエッチングを行い、続いて、四フッ化炭素（CF_4）系のガスを使用して酸化シリコンのエッチングを行い、この後、塩素（Cl_2）系のガスを使用して酸化アルミニウムのエッチングを行う。

【００６９】

第２無機絶縁膜１７に接続孔を形成した後、ソース・ドレイン電極１８ｃ，１８ｄおよび第２配線層１８ｂを同一工程で形成する。ソース・ドレイン電極１８ｃ，１８ｄおよび第２配線層１８ｂは、第２無機絶縁膜１７上に、例えばスパッタ法を用いて、厚み５０ｎｍのチタン（Ｔｉ）、厚み５００ｎｍのアルミニウム（Ａｌ）および厚み５０ｎｍのチタンをこの順に成膜した後、フォトリソグラフィ法およびドライエッチング法を用いてこれをパターニングすることにより形成する。ドライエッチング法には、例えば、塩素（Cl_2）系のガスを使用する。ソース・ドレイン電極１８ｃ，１８ｄは、第２無機絶縁膜１７に設けられた接続孔を介して半導体層１４の低抵抗領域１４ｌに電気的に接続される。

【００７０】

ソース・ドレイン電極１８ｃ，１８ｄおよび第２配線層１８ｂを形成した後、図１０Ａに示したように、第３無機絶縁膜１９、平坦化層２１および第１電極３１をこの順に形成する

【００７１】

第３無機絶縁膜１９は、例えば、ＣＶＤ法を用いて厚み３００ｎｍの酸化シリコン（SiO_2）膜を成膜することにより形成する。第３無機絶縁膜１９には、フォトリソグラフィ法およびドライエッチング法を用いて、ソース・ドレイン電極１８ｃ，１８ｄおよび第２配線層１８ｂに達する接続孔を形成しておく。ドライエッチング法には、例えば、四フッ化炭素（CF_4）系のガスを使用する。

【００７２】
平坦化層２１は、例えば感光性を有するポリイミドを第３無機絶縁膜１９上に成膜した後、フォトリソグラフィ法を用いて、このポリイミド膜を所定の形状にパターニングすることにより形成する。平坦化層２１には、第３無機絶縁膜１９に形成した接続孔を介してソース・ドレイン電極１８ｃ，１８ｄに達する接続孔を形成しておく。
【００７３】
第１電極３１は、平坦化層２１に形成した接続孔を埋め込むように、厚み２５０ｎｍのアルミニウムネオジム（ＡｌＮｄ）を例えばスパッタ法により成膜した後、フォトリソグラフィ法およびエッチング法によりパターニングして形成する。エッチング法には、例えば、リン酸―硝酸―酢酸系のエッチャントを使用したウェットエッチング法を用いる。
【００７４】
第１電極３１を形成した後、図１０Ｂに示したように、素子分離膜３２、有機層３３および第２電極３４をこの順に形成する。素子分離膜３２は、例えば、第１電極３１上に感光性を有するポリイミドを成膜した後、フォトリソグラフィ法を用いてこのポリイミド膜をパターニングすることにより形成する。有機層３３は、例えば蒸着法を用いて形成する。第２電極３４は、例えばスパッタ法を用いて、厚み１５０ｎｍのインジウム亜鉛酸化物（ＩＺＯ）を表示領域１Ａの全面に成膜することにより形成する。第２電極３４を形成する際には、例えばハードマスクを使用する。第２電極３４は、表示領域１Ａから周辺領域１Ｂに延在させ、第２配線層１８ｂに電気的に接続させる。
【００７５】
第２電極３４を形成した後、第２電極３４上に保護膜３５を例えばＣＶＤ法により成膜する。この後、第１基板１１上に形成した各層を第２基板４１により封止する。具体的には、保護膜３５上に充填層４３を間にして第２基板４１を貼り合わせるとともに、第２基板４１の周縁にシール部４４を形成する。例えば、充填層４３は塗布法を用いて成膜し、シール部４４は印刷法を用いて形成する。第２基板４１にはカラーフィルタ層４２を予め形成しておく。このようにして、表示装置１を完成させる。
【００７６】
［作用、効果］
本実施の形態の表示装置１では、走査線駆動部３から各画素Ｐの書き込みトランジスタＷｓＴｒへ選択パルスが供給されることで、画素Ｐが選択される。この選択された画素Ｐに、信号線駆動部４から映像信号に応じた信号電圧が供給され、保持容量Ｃｓに保持される。保持容量Ｃｓに保持された信号に応じて駆動トランジスタＤｓＴｒがオンオフ制御され、有機ＥＬ素子３０に駆動電流が注入される。これにより、有機ＥＬ素子３０（発光層３３）では、正孔と電子とが再結合して発光を生じる。この光は、例えば第２電極３４、保護膜３５、充填層４３、カラーフィルタ層４２および第２基板４１を透過して取り出される。これにより、各画素Ｐ（画素ｐｒ，ｐｇ，ｐｂ）から赤色光、緑色光および青色光が射出され、これらの色光の加法混色により、カラーの映像表示がなされる。
【００７７】
ここで、本実施の形態では、第１配線層１２（１２－１，１２－２）がゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄと同層の位置よりも第１基板１１に近い位置に配置されている。この第１配線層１２は、ゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄを形成する工程よりも前の工程で形成されたものであり、ゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄの構成材料および厚み等に関わらず、その構成材料および厚み等が自由に選択されている。以下、これについて説明する。
【００７８】
図１１は、比較例１に係る表示装置（表示装置１０１）の要部の模式的な断面構成を表している。この表示装置１０１では、周辺領域１Ｂに、ゲート電極１６ａと同層の第１配線層（第１配線層１１６ｂ）が設けられ、この第１配線層１１６ｂを介して表示領域１Ａのトランジスタ Ｔｒに信号または電源が供給されるようになっている。第１配線層１１６ｂは、表示領域１Ａの周縁近傍からシール部４４の外側まで引き出されている。

【００７９】
このような表示装置１０１では、第１配線層１１６ｂはゲート電極１６ａと同一工程で形成されており、第１配線層１１６ｂの構成材料はゲート電極１６ａの構成材料と同じである。また、第１配線層１１６ｂの厚みも、ゲート電極１６ａの厚みと略同じである。このため、ゲート電極１６ａの厚みを大きくする場合には、第１配線層１１６ｂの厚みも大きくなる。ゲート電極１６ａの厚みを大きくする場合とは、例えば、表示装置１０１の画面サイズを大きくする場合、あるいは高解像度化への要請に対応する場合などである。第１配線層１１６ｂの厚みが大きくなると、第１配線層１１６ｂの端面形状に崩れが生じ、第１配線層１１６ｂ上の第２無機絶縁膜１７の耐圧性が低下しやすくなる。この第２無機絶縁膜１７の耐圧性の低下により、第２無機絶縁膜１７を間にして対向する第１配線層１１６ｂと第２配線層１８ｂとの間で短絡が発生するおそれがある。
【００８０】
第１配線層１１６ｂと第２配線層１８ｂとの間を確実に絶縁するため、第２無機絶縁膜１７に被覆性の高い材料、例えば、窒化シリコン（ＳｉＮｘ）系の材料を用いることも考え得る。しかし、半導体層１４に接する第２無機絶縁膜１７は、トランジスタＴｒの特性に影響を及ぼしやすい。例えば、水素を含む窒化シリコン（ＳｉＮｘ）系の材料を第２無機絶縁膜１７に用いると、酸化物半導体材料を含む半導体層１４に還元反応が生じ、トランジスタＴｒにデプレッションが発生する。
【００８１】
また、第１配線層１１６ｂの端面形状に崩れが生じると、第１配線層１１６ｂと第２無機絶縁膜１７との間に隙間（クラック）が発生し、このクラックを介して外部から水分が浸入しやすくなる。即ち、シール部４４の外側に延在する第１配線層１１６ｂは、外部からの水分の浸入経路となりやすい。この水分の浸入は、表示不良および配線の腐食等を引き起こすおそれがある。
【００８２】
これに対し、本実施の形態では、第１配線層１２（１２－１，１２－２）をゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄと同層の位置よりも第１基板１１に近い位置に設けるようにしたので、ゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄの形成工程とは異なる工程で第１配線層１２を形成することができる。したがって、ゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄの構成材料および厚み等に関わらず、第１配線層１２の構成材料および厚み等を自由に設計することができる。このため、ゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄの厚みが大きい場合であっても、第１配線層１２の厚みをゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄの厚みよりも小さくし、第１配線層１２の端面形状の崩れを防ぐことができる。厚みの小さい第１配線層１２では、容易に順テーパ状の断面形状が形成される。
【００８３】
このように、薄く、順テーパ状の断面形状を有する第１配線層１２を用いることにより、第１配線層１２の端面形状の崩れに起因した第１配線層１２－１と第２配線層１８ｂとの間の短絡の発生を防ぐことができる。また、第１配線層１２－１と第２配線層１８ｂとの間には、第２無機絶縁膜１７とともに、第１無機絶縁膜１３が介在しているので、より効果的に短絡の発生が抑えられる。
【００８４】
更に、第１配線層１２の構成材料および厚み等を自由に設計し、厚みの小さい第１配線層１２を形成することにより、シール部４４近傍に第１配線層１２－２が設けられていても、第１配線層１２の端面形状の崩れに起因した外部からの水分の浸入を抑えることができる。
【００８５】
以上のように、表示装置１では、第１配線層１２がゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄと同層の位置よりも第１基板１１に近い位置に配置されているので、ゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄの構成材料および厚

み等に関わらず、第１配線層１２の構成材料および厚み等を自由に設計することができる。よって、周辺領域１Ｂに設けられる配線の設計の自由度を向上させることが可能となる。

【００８６】

第１配線層１２の構成材料および厚み等を自由に設計することにより、例えば、第１配線層１２と第２配線層１８ｂとの間の短絡の発生および外部からの水分の浸入を抑えることができる。

【００８７】

以下、上記第１の実施の形態の変形例および他の実施の形態について説明するが、以降の説明において上記実施の形態と同一構成部分については同一符号を付してその説明は適宜省略する。

【００８８】

＜２．変形例１＞

図１２～図１４は、変形例１に係るトランジスタＴｒの断面構成を模式的に表したものである。このトランジスタＴｒは、第１配線層１２と同層の位置に設けられた追加電極（追加電極１２ｄ）を有している。この点を除き、変形例１のトランジスタＴｒは上記第１の実施の形態のトランジスタＴｒと同様の構成を有し、その作用および効果も同様である。

【００８９】

追加電極１２ｄは、第１無機絶縁膜１３を間にして半導体層１４に対向する位置に配置されている。このように、半導体層１４に対向する追加電極１２ｄを設けることにより、半導体層１４が遮光されるので、半導体層１４への光の入射に起因したトランジスタＴｒの特性の低下を抑えることができる。

【００９０】

追加電極１２ｄは、第２無機絶縁膜１７および第１無機絶縁膜１３に設けた接続孔を介してソース・ドレイン電極１８ｃ，１８ｄに電気的に接続するようにしてもよい（図１２，図１３）。追加電極１２ｄをソース・ドレイン電極１８ｃ，１８ｄに電気的に接続することにより、トランジスタＴｒの特性を安定化させることができる。あるいは、図１４に示したように、第３無機絶縁膜１９上に配線（配線Ｃ）設けて、追加電極１２ｄをゲート電極１６ａに電気的に接続するようにしてもよい。追加電極１２ｄをゲート電極１６ａに電気的に接続することにより、オン電流を増加させることができる。

【００９１】

追加電極１２ｄは、第１配線層１２と同一工程で形成することができる。したがって、変形例１に係るトランジスタＴｒでは、上記第１の実施の形態で説明したトランジスタＴｒと比較して、新たな工程を追加することなく、半導体層１４への光の入射を抑えることができる。また、ソース・ドレイン電極１８ｃ，１８ｄに電気的に接続された追加電極１２ｄでは、特性を安定化させ、ゲート電極１６ａに電気的に接続された追加電極１２ｄでは、オン電流を増加させることができる。

【００９２】

＜３．変形例２＞

図１５および図１６は、変形例２に係る表示装置１の要部の断面構成を模式的に表したものである。この表示装置１は、第１配線層１２と同層の位置に設けられた電極（電極１２ｒ）が保持容量（保持容量ＣｓＢ）の一対の電極の一方を構成している。この点を除き、変形例２の表示装置１は上記第１の実施の形態の表示装置１と同様の構成を有し、その作用および効果も同様である。

【００９３】

保持容量ＣｓＢの他方の電極を、例えば、半導体層１４により構成するようにしてもよい（図１５）。この保持容量ＣｓＢでは、半導体層１４に保持容量部分１４ｒが設けられ、この保持容量部分１４ｒに対向する位置に電極１２ｒが配置されている。即ち、保持容量ＣｓＢは、第１無機絶縁膜１３を間にして一対の電極（電極１２ｒおよび半導体層１４

）を有している。
【００９４】
保持容量ＣｓＢの他方の電極を、例えば、ソース・ドレイン電極１８ｄにより構成するようにしてもよい（図１６）。この保持容量ＣｓＢでは、ソース・ドレイン電極１８ｄに保持容量部分１８ｒが設けられ、この保持容量部分１８ｒに対向する位置に電極１２ｒが配置されている。即ち、保持容量ＣｓＢは、第１無機絶縁膜１３および第２無機絶縁膜１７を間にして一対の電極（電極１２ｒおよびソース・ドレイン電極１８ｄ）を有している。
【００９５】
電極１２ｒは、第１配線層１２と同一工程で形成することができる。したがって、変形例２に係る表示装置１では、上記第１の実施の形態で説明した表示装置１と比較して、新たな工程を追加することなく、保持容量ＣｓＢを設けることができる。
【００９６】
＜４．第２の実施の形態＞
図１７は、本技術の第２の実施の形態に係る表示装置（表示装置２）の要部の断面構成を模式的に表したものである。この表示装置２は、ゲート電極１６ａとソース・ドレイン電極１８ｃ，１８ｄとの間に、第２無機絶縁膜１７に積層された有機絶縁膜２７を有している。この点を除き、表示装置２は上記第１の実施の形態の表示装置１と同様の構成を有し、その作用および効果も同様である。
【００９７】
有機絶縁膜２７は、表示領域１Ａから周辺領域１Ｂに延在して設けられ、第２無機絶縁膜１７を間にして、ゲート電極１６ａおよび接続配線層１６ｂを覆っている。この有機絶縁膜２７は、第２無機絶縁膜１７とソース・ドレイン電極１８ｃ，１８ｄおよび第２配線層１８ｂとの間に設けられている。有機絶縁膜２７は、例えば、アクリル系樹脂、ポリイミド（ＰＩ）、ノボラック系樹脂等の有機材料により構成されており、その厚みは２～３μｍである。このような十分な厚みの有機絶縁膜２７で、ゲート電極１６ａおよびゲート絶縁膜１５ａと、接続配線層１６ｂおよび配線下絶縁膜１５ｂとを覆うことにより、これらの段差に起因した不具合の発生を抑えることができる。
【００９８】
また、有機絶縁膜２７を第２無機絶縁膜１７とソース・ドレイン電極１８ｃ，１８ｄおよび第２配線層１８ｂとの間に設けることにより、配線間（例えば、ゲート電極１６ａとソース・ドレイン電極１８ｃ，１８ｄとの間）の寄生容量を低減することができる。
【００９９】
この有機絶縁膜２７の周辺領域１Ｂには、溝Ｇが設けられている。上記のような有機絶縁材料は、無機絶縁材料と比較して水蒸気透過率（ＭＶＴＲ：Moisture Vapor Transmission Rate）が高い。このため、比較的、水蒸気透過率の高い有機絶縁膜２７に溝Ｇを設けることにより、溝Ｇの外側から表示領域１Ａへの水分の浸入経路が遮断される。したがって、有機絶縁膜２７に溝Ｇを設けることにより、有機絶縁膜２７を介した表示領域１Ａへの水分の浸入を抑えることができる。溝Ｇは、周辺領域１Ｂのうち、例えば、表示領域１Ａに近い位置に配置されている。溝Ｇは、例えば、有機絶縁膜２７を貫通して設けられ、溝Ｇでは、有機絶縁膜２７から第２無機絶縁膜１７が露出される。溝Ｇは、平面視で表示領域１Ａを囲むように設けられている。
【０１００】
第２配線層１８ｂは、例えば、平面視でこの溝Ｇに重なる位置に設けられている。第２配線層１８ｂは、溝Ｇの壁面から底面に沿って設けられている。本実施の形態では、この溝Ｇに設けられた第２配線層１８ｂに対向する位置に第１配線層１２－１が設けられている。詳細は後述するが、これにより、有機絶縁膜２７に溝Ｇを設けるとともに、第１配線層１２－１と第２配線層１８ｂとの間の短絡の発生を防ぐことができる。
【０１０１】
表示装置２は、例えば、以下のようにして製造する（図１８Ａ～図１９）。

【０１０２】
まず、上記第１の実施の形態で説明したのと同様にして、第２無機絶縁膜１７まで形成する（図１８Ａ）。第２無機絶縁膜１７には、半導体層１４の低抵抗領域１４１に達する接続孔を形成しておく。
【０１０３】
次に、図１８Ｂに示したように、第２無機絶縁膜１７上に有機絶縁膜２７を形成する。有機絶縁膜２７は、例えば、感光性を有するポリイミドを第２無機絶縁膜１７上に成膜した後、フォトリソグラフィ法を用いてこのポリイミドをパターニングすることにより形成する。有機絶縁膜２７には、第２無機絶縁膜１７に設けた接続孔を介して半導体層１４の低抵抗領域１４１に達する接続孔と、溝Ｇとを形成しておく。
【０１０４】
有機絶縁膜２７を形成した後、図１９に示したように、ソース・ドレイン電極１８ｃ，１８ｄおよび第２配線層１８ｂを形成する。第２配線層１８ｂは、有機絶縁膜２７の溝Ｇに形成する。この後、上記第１の実施の形態で説明したのと同様にして、第１基板１１上に平坦化層２１および有機ＥＬ素子３０等を形成する。有機絶縁膜２７と平坦化層２１との間に第３無機絶縁膜１９を形成するようにしてもよい。この第１基板１１上に形成した各層を第２基板４１により封止して、表示装置２を完成させる。
【０１０５】
ここで、本実施の形態では、第１配線層１２（１２－１，１２－２）がゲート電極１６ａおよびソース・ドレイン電極１８ｃ，１８ｄと同層の位置よりも第１基板１１に近い位置に配置されている。これにより、有機絶縁膜２７に溝Ｇを設けるとともに、第１配線層１２－１と第２配線層１８ｂとの間の短絡の発生を防ぐことができる。以下、これについて説明する。
【０１０６】
図２０は、比較例２に係る表示装置（表示装置１０２）の要部の模式的な断面構成を表している。この表示装置１０２は、ゲート電極１６ａとソース・ドレイン電極１８ｃ，１８ｄとの間に第２無機絶縁膜１７とともに有機絶縁膜２７を有している。この点を除き、表示装置１０２は、上記表示装置１０１と同様の構成を有している。即ち、表示装置１０２には、周辺領域１Ｂに、ゲート電極１６ａと同層の第１配線層１１６ｂが設けられている。
【０１０７】
このような表示装置１０２では、第１配線層１１６ｂと第２配線層１８ｂとの間に、第２無機絶縁膜１７とともに有機絶縁膜２７が介在しているので、第１配線層１１６ｂと第２配線層１８ｂとの間の短絡が発生しにくくなる。しかし、水蒸気透過率の高い有機絶縁膜２７を介して、外部から水分が浸入し、表示不良および配線の腐食等が発生するおそれがある。
【０１０８】
これに対し、本実施の形態では、有機絶縁膜２７に溝Ｇを設けるようにしたので、外部からの水分の浸入を抑えることができる。また、ゲート電極１６ａよりも第１基板１１に近い位置に第１配線層１２を設けるようにしたので、第１配線層１２－１の厚みをゲート電極１６ａの厚みよりも小さくし、その端面形状の崩れを抑えることができる。したがって、溝Ｇに第２配線層１８ｂが配置されても、第１配線層１２－１と第２配線層１８ｂとの間の短絡の発生を防ぐことができる。更に、上記第１の実施の形態で説明したのと同様に、ゲート電極１６ａの厚みよりも小さい厚みを有する第１配線層１２－２では、端面形状の崩れに起因した水分の浸入が抑えられる。
【０１０９】
＜５．変形例３＞
図２１は、上記第２の実施の形態の変形例（変形例３）に係る表示装置（表示装置２Ａ）の要部の断面構成を模式的に表したものである。この表示装置２Ａでは、第２配線層１８ｂに対向する領域に配線下絶縁膜１５ｂが設けられている。この点を除き、表示装置２

Ａは上記第２の実施の形態の表示装置２と同様の構成を有し、その作用および効果も同様である。

【０１１０】

第２配線層１８ｂに対向する領域の配線下絶縁膜１５ｂは、第１無機絶縁膜１３上に設けられている。この配線下絶縁膜１５ｂ上には、第２配線層１８ｂに電気的に接続された接続配線層（接続配線層１６ｅ）が設けられている。第２配線層１８ｂは、有機絶縁膜２７の溝Ｇおよび第２無機絶縁膜１７に設けられた接続孔を介して接続配線層１６ｅに接続されている。即ち、接続配線層１６ｅは、接続配線層１６ｂ（またはゲート電極１６ａ）と同層に設けられており、配線下絶縁膜１５ｂは、第１無機絶縁膜１３と接続配線層１６ｂとの間の配線下絶縁膜１５ｂ（またはゲート絶縁膜１５ａ）と同層に設けられている。

【０１１１】

この表示装置２Ａでは、第２配線層１８ｂが電気的に接続された接続配線層１６ｅと第１配線層１２－１とが、第１無機絶縁膜１３および配線下絶縁膜１５ｂを間にして対向している。このように、第１配線層１２－１と、第２配線層１８ｂ（接続配線層１６ｅ）との間に配線下絶縁膜１５ｂを設けることにより、第２無機絶縁膜１７の厚みが小さい場合であっても、これらの間の絶縁性を確保しやすくなる。例えば、コスト等を考慮して第２無機絶縁膜１７を厚み５０ｎｍの酸化アルミニウム（ＡｌＯ）膜により構成するとき、配線下絶縁膜１５ｂは、厚み２００ｎｍの酸化シリコン（ＳｉＯ）膜により構成することができる。配線下絶縁膜１５ｂおよび接続配線層１６ｅの幅（図２１のＸ方向の大きさ）は、溝Ｇ内の第２配線層１８ｂの幅よりも大きいことが好ましい。

【０１１２】

また、配線下絶縁膜１５ｂ上の接続配線層１６ｅを第２配線層１８ｂに接続することにより、接続配線層１６ｅが電気的に浮く状態を防ぐことができる。

【０１１３】

図２２は、上記第１の実施の形態の表示装置１に、第２配線層１８ｂと第１配線層１２－１との間の配線下絶縁膜１５ｂを設けた例を表している。このように、表示装置１が、第２配線層１８ｂに電気的に接続された接続配線層１６ｅと、接続配線層１６ｅと第１無機絶縁膜１３との間の配線下絶縁膜１５ｂとを有していてもよい。

【０１１４】

＜電子機器の例＞

上記実施の形態において説明した表示装置１，２は、様々なタイプの電子機器に用いることができる。図２３に、電子機器６の機能ブロック構成を示す。電子機器６としては、例えばテレビジョン装置、パーソナルコンピュータ（ＰＣ）、スマートフォン、タブレット型ＰＣ、携帯電話機、デジタルスチルカメラおよびデジタルビデオカメラ等が挙げられる。

【０１１５】

電子機器６は、例えば上述の表示装置１，２と、インターフェース部６０とを有している。インターフェース部６０は、外部から各種の信号および電源等が入力される入力部である。このインターフェース部６０は、また、例えばタッチパネル、キーボードまたは操作ボタン等のユーザインターフェースを含んでいてもよい。

【０１１６】

以上、実施の形態および変形例を挙げて説明したが、本技術は上記実施の形態等に限定されるものではなく、種々変形が可能である。例えば、上記実施の形態等に記載した各層の材料、厚み、または成膜方法および成膜条件等は列挙したものに限定されるものではなく、他の材料、厚みまたは成膜方法および成膜条件としてもよい。

【０１１７】

また、有機層３３は、少なくとも発光層３３３を含んでいればよく、例えば、有機層３３が発光層３３３のみにより構成されていてもよい。発光層３３３は、例えば白色の光を発生するものであってもよい。画素ｐｒ，ｐｇ，ｐｂが全て同じ色（例えば、白色）の光を発生させる発光層３３３を有していてもよく、あるいは画素ｐｒ，ｐｇ，ｐｂが互いに

異なる色（例えば、赤色，緑色，青色）の光を発生させる発光層３３３を有していてもよい。

【０１１８】

更に、上記実施の形態では、トップゲート構造を有するトランジスタＴｒを例示して説明したが、トランジスタＴｒはボトムゲート構造を有していてもよい。また、画素回路ＰＸＬＣの構成は、上記実施の形態で説明したものに限られず、必要に応じて容量素子やトランジスタを追加してもよい。その場合、画素回路ＰＸＬＣの変更に応じて、走査線駆動部３、信号線駆動部４および電源線駆動部５の他に、必要な駆動回路を追加してもよい。

【０１１９】

また、上記実施の形態等では、ゲート電極１６ａと同層よりも第１基板１１に近い位置に第１配線層１２を設け、ゲート電極１６ａと同層に接続配線層１６ｂを設ける場合について説明したが、ソース・ドレイン電極１８ｃ，１８ｄと同層よりも第１基板１１に近い位置に第１配線層１２を設け、ソース・ドレイン電極１８ｃ，１８ｄと同層に接続配線層１６ｂを設けるようにしてもよい。

【０１２０】

更に、上記実施の形態等では、第２配線層１８ｂが有機ＥＬ素子３０の第２電極３４に電気的に接続されている場合について説明したが、第２配線層１８ｂはカソード電位以外の電位を有していてもよい。

【０１２１】

加えて、表示装置１は、有機ＥＬ素子３０に代えて、無機ＥＬ素子、液晶表示素子および電気泳動素子等の表示素子を有していてもよい。

【０１２２】

上記実施の形態において説明した効果は一例であり、本開示の効果は、他の効果であってもよいし、更に他の効果を含んでいてもよい。

【０１２３】

尚、本技術は以下のような構成を取ることも可能である。

（１）

表示領域および前記表示領域の外側の周辺領域が設けられた第１基板と、

前記第１基板上の前記表示領域に設けられ、半導体層と、前記半導体層に対向するゲート電極と、前記ゲート電極と前記半導体層との間のゲート絶縁膜と、前記半導体層に電気的に接続されたソース・ドレイン電極とを有するトランジスタと、

前記第１基板上の前記周辺領域に設けられ、前記トランジスタに電気的に接続されるとともに、前記トランジスタの前記ゲート電極および前記ソース・ドレイン電極と同層の位置よりも前記第１基板に近い位置に配置された第１配線層と、

前記第１配線層を間にして前記第１基板上に設けられ、前記第１配線層の電位と異なる電位を有する第２配線層と、

前記第２配線層と前記第１配線層との間に設けられた絶縁膜と

を備えた表示装置。

（２）

前記第１配線層の厚みは、前記ゲート電極の厚みおよび前記ソース・ドレイン電極の厚みよりも小さい

前記（１）に記載の表示装置。

（３）

更に、前記ゲート電極または前記ソース・ドレイン電極と同層に設けられるとともに、前記第１配線層に電気的に接続された接続配線層を有する

前記（１）または（２）に記載の表示装置。

（４）

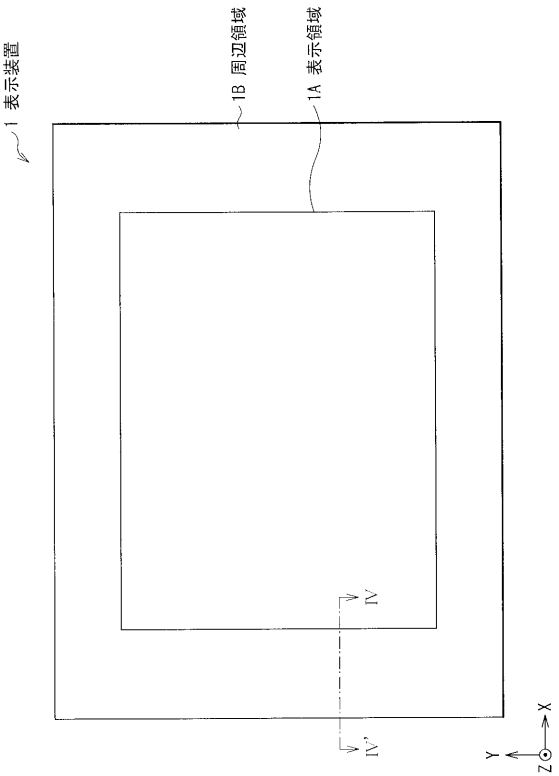
更に、前記第１基板上の前記表示領域に設けられ、第１電極、有機層および第２電極を含む表示素子を有する

前記（１）ないし（３）のうちいずれか１つに記載の表示装置。

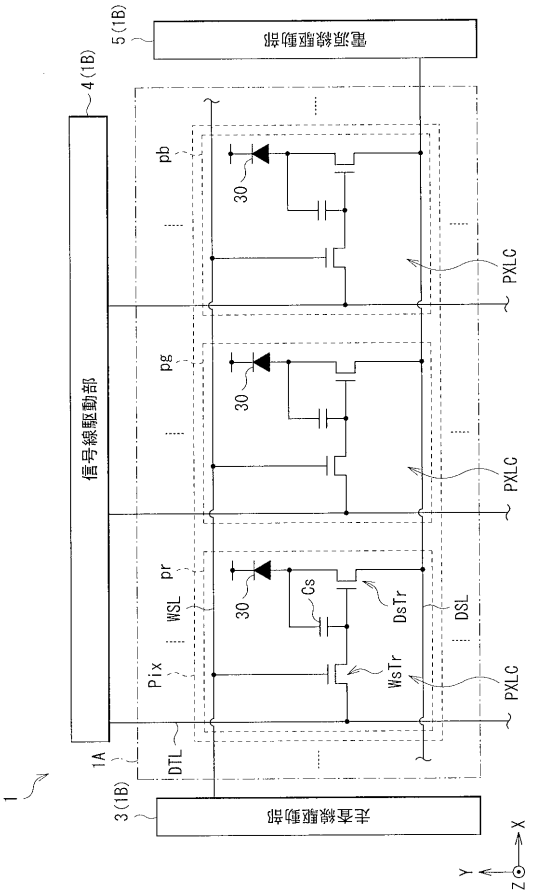
（５）
前記トランジスタは、前記第１基板に近い位置から、前記半導体層、前記ゲート絶縁膜、前記ゲート電極および前記ソース・ドレイン電極をこの順に有する
前記（１）ないし（４）のうちいずれか１つに記載の表示装置。
（６）
前記絶縁膜は、前記第１配線層を覆う第１絶縁膜と、前記ゲート電極と前記ソース・ドレイン電極との間に設けられるとともに前記周辺領域に延在する第２絶縁膜とを含む
前記（５）に記載の表示装置。
（７）
更に、前記ゲート電極と前記ソース・ドレイン電極との間に前記第２絶縁膜に積層して設けられるとともに、前記周辺領域に延在する有機絶縁膜を有する
前記（６）に記載の表示装置。
（８）
前記有機絶縁膜は前記周辺領域に溝を有し、
前記第２配線層は前記溝に設けられている
前記（７）に記載の表示装置。
（９）
前記絶縁膜は、前記第１配線層を覆う第１絶縁膜と、前記ゲート絶縁膜と同層に設けられた配線下絶縁膜とを含む
前記（５）に記載の表示装置。
（１０）
更に、前記第１基板上の前記周辺領域に設けられ、前記表示領域を囲むシール部と、
前記シール部を間にして前記第１基板に対向する第２基板とを有する
前記（１）ないし（９）のうちいずれか１つに記載の表示装置。
（１１）
前記第１配線層は前記シール部に対向して設けられている
前記（１０）に記載の表示装置。
（１２）
前記第１配線層は、前記第２配線層に交差する方向に延在している
前記（１）ないし（１１）のうちいずれか１つに記載の表示装置。
（１３）
前記半導体層は酸化物半導体材料を含む
前記（１）ないし（１２）のうちいずれか１つに記載の表示装置。
（１４）
更に、前記半導体層に対向するとともに前記第１配線層と同層に設けられ、前記ゲート電極または前記ソース・ドレイン電極に電気的に接続された追加電極を有する
前記（１）ないし（１３）のうちいずれか１つに記載の表示装置。
（１５）
更に、一対の電極の一方が、前記第１配線層と同層に設けられた保持容量を有する
前記（１）ないし（１４）のうちいずれか１つに記載の表示装置。
（１６）
前記第１配線層は、モリブデン（Ｍｏ），チタン（Ｔｉ），タングステン（Ｗ）または銅（Ｃｕ）を含む
前記（１）ないし（１５）のうちいずれか１つに記載の表示装置。
【符号の説明】
【０１２４】
１，２…表示装置、１Ａ…表示領域、１Ｂ…周辺領域、ＤｓＴｒ…駆動トランジスタ、ＷｓＴｒ…書き込みトランジスタ、Ｔｒ…トランジスタ、Ｃｓ…保持容量、１１…第１基板、１２，１２－１，１２－２…第１配線層、１３…第１無機絶縁膜、１４…半導体層、１５ａ…ゲート絶縁膜、１５ｂ…配線下絶縁膜、１６ａ…ゲート電極、１６ｂ，１６ｅ…

接続配線層、１７…第２無機絶縁膜、１８ｃ，１８ｄ…ソース・ドレイン電極、１８ｂ…第２配線層、１９…第３無機絶縁膜、２１…平坦化層、２７…有機絶縁膜、３０…有機ＥＬ素子、３１…第１電極、３２…素子分離膜、３３…有機層、３４…第２電極、３５…保護膜、４１…第２基板、４２…カラーフィルタ層、４３…充填層、４４…シール部、３…走査線駆動部、４…信号線駆動部、５…電源線駆動部、６…電子機器、６０…インターフェース部、Ｐ，ｐｒ，ｐｇ，ｐｂ…画素、Ｇ…溝。

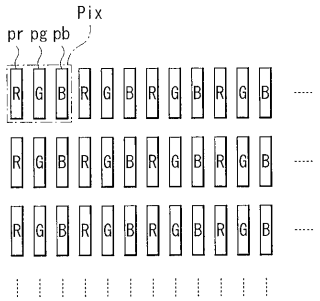
【図１】



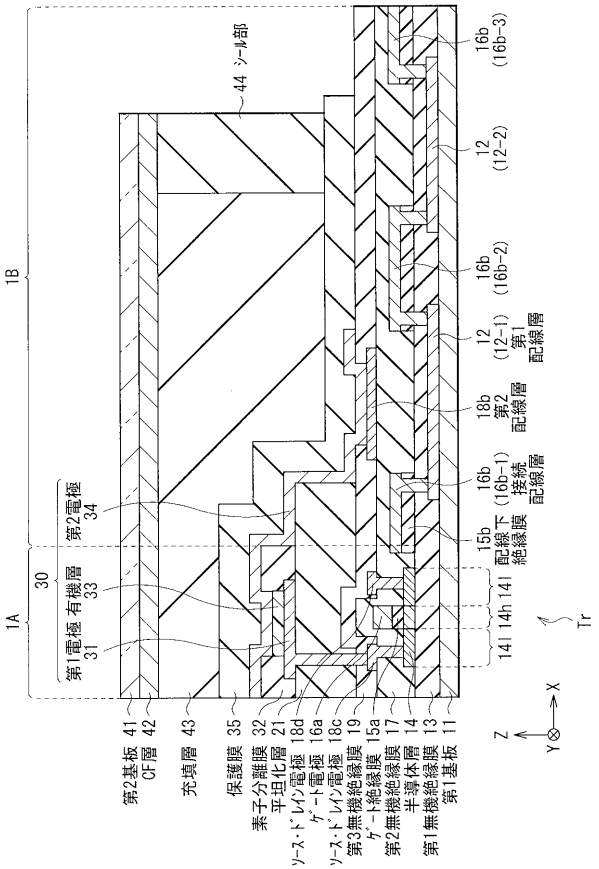
【図２】



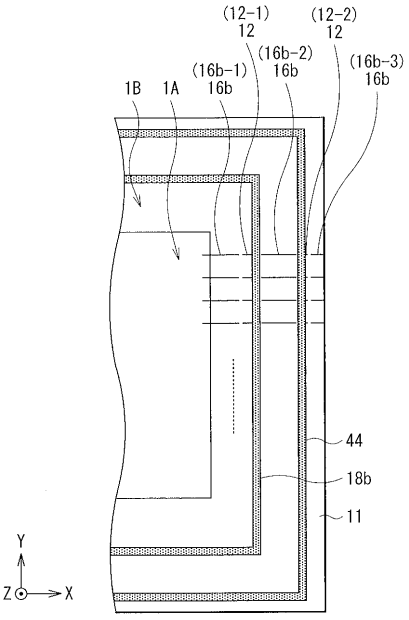
【図３】



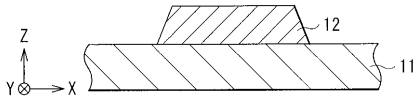
【図４】



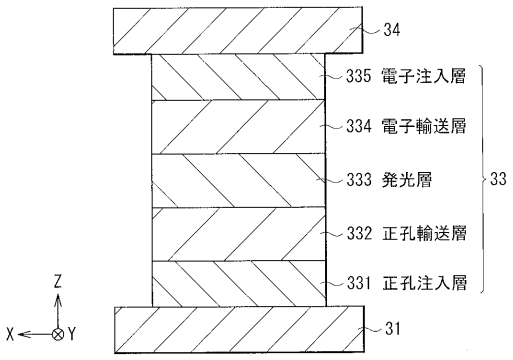
【図５】



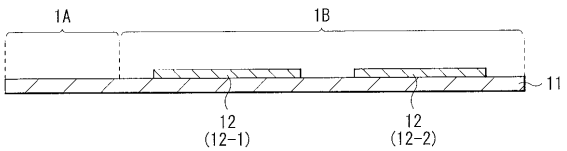
【図６】



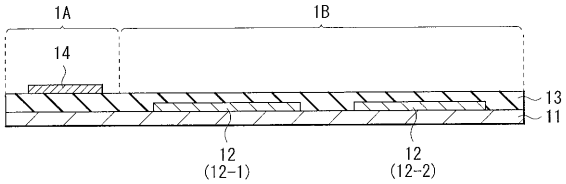
【図７】



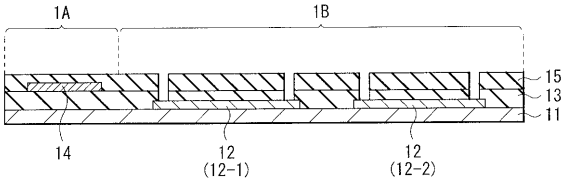
【図８Ａ】



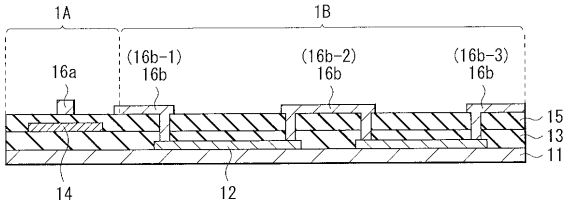
【図８Ｂ】



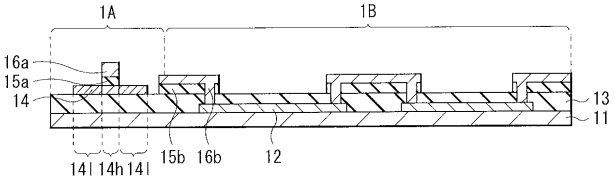
【図８Ｃ】



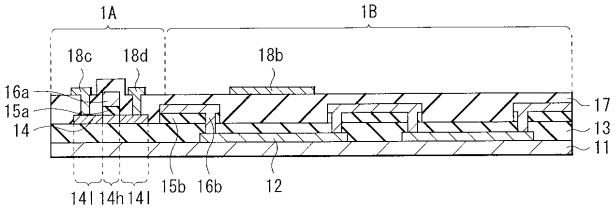
【図９Ａ】



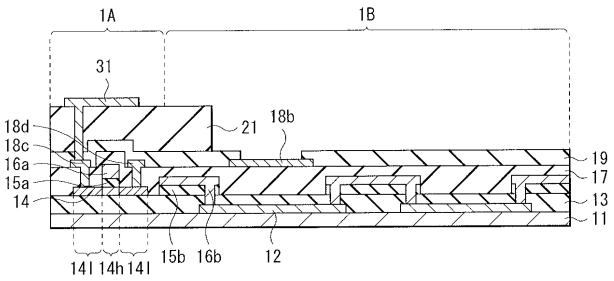
【図９Ｂ】



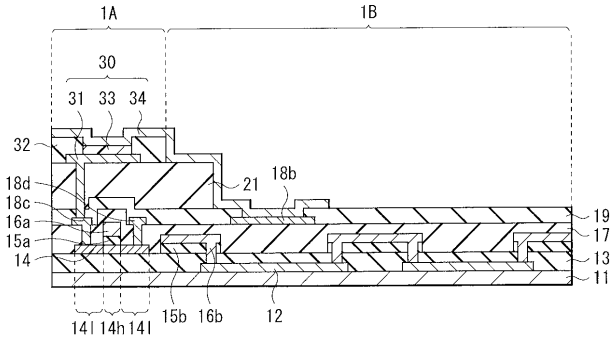
【図９Ｃ】



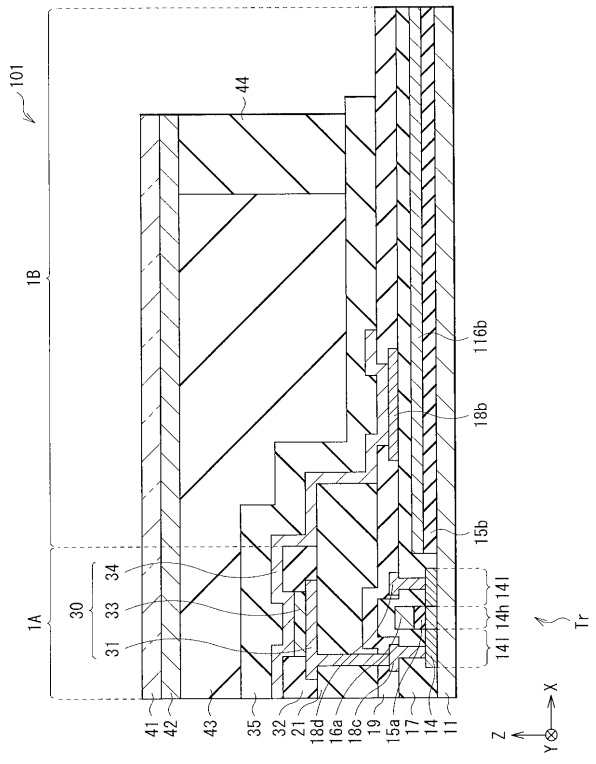
【図１０Ａ】



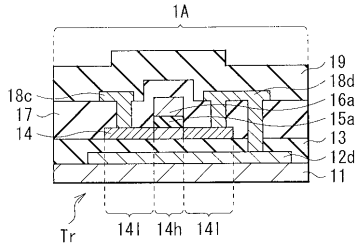
【図１０Ｂ】



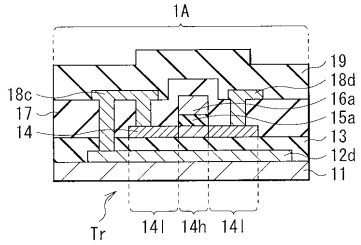
【図１１】



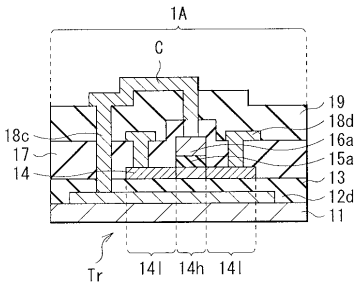
【図１２】



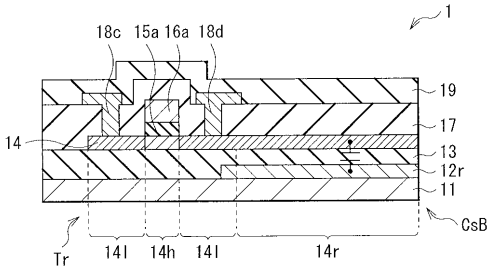
【図１３】



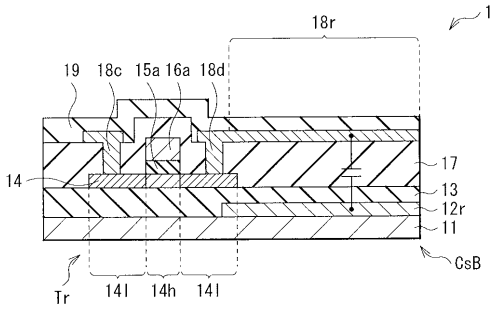
【図１４】



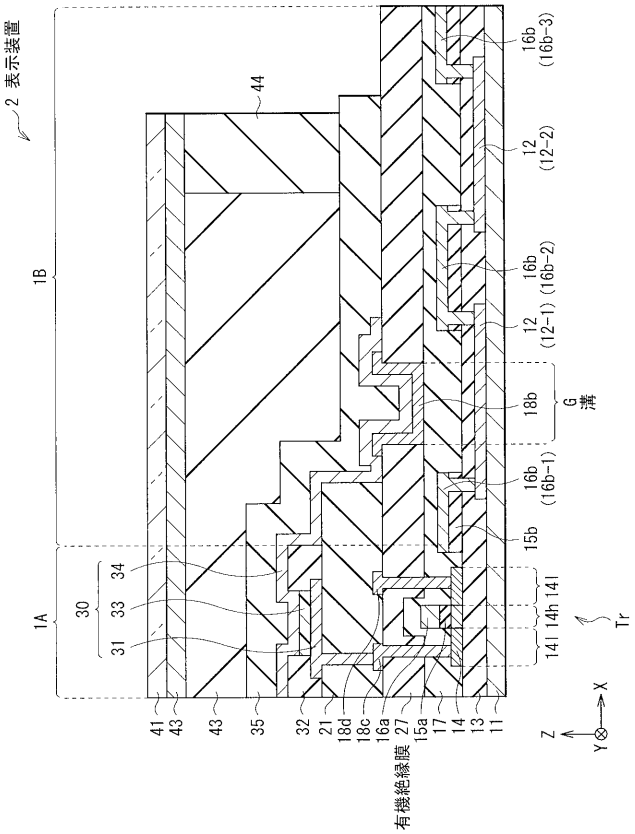
【図１５】



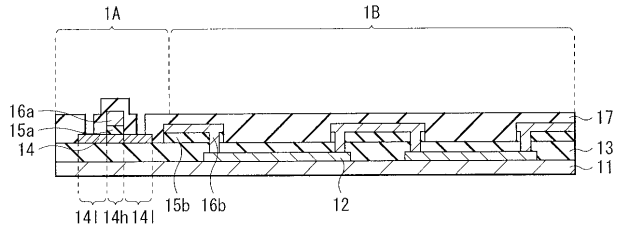
【図１６】



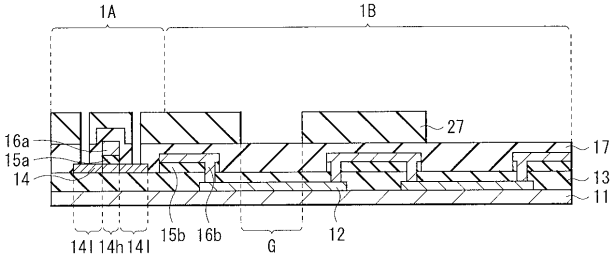
【図１７】



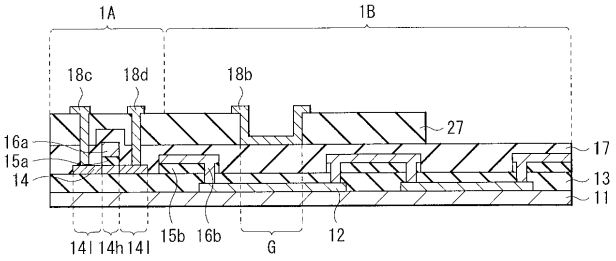
【図１８Ａ】



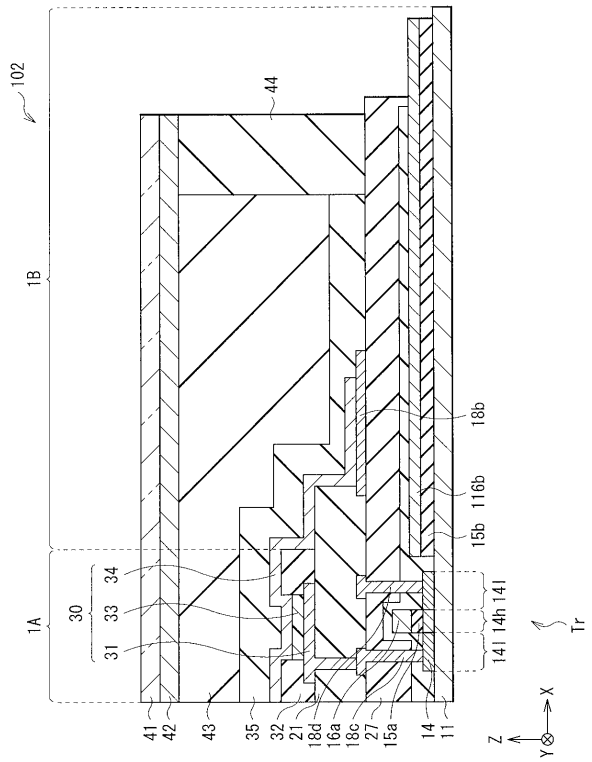
【図１８Ｂ】



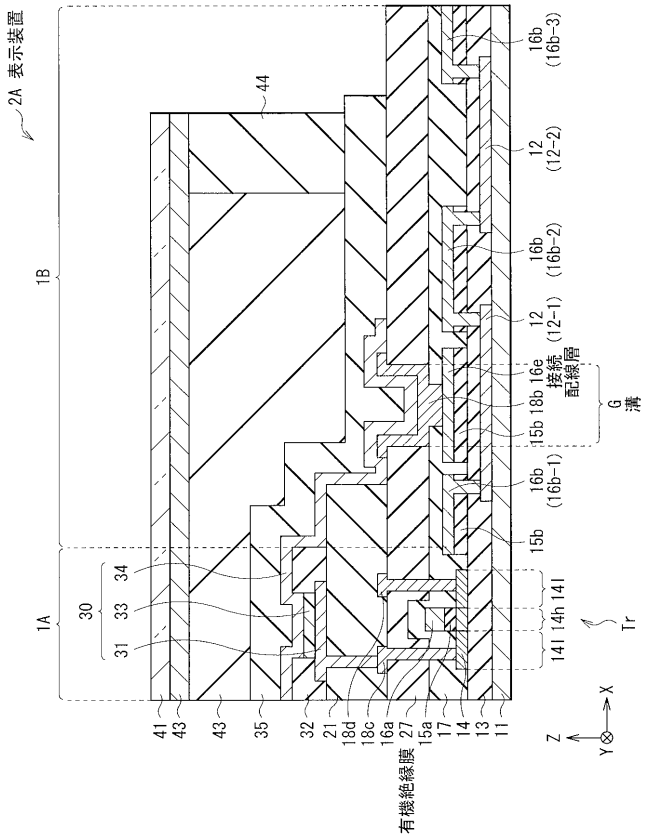
【図１９】



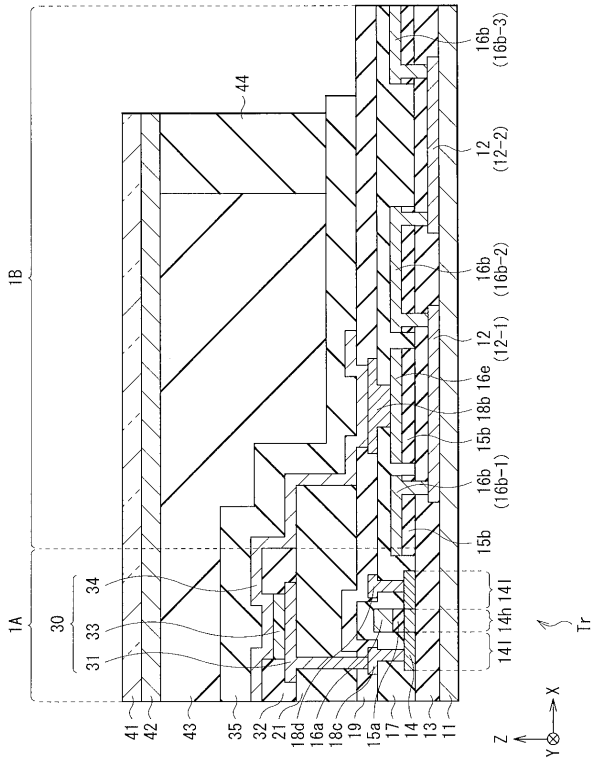
【図２０】



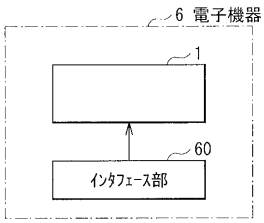
【図２１】



【図２２】


1B
1A
44
16b (16b-3)
12 (12-2)
16b (16b-2)
12 (12-1)
16e
18b
15b
16b (16b-1)
15b
34
33
31
30
141 14h 141
Tr
41
42
43
35
32
21
18d
16a
18c
19
15a
17
14
13
11
Z
X
Y

【図２３】


6 電子機器
1
60
インタフェース部

フロントページの続き

(51)Int.Cl.		F I			テーマコード（参考）
Ｈ０５Ｂ　33/04	*(2006.01)*	Ｈ０５Ｂ	33/04		
		Ｇ０９Ｆ	9/30	３０９	
		Ｇ０９Ｆ	9/30	３３０	
		Ｇ０９Ｆ	9/30	３６５	

(72)発明者　大島　宜浩
東京都千代田区神田錦町三丁目２３番地　株式会社ＪＯＬＥＤ内
(72)発明者　豊田　基博
東京都千代田区神田錦町三丁目２３番地　株式会社ＪＯＬＥＤ内
(72)発明者　海老原　良介
東京都千代田区神田錦町三丁目２３番地　株式会社ＪＯＬＥＤ内
(72)発明者　廣升　泰信
東京都千代田区神田錦町三丁目２３番地　株式会社ＪＯＬＥＤ内

Ｆターム(参考) 3K107 AA01 AA05 BB01 CC45 DD38 DD39 DD44Z DD90 EE03 EE42
EE55 FF15
5C094 AA43 BA03 BA27 BA43 BA75 DA07 DA12 DA13 DB01 FA02
FB12 FB14