(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-129452
(P2012-129452A)
(43)公開日　平成24年7月5日(2012.7.5)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 25/065	(2006.01)	H01L	25/08	Z	5F061
H01L 25/07	(2006.01)	H01L	21/56	T	
H01L 25/18	(2006.01)	H01L	23/12	501S	
H01L 21/56	(2006.01)				
H01L 23/12	(2006.01)				

審査請求 未請求　請求項の数 6　OL　（全 20 頁）

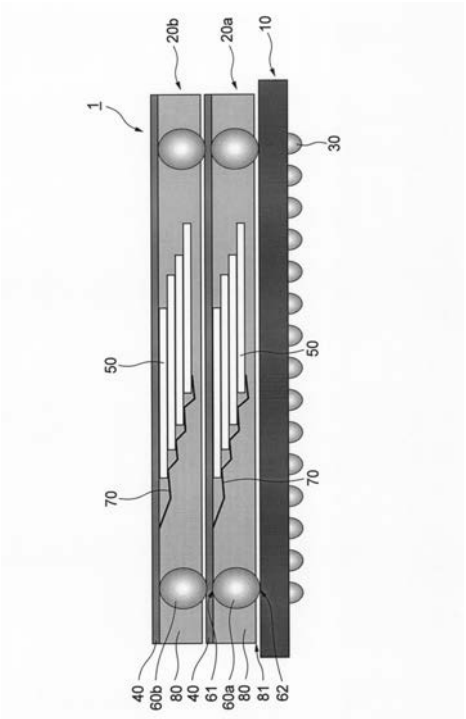
(21)出願番号　特願2010-281638 (P2010-281638)
(22)出願日　平成22年12月17日 (2010.12.17)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100117787
弁理士　勝沼　宏仁
(74)代理人　100082991
弁理士　佐藤　泰和
(74)代理人　100103263
弁理士　川崎　康
(74)代理人　100107582
弁理士　関根　毅
(74)代理人　100118843
弁理士　赤岡　明

最終頁に続く

(54)【発明の名称】半導体装置、半導体パッケージおよび半導体装置の製造方法

(57)【要約】
【課題】安価に製造でき、積層し易く、信頼性の高い半導体装置を提供する。また、このような半導体装置を複数積層した半導体パッケージを提供する。
【解決手段】半導体装置は、配線を含む基板を備える。少なくとも１つの第１面側半導体チップが、その基板の第１面上に搭載され、配線と電気的に接続されている。第１面側金属ボールは、基板の第１面上に設けられ、配線を介して第１面側半導体チップと電気的に接続されている。第１面側樹脂は、基板の第１面上の配線、第１面側半導体チップおよび第１面側金属ボールを封止する。第１面側金属ボールの頂部は、第１面側樹脂の表面から突出して露出している。
【選択図】図１



【特許請求の範囲】
【請求項１】
配線を含む基板と、
前記基板の第１面上に搭載され、前記配線と電気的に接続された少なくとも１つの第１面側半導体チップと、
前記基板の第１面上に設けられ、前記配線を介して前記第１面側半導体チップと電気的に接続された第１面側金属ボールと、
前記基板の第１面上の配線、前記第１面側半導体チップおよび前記第１面側金属ボールを封止する第１面側樹脂とを備え、
前記第１面側金属ボールの頂部は、前記第１面側樹脂の表面から突出して露出していることを特徴とする半導体装置。
【請求項２】
前記基板の第２面上に搭載され、前記配線と電気的に接続された少なくとも１つの第２面側半導体チップと、
前記基板の第２面上に搭載され、前記基板の配線を介して前記第２面側半導体チップと電気的に接続された第２面側金属ボールと、
前記基板の第２面上の配線、前記第２面側半導体チップおよび前記第２面側金属ボールを封止する第２面側樹脂とを備え、
前記第２面側金属ボールの頂部は、前記第２面側樹脂の表面から突出して露出していることを特徴とする請求項１に記載の半導体装置。
【請求項３】
前記第１面側金属ボールおよび前記第２面側金属ボールの各頂部は、それぞれ前記第１面側半導体チップおよび前記第２面側半導体チップの各上面よりも前記基板から離れていることを特徴とする請求項１または請求項２に記載の半導体装置。
【請求項４】
前記基板の第２面上に設けられ、前記配線を介して前記第１面側半導体チップと電気的に接続された第２面側金属ボールをさらに備えたことを特徴とする請求項１に記載の半導体装置。
【請求項５】
配線を含む第１の基板と、前記第１の基板に搭載され、前記配線と電気的に接続された複数の半導体チップと、前記第１の基板の前記半導体チップが搭載された面側に搭載され、前記配線を介して前記半導体チップと電気的に接続された金属ボールと、前記第１の基板の前記半導体チップが搭載された面側上の配線、前記半導体チップおよび前記金属ボールを封止する樹脂とを含み、前記金属ボールの頂部が前記樹脂の表面から突出して露出している複数の半導体装置および、
配線を含み、前記複数の半導体装置を積載した第２の基板を備え、
前記第２の基板上に積載された前記半導体装置の前記金属ボールは、前記第２の基板の配線または前記半導体装置の上または下に積載された他の半導体装置に接触していることを特徴とする半導体パッケージ。
【請求項６】
配線を含む基板の表面上に金属ボールおよび半導体チップを搭載し、
前記基板の表面において前記半導体チップを封止樹脂で封止する際に、樹脂封止用の金型上に載置された弾性を有する離型フィルムに前記金属ボールを押しつけることによって、前記金属ボールの頂部を前記封止樹脂から突出させることを具備する半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明の実施形態は、半導体装置、半導体パッケージおよび半導体装置の製造方法に関する。

【背景技術】
【０００２】
従来から半導体装置の実装面積を低減させるためにＰｏＰ（Package on Package）技術が用いられている。ＰｏＰは、半導体チップを樹脂で封止した複数の半導体装置（サブパッケージ）を配線基板上に積層することによって形成される。
【０００３】
半導体装置は、樹脂封止されていない裏面においてはんだボールを有し、そのはんだボールによって他の半導体装置と電気的に接続される。この場合、積層された複数の半導体装置のうち上側の半導体装置のはんだボールが下側の半導体装置と接続するために、下側の半導体装置の表面の一部は、樹脂で封止されていない。従って、従来のＰｏＰでは、上側の半導体装置および下側の半導体装置の各パッケージの形状は必然的に異なっていた。
【０００４】
パッケージの形状が異なると、積層される複数の半導体装置のそれぞれに対して専用の樹脂封止用金型が必要になる。この場合、金型の作成費用が高くなる。また、積層された複数の半導体装置がそれぞれ異なるパッケージを有するため、それぞれを区別してパッケージする必要があった。
【０００５】
さらに、異なるパッケージを有する半導体装置は、反りの度合いおよび反り方向が異なる。このため、パッケージの異なる複数の半導体装置を積層するためには、各半導体装置の反り方向および反りの度合いを合せることが困難であった。半導体装置の厚みが薄くなると、複数の半導体装置の反りの度合いおよび反り方向を合せることはさらに困難になる。
【０００６】
多数の半導体装置を多段積層した場合に、各半導体装置のパッケージが異なると、ＰｏＰの組立工期（Turn Around Time）が長くなる。尚且つ、１つの半導体装置の不良によって、その半導体装置を含むＰｏＰ構造全体が不良となる可能性もある。これは、コスト高、低歩留まり、低信頼性の原因となる。
【先行技術文献】
【特許文献】
【０００７】
【特許文献１】特開２００６－６６５２１号公報
【特許文献２】特開平８－２９３５１０号公報
【発明の概要】
【発明が解決しようとする課題】
【０００８】
安価に製造でき、積層し易く、信頼性の高い半導体装置を提供する。また、このような半導体装置を複数積層した半導体パッケージを提供する。
【課題を解決するための手段】
【０００９】
本実施形態による半導体装置は、配線を含む基板を備える。少なくとも１つの第１面側半導体チップが、その基板の第１面上に搭載され、配線と電気的に接続されている。第１面側金属ボールは、基板の第１面上に設けられ、配線を介して第１面側半導体チップと電気的に接続されている。第１面側樹脂は、基板の第１面上の配線、第１面側半導体チップおよび第１面側金属ボールを封止する。第１面側金属ボールの頂部は、第１面側樹脂の表面から突出して露出している。
【図面の簡単な説明】
【００１０】
【図１】第１の実施形態による半導体装置および半導体パッケージ１の構造を示す断面図。
【図２】第１の実施形態による半導体装置２０ａの製造方法を示す断面図。

【図３】封止工程をより詳細に示す説明図。
【図４】封止工程をより詳細に示す説明図。
【図５】第１の実施形態による半導体パッケージ１の製造方法を示す断面図。
【図６】第１の実施形態による半導体パッケージ１の構造を示す断面図。
【図７】第２の実施形態による半導体装置および半導体パッケージ２の構成を示す断面図。
【図８】第２の実施形態による半導体パッケージ２の製造方法を示す断面図。
【図９】第２の実施形態による半導体パッケージ２の構造を示す断面図。
【図１０】第３の実施形態による半導体装置２３ａ、２３ｂおよび半導体パッケージ３の構成を示す断面図。
【図１１】第３の実施形態による半導体装置２３ａの製造方法を示す断面図。
【図１２】第３の実施形態による半導体パッケージ３の製造方法を示す断面図。
【図１３】第３の実施形態による半導体パッケージ３の構造を示す断面図。
【発明を実施するための形態】
【００１１】
以下、図面を参照して本発明に係る実施形態を説明する。本実施形態は、本発明を限定するものではない。
【００１２】
（第１の実施形態）
図１は、第１の実施形態に従ったＰｏＰ構造を有する半導体パッケージ１の構造を示す断面図である。本実施形態による半導体パッケージ１は、配線基板１０と、半導体装置２０ａ、２０ｂとを備えている。尚、図１において、半導体パッケージ１は、２つの半導体装置２０ａ、２０ｂのみ積層しているが、３つ以上の半導体装置を積層してもよい。また説明の便宜上、半導体装置においては半導体チップ搭載面側を表面（上側）、半導体パッケージにおいては半導体装置搭載面側を表面（上側）として説明するが、説明において示した方向（上下左右表裏など）は、前述の表面（上側）を基準とした相対的方向であって、重力加速度方向を基準とした絶対的方向とは異なる場合がある。
【００１３】
第２の基板としての配線基板１０は、その表面に所望のパターンに形成された導電性の配線（図示せず）を有し、その裏面にははんだボール３０を有する。配線基板１０は、いわゆる、プリント基板でよく、例えば、ガラスエポキシ等の絶縁層を有する。
【００１４】
半導体装置２０ａ、２０ｂは、配線基板１０上に積層されている。半導体装置２０ａは、はんだボール６０ａによって配線基板１０のいずれかの配線に電気的に接続されている。半導体装置２０ｂは、はんだボール６０ｂによって半導体装置２０ａの裏面の配線またはバンプに電気的に接続されている。
【００１５】
半導体装置２０ａと２０ｂとは、同じパッケージ構造を有するので、半導体装置２０ａのみの構造を説明し、半導体装置２０ｂの説明は省略する。尚、半導体装置２０ａと２０ｂとに含まれている半導体チップ５０は、互いに異なるものであっても構わない。
【００１６】
半導体装置２０ａは、第１の基板としての基板４０と、複数の半導体チップ５０と、はんだボール６０ａと、金線７０と、封止樹脂８０とを備えている。基板４０は、第２の基板としての配線基板１０よりも薄く、例えば、ガラスエポキシ樹脂等の絶縁材料から成る。基板４０は、半導体チップ５０を搭載する表面に導電性の配線を備えている。また、基板４０の裏面にも、導電性の配線またはバンプが形成されている。この配線またはバンプは、基板４０の表面のいずれかの配線と電気的に接続されている。
【００１７】
複数の半導体チップ５０は、基板４０の表面上に積載されており、金線７０を介して基板４０の配線のいずれかの箇所と電気的に接続されている。半導体チップ５０は、半導体

基板上に任意の集積回路が形成された半導体チップでよい。例えば、半導体チップ５０は、ＮＡＮＤ型フラッシュメモリチップでもよい。

【００１８】

金属ボールとしてのはんだボール６０ａは、基板４０の表面上に形成され、基板４０の配線および金線７０を介して半導体チップ５０のいずれかと電気的に接続されている。６０ａおよび６０ｂの材料は、はんだである必要は必ずしもなく、導電性の金属ボールであればよい。

【００１９】

封止樹脂８０は、基板４０の表面上の配線、金線７０、複数の半導体チップ５０および金属ボール６０ａを封止し、これらを保護している。

【００２０】

はんだボール６０ａは、基板４０と接している頂部６１とは反対側の頂部６２において封止樹脂８０の表面から露出しており、かつ、封止樹脂８０の表面から突出している。即ち、基板４０から見て、はんだボール６０ａの頂部６２は、封止樹脂８０の表面８１よりも離れた位置にある。尚、はんだボール６０ｂは、６０ａと同じ構成でよい。

【００２１】

次に、半導体装置２０ａの製造方法を説明する。

【００２２】

図２（Ａ）～図２（Ｃ）は、第１の実施形態による半導体装置２０ａの製造方法を示す断面図である。半導体装置２０ｂの製造方法は、半導体装置２０ａと同様であるので、その説明を省略する。尚、図２（Ａ）～図２（Ｃ）では、１つの半導体装置２０ａのみの断面を示しているが、実際には、複数の半導体装置２０ａが基板４０によって連続して繋がった状態で形成される。

【００２３】

まず、図２（Ａ）に示すように、基板４０を準備する。基板４０は、上述の通りガラスエポキシ等の絶縁層を有し、表面および／または裏面に導電性の配線が形成されている。基板４０の表面の配線のいずれかに接触するようにはんだボール６０ａが基板４０上に形成される。

【００２４】

次に、図２（Ｂ）に示すように、基板４０の表面上に単数または複数の半導体チップ５０を搭載し、金線７０によって、半導体チップ５０のパッドと基板４０の配線とを電気的に接続する。ここで、半導体チップ５０は、はんだボール６０ａが形成された基板４０の面(表面)と同一面に搭載されている。複数の半導体チップ５０の構造および機能は、同一でもよく、あるいは、互いに相違していてもよい。金線７０は、低抵抗の金属線であればよく、特に限定はしない。

【００２５】

次に、図２（Ｃ）に示すように、基板４０の表面に搭載された半導体チップ５０、金線７０およびはんだボール６０ａを樹脂８０で封止する。このとき、複数の半導体チップ５０の全部および金線７０の全体を樹脂８０で封止しつつ、はんだボール６０ａの頂部６２を露出させる。

【００２６】

図２（Ｂ）に示す工程において、はんだボール６０ａの頂部６２は、複数の半導体チップ５０のうち最も上に搭載された半導体チップ５０の上面５２よりも高い位置にある必要がある。換言すると、はんだボール６０ａの頂部６２は、複数の半導体チップ５０のうち最も上に搭載された半導体チップ５０の上面５２よりも基板４０から離れている。これにより、図２（Ｃ）に示す封止工程において、複数の半導体チップ５０の全部および金線７０の全体を樹脂８０で封止しつつ、はんだボール６０ａの頂部６２を露出させることができる。

【００２７】

図３および図４は、図２（Ｃ）を参照して説明した封止工程をより詳細に示す説明図で

ある。図４は、図３の破線枠Ｂ１を拡大した図である。図３には、モールド成型装置において半導体チップ５０、金線７０およびはんだボール６０ａが樹脂封止される様子を示している。モールド成型装置は、基体１００と、板バネ１１０と、モールドキャビティ１２０と、上型１３０と、側部１５０とを備えている。

【００２８】

板バネ１１０は、基体１００上に設けられており、モールドキャビティ１２０を弾性的に支持している。モールドキャビティ１２０および上型１３０は、それらの間に基板４０、半導体チップ１５０、金線７０、はんだボール６０ａを挟み、溶融した封止樹脂８０で半導体チップ１５０、金線７０、はんだボール６０ａを封止する。このとき、上型１３０は、基板４０を吸着した状態で、モールドキャビティ１２０へ向かって下降し、側部１５０を押し下げながら、モールドキャビティ１２０上で溶融された封止樹脂８０へ基板４０、導体チップ１５０、金線７０、はんだボール６０ａを押しつける。

【００２９】

これにより、モールドキャビティ１２０の金型によって封止樹脂８０は、導体チップ１５０、金線７０、はんだボール６０ａを封止する。

【００３０】

ここで、モールドキャビティ１２０上には離型フィルム１４０が搭載され、離型フィルム１４０上に溶融した封止樹脂８０が載置される。従って、上型１３０がモールドキャビティ１２０へ向かって下降した場合、図４に示すように、はんだボール６０ａが、離型フィルム１４０に押しつけられる。

【００３１】

離型フィルム１４０は、例えば、２５μｍ～７５μｍの厚みを有する弾性膜であり、はんだボール６０ａが押しつけられたときに、はんだボール６０ａの頂部６２を弾性的に受容する材料で構成されている。具体的には、フッ素樹脂（ＰＴＦＥやＥＴＦＥ等）を主原料とするフィルムが離型フィルム１４０として用いられ得る。このような離型フィルム１４０を用いることによって、成型後、はんだボール６０ａの頂部６２は、樹脂８０の表面８１よりも突出した状態で露出される。例えば、はんだボール６０ａの頂部６２は、樹脂８０の表面８１よりも離型フィルム１４０の厚みの９０％以上（例えば、２２．５μｍ～７５μｍ）突出する。ただし、はんだボール６０ａが離型フィルム１４０を突き抜けてはならない。

【００３２】

離型フィルム１４０の表面は、鏡面状であってもよく、あるいは、梨地状であってもよい。しかし、はんだボール６０ａの頂部６２を樹脂８０の表面８１よりも明確に突出させるために、離型フィルム１４０の表面は、頂部６２への樹脂バリの発生を抑制するため、表面の凹凸の小さい鏡面状のフィルムであることが好ましい。

【００３３】

さらに、本実施形態では、図２（Ｂ）に示すように、はんだボール６０ａの頂部６２ａは、半導体チップ５０の上面５２よりも基板４０から離れている。よって、成型時に半導体チップ５０は、離型フィルム１４０およびモールドキャビティ１２０に接触せず、ストレスを受けない。

【００３４】

樹脂封止の後、基板４０のダイシングによって、半導体装置２０ａは個別化される。

【００３５】

次に、半導体パッケージ（ＰｏＰ）の組立て方法を説明する。

【００３６】

図５（Ａ）～図５（Ｃ）は、第１の実施形態による半導体パッケージ（ＰｏＰ）１の製造方法を示す断面図である。図５（Ａ）に示すように、裏面にはんだボール３０を備えた配線基板１０を準備する。

【００３７】

次に、図５（Ｂ）に示すように、個別化された半導体装置２０ａ、２０ｂが配線基板１

０の表面上に搭載される。本実施形態による半導体装置２０ａの金属ボール６０ａは、配線基板１０の配線に接触し、半導体装置２０ｂの金属ボール６０ｂは、半導体装置２０ａの裏面の配線に接触している。

【００３８】

半導体装置２０ａのはんだボール６０ａの頂部６２ａは封止樹脂８０の表面８１から突出して露出している。従って、半導体装置２０ａは、封止樹脂８０を配線基板１０に接触させることなく、はんだボール６０ａを配線基板１０の配線に電気的に接続させることができる。半導体装置２０ｂのはんだボール６０ｂの頂部６２ｂも封止樹脂８０の表面８１から突出して露出している。従って、半導体装置２０ｂは、封止樹脂８０を半導体装置２０ａに接触させることなく、はんだボール６０ｂを半導体装置２０ａの裏面の配線に電気的に接続させることができる。図５（Ｂ）に示す他の半導体装置のはんだボールもその下にある半導体装置あるいは配線基板１０の配線に電気的に接続される。

【００３９】

次に、図５（Ｃ）に示すように、配線基板１０を切断（例えばダイシング）することによって、それぞれのＰｏＰ構造が個別化される。これにより、図６に示すようなＰｏＰ構造を有する半導体パッケージ１が完成する。

【００４０】

本実施形態によれば、はんだボール６０ａは、封止樹脂８０が形成される基板４０の面と同一面（表面）に形成されている。そして、はんだボール６０ａは、封止樹脂８０により封止されているものの、その頂部６２が封止樹脂８０の表面から突出し露出している。このような構成により、半導体装置２０ａおよび２０ｂが同一のパッケージ構造を有するにもかかわらず、半導体装置２０ａおよび２０ｂをＰｏＰ構造に積載することができる。

【００４１】

なお、はんだボールが、封止樹脂を設けた基板の面と反対側の面（裏面）に形成されている場合、基板の裏面側にある他の半導体装置は、該はんだボールと電気的な接続を得るために、該はんだボールの位置に封止樹脂を有しない。従って、複数の半導体装置のパッケージの形状は互いに異なってしまう。

【００４２】

これに対し、本実施形態によれば、積層される半導体装置２０ａ、２０ｂのパッケージ構造が同一に形成されているため、半導体装置２０ａ、２０ｂに対して同一の樹脂封止用金型を用いれば済む。このため、半導体装置２０ａ、２０ｂを同一のパッケージ工程で形成することができる。これは、半導体パッケージ１のコスト削減に繋がる。

【００４３】

半導体装置２０ａ、２０ｂの各パッケージ構造が同一であるため、反りの度合いおよび反り方向ほぼ同じ傾向になる。このため、半導体装置２０ａ、２０ｂの反り方向および反りの度合いの差が小さくなる。また、半導体装置２０ａ、２０ｂのパッケージの厚みが薄くなると、半導体装置の反りの度合いが大きくなるが、その場合にも半導体装置２０ａ、２０ｂを積層することが容易になる。その結果、半導体装置２０ａ、２０ｂの製造コストを低減させ、かつ、ＰｏＰ構造全体のサイズを小さくすることができる。半導体装置２０ａ、２０ｂの反り傾向を互いに合せることによって、半導体装置間の接触不良等を抑制することができるので、歩留まりの向上および信頼性の向上にも繋がる。

【００４４】

さらに、図６に示すように多数の半導体装置を多段積層した場合に、各半導体装置のパッケージが同一であれば、半導体パッケージの組立工期が短縮される。

【００４５】

（第２の実施形態）

図７は、第２の実施形態による半導体装置および半導体パッケージ２の構成を示す断面図である。第２の実施形態による半導体装置２１ａ、２１ｂは、基板４０の表面のはんだボール６０ａ、６０ｂだけでなく、その裏面にもはんだボール（バンプ）６５ａ、６５ｂを備えている。また、半導体パッケージ２において、半導体装置２１ａ、２１ｂは、それ

ぞれ裏面側を配線基板１０へ向けて積載されている。即ち、第２の実施形態による半導体パッケージ２の半導体装置は、第１の実施形態による半導体パッケージ１の半導体装置に対して表裏（上下）を逆にして積載されている。

【００４６】

半導体装置２１ａの表面の金属ボール６０ａは、その上に積載された半導体装置２１ｂの裏面の金属ボール６５ｂに接触しており、半導体装置２１ａの裏面の金属ボール６５ａは、配線基板１０の配線に接触している。半導体装置２１ｂの表面側の金属ボール６０ｂは、さらにその上に積載された他の半導体装置（図示せず）の裏面の金属ボールに接触している。即ち、半導体装置２１ａは、はんだボール６５ａによって配線基板１０上の配線と電気的に接続されており、半導体装置２１ｂは、はんだボール６５ｂによって半導体装置２１ａのはんだボール６０ａと電気的に接続されている。

【００４７】

第２の実施形態による半導体装置および半導体パッケージのその他の構成は、第１の実施形態によるそれらの構成と同様でよい。

【００４８】

はんだボール６５ａは、図２（Ｃ）に示すように半導体チップ５０を樹脂８０で封止した後、基板４０の裏面にはんだボール６５ａを印刷または塗布にて形成すればよい。はんだボール６５ｂも、はんだボール６５ａと同様に形成される。第２の実施形態による半導体装置２１ａ、２１ｂの他の製造工程は、第１の実施形態による半導体装置２０ａ、２０ｂの製造工程と同様でよい。

【００４９】

図８（Ａ）～図８（Ｃ）は、第２の実施形態による半導体パッケージ（ＰｏＰ）２の製造方法を示す断面図である。第２の実施形態では、半導体装置２１ａ、２１ｂのそれぞれは、図５（Ｂ）、図５（Ｃ）の半導体装置と比べ表裏（上下）を逆にして積載されている。第２の実施形態による半導体パッケージ２のその他の製造方法は、第１の実施形態による半導体パッケージ１の製造方法と同じである。図８（Ｃ）において、切断によって半導体パッケージが個別化されると、図９に示すように半導体パッケージ２が完成する。

【００５０】

第２の実施形態による半導体装置２１ａ、２１ｂは、基板４０の表面にはんだボール６０ａ、６０ｂを有し、基板４０の裏面にはんだボール６５ａ、６５ｂを有する。半導体装置２１ｂのはんだボール６０ｂが半導体装置２１ａのはんだボール６０ａに接触することによって、半導体装置２１ａと２１ｂとの間の距離を保ち、半導体装置２１ａおよび２１ｂの封止樹脂８０同士が接触することを確実に防止することができる。さらに、第２の実施形態は、第１の実施形態と同様の効果を有する。

【００５１】

（第３の実施形態）

図１０は、第３の実施形態による半導体装置２３ａ、２３ｂおよび半導体パッケージ３の構成を示す断面図である。配線基板１０およびはんだボール３０の構成は、第１の実施形態のそれらの構成と同様でよい。なお説明の便宜上、半導体装置においては先に半導体チップ搭載する面側を表面（上側）として説明するが、説明において示した方向（上下左右表裏など）は、前述の表面（上側）を基準とした相対的方向であって、重力加速度方向を基準とした絶対的方向とは異なる場合がある。

【００５２】

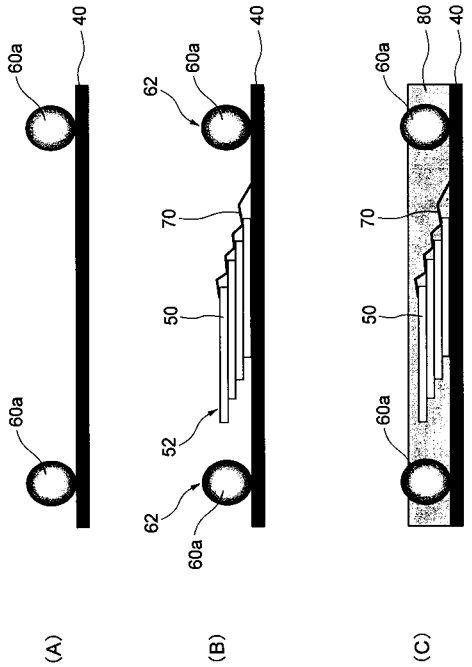
第３の実施形態による半導体パッケージ３では、第１の半導体装置としての半導体装置２３ａの表面側金属ボール６０ａは、半導体装置２３ａの下にある配線基板１０の配線に接触している。半導体装置２３ａの裏面側金属ボール６７ａは、半導体装置２３ａの上にある半導体装置２３ｂの表面側金属ボール６０ｂに接触している。即ち、半導体装置２３ａは、表面側はんだボール６０ａによって配線基板１０のいずれかの配線に電気的に接続されている。半導体装置２３ｂは、表面側はんだボール６０ｂによって半導体装置２０ａの裏面側はんだボール６７ａに電気的に接続されている。

【００５３】
半導体装置２３ａと２３ｂとは、同じパッケージ構造を有するので、以下、半導体装置２３ａのみの構造を説明し、半導体装置２３ｂの説明は省略する。
【００５４】
第３の実施形態による半導体装置２３ａは、基板４０の両面に半導体チップ５０、５７、金線７０、７７、はんだボール６０ａ、６７ａを備えている。便宜的に、基板４０の表面側に設けられた半導体チップ、金線、はんだボールを、それぞれ表面側半導体チップ５０、表面側金線７０、表面側はんだボール６０ａと呼び、基板４０の裏面側に設けられた半導体チップ、金線、はんだボールを、それぞれ裏面側半導体チップ５７、裏面側金線７７、裏面側はんだボール６７ａと呼ぶ。
【００５５】
半導体装置２３ａは、基板４０と、表面側半導体チップ５０と、表面側はんだボール６０ａと、表面側金線７０と、表面側封止樹脂８０と、裏面側半導体チップ５７と、裏面側はんだボール６７ａと、裏面側金線７７と、裏面側封止樹脂８７とを備えている。基板４０は、半導体チップ５０、５７を搭載する両面に導電性の配線を備えている。
【００５６】
基板４０の表面側の構成は、第１の実施形態による半導体装置の構成と同様でよい。従って、以下、基板４０の裏面側の構成について説明し、その表面側の構成については説明を省略する。
【００５７】
複数の裏面側半導体チップ５７は、基板４０の裏面上に積載されており、裏面側金線７７を介して基板４０の配線のいずれかの箇所と電気的に接続されている。裏面側半導体チップ５７は、半導体基板上に任意の集積回路が形成された半導体チップでよい。例えば、半導体チップ５７は、ＮＡＮＤ型フラッシュメモリチップでもよい。
【００５８】
裏面側金属ボールとしての裏面側はんだボール６７ａは、基板４０の裏面上に形成され、基板４０の配線および裏面側金線７７を介して裏面側半導体チップ５７のいずれかと電気的に接続されている。６７ａおよび６７ｂの材料は、はんだである必要は必ずしもなく、導電性の金属ボールであればよい。
【００５９】
裏面側封止樹脂８７は、基板４０の裏面上の配線、複数の裏面側半導体チップ５７および裏面側金属ボール６７ａを封止し、これらを保護している。
【００６０】
裏面側はんだボール６７ａは、基板４０と接している頂部６８とは反対側の頂部６９において裏面側封止樹脂８７の表面から露出しており、かつ、裏面側封止樹脂８７の表面から突出している。即ち、基板４０から見て、裏面側はんだボール６７ａの頂部６９は、裏面側封止樹脂８７の表面８８よりも離れた位置にある。尚、裏面側はんだボール６７ｂは、６７ａと同じ構成でよい。
【００６１】
次に、半導体装置２３ａの製造方法を説明する。
【００６２】
図１１（Ａ）～図１１（Ｄ）は、第３の実施形態による半導体装置２３ａの製造方法を示す断面図である。半導体装置２３ｂの製造方法は、半導体装置２３ａと同様であるので、その説明を省略する。尚、図１１（Ａ）～図１１（Ｃ）では、１つの半導体装置２３ａの断面のみを示しているが、実際には、複数の半導体装置２３ａが基板４０によって連続して繋がった状態で形成される。
【００６３】
まず、図２（Ａ）～図２（Ｃ）を参照して説明したように、表面側半導体チップ５０、表面側金線７０、表面側はんだボール６０ａ、表面側封止樹脂８０を基板４０の表面に形成する。これにより、図１１（Ａ）に示す断面が得られる。

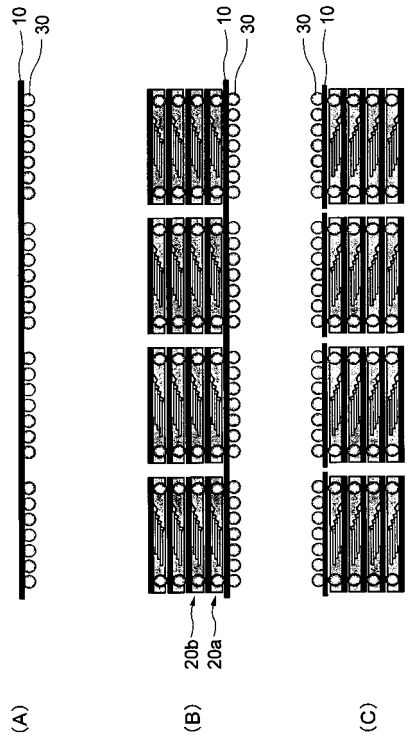
【００６４】
次に、図１１（Ｂ）に示すように、基板４０の裏面に裏面側はんだボール６７ａを設ける。
【００６５】
次に、図１１（Ｃ）に示すように、基板４０の裏面に裏面側半導体チップ５７を積載し、裏面側金線７７で裏面側半導体チップ５７と基板４０の裏面配線とを電気的に接続する。
【００６６】
次に、図１１（Ｄ）に示すように、基板４０の裏面に搭載された裏面側半導体チップ５７、裏面側金線７７および裏面側はんだボール６７ａを裏面側封止樹脂８７で封止する。このとき、複数の裏面側半導体チップ５７の全部および裏面側金線７７の全体を裏面側封止樹脂８７で封止しつつ、裏面側はんだボール６７ａの頂部６９を露出させる。裏面側封止樹脂８７の成型方法は、図３、図４を参照して説明した封止樹脂８０の成型方法と同様である。図１１（Ｄ）に示す構造をダイシングによって個別化することによって、図１０に示すように、基板４０の両面に半導体チップ（５０、５７）およびはんだボール（６０ａ、６７ａ）を搭載した半導体装置２３ａ、２３ｂがそれぞれ完成する。
【００６７】
次に、半導体パッケージ３の組立て方法を説明する。
【００６８】
図１２（Ａ）～図１２（Ｃ）は、第３の実施形態による半導体パッケージ（ＰｏＰ）３の製造方法を示す断面図である。図１２（Ａ）に示すように、裏面にはんだボール３０を備えた配線基板１０を準備する。
【００６９】
次に、図１２（Ｂ）に示すように、個別化された半導体装置２３ａ、２３ｂが配線基板１０の表面上に搭載される。半導体装置２３ａの表面側はんだボール６０ａの頂部６２は表面側封止樹脂８０の表面８１から突出して露出している。従って、半導体装置２３ａは、表面側封止樹脂８０を配線基板１０に接触させることなく、表面側はんだボール６０ａを配線基板１０の配線に電気的に接続させることができる。
【００７０】
半導体装置２３ｂのはんだボール６０ｂの頂部６２も封止樹脂８０の表面８１から突出して露出している。従って、半導体装置２３ｂは、表面側封止樹脂８０を半導体装置２３ａに接触させることなく、表面側はんだボール６０ｂを半導体装置２３ａの裏面側ボール６７ａの頂部６９に電気的に接続させることができる。図１２（Ｂ）に示す他の半導体装置の表面側はんだボールもその下にある他の半導体装置の裏面側はんだボールあるいは配線基板１０に電気的に接続され得る。
【００７１】
次に、図１２（Ｃ）に示すように、切断によって、それぞれの半導体パッケージ３が個別化される。これにより、図１３に示すようなＰｏＰ構造を有する半導体パッケージ３が完成する。
【００７２】
第３の実施形態による半導体装置２３ａ（または２３ｂ）は、第１の実施形態による半導体装置２０ａ（または２０ｂ）と同様の構成を基板４０の両面に形成することができる。これにより、第３の実施形態による半導体装置２３ａ、２３ｂは、それぞれより多くの半導体チップ５０、５７を搭載することができる。従って、第３の実施形態による半導体装置２３ａ、２３ｂを用いることによって、半導体パッケージのサイズをさらに小さくすることができる。さらに、第３の実施形態は、第１の実施形態と同様の効果を得ることができる。
【符号の説明】
【００７３】
１、２、３・・・半導体パッケージ、１０・・・配線基板、２０ａ、２０ｂ、２１ａ、２

１ｂ、２３ａ、２３ｂ・・・半導体装置、３０・・・はんだボール、４０・・・基板、５０・・・半導体チップ、６０ａ、６０ｂ・・・表面側はんだボール、６５ａ、６５ｂ・・・はんだボール、６７ａ、６７ｂ・・・裏面側はんだボール、７０、７７・・・金線、８０・・・封止樹脂、１２０・・・モールドキャビティ、１３０・・・上型、１４０・・・離型フィルム

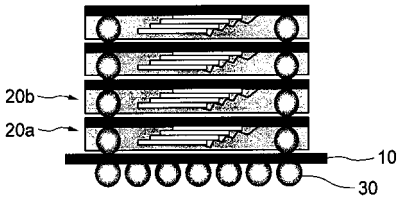
【図２】



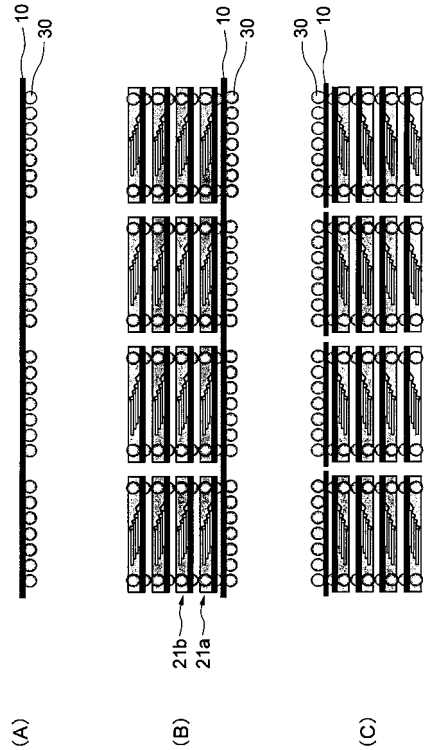
【図５】



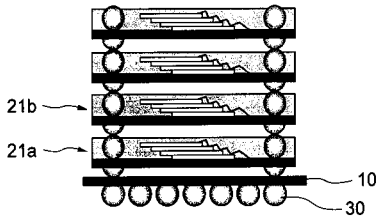
【図６】


20b
20a
10
30

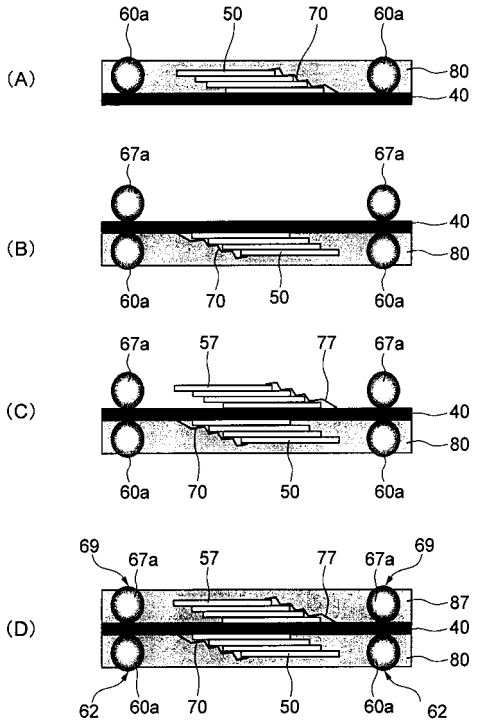
【図８】


10
30
21b
21a
(A)
(B)
(C)

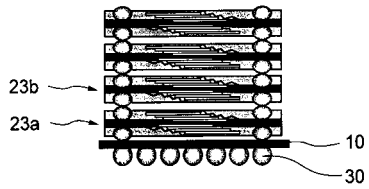
【図９】


21b
21a
10
30

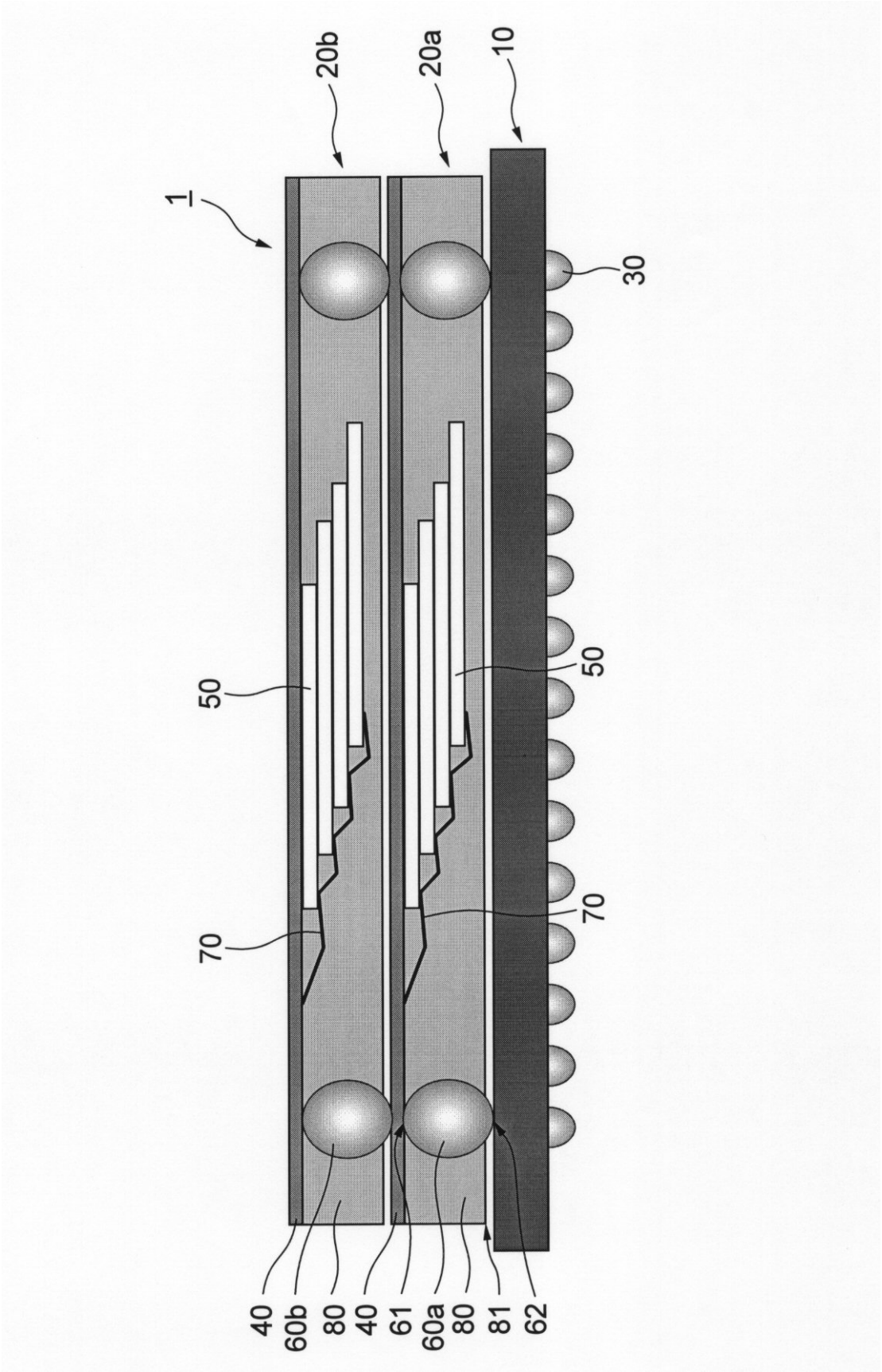
【図１１】


(A)
60a
50
70
60a
80
40
(B)
67a
67a
40
80
60a
70
50
60a
(C)
67a
57
77
67a
40
80
60a
70
50
60a
(D)
69
67a
57
77
67a
69
87
40
80
62
60a
70
50
60a
62

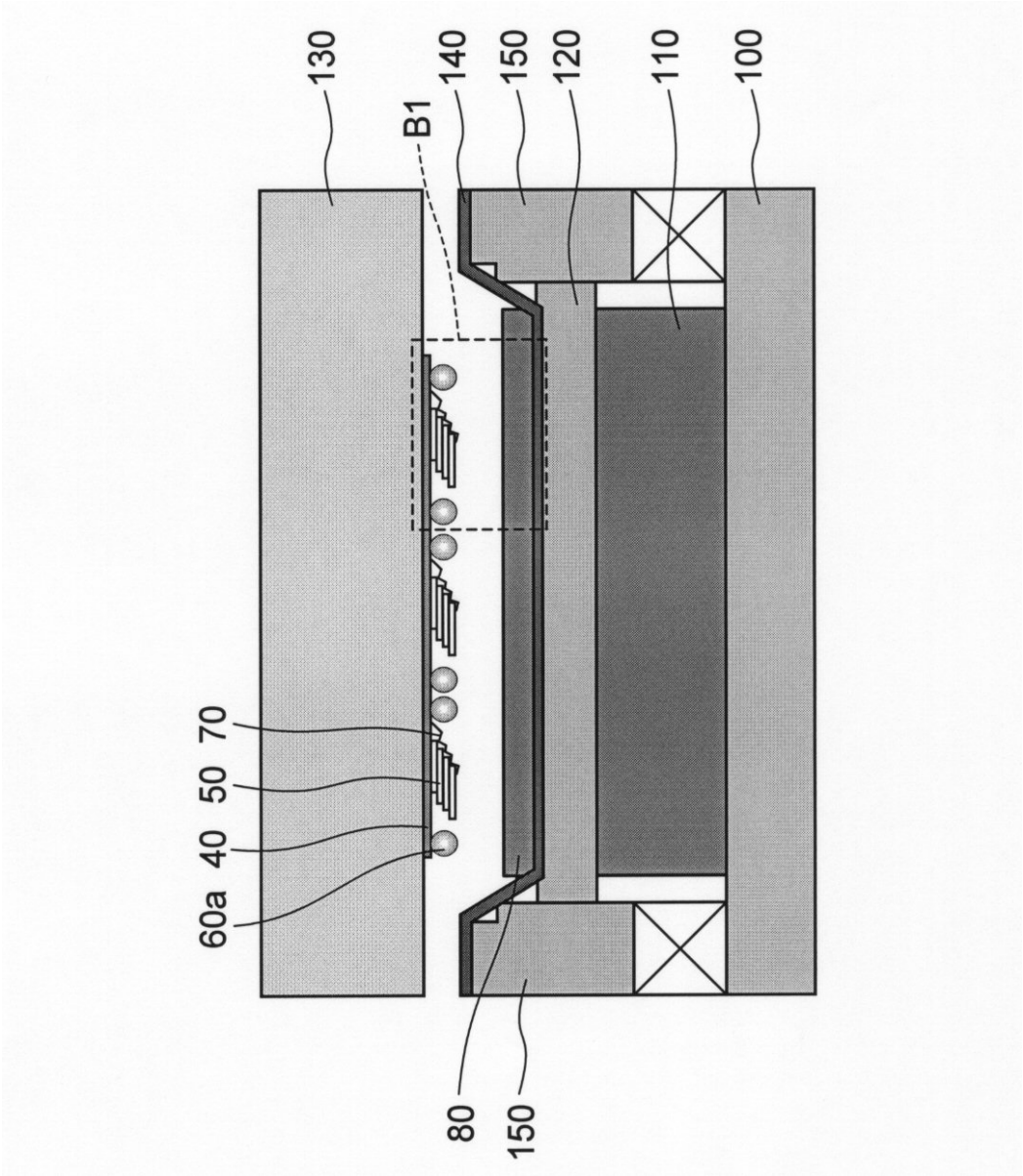
【図１３】



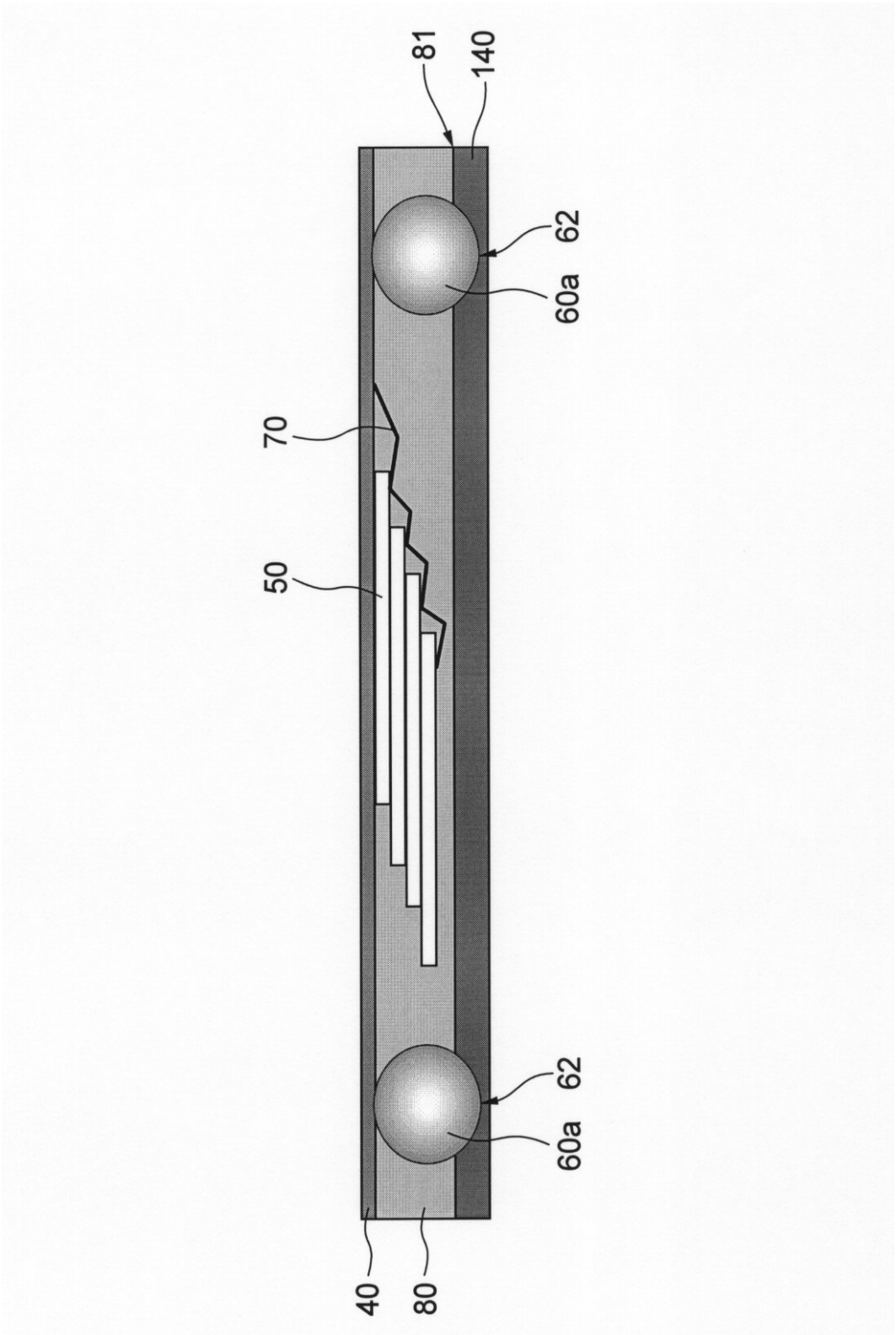
【図１】



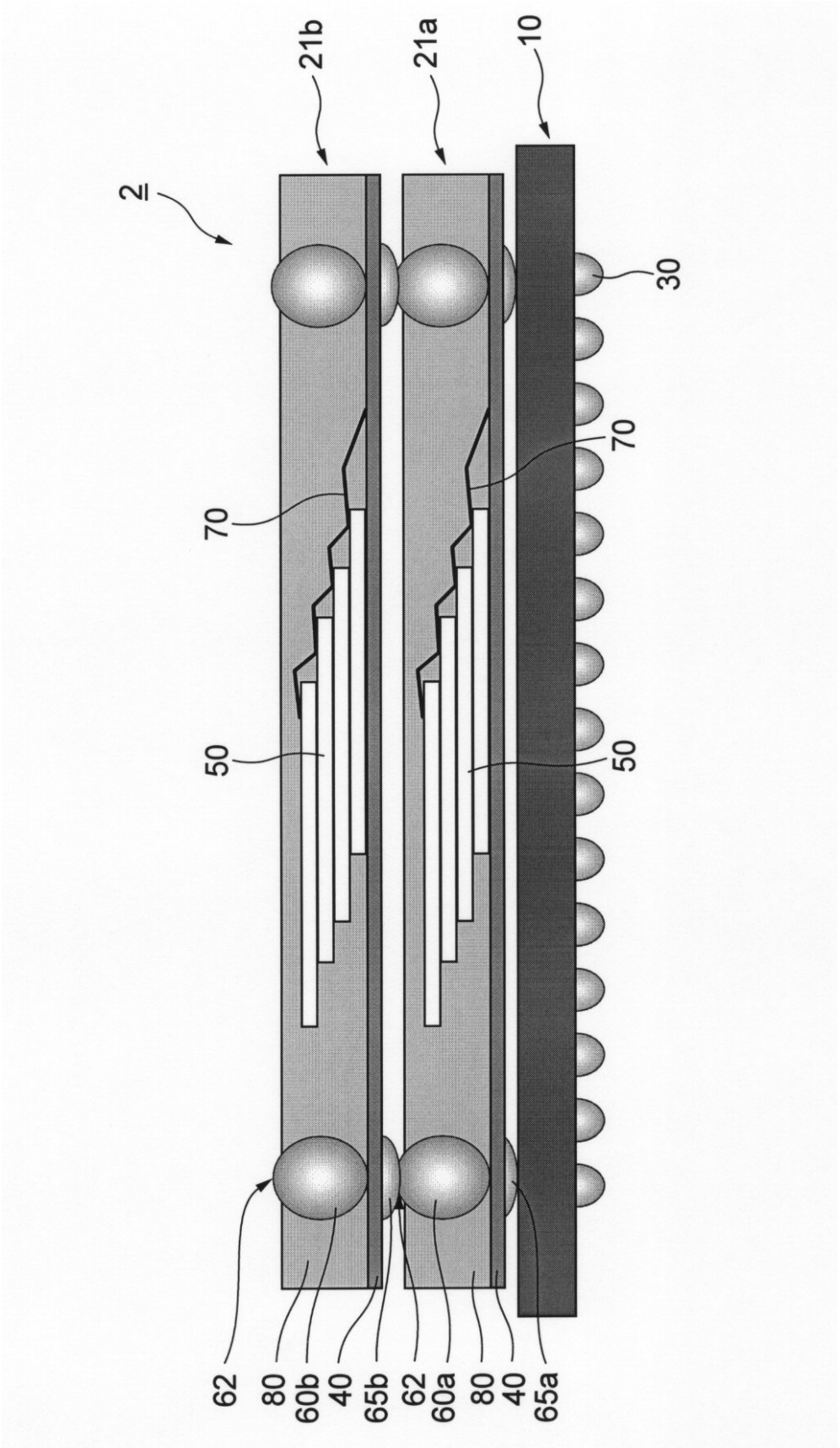
【図３】



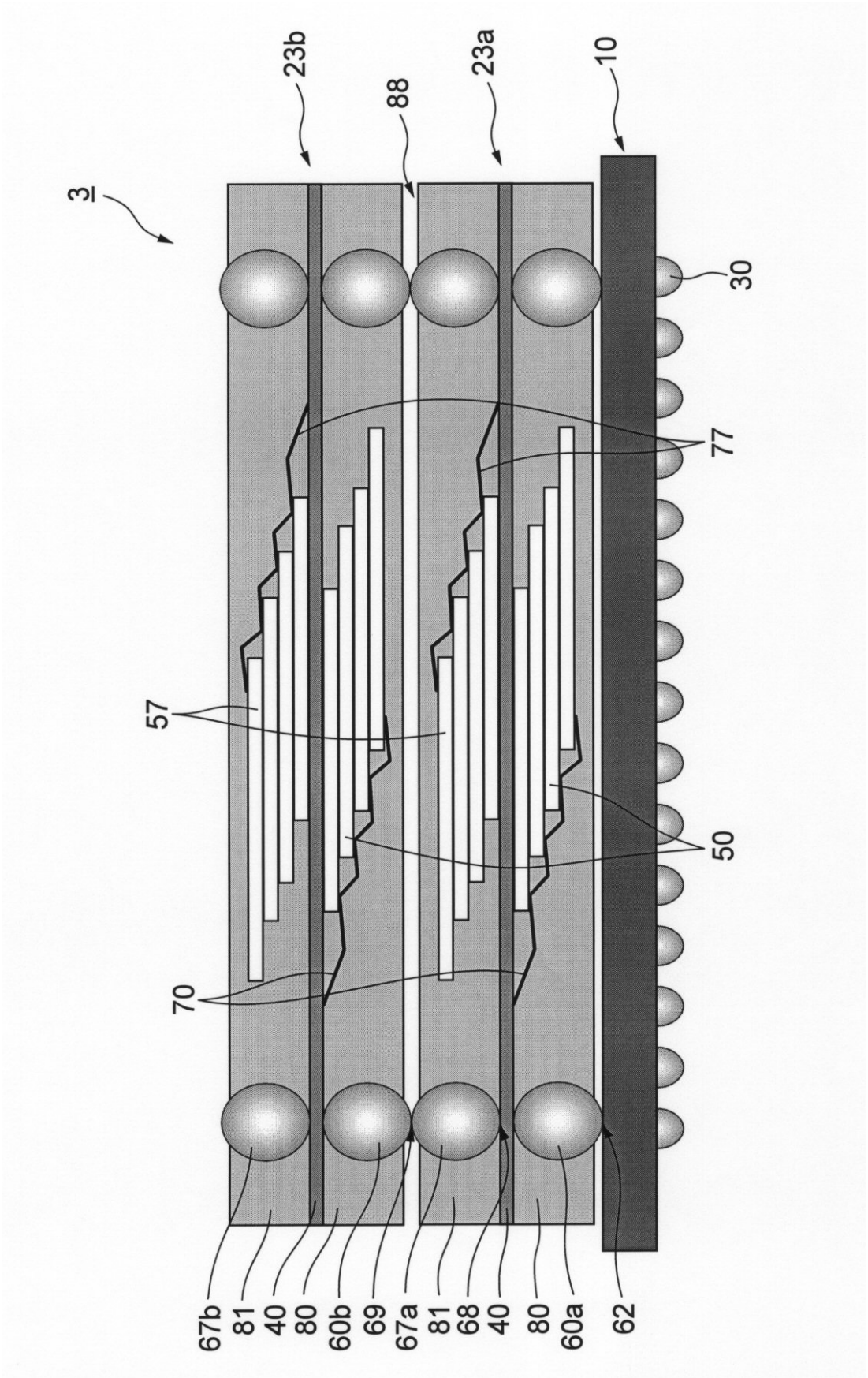
【図４】



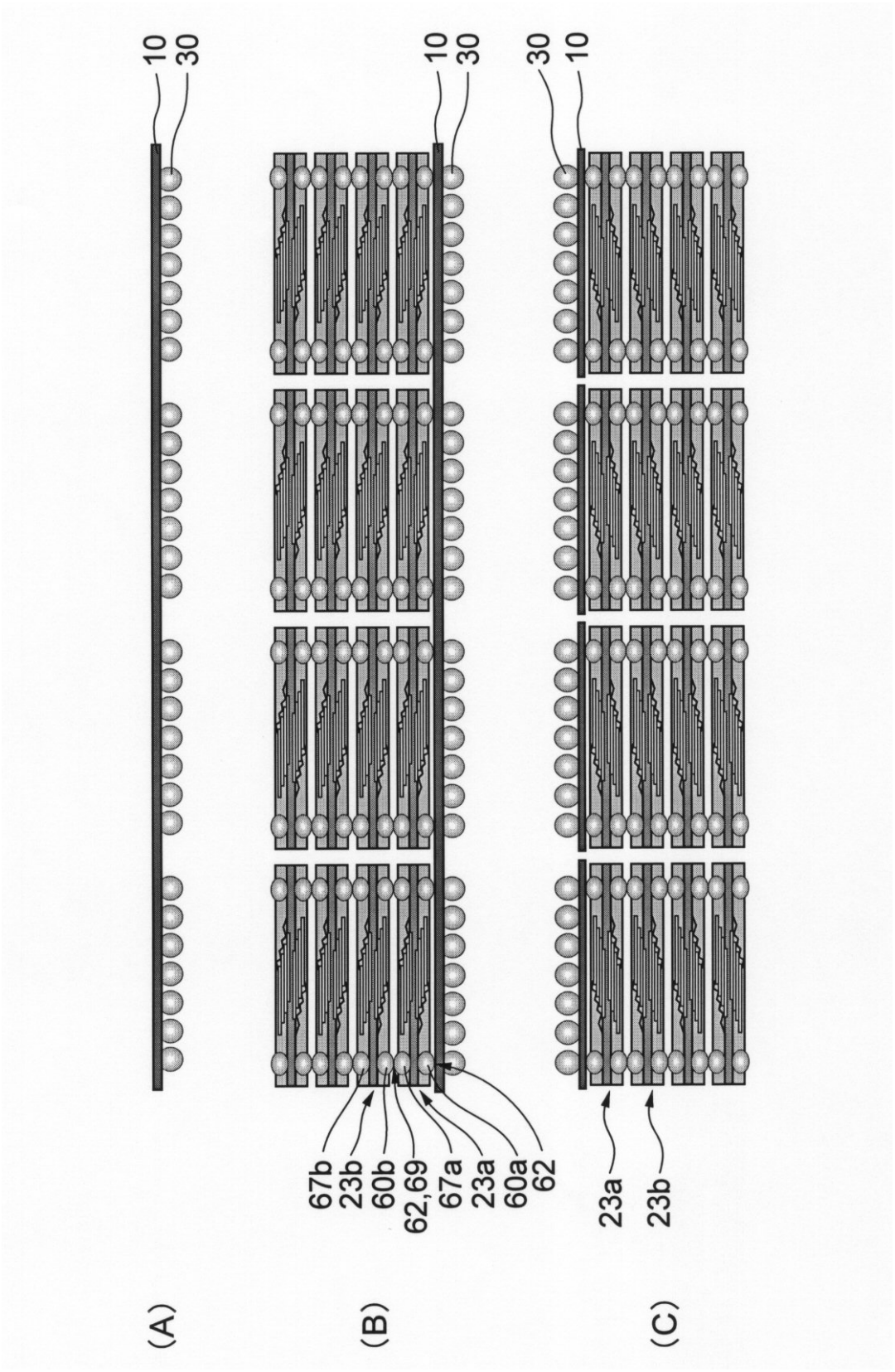
【図７】



【図１０】


3
23b
88
23a
10
30
77
57
50
70
67b
81
40
80
60b
69
67a
81
68
40
80
60a
62

【図１２】



フロントページの続き

(72)発明者　渡　部　武　志
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　井　本　孝　志
東京都港区芝浦一丁目１番１号　株式会社東芝内
(72)発明者　唐　金　祐　次
東京都港区芝浦一丁目１番１号　株式会社東芝内

Ｆターム(参考) 5F061 AA01　BA03　CA21