



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 103 43 524 A1 2005.05.04**

(12)

Offenlegungsschrift

(21) Aktenzeichen: **103 43 524.7**
 (22) Anmeldetag: **19.09.2003**
 (43) Offenlegungstag: **04.05.2005**

(51) Int Cl.7: **G11C 11/4093**
G11C 7/10, G11C 11/407

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE

(72) Erfinder:
Dickmann, Rory, 93047 Regensburg, DE

(74) Vertreter:
Wilhelm & Beck, 80636 München

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
DE 197 19 996 A1
US 63 56 106 B1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

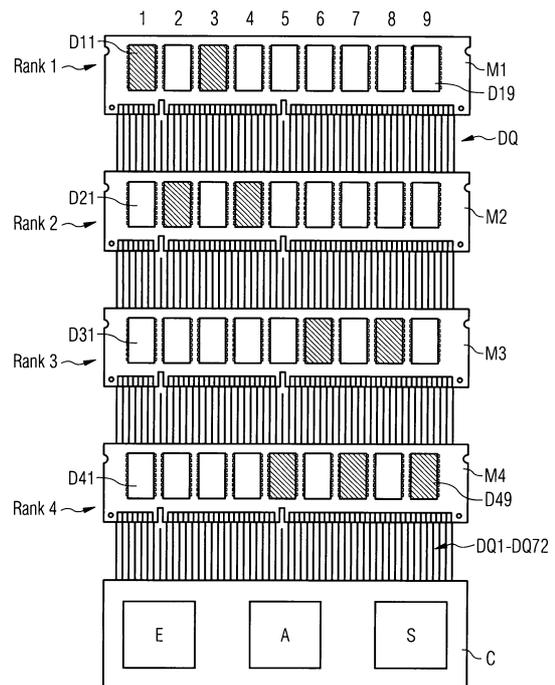
Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Verfahren und Vorrichtung zum Betreiben von elektronischen Halbleiterbausteinen über Signalleitungen**

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Betreiben von elektronischen Halbleiterbausteinen über Signalleitungen, insbesondere Speicherbausteinen, wobei die Halbleiterbausteine gruppenweise auf Modulen angeordnet sind und wobei die Module an die Signalleitungen angeschlossen sind, mit folgenden Verfahrensschritten:

Ermitteln und Bewerten einer Signalqualität auf den Signalleitungen der Halbleiterbausteine der Module während einer Signalübertragung anhand vorgegebener elektrischer Kriterien,

Auswählen von Halbleiterbausteinen und Verwenden der ausgewählten Halbleiterbausteine in Abhängigkeit von einem Ergebnis der Bewertung.



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren und eine Vorrichtung zum Betreiben von elektronischen Halbleiterbausteinen, insbesondere Speicherbausteinen über Signalleitungen.

Stand der Technik

[0002] Elektronische Systeme mit einer zentralen Recheneinheit erfordern heutzutage einen immer höheren Bedarf an elektronischem Arbeitsspeicher. Zu diesem Zweck sind in der Regel modular aufgebaut Speicherbausteine vorgesehen, wobei auf den Speichermodulen eine Vielzahl von elektronischen Speicherbausteinen angeordnet sind. Die Speichermodule sind an Signalleitungen angeschlossen, die einen Signalleitungsbus bilden, der mit einer Speichersteuerungseinheit (Memory Controller) verbunden ist. Mit Hilfe der Speichersteuerungseinheit werden die einzelnen Module angesteuert, damit die Module Daten mit einzelnen Komponenten der elektronischen Systeme austauschen können.

[0003] In herkömmlichen Speichersystemen ist üblicherweise ein starres Betriebssystem vorgesehen, das vorsieht, dass zu einem definierten Zeitpunkt jeweils nur ein einzelnes der Module Zugriff auf den Signalleitungsbus erhält und auf diese Weise Daten auf den Signalleitungsbus schreibt bzw. von diesem einliest. Solcherart erhalten alle Module zu unterschiedlichen Zeitpunkten Zugriff auf den gemeinsamen Signalleitungsbus.

[0004] Aufgrund von Messungen auf den Signalleitungen während Signalübertragungen hat sich herausgestellt, dass verschiedene parasitäre Eigenschaften innerhalb der elektronischen Systeme eine Signalqualität auf dem Signalleitungsbus in nachteiliger Weise beeinflussen können. Diese unerwünschten parasitären Eigenschaften können beispielsweise auf ungünstige Leiterbahnführungen auf den einzelnen Modulen und/oder auf Leiterplatten mit Steckplätzen für die Module zurückzuführen sein. Weiterhin können einzelne Datenpins an Gehäusen der Halbleiterbausteine aufgrund der parasitären Effekte unterschiedliche Betriebscharakteristiken aufweisen. Durch das erwähnte starre Betriebssystem der einzelnen Speichermodule können sich die parasitären Effekte in unerwünschter Weise aufsummieren. Diese können noch zusätzlich durch hochfrequente Störungen und/oder durch induktive bzw. kapazitive Kopplungen zwischen den einzelnen Komponenten der Speichersysteme in nachteiliger Weise verschlechtert sein. Dadurch kann ein effektiver Datendurchsatz über den Signalleitungsbus in unerwünschter Weise vermindert sein.

[0005] Dies resultiert auch aus der Tatsache, dass einzelne Signalleitungen des Signalleitungsbusses

im Vergleich zu anderen Signalleitungen eine verschlechterte Signalübertragungscharakteristik aufweisen. Fehlerhafte Datenübertragungen mit dadurch erforderlicher aufwändiger Fehlerkorrektur sind eine nachteilige und unerwünschte Folge der zuvor geschilderten parasitären Effekte.

Aufgabenstellung

[0006] Es ist die Aufgabe der vorliegenden Erfindung, ein Verfahren und eine Vorrichtung zu einem verbesserten Betreiben von elektronischen Halbleiterbausteinen über Signalleitungen bereitzustellen.

[0007] Die Aufgabe wird gelöst mit einem Verfahren gemäß Patentanspruch 1 sowie mit einer Vorrichtung gemäß Patentanspruch 8. Vorteilhafte Weiterbildungen der Erfindung sind in abhängigen Ansprüchen angegeben.

[0008] Ein Verfahren gemäß der vorliegenden Erfindung ist zum Betreiben von elektronischen Halbleiterbausteinen, insbesondere Speicherbausteinen, über Signalleitungen vorgesehen. Dabei sind die Halbleiterbausteine gruppenweise auf Modulen angeordnet, wobei die Module an die Signalleitungen angeschlossen sind. Das Verfahren umfasst folgende Verfahrensschritte:

- Ermitteln und Bewerten einer Signalqualität auf den Signalleitungen der Halbleiterbausteine der Module während einer Signalübertragung anhand vorgegebener elektrischer Kriterien,
- Auswählen von Halbleiterbausteinen, und
- Verwenden der ausgewählten Halbleiterbausteine in Abhängigkeit von einem Ergebnis der Bewertung.

[0009] Auf diese Weise kann eine unter realen Betriebsbedingungen der Speichermodule ermittelte Signalleitungsqualität verwendet werden, um Halbleiterbausteine für eine Signalübertragung auszuwählen und zu verwenden. Eine flexible, im wesentlichen nur von der Signalleitungsqualität abhängige Auswahl und Verwendung von Halbleiterbausteinen ist dadurch in vorteilhafter Weise zu erreichen. Das zuvor beschriebene herkömmliche starre Betriebssystem für die einzelnen Speicherbausteine auf den Speichermodulen wird dadurch flexibilisiert und kann auf diese Weise eine Betriebscharakteristik des Signalleitungsbusses verbessern.

[0010] Eine bevorzugte Weiterbildung des erfindungsgemäßen Verfahrens sieht vor, dass die Verfahrensschritte während der Signalübertragung auf den Signalleitungen periodisch durchgeführt werden. Dadurch kann eine dauerhafte Optimierung der Auswahl der für die Signalübertragung verwendeten Halbleiterbausteine während des Betriebes der Speichermodule erfolgen, wodurch das Übertragungsverhalten des Signalleitungsbusses weiter verbessert

werden kann.

[0011] Eine erfindungsgemäße Vorrichtung ist zum Betreiben von elektronischen Halbleiterbausteinen über Signalleitungen, insbesondere Speicherbausteinen, vorgesehen. Dabei sind die Halbleiterbausteine gruppenweise auf Modulen angeordnet, wobei die Module an die Signalleitungen angeschlossen sind. Die Vorrichtung weist eine Steuerungseinrichtung zum Auswählen von Halbleiterbausteinen nach vorgegebenen elektrischen Kriterien auf. Mit Hilfe der Steuerungseinrichtung ist eine Ermittlung und Bewertung einer Signalqualität auf den Signalleitungen der Halbleiterbausteine der Module während einer Signalübertragung vorgesehen.

[0012] Mithilfe der erfindungsgemäßen Vorrichtung ist es möglich, die für eine Signalübertragung verwendeten Speicherbausteine individuell auszuwählen und dadurch einen Einfluss der zuvor beschriebenen parasitären Effekte auf die Betriebscharakteristik des Signalleitungsbusses zu reduzieren.

Ausführungsbeispiel

[0013] Die Erfindung wird nachfolgend anhand von Figuren näher beschrieben. Dabei zeigt:

[0014] [Fig. 1](#) eine Anordnung von vier Modulen mit jeweils neun Speicherbausteinen;

[0015] [Fig. 2](#) vier durch einen Signalleitungsbus untereinander verbundene Module, wobei der Signalleitungsbus mit einer Steuerungseinrichtung verbunden ist;

[0016] [Fig. 3](#) eine Anordnung aus vier durch den Signalleitungsbus untereinander verbundenen Modulen mit einer erfindungsgemäßen Steuerungseinrichtung;

[0017] [Fig. 4](#) eine prinzipielle Darstellung von elektrischen Signalen auf den Signalleitungen mit beispielhaften elektrischen Auswahlkriterien;

[0018] [Fig. 5](#) ein prinzipielles Flussdiagramm eines Ablaufs des erfindungsgemäßen Verfahrens; und

[0019] [Fig. 6](#) ein elektronisches Rechnersystem, für das die Erfindung anwendbar ist.

[0020] [Fig. 1](#) zeigt vier Module M1 bis M4 mit jeweils neun Halbleiterbausteinen, die als Speicherbausteine ausgebildet sein können. Die Speicherbausteine können dabei als SDR-SDRAMs (synchron dynamische Speicherbausteine) oder DDR-SDRAMs (double data rate synchronous dynamic random access memory) ausgebildet sein, die auf den Modulen M1 bis M4 einseitig (Single Inline Memory Module) oder doppelseitig (Dual Inline Me-

mory Module DIMM) angeordnet sind. In [Fig. 1](#) sind beispielhaft vier als Dual Inline Memory Module ausgebildete Module M1 bis M4 dargestellt. Eine Gesamtheit der Module M1 bis M4 kann beispielsweise als Arbeitsspeicher eines elektronischen Rechnersystems verwendet werden. Dabei können die Module M1 bis M4 mit dafür vorgesehenen elektrischen Anschlüssen in Steckplätze einer Leiterplatte (nicht dargestellt) gesteckt sein. Ein Signalleitungsbus (nicht dargestellt), an den die Module M1 bis M4 angeschlossen sind und der die Module M1 bis M4 untereinander verbindet, ist zum Austausch von Daten zwischen den Modulen M1 bis M4 und einer zentralen Recheneinheit des elektronischen Rechnersystems vorgesehen. Aufgrund räumlich unterschiedlicher Anordnungen der Speicherbausteine auf den Modulen M1 bis M4 können sich parasitäre Effekte von Anschlusspins der Speicherbausteine während eines operativen Betriebes der Speicherbausteine nachteilig auf ein Übertragungsverhalten einzelner Signalleitungen des Signalleitungsbusses auswirken.

[0021] [Fig. 2](#) zeigt vier untereinander durch Signalleitungen DQ1 bis DQ72 verbundene Module M1 bis M4, wobei die Signalleitungen DQ1 bis DQ72 den Signalleitungsbus DQ bilden. Über den Signalleitungsbus DQ sind die Module M1 bis M4 mit einer Steuerungseinrichtung C verbunden, die zu einer Ansteuerung der Halbleiterbausteine auf den einzelnen Modulen M1 bis M4 vorgesehen ist. In herkömmlicher Weise ist dabei vorgesehen, dass zu einem definierten Zeitpunkt jeweils nur Speicherbausteine eines einzelnen der Module M1 bis M4 von der Steuerungseinrichtung C angesteuert bzw. selektiert sind, wobei ausschließlich die Halbleiterbausteine des selektierten Moduls M1 bis M4 für einen Datenaustausch über den Signalleitungsbus DQ vorgesehen sind.

[0022] In [Fig. 2](#) ist diese herkömmliche Art und Weise eines operativen Betriebes der Module M1 bis M4 durch eine Schraffierung aller Speicherbausteine des Moduls M3 angedeutet. Dies bedeutet, dass zu dem in [Fig. 2](#) dargestellten Betriebszeitpunkt nur die Speicherbausteine des Moduls M3 auf den Signalleitungsbus DQ geschaltet sind. Der Signalleitungsbus DQ kann beispielsweise 72 Signalleitungen DQ1 bis DQ72 aufweisen. In einer in [Fig. 2](#) dargestellten x8-Organisation der Speicherbausteine sind zu einer kompletten Belegung des Signalleitungsbusses DQ mit Signalleitungen DQ1 bis DQ72 neun Speicherbausteine pro Modul M1 bis M4 erforderlich. In diesem Fall sind zu einem definierten Zeitpunkt jeweils acht Anschlusspins von neun Speicherbausteinen auf den Signalleitungsbus DQ geschaltet. Bei einer x4-Organisation der Speicherbausteine wären demgegenüber achtzehn Speicherbausteine erforderlich, die gleichzeitig jeweils mit vier Anschlusspins auf den Signalleitungsbus DQ geschaltet sind. Auf diese Weise ist eine während des Betriebes des Signalleitungsbusses DQ erforderliche, vollständige Belegung des

Signalleitungsbusses DQ mit Signalleitungen DQ1 bis DQ72 gewährleistet.

[0023] In den bekannten Verfahren wird die Selektion der Speicherbausteine während des operativen Betriebes des Arbeitsspeichers also nach einem starren Betriebssystem modulabhängig durchgeführt. Dadurch können sich nachteilige parasitäre Effekte, wie beispielsweise induktive oder kapazitive Kopplungen zwischen einzelnen Elementen des Arbeitsspeichers, und/oder auf die Signalleitungen DQ1 bis DQ72 eingekoppelte hochfrequente Störsignale, die systembedingt immer vorhanden sind, in nachteiliger Weise zu einem parasitären Gesamteffekt aufsummieren. Dieser kann ein Signalübertragungsverhalten auf einzelnen Signalleitungen des Signalleitungsbusses DQ erheblich verschlechtern. Diese Verschlechterung ist auf die Tatsache zurückzuführen, dass Anschlusspins von Speicherbausteinen, die aufgrund der geschilderten parasitären Effekte besonders ungünstig beeinflusst und deshalb besonders stark vermindert performant sind, durch das Erfordernis der ausschließlichen Selektion von Speicherbausteinen eines einzelnen Speichermoduls M1 bis M4 auf den Signalleitungsbus geschaltet werden. Daraus resultierende Fehlübertragungen auf dem Signalleitungsbus DQ können in nachteiliger Weise zu Wiederholungen von Signalübertragungen führen. Das kann eine auf dem Signalleitungsbus DQ übertragene Datenrate in nachteiliger Weise erheblich reduzieren.

[0024] [Fig. 3](#) zeigt eine Anordnung aus vier durch den Signalleitungsbus DQ untereinander verbundenen Modulen M1 bis M4 mit einer Ausführungsform der erfindungsgemäßen Steuerungseinrichtung C. Die Steuerungseinrichtung C weist eine Bewertungseinheit S, eine Aktivierungseinheit A und eine Zusammenstellungseinheit E auf. Der Signalleitungsbus DQ ist in herkömmlicher Weise zum Anschließen und Verbinden der einzelnen Module M1 bis M4 vorgesehen und ist weiterhin mit der erfindungsgemäßen Steuerungseinrichtung C verbunden. Auf den einzelnen Modulen M1 bis M4 sind jeweils Gruppen von Speicherbausteinen angeordnet, die als sogenannte „Ranks“ bezeichnet werden, wobei eine Rank eine Gruppe von Speicherbausteinen eines Moduls definiert, die mit Anschlüssen den Signalleitungsbus DQ vollständig belegt. Die einzelnen Speicherbausteine der Ranks sind durch CRS (Chip Rank Select)-Auswahlleitungen (in [Fig. 3](#) nicht dargestellt) ansteuerbar, wobei jeder der Speicherbausteine einer Rank durch eine eigene Auswahlleitung ansteuerbar ist. Aus der [Fig. 3](#) ist erkennbar, dass die Speicherbausteine der Module bzw. der Ranks durch einen Zahlenindex lokalisierbar sind. Dabei definiert eine erste Ziffer einen Rankindex, der eine Rank spezifiziert. Eine zweite Ziffer definiert einen Spaltenindex, der eine örtliche Anordnung des Speicherbausteins innerhalb der jeweiligen Rank spezifiziert. Beispiels-

weise definiert ein Index **11** einen ersten Speicherbaustein D11 in Spalte **1** von Rank **1**. Ein Index **49** definiert beispielsweise einen Speicherbaustein D49 in Spalte **9** von Rank **4**.

[0025] Als erster Schritt im Ablauf des erfindungsgemäßen Verfahrens wird mithilfe der Aktivierungseinheit A eine Aktivierung der erfindungsgemäßen Bewertungseinheit S durchgeführt. Die Bewertungseinheit S ist zu einer Bewertung einer Signalleitungsqualität der Signalleitungen DQ1 bis DQ72 vorgesehen, wobei die einzelnen Signalleitungen DQ1 bis DQ72 von der Bewertungseinheit S anhand vorgegebener elektrischer Parameter bewertet werden. Als Ergebnis dieses Bewertungsvorganges werden mittels der Zusammenstellungseinheit E ausgewählte Speicherbausteine modulunabhängig auf den Signalleitungsbus DQ geschaltet. Das bedeutet, dass je nach Ergebnis der vorangegangenen Bewertungsprozedur Speicherbausteine von unterschiedlichen Modulen M1 bis M4 auf den Signalleitungsbus geschaltet werden können. Die anhand von [Fig. 2](#) erläuterte Organisationsform (beispielsweise x4 oder x8) der Speicherbausteine bleibt dabei unverändert erhalten. Ein erfindungsgemäß derart beschalteter Signalleitungsbus DQ kann gegenüber dem herkömmlichen starr beschalteten Signalleitungsbus DQ, bei dem ausschließlich Speicherbausteine eines einzelnen Moduls M1 bis M4 auf den Signalleitungsbus DQ geschaltet sind, ein erheblich verbessertes Signalübertragungsverhalten aufweisen.

[0026] Im folgenden wird anhand von in der [Fig. 3](#) dargestellten, ausgewählten Speicherbausteinen auf den Modulen M1 bis M4 die Funktionsweise des erfindungsgemäßen Verfahrens näher beschrieben. Jedes der Module M1 bis M4 weist neun Speicherbausteine auf, wobei auf dem Modul M1 der erste Speicherbaustein D11, auf dem Modul M2 ein zweiter Speicherbaustein D21, auf dem Modul M3 ein dritter Speicherbaustein D31 und auf dem Modul M4 ein vierter Speicherbaustein D41 angeordnet sind. Jeder der Speicherbausteine D11, D21, D31, D41 ist während eines operativen Betriebes an identische Signalleitungen DQ1 bis DQ72 des Signalleitungsbusses DQ angeschaltet. Gemäß der Organisationsstruktur der Speicherbausteine kann zu einem definierten Zeitpunkt allerdings nur einer der Speicherbausteine D11, D21, D31, D41 an den Signalleitungsbus DQ angeschaltet sein.

[0027] Im Ablauf des erfindungsgemäßen Verfahrens bewertet die Bewertungseinheit S diejenigen Signalleitungen DQ1 bis DQ72, an die jeweils einer der Speicherbausteine D11, D21, D31, D41 angeschaltet ist. Dabei wird beispielsweise zuerst der erste Speicherbaustein D11 an den Signalleitungsbus DQ angeschaltet und die entsprechenden Signalleitungen DQ1 bis DQ72 des Signalleitungsbusses DQ von der Bewertungseinheit S qualitativ anhand vor-

gegebener elektrischer Kriterien bewertet. Danach wird der erste Speicherbaustein D11 vom Signalleitungsbus DQ abgeschaltet und die Signalleitungsqualität mit dem an den Signalleitungsbus DQ angeschalteten zweiten Speicherbaustein D21 in analoger Weise wie zuvor ermittelt. Der geschilderte Ablauf wiederholt sich so oft, bis alle der Speicherbausteine D11, D21, D31, D41 wenigstens einmal auf den Signalleitungsbus DQ geschaltet und die mit zugeordneten Anschlusspins der Speicherbausteine D11, D21, D31, D41 verbundenen Signalleitungen DQ1 bis DQ72 des Signalleitungsbusses DQ evaluiert worden sind. Als Ergebnis des durchgeführten Bewertungsvorgangs wird für den operativen Betrieb schließlich derjenige der Speicherbausteine D11, D21, D31, D41 an den Signalleitungsbus DQ angeschaltet, bei dessen Anschaltung an den Signalleitungsbus DQ die vorgegebenen elektrischen Kriterien auf den entsprechenden Signalleitungen DQ1 bis DQ72 am besten erfüllt worden sind.

[0028] Das erfindungsgemäße Prinzip wurde beispielhaft für einen der Speicherbausteine D11, D21, D31, D41 der Module M1 bis M4 erläutert. Es versteht sich von selbst, dass das geschilderte Prinzip für alle Speicherbausteine der Module M1 bis M4 durchgeführt wird.

[0029] In [Fig. 3](#) ist also prinzipiell angedeutet, dass für die komplette Belegung des Signalleitungsbusses DQ Speicherbausteine verschiedener Module M1 bis M4 verwendet werden können. Diejenigen Speicherbausteine, deren Anschlusspins an den Signalleitungsbus DQ angeschaltet sind, sind in der Figur schraffiert dargestellt. Es ist erkennbar, dass die für die komplette Belegung des Signalleitungsbusses DQ erforderlichen neun Speicherbausteine auf unterschiedlichen Modulen M1 bis M4 angeordnet sind. Als Ergebnis des erfindungsgemäßen Bewertens und Auswählens werden somit für den Signalleitungsbus DQ in vorteilhafter Weise bestmöglich performante Signalleitungen DQ1 bis DQ72 verwendet. Abhängig von der Signalqualität auf den Signalleitungen DQ1 bis DQ72 werden Speicherbausteine eines einzelnen oder mehrerer Module M1 bis M4 auf den Signalleitungsbus DQ geschaltet.

[0030] Die Steuerungseinrichtung C kann weiterhin eine für die Signalübertragung über den Signalleitungsbus DQ genutzte Busbreite festlegen. Dabei können auf einem 72 Bit breiten Signalleitungsbus DQ beispielsweise 8 Bit für eine Fehlerkorrektur nach einem im Stand der Technik bekannten ECC-Verfahren (error correcting code) vorgesehen sein. Das ECC-Verfahren ist ein intelligentes Fehlererkennungsverfahren, mit dessen Hilfe eine Teilmenge von gestörten Zeichen aufgrund von Bildungsgesetzen für die Zeichen korrigiert werden kann. Bei dem Verfahren werden mehrere Prüfbits zu den Nutzbits hinzugefügt, aus denen nach dem Wahrscheinlichkeits-

prinzip an einer Empfangsstelle das richtige Zeichen ermittelt wird.

[0031] [Fig. 4](#) zeigt ein prinzipielles qualitatives Spannungs/Zeitdiagramm mit unterschiedlichen Verläufen von Signalen, die während des operativen Betriebes der Module M1 bis M4 auf den Signalleitungen DQ1 bis DQ72 übertragen werden. Innerhalb des in der Figur dargestellten Datenauges sind elektrische Auswahlkriterien, die für das erfindungsgemäße Verfahren herangezogen werden können, prinzipiell dargestellt. Dabei können zur Bewertung der Signalqualitäten beispielsweise elektrische Spannungspiegel (VOH, VOL), und/oder eine Periodendauer bzw. Taktfrequenz ($t_{CLK/2}$), und/oder eine Anstiegsgeschwindigkeit und/oder ein Tastverhältnis der Signale verwendet werden. Die in der [Fig. 4](#) dargestellten elektrischen Kriterien sind lediglich beispielhaft zu verstehen und können selbstverständlich durch weitere elektrische Kriterien ergänzt bzw. ersetzt werden.

[0032] [Fig. 5](#) zeigt anhand eines prinzipiellen Flussdiagramms einen Ablauf eines Ausführungsbeispiels des erfindungsgemäßen Verfahrens. In einem Schritt S1 erfolgt mithilfe der Aktivierungseinheit A die Aktivierung der Bewertungseinheit S, die das Bewerten der Signalleitungen DQ1 bis DQ72 durchführt. In einem Schritt S2 werden die Signalleitungen DQ1 bis DQ72 von der Bewertungseinheit S anhand der vorgegebenen elektrischen Kriterien bewertet. In einem Schritt S3 erfolgt mittels der Zusammenstellungseinheit E ein Auswählen der Speicherbausteine aufgrund der vorangegangenen Bewertung. In einem Schritt S4 erfolgt ein Verwenden der ausgewählten Speicherbausteine.

[0033] [Fig. 6](#) zeigt ein stark vereinfachtes, prinzipielles Blockschaltbild eines elektronischen Rechnersystems **5**, für das die Erfindung verwendbar ist. Eine Zentralrecheneinheit **1** ist mit einer Speichersteuerungseinheit **2** verbunden, in der eine Ausführungsform der erfindungsgemäßen Steuerungseinrichtung C angeordnet ist. Denkbar ist auch, dass die Steuerungseinrichtung C innerhalb der Zentralrecheneinheit **1** oder in einer eigenen Einrichtung des Rechnersystems **5** angeordnet ist. Die Speichersteuerungseinheit **2** ist mit einer Speichereinrichtung **3** verbunden. Die Speichereinrichtung **3** kann beispielsweise als Festplattenspeicher ausgebildet sein, denkbar sind jedoch auch andere Realisierungsmöglichkeiten. Die Module M1 bis M4 sind mit der Zentralrecheneinheit **1** und mit der Speichersteuerungseinheit **2** verbunden und können über den Signalleitungsbus DQ mit den verbundenen Einheiten Daten austauschen. Auswahlleitungen CRS verbinden die Speichersteuerungseinheit **2** mit den einzelnen Modulen M1 bis M4. Mit Hilfe der Auswahlleitungen CRS können von der Speichersteuerungseinheit **2** alle Speicherbausteine auf den einzelnen Modulen M1

bis M4 in modulunabhängiger Art und Weise selektiert werden. Dazu ist pro Speicherbaustein der Module M1 bis M4 eine eigene Auswahlleitung vorgesehen. In [Fig. 6](#) sind pro Modul M1 bis M4 neun Speicherbausteine (nicht dargestellt) angeordnet, so dass also pro Modul M1 bis M4 neun Auswahlleitungen CRS zur Ansteuerung aller Speicherbausteine pro Modul M1 bis M4 vorgesehen sind.

[0034] Im folgenden wird anhand zweier unterschiedlicher Anwendungsszenarien beschrieben, wie die Erfindung für das in [Fig. 6](#) dargestellte Rechnersystem **5** verwendet werden kann.

Szenario 1:

[0035] Es kann beispielsweise vorgesehen sein, dass während eines Hochlaufs des Rechnersystems **5** ein innerhalb der Zentralrecheneinheit **1** implementiertes Minimal-Betriebssystem (BIOS) eine Evaluierung des in den Modulen M1 bis M4 verfügbaren Arbeitsspeichers vornimmt. Während des Hochlaufs erfolgt dabei eine Partitionierung des in den Modulen M1 bis M4 physikalisch vorhandenen Speichers zu einem virtuellen Speicher, wobei der virtuelle Speicher einer Abbildung des physikalischen Speichers in einem linearen Adressraum entspricht. Derart ist eine eindeutige Zuordnung des in den Speichermodulen M1 bis M4 verfügbaren Arbeitsspeichers zum virtuellen Speicher sicherstellt. Die genannte Partitionierung ist per se bekannt und nicht Gegenstand der vorliegenden Erfindung. Der als Ergebnis der durchgeführten Partitionierung erhaltene lineare Adressraum wird in einer Verwaltungseinheit **4** abgespeichert, die innerhalb der Zentralrecheneinheit **1** angeordnet ist.

[0036] Während des Hochlaufs des Rechnersystems **5** erfolgt weiterhin eine lediglich einmalige Durchführung des erfindungsgemäßen Verfahrens mittels der erfindungsgemäßen Steuerungseinrichtung **C**. Die dabei durchgeführte modulunabhängige Beschaltung des Signalleitungsbus DQ mit Speicherbausteinen bleibt für den weiteren Betrieb des Rechnersystems **5** unverändert bestehen. Eine erneute Durchführung des erfindungsgemäßen Verfahrens erfolgt erst wieder beim nächsten Hochlauf des Rechnersystems **5**. Mit Hilfe des in der Verwaltungseinheit **4** abgespeicherten linearen Adressraums ist es der Zentralrecheneinheit **1** im operativen Betrieb ermöglicht, die im erfindungsgemäßen Bewertungsvorgang konfigurierte Auswahl der Speicherbausteine in korrekter Weise den einzelnen Modulen M1 bis M4 zuzuordnen.

Szenario 2:

[0037] Im Unterschied zum Szenario **1** erfolgt in diesem Fall eine mehrmalige Durchführung des erfindungsgemäßen Verfahrens. Zu diesem Zweck wird

zusätzlich zur oben beschriebenen Variante die Speichereinrichtung **3** verwendet, um einen Datenaustausch zwischen der Zentralrecheneinheit **1** und der Speichereinrichtung **3** zu einer Zeit, zu der ein neuerliches erfindungsgemäßes Bewerten und Auswählen der Speicherbausteine erfolgt, sicherzustellen. Zu diesem Zweck wird der gesamte Inhalt des in den Modulen M1 bis M4 verfügbaren Arbeitsspeichers vor jeder Neuauswahl der Speicherbausteine in der Speichereinrichtung **3** zwischengespeichert. Das Ergebnis der jeweiligen neuerlichen erfindungsgemäßen Bewertung wird von der Steuerungseinrichtung an die Zentralrecheneinheit **1** gesendet, die das Ergebnis in der Verwaltungseinheit **4** abspeichert. Auf diese Weise kann die Zentralrecheneinheit **1** den Datenaustausch mit den Modulen M1 bis M4 über den jeweils aktuell beschalteten Signalleitungsbus DQ durchführen.

[0038] Eine Häufigkeit des erfindungsgemäßen Bewertens bzw. Konfigurierens des Signalleitungsbus DQ kann vorteilhafterweise variabel sein. So ist es beispielsweise denkbar, dass das erfindungsgemäße Bewerten des Signalleitungsbus DQ in einem zum operativen Betrieb parallelen Hintergrundprozess durchgeführt wird. Das Zusammenstellen der Speicherbausteine aufgrund der Bewertung erfolgt dann in der Zeit, in der die Speichereinrichtung **3** den Datenaustausch sicherstellt. Weiterhin ist es denkbar, dass das erfindungsgemäße Verfahren in Zeiten ausgeführt wird, in denen gerade kein Datenaustausch zwischen den Modulen M1 bis M4 und der Zentralrecheneinheit **1** bzw. der Speichersteuerungseinheit **2** stattfindet. Es ist weiterhin denkbar, dass das erfindungsgemäße Verfahren nach jeweils einer definierten Anzahl von Datenaustauschzyklen am Signalleitungsbus DQ durchgeführt wird.

[0039] Somit dient in diesem Anwendungsbeispiel die Speichereinrichtung **3** dazu, eine Datenintegrität in Phasen des Betriebs des Rechnersystems **5** sicherzustellen, in denen eine erfindungsgemäße Neuauswahl der Speicherbausteine durchgeführt wird. Weiterhin ist es aus Gründen der Datenintegrität verboten, dass eine erfindungsgemäße Neuauswahl der Speicherbausteine während einer gerade durchgeführten Signalübertragung erfolgt. Das bedeutet, dass die Umschaltung auf den neu konfigurierten Signalleitungsbus DQ in einer definierten Art und Weise erfolgen muss.

[0040] Somit kann die Erfindung in Szenario **2** als ein adaptives Verfahren aufgefasst werden, mit dessen Hilfe es in vorteilhafter Weise möglich ist, den Signalleitungsbus DQ an sich ändernde Betriebsbedingungen im Rechnersystem **5** bestmöglich anzupassen.

[0041] Als besonders vorteilhaft wird bei der vorliegenden Erfindung angesehen, dass nach Durchfüh-

rung des erfindungsgemäßen Verfahrens die Signalübertragung über einen bestmöglich performanten Signalleitungsbus DQ durchgeführt wird, der aus Signalleitungen DQ1 bis DQ72 zusammengestellt ist, die den vorgegebenen elektrischen Kriterien am besten entsprechen. Dadurch kann in vorteilhafter Weise ein Datendurchsatz zwischen den einzelnen Komponenten des elektronischen Rechnersystems **5** in erheblichem Umfang gesteigert sein.

[0042] Die einzelnen Aspekte der Erfindung, die in der Beschreibung, den Patentansprüchen und den Figuren offenbart sind, können für die Erfindung in beliebiger Kombination wesentlich sein.

Bezugszeichenliste

| | |
|-----------------|---------------------------|
| M1–M4 | Module |
| DQ1–DQ72 | Signalleitungen |
| D11 | Erster Speicherbaustein |
| D21 | Zweiter Speicherbaustein |
| D31 | Dritter Speicherbaustein |
| D41 | Vierter Speicherbaustein |
| DQ | Signalleitungsbus |
| CRS | Auswahlleitungen |
| C | Steuerungseinrichtung |
| E | Zusammenstellungseinheit |
| S | Bewertungseinheit |
| A | Aktivierungseinheit |
| 1 | Zentralrecheneinheit |
| 2 | Speichersteuerungseinheit |
| 3 | Speichereinrichtung |
| 4 | Verwaltungseinheit |
| 5 | Rechnersystem |

Patentansprüche

1. Verfahren zum Betreiben von elektronischen Halbleiterbausteinen über Signalleitungen (DQ1–DQ72), insbesondere Speicherbausteinen; wobei die Halbleiterbausteine gruppenweise auf Modulen (M1–M4) angeordnet sind; und wobei die Module (M1–M4) an die Signalleitungen (DQ1–DQ72) angeschlossen sind; mit folgenden Verfahrensschritten:

- Ermitteln und Bewerten einer Signalqualität auf den Signalleitungen (DQ1–DQ72) der Halbleiterbausteine der Module (M1–M4) während einer Signalübertragung anhand vorgegebener elektrischer Kriterien;
- Auswählen von Halbleiterbausteinen; und
- Verwenden der ausgewählten Halbleiterbausteine in Abhängigkeit von einem Ergebnis der Bewertung.

2. Verfahren nach Anspruch 1, wobei die Verfahrensschritte während der Signalübertragung auf den Signalleitungen (DQ1–DQ72) periodisch durchgeführt werden.

3. Verfahren nach einem der Ansprüche 1 oder 2, wobei die elektrischen Kriterien durch elektrische

Spannungspegel von auf den Signalleitungen (DQ1–DQ72) übertragenen Signalen definiert sind.

4. Verfahren nach einem der Ansprüche 1 oder 2, wobei die elektrischen Kriterien durch zeitliche Verläufe der auf den Signalleitungen (DQ1–DQ72) übertragenen Signale definiert sind.

5. Verfahren nach einem der Ansprüche 1 bis 4, wobei ein Anpassen der Kriterien insbesondere nach einer definierten Anzahl von Datenaustauschzyklen auf den Signalleitungen (DQ1–DQ72) durchgeführt wird.

6. Verfahren nach Anspruch 5, wobei für einen Datenaustauschzyklus jeweils diejenigen Signalleitungen (DQ1–DQ72) verwendet werden, die eine Signalleitungsqualität aufweisen, die den Kriterien am besten entsprechen.

7. Verfahren nach einem der vorhergehenden Ansprüche, wobei als weiterer Verfahrensschritt ein Auswählen von Signalleitungen (DQ1–DQ72) durchgeführt wird.

8. Vorrichtung zum Betreiben von elektronischen Halbleiterbausteinen über Signalleitungen (DQ1–DQ72), insbesondere Speicherbausteinen; wobei die Halbleiterbausteine gruppenweise auf Modulen (M1–M4) angeordnet sind; wobei die Module (M1–M4) an die Signalleitungen (DQ1–DQ72) angeschlossen sind; wobei die Vorrichtung eine Steuerungseinrichtung (C) zum Auswählen von Halbleiterbausteinen nach vorgegebenen elektrischen Kriterien aufweist; und wobei mittels der Steuerungseinrichtung (C) eine Ermittlung und Bewertung einer Signalqualität auf den Signalleitungen (DQ1–DQ72) der Halbleiterbausteine der Module (M1–M4) während einer Signalübertragung vorgesehen ist.

9. Vorrichtung nach Anspruch 8, wobei die Kriterien durch elektrische Spannungspegel von auf den Signalleitungen (DQ1–DQ72) übertragenen Signalen definiert sind.

10. Vorrichtung nach Anspruch 8, wobei die Kriterien durch zeitliche Verläufe der auf den Signalleitungen (DQ1–DQ72) übertragenen Signale definiert sind.

11. Vorrichtung nach einem der Ansprüche 8 bis 10, wobei die Steuerungseinrichtung (C) eine Aktivierungseinheit (A) zur Aktivierung einer Bewertungseinheit (S) umfasst.

12. Vorrichtung nach einem der Ansprüche 8 bis 11, wobei die Bewertungseinheit (S) nach ihrer Aktivierung zu einer Ermittlung einer Qualität der auf den Signalleitungen (DQ1–DQ72) übertragenen Signalen

hinsichtlich der Kriterien vorgesehen ist.

13. Vorrichtung nach einem der Ansprüche 8 bis 12, wobei die Steuerungseinrichtung (C) weiterhin eine Zusammenstellungseinheit (E) umfasst, die für die Auswahl der Halbleiterbausteine aufgrund der Bewertung vorgesehen ist.

14. Vorrichtung nach einem der Ansprüche 8 bis 13, wobei die Steuerungseinrichtung (C) für eine Auswahl von Signalleitungen (DQ1–DQ72) vorgesehen ist.

Es folgen 5 Blatt Zeichnungen

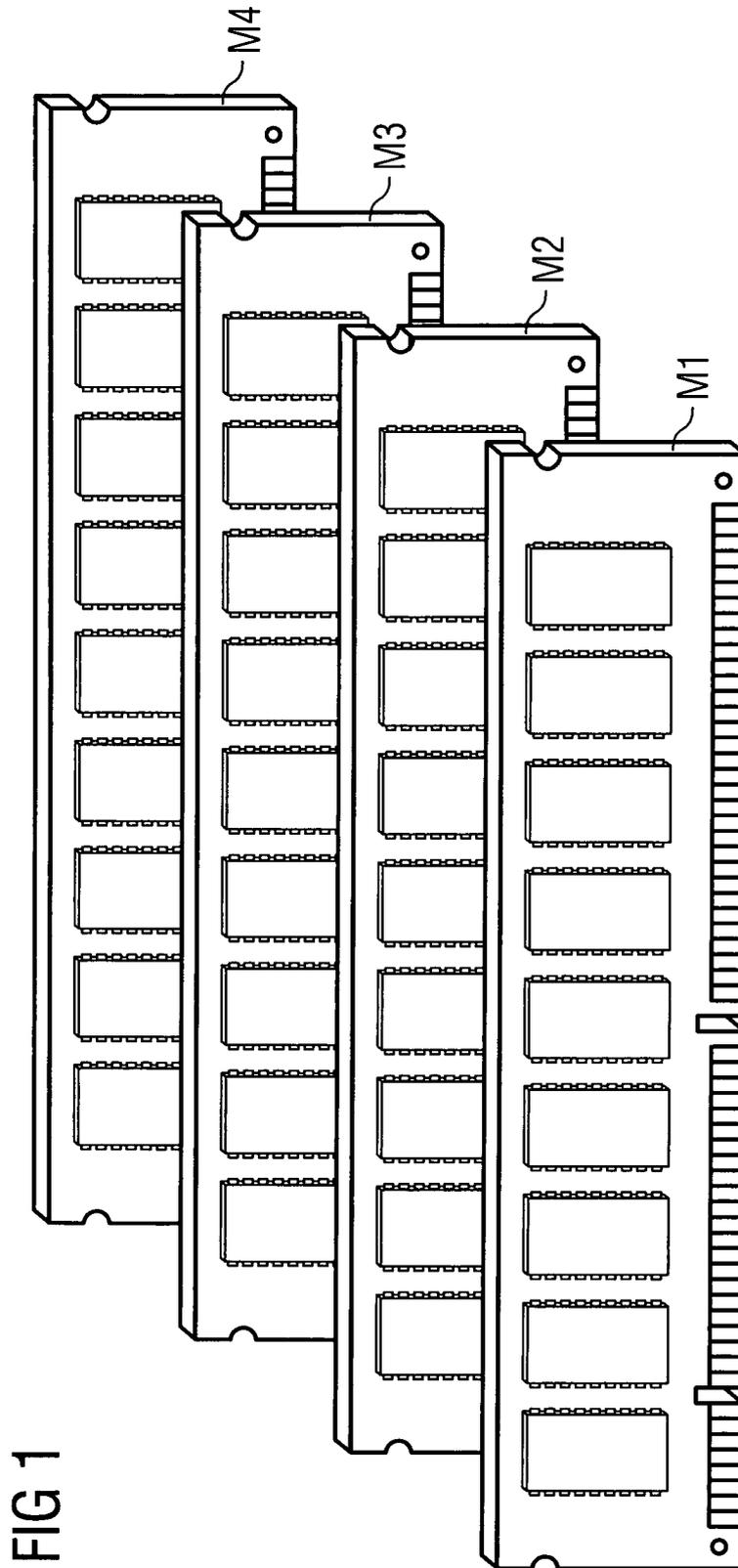


FIG 2

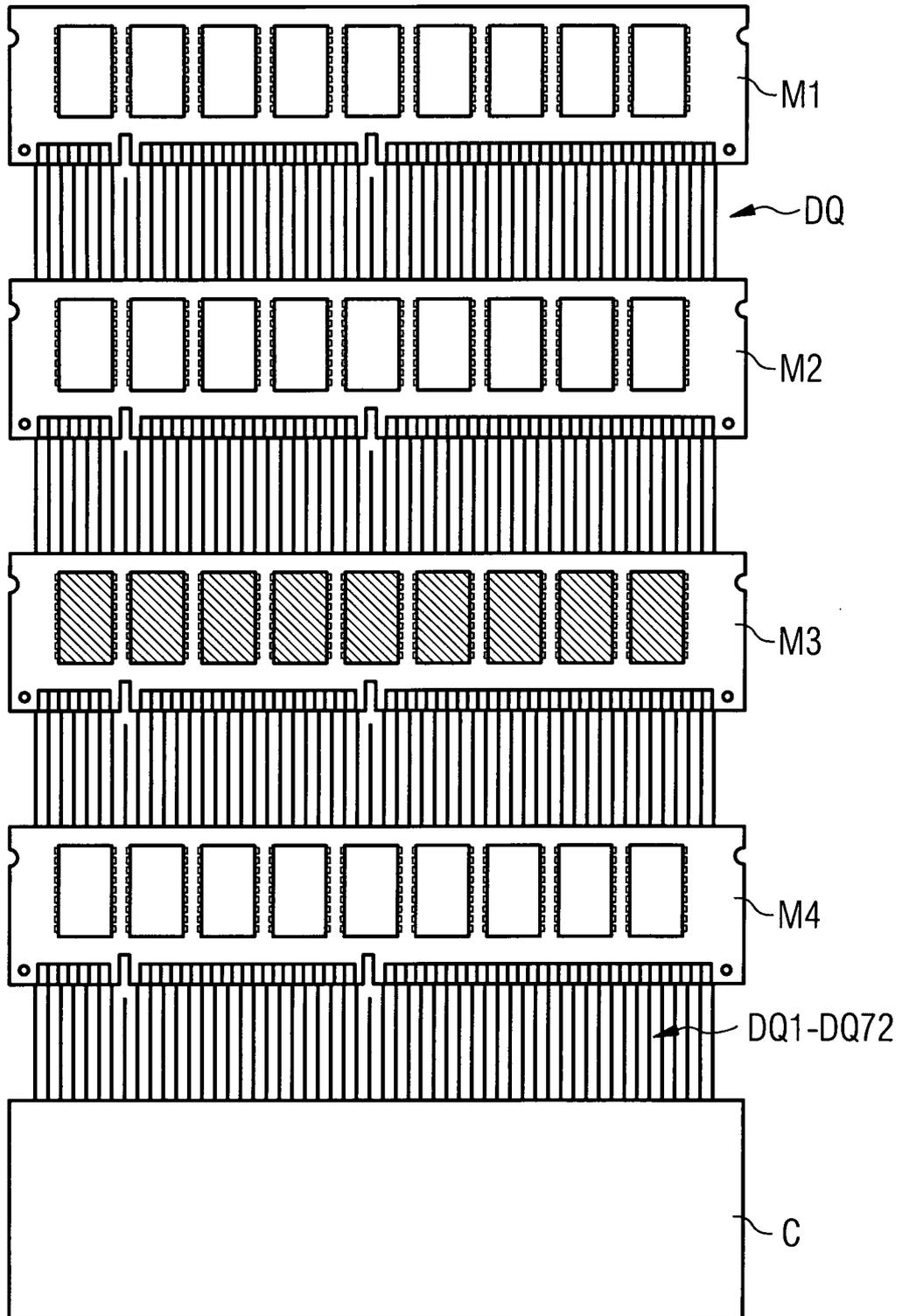


FIG 3

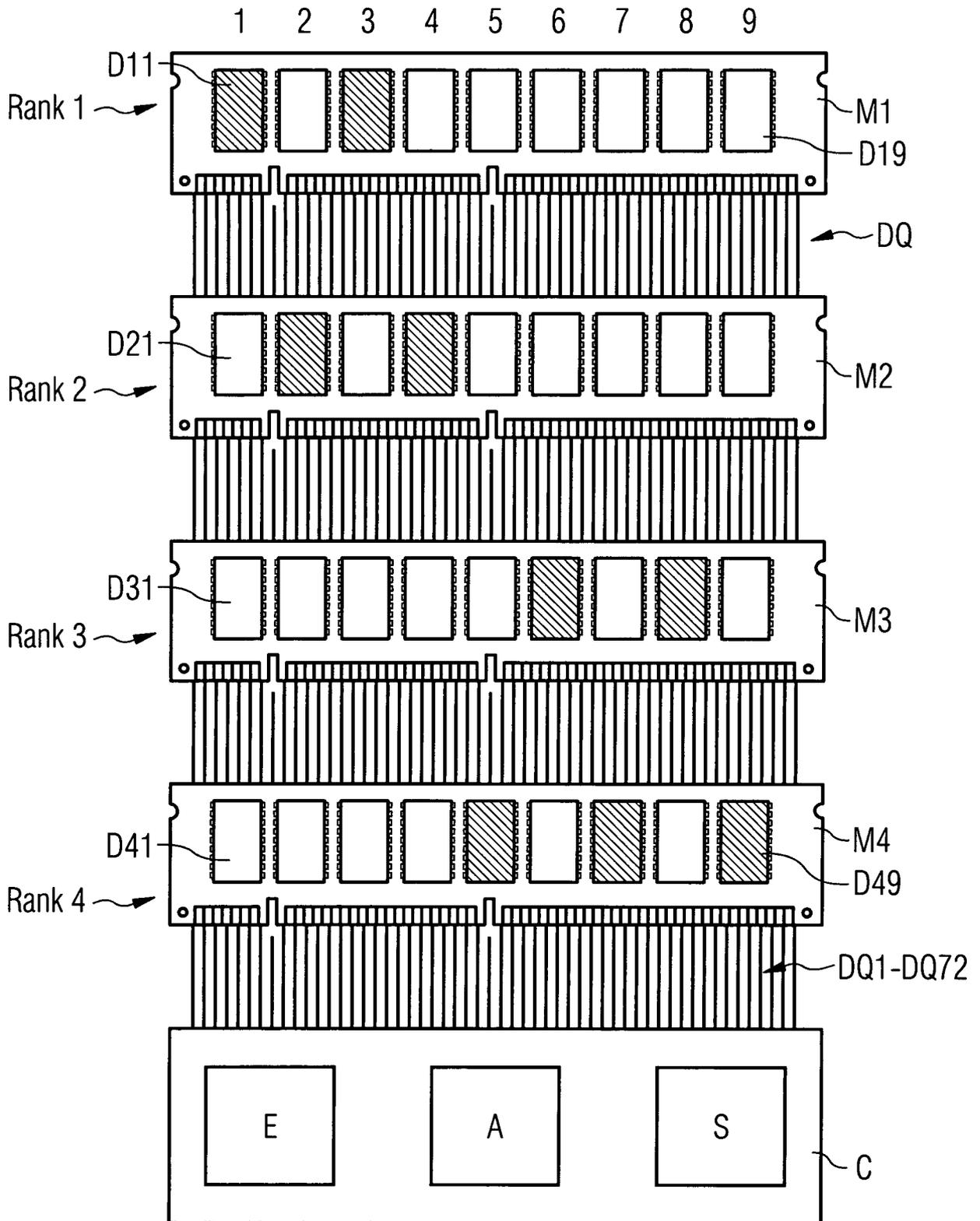


FIG 4

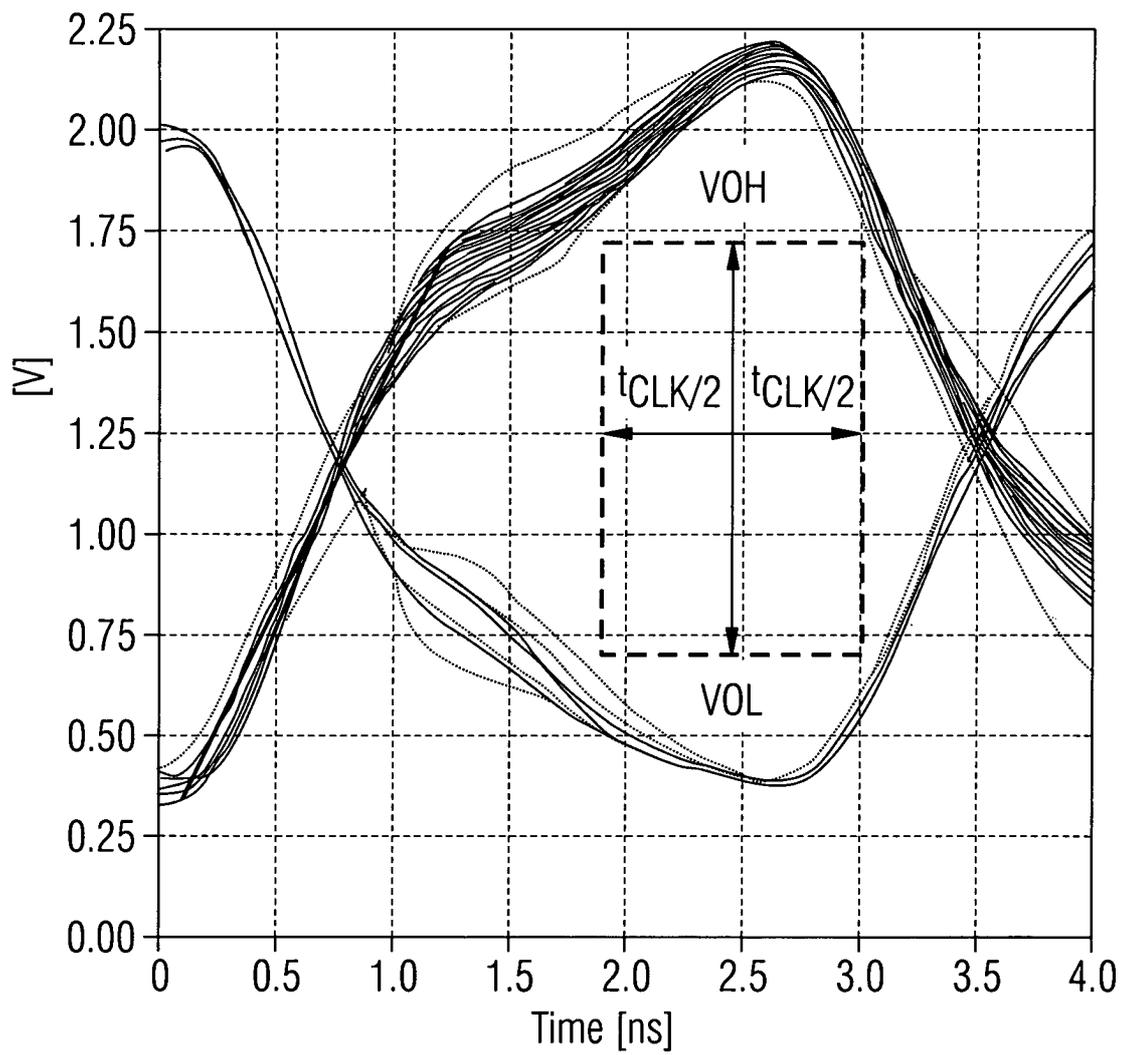


FIG 5

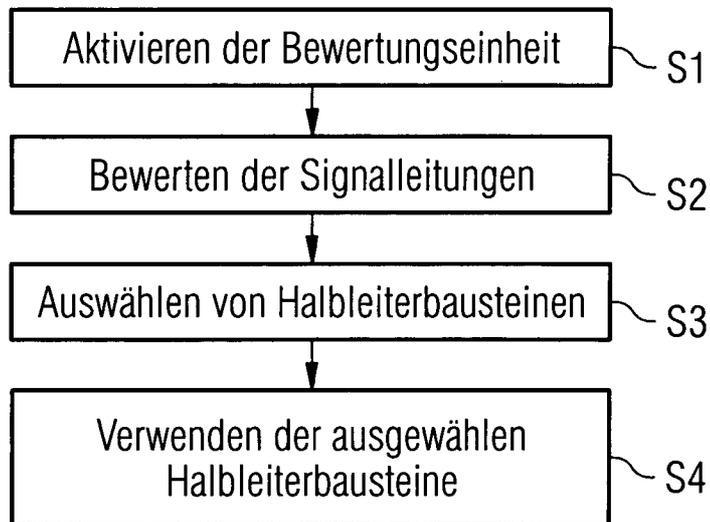


FIG 6

