



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년09월04일

(11) 등록번호 10-1550469

(24) 등록일자 2015년08월31일

(51) 국제특허분류(Int. Cl.)

G06F 1/30 (2006.01) G06F 1/28 (2006.01)

G06F 12/00 (2006.01) G06F 13/16 (2006.01)

(21) 출원번호 10-2010-0048722

(22) 출원일자 2010년05월25일

심사청구일자 2015년05월19일

(65) 공개번호 10-2010-0127719

(43) 공개일자 2010년12월06일

(30) 우선권주장

12/472,153 2009년05월26일 미국(US)

(56) 선행기술조사문헌

KR1020040055602 A

KR1020080000557 A

KR1020080038364 A

(73) 특허권자

빌라, 코라도

이태리, 소비코 (엠아이) 20050, 비아 에스. 프란세스코 31

발루치, 다니엘

이태리, 비메르케이트 (밀라노), 비아 카보 63

미리치그니, 그라지아노

이태리, 피에트라카렐라 (테라모) 64047, 13, 비아 엑스엑스브이 루그리오

(72) 발명자

빌라, 코라도

이태리, 소비코 (엠아이) 20050, 비아 에스. 프란세스코 31

발루치, 다니엘

이태리, 비메르케이트 (밀라노), 비아 카보 63

미리치그니, 그라지아노

이태리, 피에트라카렐라 (테라모) 64047, 13, 비아 엑스엑스브이 루그리오

(74) 대리인

김윤배, 이범일, 이상복, 강철중

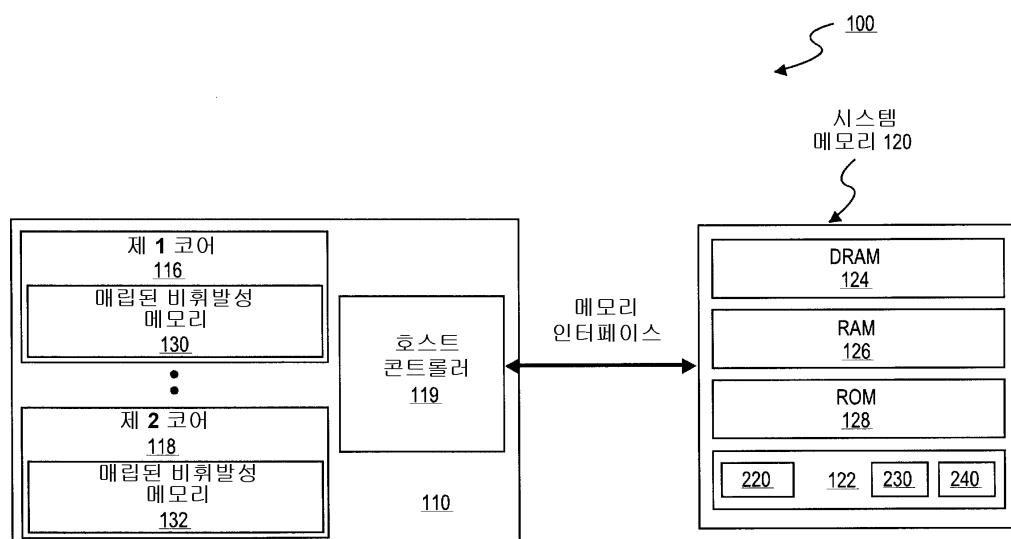
심사관 : 김곤희

전체 청구항 수 : 총 15 항

(54) 발명의 명칭 전원 손실을 제어하기 위한 방법 및 장치

(57) 요 약

여기서의 설명은 전원 손실을 제어하기 위한 방법 및 장치이다. 1실시예에 대해, 방법은 콘트롤러와 함께 제어된 전원 오프 명령을 제기하는 것을 포함한다. 방법은 메모리 장치가 백그라운드 동작을 수행하는가의 여부를 결정하는 것을 포함한다. 방법은 백그라운드 동작을 안전하게 중지시키거나 메모리 장치가 백그라운드 동작을 수행하면 백그라운드 동작을 완료하는 것을 포함한다. 방법은 공급 전원을 안전하게 제거하는 것을 포함한다.

대 표 도 - 도1

특허청구의 범위

청구항 1

데이터를 저장하기 위한 NVM 어레이와;

콘트롤러로부터 제어된 전원 오프 명령을 수신하도록 NVM 어레이에 결합된 명령 인터페이스 및;

NVM 장치가 백그라운드 동작을 실시하고 있는가의 여부를 나타내는 정보를 저장하도록 NVM 어레이에 결합된 상태 레지스터 유닛을 구비하여 구성되되,

상기 정보는 제어된 전원 오프 명령이 수신된 후에 콘트롤러에 의해 판독되고, 상기 NVM 장치가 백그라운드 동작을 실시하고 있다고 결정된 경우에, 상기 NVM 장치는 공급 전력의 손실 이전에 제어된 전원 오프 명령에 응답하여 백그라운드 동작을 안전하게 중지시키고, 상기 NVM 장치는 공급 전원이 복구된 후에 중지된 백그라운드 동작을 완료하도록 구성된 것을 특징으로 하는 비휘발성 메모리(NVM) 장치.

청구항 2

제1항에 있어서, 백그라운드 동작은 공급 전원의 손실 이전에 자동적으로 중지되는 것을 특징으로 하는 비휘발성 메모리(NVM) 장치.

청구항 3

데이터를 저장하기 위한 NVM 어레이와;

콘트롤러로부터 제어된 전원 오프 명령을 수신하도록 NVM 어레이에 결합된 명령 인터페이스 및;

NVM 장치가 백그라운드 동작을 실시하고 있는가의 여부를 나타내는 정보를 저장하도록 NVM 어레이에 결합된 상태 레지스터 유닛을 구비하여 구성되되,

상기 NVM 장치가 백그라운드 동작을 실시하고 있다고 결정된 경우에 상기 NVM 장치는 공급 전력의 손실 이전에 제어된 전원 오프 명령에 응답하여 백그라운드 동작을 안전하게 중지시키고, 상기 NVM 장치는 공급 전원이 복구된 후에 중지된 백그라운드 동작을 완료하도록 구성되며, 상기 명령 인터페이스는 상태 레지스터를 통해 제어된 전원 오프 명령에 응답하여 콘트롤러로 메모리 확인을 보내도록 구성된 것을 특징으로 하는 비휘발성 메모리(NVM) 장치.

청구항 4

제1항에 있어서, 백그라운드 동작이 메모리 어레이 리플레쉬 또는 웨어-레밸링 알고리즘을 더 구비하여 이루어진 것을 특징으로 하는 비휘발성 메모리(NVM) 장치.

청구항 5

제1항에 있어서, 상태 레지스터 유닛은 NVM 장치가 백그라운드 동작을 안전하게 중지 또는 완료했는가의 여부를 나타내는 정보를 저장하도록 구성된 것을 특징으로 하는 비휘발성 메모리(NVM) 장치.

청구항 6

제1항에 있어서, 상태 레지스터 유닛은 공급 전원의 복구에 따라 중지된 백그라운드 동작을 재개함에 있어 NVM 장치에 의해 이용된 정보를 저장하도록 구성된 것을 특징으로 하는 비휘발성 메모리(NVM) 장치.

청구항 7

하나 이상의 프로세서 코어를 갖춘 처리 유닛과;

처리 유닛에 결합되고, 데이터를 저장하기 위한 NVM 어레이와, 콘트롤러로부터 제어된 전원 오프 명령을 수신하도록 NVM 어레이에 결합된 명령 인터페이스 및, NVM 장치가 백그라운드 동작을 실시하고 있는가의 여부를 나타내는 정보를 저장하도록 NVM 어레이에 결합된 상태 레지스터 유닛을 구비하는 비휘발성 메모리(NVM) 장치를 갖춘 시스템 메모리를 구비하여 구성되되,

상기 정보는 제어된 전원 오프 명령이 수신된 후에 콘트롤러에 의해 판독되고, 상기 NVM 장치가 백그라운드 동작을 실시하고 있다고 결정된 경우에, 상기 NVM 장치는 공급 전력의 손실 이전에 제어된 전원 오프 명령에 응답하여 백그라운드 동작을 안전하게 중지시키고, 상기 NVM 장치는 공급 전원이 복구된 후에 중지된 백그라운드 동작을 완료하도록 구성된 것을 특징으로 하는 데이터 처리장치.

청구항 8

제7항에 있어서, 백그라운드 동작이 안전하게 중지된 후에 NVM 장치로부터 공급 전원을 제거하도록 처리 유닛에 결합된 전원 관리 유닛을 더 구비하여 구성된 것을 특징으로 하는 데이터 처리장치.

청구항 9

하나 이상의 프로세서 코어를 갖춘 처리 유닛과;

처리 유닛에 결합되고, 데이터를 저장하기 위한 NVM 어레이와, 콘트롤러로부터 제어된 전원 오프 명령을 수신하도록 NVM 어레이에 결합된 명령 인터페이스 및, NVM 장치가 백그라운드 동작을 실시하고 있는가의 여부를 나타내는 정보를 저장하도록 NVM 어레이에 결합된 상태 레지스터 유닛을 구비하는 비휘발성 메모리(NVM) 장치를 갖춘 시스템 메모리를 구비하여 구성되되,

상기 NVM 장치가 백그라운드 동작을 실시하고 있다고 결정된 경우에, 상기 NVM 장치는 공급 전력의 손실 이전에 제어된 전원 오프 명령에 응답하여 백그라운드 동작을 안전하게 중지시키고, 상기 NVM 장치는 공급 전원이 복구된 후에 중지된 백그라운드 동작을 완료하도록 구성되며, 상기 명령 인터페이스는 제어된 전원 오프 명령에 응답하여 처리 유닛에 대해 상태 레지스터를 통해 메모리 확인을 전송하도록 구성된 것을 특징으로 하는 데이터 처리장치.

청구항 10

제7항에 있어서, 데이터 처리장치는, 방송 신호를 수신하도록 처리 유닛에 결합된 트랜스시버를 더 구비하여 구성된 무선 통신 장치인 것을 특징으로 하는 데이터 처리장치.

청구항 11

콘트롤러를 이용해서 메모리 장치에 대해 제어된 전원 오프 명령을 제기하고;

메모리 장치의 상태 레지스터 유닛을 판독하며;

메모리 장치의 상태 레지스터 유닛을 판독하는 것에 기초해서 메모리 장치가 백그라운드 동작을 수행하고 있는 가의 여부를 결정하며;

공급 전원을 안전하게 제거하고;

메모리 장치에 대해 전원을 계속적으로 복구하며;

메모리 장치에 대해 전원을 복구한 후에 중지된 백그라운드 동작을 완료하는 것을 포함하여 이루어지되, 상태 레지스터 유닛은, 메모리 장치가 백그라운드 동작을 수행하고 있다고 결정된 경우에, 제어된 전원 오프 명령에 응답하여 백그라운드 동작을 안전하게 중지시키는 정보를 저장하도록 되어 있는 것을 특징으로 하는 방법.

청구항 12

제11항에 있어서, 예측된 제어된 전원 손실 이벤트를 검출하고 이 검출에 응답하여 제어된 전원 오프 명령을 제기하는 것을 더 포함하여 이루어진 것을 특징으로 하는 방법.

청구항 13

제11항에 있어서, 제어된 전원 오프 명령에 응답하여 메모리 장치로부터 콘트롤러에서 메모리 확인을 수신하는 것 또는 백그라운드 동작을 안전하게 중지시키기 이전에 소정 시간 기간을 기다리는 것 또는 백그라운드 동작을 완료하는 것을 더 포함하여 이루어진 것을 특징으로 하는 방법.

청구항 14

제11항에 있어서, 메모리 장치가 백그라운드 동작을 수행하고 있지 않으면 전원 공급이 안전하게 제거되는 것을 특징으로 하는 방법.

청구항 15

제11항에 있어서, 메모리 장치는 메모리 장치의 상태 레지스터 유닛을 판독할 때까지 백그라운드 동작의 인식을 갖춘 호스트 콘트롤러 없이 백그라운드 작업을 구현하도록 구성된 것을 특징으로 하는 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

명세서

기술 분야

[0001] 본 발명의 실시예는 일반적으로 비휘발성 메모리를 갖춘 장치에서 전원 손실을 제어하는 분야에 관한 것이다.

배경 기술

[0002] 컴퓨터, 셀룰러 폰, 스마트 폰, PDA(personal digital assistants) 및, 다른 전자장치는 제어가능하게 전원을 잃어버릴 수 있게 된다. 예컨대, 배터리 전원 공급은 장치를 강제로 셧 다운(shut down)시키도록 하는 레벨로 천천히 방전될 수 있다. 이러한 장치에 위치한 비휘발성 메모리는 콘트롤러의 인식 없이 초기화되어 실행되는

백그라운드 동작(background operations)을 실시한다. 백그라운드 동작의 예는 메모리 어레이의 어느 콘텐트(content)가 전압 또는 온도 스트레스에 기인하여 셀 레벨 드리프트(cell level drift)로부터 복귀(recover)되도록 주기적으로 재기록되는 동안의 메모리 어레이 리플레쉬(memory array refresh)이다. 다른 예는 인베디드 웨어-레벨링 알고리즘(embedded wear-leveling algorithm)의 실시이다

[0003] 전자 장치에서 전원 손실의 이전의 접근은 백그라운드 작업(background task)의 완료를 인터럽트하고 중지하는 전원 공급 제거를 초래한다. 전원의 계속되는 복구(restoration)에 따라, 백그라운드 동작의 인터럽션은 데이터 완전성(data integrity) 문제와 신뢰성 문제를 초래한다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기한 점을 감안하여 발명된 것으로, 본 발명의 실시예에 따라 전원 손실을 제어하기 위한 방법 및 장치를 제공함에 그 목적이 있다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위한 본 발명은, 본 발명의 실시예에 따라 전원 손실을 제어하기 위한 방법 및 장치를 제공한다.

도면의 간단한 설명

[0006] 도 1은 1실시예에 따른 제어가능 전원 손실 성능을 갖춘 데이터 처리장치를 나타낸 도면,

도 2는 1실시예에 따른 전원 관리 유닛에 결합된 비휘발성 메모리(NVM) 장치를 나타낸 도면,

도 3은 1실시예에 따른 제어가능 전원 손실 성능을 갖춘 무선통신장치를 나타낸 도면,

도 4는 1실시예에 따른 제어된 전원 오프 시퀀스를 실행하기 위한 방법을 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0007] 이하, 예시도면을 참조하면서 본 발명에 따른 실시예를 상세히 설명한다.

[0008] 여기서, 전원 손실을 제어하기 위한 방법 및 장치를 설명한다. 1실시예에 대해, 방법은 콘트롤러에 따라 제어된 전원 오프 명령(controlled power off command)을 제기(issuing)하는 것을 포함한다. 방법은 메모리 장치가 백그라운드 동작을 수행하는가의 여부를 결정(determining)하는 것을 포함한다. 방법은 백그라운드 동작을 안전하게 중지(suspending)시키는 것 또는 메모리 장치가 백그라운드 동작을 수행하면 백그라운드 동작을 완료(completing)하는 것을 포함한다. 방법은 공급 전원을 안전하게 제거(removing)하는 것을 포함한다.

[0009] 중지된 백그라운드 동작은 공급 전원의 계속되는 복구에 따라 재개될 수 있다. 백그라운드 동작은 메모리 어레이 리플레쉬(memory array refresh) 또는 웨어-레벨링 알고리즘(wear-leveling algorithm)을 포함한다. 중지된 백그라운드 동작의 재개 또는 안전한 완료는 이전의 접근과 비교하여 강화된 메모리 신뢰성 및 데이터 완전성을 초래한다.

[0010] 도 1은 1실시예에 따른 제어가능 전원 손실 성능을 갖춘 데이터 처리장치를 나타낸다. 데이터 처리장치(100)는 제1 및 제2프로세서 코어(116, 118)와, 호스트 콘트롤러(119) 및, 처리 유닛(110)에 결합된 시스템 메모리(120)를 포함한다. 호스트 콘트롤러(119)는 처리 유닛(110)에 대해 내부적 또는 처리 유닛(110)에 대해 외부적일 수 있다. 제1 및 제2프로세서 코어(116, 118)는 각각 매립된 비휘발성 메모리(130, 132)를 포함한다. 시스템 메모리(120)는 비휘발성 메모리(NVM) 장치(122) 및 다양한 형태의 메모리[예컨대, DRAM(124), RAM(126), ROM(128)]를 포함한다. NVM 장치(122)는 백그라운드 동작을 실시하고 데이터를 저장하도록 비휘발성 메모리 어레이(220)를 포함한다. NVM 장치(122)는 또한 하나 이상의 레지스터를 갖춘 상태 레지스터 유닛(230: status register unit)과 명령 인터페이스(240: command interface)를 포함한다. NVM 장치(122)는 도 2를 참

조하여 더욱 상세히 설명될 것이다.

[0011] 도 2는 1실시예에 따른 전원 관리 유닛(202)에 결합된 NVM 장치(122)를 나타낸다. NVM 장치(122)는 백그라운드 동작(예컨대, 메모리 어레이 리플레쉬, 임베디드 웨어-레밸링 알고리즘)을 실시하고 데이터를 저장하도록(예컨대, NAND 플래쉬 기술, NOR 플래쉬 기술, PCM 기술을 기초로 하는) 비휘발성 메모리(NVM) 어레이(220)를 포함한다. 또한, NVM 장치(122)는 하나 이상의 레지스터를 갖춘 상태 레지스터 유닛(230) 및 명령 인터페이스(240: command interface)를 포함한다. 명령 인터페이스(240)는 NVM 어레이(220)에 결합되고 처리 유닛(204)에 결합되거나 그 내에 위치된 콘트롤러(206)로부터 제어된 전원 오프 명령(controlled power off command)을 수신한다. 콘트롤러(206)는 메모리 버스(208)를 매개로 NVM 장치(122)에 결합된다. 명령 인터페이스는 유한 상태 기계(finite state machine)로서 구현되고, NVM 어레이(220)에 맵핑되는 하나의 세트의 레지스터와 관련되는 오버레이 윈도우(overlay window)의 레지스터 또는 모드 레지스터(mode registers)[예컨대, 상태 레지스터 유닛(230)]를 포함할 수 있다. NVM 어레이(220)에 결합된 상태 레지스터 유닛(230)은 NVM 장치(122)가 백그라운드 동작을 실시하고 있는가의 여부를 나타내는 정보를 저장한다. NVM 장치(122)는 백그라운드 동작을 안전하게 중지시키거나 제어된 전원 오프 명령이 콘트롤러(206)로부터 수신될 때 NVM 장치(122)가 백그라운드 동작을 실시하면 공급 전원의 손실 이전에 백그라운드 동작을 완료한다.

[0012] 1실시예에 있어서, 백그라운드 동작은 안전하게 완료되거나 공급 전원의 손실 이전에 자동적으로 중지된다. NVM 장치(122)는 전원이 복구된 후 중지된 백그라운드 동작을 완료하도록 구성된다.

[0013] 실시예에 대해, 상태 레지스터는 콘트롤러(206)에 대해 제어된 전원 오프 명령에 응답하여 메모리 확인(memory acknowledgement)을 제공한다. 전원 관리 유닛(202)은 콘트롤러(206)가 메모리 확인을 수신한 후 NVM 장치(122)로부터 전원을 제거하도록 진행할 수 있다. 한편, 콘트롤러(206)가 소정 시간 기간 내에 메모리 확인을 수신하지 않으면, 이는 NVM 장치(122)로부터 전원을 제거하는 전원 관리 유닛(202)을 갖도록 진행할 수 있다. 소정 시간 기간은 NVM 장치(122)가 백그라운드 동작을 중지 또는 완료하는데 충분한 시간을 허용한다. 상태 레지스터 유닛(230)은 NVM 장치(122)가 안전하게 중지되거나 또는 백그라운드 동작을 완료했는가의 여부를 나타내는 정보를 저장한다. 또한, 상태 레지스터 유닛(230)은 공급 전원의 복구에 따라 중지된 백그라운드 동작을 재개함에 있어서 NVM 장치(122)에 의해 이용된 정보를 저장한다. 몇몇 실시예에 대해, NVM 장치(122)는 NVM 장치(122)의 상태 레지스터 유닛(230)을 판독할 때까지 백그라운드 동작의 인식(awareness)을 갖춘 콘트롤러(206) 없이 백그라운드 작업을 실시한다. 1실시예에 대해, NVM 장치는 집적회로 장치(integrated circuit device)이다.

[0014] 도 3은 1실시예에 따른 제어가능 전원 손실 성능을 갖춘 무선통신장치를 나타낸다. 무선통신장치(300)는 또한 처리 유닛(310)에 결합된 트랜스시버(312: transceiver)를 포함하는 무선통신장치(300) 외에는, 데이터 처리 유닛(100)과 유사하다. 트랜스시버(312)는 안테나(314)로 방송 신호(over-the-air signals)를 수신하고 송신기(360)와 수신기(362)를 포함한다. 이러한 무선 실시예에 나타낸 바와 같이, 통신 장치(300)는 다른 방송 통신 장치와 통신하도록 무선방송(radios)을 허용하기 위한 하나 이상의 안테나 구조체(314)를 포함한다. 이와 같이, 통신장치(300)는 무선 네트워크에서 동작하는 장치 또는 셀룰러 장치로서 동작한다. 통신장치(300)와 동일한 플랫폼에 배열된 무선 서브시스템(radio subsystems)은 네트워크에서 다른 장치와 함께 RF/위치 공간(RF/location space)에서 다른 주파수 대역과 통신하는 성능을 제공한다. 본 발명의 관점은 통신장치(300)에 의해 이용되어지는 통신 프로토콜의 형태, 수 또는 주파수에 의해 제한되지 않는다.

[0015] 실시예는 변조/복조를 수용하기 위해 트랜스시버(312)에 대한 안테나 구조체(314)의 결합을 나타낸다. 일반적으로, 아날로그 프론트 엔드 트랜스시버(312: analog front end transceiver)는 단독(stand-alone) RF(Radio Frequency) 개별(discrete) 또는 집적화 아날로그 회로(integrated analog circuit)일 수 있고, 또는 트랜스시버(312)는 하나 이상의 프로세서 코어(316,318)를 갖춘 프로세서와 함께 매립된다. 다중 코어(multiple cores)는 코어를 가로질러 공유되어지는 작업부하(workloads)의 처리를 허용하고 베이스밴드 기능(baseband functions) 및 응용 기능(application functions)을 취급한다. 인터페이스는 시스템 메모리(320)의 메모리 저장기(memory storage)와 프로세서 사이에서 정보 또는 통신을 제공하는데 이용된다. 본 발명의 관점이 이러한 점으로 한정되지 않음에도 불구하고, 인터페이스는 프로세서와 시스템 메모리(320) 사이에서 핸드쉐이킹(신호변경; handshaking)을 제공하는데 이용되어지는 제어 신호선을 따라 정보를 공유하도록 직렬 및/또는 병렬 버스를 구비한다.

[0016] 시스템 메모리(320)는 무선 통신 장치(300)의 동작 동안 프로세서에 의해 실행되어지는 명령을 저장하도록 조건적으로 이용되어지고, 메시지가 무선 통신 장치(300) 또는 전송되어지는 실제 데이터에 의해 전송되어질 때를 위

한 조건과 같은 사용자 데이터를 저장하는데 이용되어진다. 예컨대, 시스템 메모리(320)에 저장된 명령(instructions)은 무선 통신을 수행하는데 이용되어지고, 통신장치(300)를 위한 보안 기능성(security functionality), 카렌더링(calendaring), 이메일(email), 인터넷 브라우징(internet browsing) 등과 같은 사용자 기능성(user functionality)을 제공한다.

[0017] 시스템 메모리(320)는 하나 이상의 다른 형태의 메모리에 의해 제공되어지고, 조건적 DRAM, RAM 및/또는 ROM 및 NVM 어레이(220)를 갖춘 NVM 장치(122)를 포함한다. NVM 어레이(220)는 상변화 물질(phase change material)을 포함한다 NVM 어레이(220)는 PCM(Phase Change Memory), PRAM 또는 PCRAM(Phase-Change Random Access Memory), OUM(Ovonic Unified Memory) 또는 C-RAM(Chalcogenide Random Access Memory)으로서 언급될 수 있다. NVM 어레이(220)는 플래쉬 메모리(예컨대, NOR, NAND)를 포함한다.

[0018] NVM 장치(122)는 또한 하나 이상의 레지스터를 갖춘 상태 레지스터 유닛(230)과 명령 인터페이스(240; command interface)를 포함한다. NVM 장치(122)는 도 2를 참조하여 위에서 더욱 상세히 설명되었다.

[0019] 회발성 및 비회발성 메모리는, 분리적으로 패키지되거나 프로세서의 상부에 위치한 메모리 구성요소를 갖는 멀티-칩 패키지에 위치된, 보드(board) 상에서 밑넓이(footprint)를 감소시키도록 스택킹 프로세스(stacking process)와 조합된다. 실시예는 또한 하나 이상의 프로세서 코어가 비회발성 메모리(330,332)와 함께 매립되는 것을 나타낸다.

[0020] 도 4는 1실시예에 따른 제어된 전원 오프 시퀀스(controlled power off sequence)를 실행하기 위한 방법을 나타낸다. 방법은 블록(402)에서 발생되어지는 것으로 예측된 제어된 전원 손실 이벤트(controlled power loss event)를 검출하는 것을 포함한다. 예컨대, 메모리 장치(예컨대, NVM 장치)에 결합된 호스트 콘트롤러(host controller)는 배터리 전원 공급(battery power supply)이 방전 상태 완료에 접근함을 검출하고, 따라서 셧다운(shut down)되도록 장치를 요구한다. 방법은 블록(404)에서 전원 손실 이벤트의 검출에 응답하여 호스트 콘트롤러를 이용해서 메모리 장치에 대해 제어된 전원 오프 명령(controlled power off command)을 제기(issuing)하는 것을 포함한다. 방법은 블록(406)에서 메모리 장치의 상태 레지스터 유닛을 판독(reading)하는 것을 포함한다. 방법은 블록(408)에서 메모리 장치가 동작을 수행하는가의 여부를 결정하는 것을 포함한다. 메모리 장치가 동작을 수행하지 않으면, 이때 전원 공급은 블록(410)에서 안전하게 제거된다.

[0021] 메모리 장치가 동작을 수행하면, 이때 상태 레지스터 유닛은 동작이 완료 또는 중지되었을 때 결정하도록 억제스되어질 수 있다. 방법은 블록(412)에서 제어된 전원 오프 명령에 응답해서 메모리 장치로부터 호스트 콘트롤러에서 메모리 확인을 수신하는 것, 또는 백그라운드 동작을 안전하게 중지시키기 이전에 소정 시간 기간을 기다리는 것, 또는 백그라운드 동작을 완료하는 것을 포함한다. 방법은 블록(414)에서 백그라운드 동작을 안전하게 중지시키거나 메모리 장치가 백그라운드 동작을 수행하면 백그라운드 동작을 완료하는 것을 포함한다. 방법은 메모리 장치가 제어된 전원 오프 명령을 수신할 때 백그라운드 동작을 실시하였음에도 불구하고 블록(416)에서 공급 전원을 안전하게 제거하는 것을 포함한다. 방법은 블록(418)에서 메모리 장치에 대해 전원을 계속해서 복구하는 것을 포함한다. 방법은 블록(420)에서 적용가능하다면 메모리 장치에 대해 전원을 복구한 후 중지된 백그라운드 동작을 완료하는 것을 포함한다.

[0022] 상세한 설명의 몇몇 부분은 컴퓨터 메모리 내의 2진 디지털 신호 또는 데이터 비트 상의 동작의 심볼적인 표현 및 알고리즘의 표현으로 나타내고 있다. 이들 알고리즘 설명 및 표현은 해당 분야의 다른 업자에 대해 그들의 작업의 내용을 전달하도록 데이터 처리 분야의 당업자에 의해 이용되어지는 기술이다.

[0023] 여기서 알고리즘은, 일반적으로 원하는 결과를 유도하는 행위 또는 동작의 일관성 있는 시퀀스(self-consistent sequence)로 고려된다. 이들은 물리적 양(physical quantities)의 물리적 조작(physical manipulations)을 포함한다. 일반적으로, 필요하지 않을지라도, 이들 양은 저장, 전달, 결합, 비교 및, 그외 조작될 수 있는 전기적 또는 자기적 형태를 취한다. 이는 때때로, 비트(bits), 값(values), 요소(elements), 심볼(symbols), 캐릭터(characters), 항목(terms), 수(numbers) 등과 같은 이들 신호에 대한 언급에 대해, 원리적으로 공통 이용의 이유를 위해, 편리한 것으로 증명되었다. 그러나, 이는 이들의 모두 및 유사한 항목은 적절한 물리적 양과 관련되어지고 단지 이들 양에 대해 인가된 편리한 라벨(labels)임이 이해되어져야만 한다.

[0024] 그 외 특별히 언급된 것이 아닌 한, 명세서 논의의 전체에 걸쳐, 계산 시스템이 레지스터 및/또는 메모리내의, 전자와 같은, 물리적 양으로서 표현된 데이터를 계산 시스템의 메모리, 레지스터 또는 다른 이러한 정보 저장, 전송 또는 표시 장치 내의 물리적 양으로서 유사하게 표현된 다른 데이터로 조작 및/또는 변환하는, 컴퓨터 또는 계산 시스템, 또는 유사한 전자적 계산 장치의 행위 및/또는 프로세스에 대해 언급하는, "프로세싱

(processing)", "연산(computing)", "계산(calculating)", "결정(determining)" 등과 같은 항목을 이용함이 인지되어진다.

[0025]

여기서, 본 발명의 실시예는 동작을 수행하기 위한 장치를 포함한다. 장치는 원하는 목적을 위해 특별하게 구성되거나, 또는 장치에 저장된 프로그램에 의해 선택적으로 활성화되거나 재구성되는 일반 목적 계산 장치를 구비하여 구성된다. 이러한 프로그램은, 이에 한정되는 것은 아니지만, 플로피 디스크, 광 디스크, CD-ROM(compact disc read only memories), 자기-광 디스크(magnetic-optical disks), ROM(read-only memories), RAM(random access memories), EPROM(electrically programmable read-only memories), EEPROM(electrically erasable and programmable read only memories), 자기 또는 광 카드, 또는 전자 명령을 저장하기 위해 적절하고 계산 장치를 위한 시스템 버스에 결합될 수 있는 소정의 다른 형태의 매체를 포함하는 소정 형태의 디스크와 같은 저장매체 상에 저장된다.

[0026]

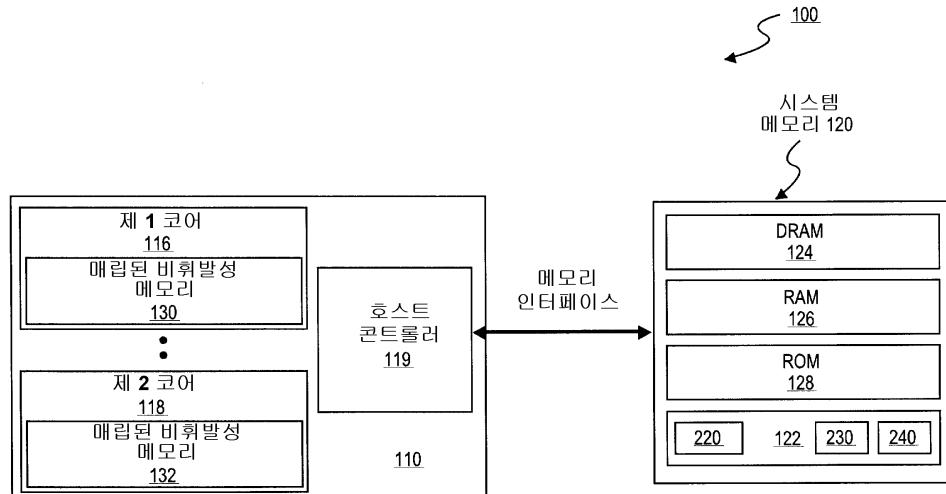
여기서 제공된 프로세스 및 디스플레이는 본래부터 소정의 특정 계산 장치 또는 다른 장치와 관련되지 않는다. 다양한 일반 목적 시스템이 여기서의 설명에 따른 프로그램과 함께 이용되고, 또는 이는 원하는 방법을 수행하도록 더욱 특정화된 장치를 구성하는데 편리함이 증명된다. 다양한 이들 시스템에 대한 원하는 구성은 이하의 설명으로부터 나타나게 된다. 더욱이, 본 발명의 실시예는 소정의 특정 프로그래밍 언어를 참조해서 설명되지 않는다. 이는 다양한 프로그래밍 언어가 여기서 설명된 바와 같은 발명의 설명을 실시하는데 이용되어짐이 인지되어지게 된다. 더욱이, 여기서 설명된 동작, 성능, 특징은 하드웨어(개별 또는 집적 회로) 및 소프트웨어의 소정 조합으로 구현되어짐을 이해하여야만 한다.

[0027]

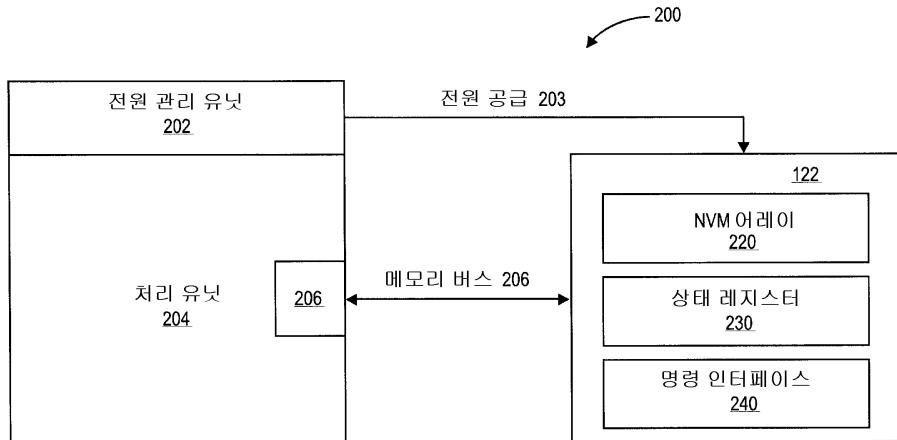
상기 설명은 예로서 고려된 것으로 이에 한정되는 것은 아님을 이해해야만 한다. 많은 다른 실시예가 상기 설명을 읽고 이해하게 되는 당업자에 대해 명백함을 이해해야만 한다. 따라서, 본 발명의 관점은 이러한 청구항에 주어진 동등한 전체 관점에 따라 첨부된 청구항들을 참조하여 결정된다.

도면

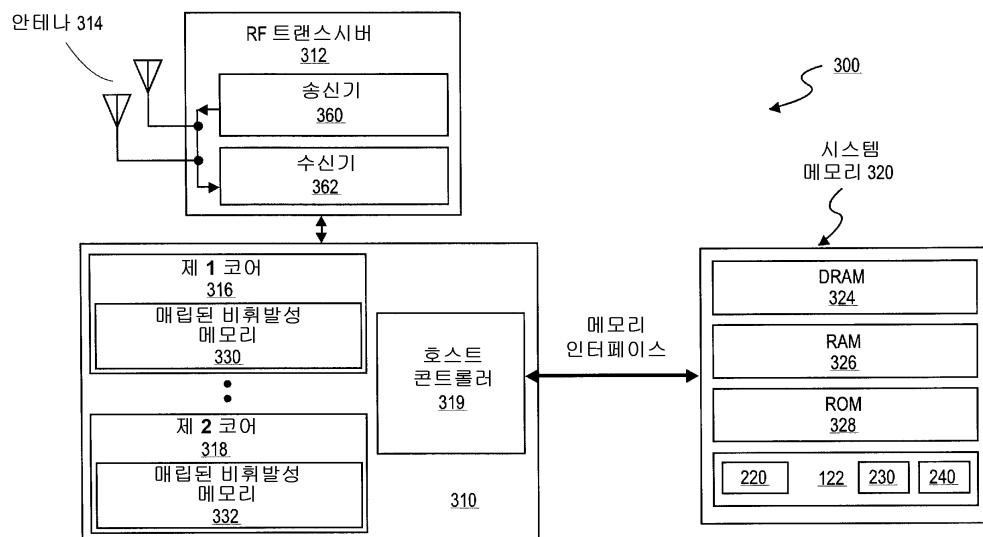
도면1



도면2



도면3



도면4

