

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4885420号
(P4885420)

(45) 発行日 平成24年2月29日 (2012. 2. 29)

(24) 登録日 平成23年12月16日 (2011. 12. 16)

(51) Int. Cl. F I
 HO 1 L 21/8247 (2006. 01) HO 1 L 29/78 3 7 1
 HO 1 L 29/788 (2006. 01) HO 1 L 27/10 4 3 4
 HO 1 L 29/792 (2006. 01)
 HO 1 L 27/115 (2006. 01)

請求項の数 10 (全 16 頁)

(21) 出願番号	特願2003-509528 (P2003-509528)	(73) 特許権者	504378124
(86) (22) 出願日	平成13年12月14日 (2001. 12. 14)		спанション エルエルシー
(65) 公表番号	特表2004-522312 (P2004-522312A)		アメリカ合衆国 カリフォルニア州 94
(43) 公表日	平成16年7月22日 (2004. 7. 22)		088-3453 サニーバイル デグウ
(86) 国際出願番号	PCT/US2001/049047		イン ドライブ 915
(87) 国際公開番号	W02003/003451	(74) 代理人	100064746
(87) 国際公開日	平成15年1月9日 (2003. 1. 9)		弁理士 深見 久郎
審査請求日	平成16年12月9日 (2004. 12. 9)	(74) 代理人	100085132
審査番号	不服2010-8052 (P2010-8052/J1)		弁理士 森田 俊雄
審査請求日	平成22年4月15日 (2010. 4. 15)	(74) 代理人	100083703
(31) 優先権主張番号	09/893, 279		弁理士 仲村 義平
(32) 優先日	平成13年6月27日 (2001. 6. 27)	(74) 代理人	100096781
(33) 優先権主張国	米国 (US)		弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 SONOS型装置の分離を改善するためのONO形成中のソース・ドレイン注入

(57) 【特許請求の範囲】

【請求項 1】

不揮発性半導体メモリ装置を形成する方法であって、
 半導体基板上に電荷捕獲誘電体の第1層を形成する工程と、
 前記半導体基板上の前記電荷捕獲誘電体の第1層の上に、電荷捕獲誘電体の第2層を形成する工程と、

前記電荷捕獲誘電体の上にソース/ドレイン・マスクを形成する工程と、
 前記電荷捕獲誘電体を介して前記半導体基板にソース/ドレイン注入物を注入する工程と、

前記ソース/ドレイン注入物を注入する工程の後、前記半導体基板上の前記電荷捕獲誘電体の第2層の上に、電荷捕獲誘電体の第3層を形成する工程とを含む方法。

【請求項 2】

前記電荷捕獲誘電体の第1層が、二酸化シリコンを含み、前記電荷捕獲誘電体の第2層が、窒化シリコンを含み、前記電荷捕獲誘電体の第3層が、二酸化シリコンを含む請求項1に記載の方法。

【請求項 3】

前記ソース/ドレイン・マスクを形成する前に、前記電荷捕獲誘電体の第2層の上に、第4の誘電体膜を形成する工程を有し、

前記ソース/ドレイン・マスクを形成する工程は、前記第4の誘電体膜を介して前記電荷捕獲誘電体の上に前記ソース/ドレイン・マスクを形成する工程であり、

10

20

前記ソース/ドレイン注入物を注入する工程は、前記第4の誘電体膜を介して前記半導体基板に前記ソース/ドレイン注入物を注入する工程であり、

前記ソース/ドレイン注入物を注入した後、前記電荷捕獲誘電体の第3層を形成する工程の前に、前記第4の誘電体膜を除去する工程を有する請求項1に記載の方法。

【請求項4】

前記ソース/ドレイン・マスクを形成する前に、前記電荷捕獲誘電体の第2層の上に、第4の誘電体膜を形成する工程を有し、

前記ソース/ドレイン・マスクを形成する工程は、前記第4の誘電体膜を介して前記電荷捕獲誘電体の上に前記ソース/ドレイン・マスクを形成する工程であり、

前記ソース/ドレイン注入物を注入する工程は、前記第4の誘電体膜を介して前記半導体基板に前記ソース/ドレイン注入物を注入する工程であり、

前記電荷捕獲誘電体の第3層を形成する工程は、前記第4の誘電体膜の上に追加の材料を形成することにより、前記第4の誘電体膜と前記追加の材料とからなる、前記電荷捕獲誘電体の第3層を形成する工程である請求項1に記載の方法。

【請求項5】

前記ソース/ドレイン・マスクを形成する前に、前記電荷捕獲誘電体の第2層の上に、第4の誘電体膜を形成する工程を有し、

前記第4の誘電体膜は、前記ソース/ドレイン・マスクを形成する工程の前に除去される請求項1に記載の方法。

【請求項6】

前記ソース/ドレイン注入物が、最小注入量 1×10^{14} atoms/cm² 以上から最大注入量 1×10^{16} atoms/cm² 以下で注入されたヒ素、ホウ素、アンチモン、インジウム、及びリン並びに最小注入量 1×10^{14} ions/cm² 以上から最大注入量 1×10^{16} ions/cm² 以下で注入された BF_2^+ のうちの少なくとも1つを含む請求項1に記載の方法。

【請求項7】

不揮発性半導体メモリ装置のコア領域内に電荷捕獲誘電体領域とソース/ドレイン領域を形成する方法であって、

半導体基板上に電荷捕獲誘電体の第1層を形成する工程と、

前記半導体基板上の前記電荷捕獲誘電体の第1層の上に、電荷捕獲誘電体の第2層を形成する工程と、

前記電荷捕獲誘電体の上にフォトレジストをパターン形成する工程と、

前記電荷捕獲誘電体を介して前記半導体基板に、ヒ素、ホウ素、 BF_2^+ 、アンチモン、インジウム、及びリンのうちの少なくとも1つを注入する工程と、

前記注入する工程の後、前記半導体基板上の前記電荷捕獲誘電体の第2層の上に、電荷捕獲誘電体の第3層を形成する工程とを含む方法。

【請求項8】

前記フォトレジストをパターン形成する前に、前記電荷捕獲誘電体の第2層の上に、第4の誘電体膜を形成する工程を有し、

前記フォトレジストをパターン形成する工程は、前記第4の誘電体膜を介して前記電荷捕獲誘電体の上に前記フォトレジストをパターン形成する工程であり、

前記ヒ素、ホウ素、 BF_2^+ 、アンチモン、インジウム、及びリンのうちの少なくとも1つを注入する工程は、前記第4の誘電体膜を介して前記半導体基板に、前記ヒ素、ホウ素、 BF_2^+ 、アンチモン、インジウム、及びリンのうちの少なくとも1つを注入する工程であり、

前記ヒ素、ホウ素、 BF_2^+ 、アンチモン、インジウム、及びリンのうちの少なくとも1つを注入した後、前記電荷捕獲誘電体の第3層を形成する工程の前に、前記第4の誘電体膜を除去する工程を有する請求項7に記載の方法。

【請求項9】

前記フォトレジストをパターン形成する前に、前記電荷捕獲誘電体の第2層の上に、第

10

20

30

40

50

4の誘電体膜を形成する工程を有し、

前記フォトレジストをパターン形成する工程は、前記第4の誘電体膜を介して前記電荷捕獲誘電体の上に前記フォトレジストをパターン形成する工程であり、

前記ヒ素、ホウ素、 BF_2^+ 、アンチモン、インジウム、及びリンのうちの少なくとも1つを注入する工程は、前記第4の誘電体膜を介して前記半導体基板に、前記ヒ素、ホウ素、 BF_2^+ 、アンチモン、インジウム、及びリンのうちの少なくとも1つを注入する工程であり、

前記電荷捕獲誘電体の第3層を形成する工程は、前記第4の誘電体膜の上に追加の材料を形成することにより、前記第4の誘電体膜と前記追加の材料とからなる、前記電荷捕獲誘電体の第3層を形成する工程である請求項7に記載の方法。

10

【請求項10】

前記電荷捕獲誘電体が、ONO三重層誘電体、酸化物/酸化タンタル/酸化物三重層誘電体、酸化物/チタン酸ストロンチウム/酸化物三重層誘電体、酸化物/チタン酸ストロンチウム/バリウム・チタン酸ストロンチウム三重層誘電体、及び酸化物/酸化ハフニウム/酸化物三重層誘電体からなるグループから選択される1つを含む請求項7に記載の方法。

【発明の詳細な説明】

(技術分野)

本発明は、一般に、不揮発性メモリ半導体装置の製造方法に関する。本発明は、詳細には、不揮発性メモリ半導体装置のソース/ドレイン領域と電荷捕獲誘電体を作成する改善された方法に関する。

20

【0001】

(背景技術)

従来のフローティング・ゲート・フラッシュ・メモリ・タイプのEEPROM(電気的消去可能プログラム可能な読み出し専用メモリ)は、トンネル酸化物、トンネル酸化物上の第1のポリシリコン層、第1のポリシリコン層上のONO(酸化物-窒化物-酸化物)層間誘電体、及びONO層間誘電体上の第2のポリシリコン層の積み重ねを特徴とするメモリ・セルを使用している。

【0002】

例えば、Gutermanら(IEEE Transactions on Electron Devices, Vol.26, No. 4, p.576, 1979)は、層間酸化物上の制御ゲートと共に、ゲート酸化物と層間酸化物の間に挟まれたフローティング・ゲートからなるフローティング・ゲート不揮発性メモリ・セルについて述べている。

30

【0003】

一般的に、フラッシュ・メモリ・セルは、ドレイン領域近くのチャンネル部分のなどの基板の一部からフローティング・ゲートにホットエレクトロン(hot electron)を注入することによりプログラムされる。電子の注入によって、フローティング・ゲートに負電荷が導入される。注入のメカニズムは、ソース領域と基板の大部分とをアースし、制御電極に相対的に高い正電圧を印加して電子求引性電界を作り出し、かつドレイン領域に適度な大きさの正電圧を印加して「ホット」(高エネルギー)な電子を生成することにより行うことができる。

40

【0004】

フローティング・ゲートに十分な負電荷が蓄積した後、フローティング・ゲートが負電位になるため、電界効果トランジスタ(FET)のしきい電圧が上昇し、その後の「読み出し」モードでのチャンネル領域内の電流の流れが抑制される。フラッシュ・メモリ・セルがプログラムされているかどうかの決定には、読み出し電流の大きさが使用される。

【0005】

フラッシュ・メモリ・セルのフローティング・ゲートを放電させる操作は、消去機能と呼ばれる。消去機能は、一般に、トランジスタのフローティング・ゲートとソース領域間(ソース消去または負ゲート消去)あるいはフローティング・ゲートと基板間(チャンネル消

50

去)のファウラー - ノルトハイム・トンネル効果によって実行される。ソース消去操作は、それぞれのメモリ・セルのドレインを浮動させながらソース領域に高い正電圧を印加し、かつ制御ゲートと基板をアースすることによって行われる。

【0006】

続いて、SONOS(シリコン - 酸化物 - 窒化物 - 酸化物 - シリコン)型メモリ装置が紹介された。ChanらによるIEEE Electron Device Letters, Vol.8, No.3, p.93, 1987を参照されたい。SONOS型フラッシュ・メモリ・セルは、電荷を捕獲する非導電性誘電体層、一般に窒化シリコン層が、2つの二酸化シリコン層(絶縁層)の間に挟まれて構成されている。非導電性誘電体層は、電荷捕獲媒体として働く。上側の二酸化シリコン層の上に導電ゲート層が配置される。

10

【0007】

電荷は、ドレインとして使用されるどちらの側の近くにも局所的に捕獲されるので、この構造は、2トランジスタ・セルまたは2ビット/セルとして説明することができる。多層構造を使用すると、4ビット以上/セルを実現することができる。マルチビット・セルを使用すると、SONOS型メモリ装置は、集積回路チップ上で保持/処理される量を増やすという連続的傾向に役立つという点で、他の装置よりも優れた利点を持つことができる。

【0008】

簡略化するために、SONOSの2ビット/セルの実施態様について説明する。SONOS型メモリ装置の両方のビットは、ホットエレクトロン・プログラミングを使用するよう
な従来の方式でプログラムされるが、各ビットは、比較的低いゲート電圧でプログラムされるものと逆方向に読み出される。例えば、従来、右側のビットは、ソースがアースされているかまたは低電圧のときにゲートとドレインにプログラミング電圧を印加することによってプログラムされる。

20

【0009】

ホットエレクトロンは、十分に加速されて、捕獲誘電体層のドレイン近くの領域に注入される。しかしながら、装置は、書き込まれるときの逆方向に読み出され、すなわち、ドレインがアースされるかまたは低電圧のときにゲートとソースに電圧が印加される。同様に、左側のビットは、ソース端子とドレイン端子の機能を置き換えることによってプログラムされ読み出される。ビットのうちの1つをプログラムするとき、その情報を持つ他のビットはそのままにされる。

30

【0010】

逆方向の読み出しは、比較的低いゲート電圧が使用されるときに最も有効である。比較的低いゲート電圧を逆方向の読み出しと組み合わせる利点は、捕獲電荷領域の下のチャンネル部分の両側の電位降下が大幅に減少することである。電荷捕獲領域の下のチャンネル電位降下が小さいので、プログラム領域または電荷捕獲領域を比較的小さくすることができる。

【0011】

これにより、局所的捕獲領域内に捕獲された電荷の効果が増幅されるので、プログラミング時間が大幅に高速化される。プログラミング時間は短縮されるが、プログラム状態と非プログラム状態の間のしきい電圧の差は、装置が順方向に読み出されているときと同じままである。

40

【0012】

SONOS型メモリ装置は、さらに他の利点も提供する。特に、メモリ・セルの消去メカニズムは大幅に強化される。右側ビットの場合はゲートとドレインに適切な消去電圧を印加し、左側ビットの場合はゲートとソースに適切な消去電圧を印加することによって、メモリ・セルの両方のビットを消去することができる。

【0013】

別の利点には、サイクリングによる損耗が小さく、それにより装置の寿命が長くなること
がある。逆方向に読み出す効果は、同じ量のプログラミングのしきい電圧をかなり高くで

50

きることである。従って、メモリ・セルのプログラム状態と非プログラム状態のしきい電圧の差を十分に大きくするために、セルを順方向に読み出すときよりもセルを逆方向に読み出すときの方が、必要な捕獲電荷領域がかなり小さくなる。

【0014】

電荷捕獲領域をできるだけ小さくすると、消去メカニズムが強化される。順方向にプログラミングし逆方向に読み出すことにより、電荷捕獲領域の幅をドレイン（右側ビット）またはソース近くの狭い領域に制限することができる。これにより、メモリ・セルの消去効率をかなり高めることができる。

【0015】

10 局部電荷捕獲のもう1つの利点は、消去の際に、ドレインの近くだけが消去されるので、ドレインから遠い窒化物領域には深い空乏が生じないことである。消去した後のセルの最終的なしきい値は、装置構造自体によって自動的に制限される。これは、深い空乏の問題が起きることが多い従来の単一トランジスタ・フローティング・ゲート・フラッシュ・メモリ・セルと正反対である。

【0016】

20 以上、多くの利点を説明したが、SONOS型メモリ装置と関連したいくつかの欠点がある。いくつかの例では、電荷捕獲層をシリコン基板またはゲート酸化物層上に、高精度かつ均一に、高品質（欠陥なしに）に、汚染なしに形成することは困難である。そのような構成は、所定の厚さを有するONO各層を正確かつ均一に形成するための問題を提起する。

【0017】

さらに、適切に形成されたONO誘電体は、十分なポリシリコンとソース/ドレイン間の分離を実現する。ONO誘電体に間違っ取り込まれた汚染物質及びドーパント/注入物は、ポリシリコン-ソース/ドレイン分離を低下させ、それにより、作成されるメモリ装置の信頼性が低下する。これは、特に、ONO誘電体を形成した後にソース/ドレインを注入することによりビット線を形成しようとする場合に問題になる。

【0018】

30 しかしながら、ONO誘電体を形成する前にソース/ドレインを注入すると、注入物の拡散が起こり望ましくない。これは、ONO誘電体の作成及びアニールと関連するいくつかの熱サイクルがあるからである。ポリシリコンとソース/ドレイン間の分離が改善されかつ注入物の拡散がほとんどまたは全くないSONOS型不揮発性メモリ装置の要求がまだ満たされていない。

【0019】

（発明の開示）

本発明は、不揮発性メモリ装置を製造するための簡素化された方法を提供し、詳細には、不揮発性メモリ装置内の電荷捕獲誘電体及びソース/ドレインを形成する簡素化された方法を提供する。不揮発性メモリ装置は、高密度で頑強な単数または複数の不揮発性メモリ装置の生産効率を高める。

【0020】

40 本発明は、一般にコア領域内のONO形成と関連する欠陥、汚染及びコストを最小限に抑え、ポリシリコンとソース/ドレイン間の分離を改善し、ソース/ドレイン注入物の過度の拡散を緩和する。本発明は、また、縮小化を改善しながら均一かつ正確な厚さを有する電荷捕獲誘電体の形成を可能にする。

【0021】

50 本発明の1つの態様は、半導体基板上に電荷捕獲誘電体の第1層を形成する工程と、半導体基板上に電荷捕獲誘電体の第1層の上に、電荷捕獲誘電体の第2層を形成する工程と、電荷捕獲誘電体上にソース/ドレイン・マスクを形成する工程と、電荷捕獲誘電体を介して半導体基板にソース/ドレイン注入物を注入する工程と、ソース/ドレイン注入物を注入する工程の後、半導体基板上の電荷捕獲誘電体の第2層の上に、電荷捕獲誘電体の第3層を形成する工程とを含む、不揮発性半導体メモリ装置を形成する方法に関する。

【0022】

(発明を実施するための最良の形態)

本発明の様々な態様を説明する際に、段階的な範囲を使用する。そのような段階的な範囲のうちの高いまたは低い数値の1つの範囲が、別の段階的な範囲のうちの高いまたは低い数値の範囲と共に使用できることを理解されたい。

【0023】

本発明は、SONOS型不揮発性メモリ装置を製造する方法、詳細には、SONOS型不揮発性メモリ装置内にソース/ドレイン領域と電荷捕獲誘電体を形成するための改善された方法を含む。その結果、SONOS型メモリ・セルにおいて、ポリシリコンとソース/ドレイン間の分離が改善され、ソース/ドレイン注入物の過剰拡散がほとんどまたは全くなくなり、かつ/または電荷捕獲誘電体の厚さが正確で欠陥や汚染があっても最少になる。

10

【0024】

SONOS型メモリ・セルにおいて、捕獲誘電体は、1つまたは2つのビットを記憶することによって機能する。電荷捕獲誘電体の電荷蓄積機能は、SONOS型不揮発性メモリ装置の品質と信頼性に影響を及ぼすため、電荷捕獲誘電体を適切に形成することが重要である。

【0025】

本発明は、ソース/ドレイン・マスクを使用してソース/ドレイン領域及び電荷捕獲誘電体を形成し、かつ/または少なくとも追加の電荷捕獲誘電体層(通常は、上部酸化層)を形成することによって、厚さが正確でかつ欠陥が最少の電荷捕獲誘電体を有するSONOS型メモリ・セルを提供する。

20

【0026】

一般に、本発明は、メモリ基板の少なくともコア領域上に電荷捕獲誘電体を形成または部分的に形成する工程を含む。電荷捕獲誘電体を部分的に形成する工程は、ONO電荷捕獲誘電体の最上酸化物を不完全に形成するような、最上層を部分的または不完全に形成する工程とを含む。

【0027】

これと関連して、最上層は、部分的に形成されるかまたは全く形成されないことがある。電荷捕獲誘電体または部分的に形成された電荷捕獲誘電体の最上層がある場合は、その最上層が、必要に応じて除去される。基板のコア領域にソース/ドレイン注入物が注入される。電荷捕獲誘電体または部分的に形成された電荷捕獲誘電体の最上層がある場合は、その最上層が、必要に応じて除去される。

30

【0028】

ソース/ドレイン注入コア領域上に電荷捕獲誘電体を設けるために、新規または追加の最上層材料が形成される。その結果、ポリシリコンとソース/ドレイン間の分離が改善され、また一般にソース/ドレイン注入を行った後で電荷捕獲層を形成することによって生じる過度のソース/ドレイン拡散が緩和される。

【0029】

図1を参照して、SONOS型メモリ・セルを示す。シリコン基板3上に電荷捕獲誘電体4が配置され、電荷捕獲誘電体4上にポリシリコン層5が配置される。基板3内のセル2の縁の近くにソース6領域とドレイン7領域が配置される。図示したように、電荷捕獲誘電体4は、3層、すなわち第1の二酸化シリコン層、窒化シリコン層、及び第2の二酸化シリコン層(ONO電荷捕獲誘電体)を含む。詳細には、ONO誘電体の場合は、電子捕獲機構は、窒化シリコン層内にある。

40

【0030】

電荷捕獲誘電体は、電子捕獲を可能または容易にする任意の誘電体層でよい。換言すると、電子捕獲を容易にするために、電荷捕獲誘電体は、その電荷誘電体を挟んでいる層よりも低い障壁高さの層を有する(相対的に高い障壁高さを有する2層が、相対的に低い障壁高さを備えた層を挟んでいる)。ONO三重層誘電体の場合は、酸化層が、約3.1

50

e Vの障壁高さを有するのに対し、窒化物層は、約2.1 e Vの障壁高さを有する。これと関連して、中間層にはウェルが作成されている。

【0031】

電荷捕獲誘電体の例には、ONO三重層誘電体、酸化物/窒化物二重層誘電体、窒化物/酸化物二重層誘電体、酸化物/酸化タンタル二重層誘電体($\text{SiO}_2/\text{Ta}_2\text{O}_5$)、酸化物/酸化タンタル/酸化物三重層誘電体($\text{SiO}_2/\text{Ta}_2\text{O}_5/\text{SiO}_2$)、酸化物/チタン酸ストロンチウム二重層誘電体($\text{SiO}_2/\text{SrTiO}_3$)、酸化物/バリウム・チタン酸ストロンチウム二重層誘電体($\text{SiO}_2/\text{BaSrTiO}_2$)、酸化物/チタン酸ストロンチウム/酸化物三重層誘電体($\text{SiO}_2/\text{SrTiO}_3/\text{SiO}_2$)、酸化物/チタン酸ストロンチウム/バリウム・チタン酸ストロンチウム三重層誘電体($\text{SiO}_2/\text{SrTiO}_3/\text{BaSrTiO}_2$)、酸化物/酸化ハフニウム/酸化物三重層誘電体などがある(それぞれの例において、示した最初の層が一番下の層であり、示した最後の層が、一番上の層である)。

10

【0032】

本明細書において、しばしばSONOS型不揮発性メモリ装置という語を使用するが、本明細書で使用されるようなSONOS型不揮発性メモリ装置は、前述の電荷捕獲誘電体のどれを含んでもよいことを理解されたい。換言すると、SONOS型不揮発性メモリ装置は、電子捕獲を可能または容易にする任意の誘電体層を含み、SONOS型不揮発性メモリ装置は、そのような誘電体が具体的に示されたときだけONO電荷捕獲誘電体を含む。

【0033】

さらに、電荷捕獲誘電体がONO誘電体である実施形態において、二酸化シリコン層の一方または両方が、シリコンを多く含む二酸化シリコン層であってもよい。また、二酸化シリコン層の一方または両方が、酸素を多く含む二酸化シリコン層であってもよい。二酸化シリコン層の一方または両方が、熱成長した酸化物または成膜させた酸化物であってもよい。二酸化シリコン層の一方または両方が、窒化酸化物層であってもよい。窒化物は、シリコンを多く含む窒化シリコン層または酸素を含む窒化シリコンであってもよい。また、窒化物は、窒素を多く含む窒化シリコン層であってもよい。

20

【0034】

1つの実施形態において、電荷捕獲誘電体16は、約75 ~ 約300 の厚さを有する。もう1つの実施形態において、電荷捕獲誘電体16は、約100 ~ 約275 の厚さを有する。もう1つの実施形態において、電荷捕獲誘電体16は、約110 ~ 250 の厚さを有する。

30

【0035】

これと関連して、1つの実施形態において、ONO電荷捕獲誘電体において、酸化物層はそれぞれ、約50 ~ 約150 の厚さを有し、窒化物層は、約20 ~ 約100 の厚さを有する。もう1つの実施形態において、酸化物層はそれぞれ、約60 ~ 約140 の厚さを有し、窒化物層は、約25 ~ 約95 の厚さを有する。さらにもう1つの実施形態において、酸化物層はそれぞれ、約70 ~ 約130 の厚さを有し、窒化物層は、約30 ~ 約90 の厚さを有する。

【0036】

図2~図4を参照して、本発明の1つの態様を具体的に説明する。特に図2を参照して、半導体構造10を示す。半導体基板12は、2つの領域、すなわちメモリ・セルを含むコア領域と、制御ロジックや入出力装置などのチップの残りの部分を含む周辺領域とを含む。コア領域の処理工程は、図2~図4で焦点が当てられている。

40

【0037】

二酸化シリコン層14が、シリコン基板12上に形成される。二酸化シリコン層14は、低圧化学気相成長法(LPCVD)とプラズマエンハンス型化学気相成長法(PECVD)を含む化学気相成長法(CVD)、乾式酸化法、湿式酸化法、高速熱酸化法(rapid thermal oxidation)などの任意の適切な手段を使って設けられる。二酸化シリコン層14の上に窒化シリコン層16が形成される。窒化シリコン層16は、LPCVDとPECVD

50

Dを含むCVDなどの任意の適切な手段を使って形成される。

【0038】

図3を参照すると、窒化シリコン層16の上に、ソース/ドレイン・マスク18が、任意の適切な手段によって形成される。例えば、フォトレジストを使って、コア領域の一部分を覆い、ソース/ドレイン注入物を組み込む基板の領域を露出させることができる。

【0039】

すなわち、フォトレジストが、基板12上に成膜され、パターン形成されることでソース/ドレイン・マスク18が形成される(パターン形成されたフォトレジストからは、後で形成される埋め込みビット線の真上に部分的に形成された電荷捕獲誘電体の領域が露出される)。本発明のこの態様において、基板12のすべてまたは実質的にすべての周辺領域(図示せず)がマスクされる。

10

【0040】

ソース/ドレイン領域の形成を容易にするために、その領域に対応するようにコア領域内のフォトレジストがパターン形成された後で、矢印で示したように基板12にイオンが注入され、基板12内のパターン形成したフォトレジストの開口部の真下に注入領域20が形成される。必要に応じて、注入後に、半導体構造10は、適切な温度でアニールされる。

【0041】

1つまたは複数の適切な注入材料を使用することができる。注入材料の選択は、基本的には、例えばp型を使用するかn型を使用するかなど、必要な装置タイプに依存する。注入材料の例には、ヒ素、ホウ素、 BF_2^+ 、アンチモン、インジウム、及びリンのうちの1つまたは複数がある。1つの実施形態において、注入にn型ドーパントを使用する。もう1つの実施形態では、注入にp型ドーパントを使用する。注入は、適切な注入量を達成するように行われる。

20

【0042】

注入材料は、基板12内にソース/ドレイン領域を形成するのに適した注入量で注入される。1つの実施形態において、注入材料は、約 1×10^{14} ~ 約 1×10^{16} atoms/cm²の注入量で注入される。もう1つの実施形態において、注入材料は、約 5×10^{14} ~ 約 7×10^{15} atoms/cm²の注入量で注入される。さらにもう1つの実施形態において、注入材料は、約 1×10^{15} ~ 約 5×10^{15} atoms/cm²の注入量で注入される。

30

【0043】

注入領域20は、得られるSONOS型不揮発性メモリ装置内のメモリ・セルのソース/ドレインとなる。注入領域20の幅は、少なくとも実質的に、ソース/ドレイン・マスク18の開口の幅に対応する。1つの実施形態において、注入領域20(及び、その後で形成されるソース/ドレイン)の幅は、約 $0.1 \mu\text{m}$ ~ 約 $1.5 \mu\text{m}$ である。もう1つの実施形態において、注入領域20の幅は、約 $0.12 \mu\text{m}$ ~ 約 $1 \mu\text{m}$ である。さらにもう1つの実施形態において、注入領域20の幅は、約 $0.14 \mu\text{m}$ ~ 約 $0.75 \mu\text{m}$ である。

【0044】

図4を参照すると、ソース/ドレイン・マスク18が、構造10から剥離または除去される。ソース/ドレイン・マスク18を剥がした後で、必要に応じて、窒化シリコン層16を清浄にする。次に、窒化シリコン層16の上に、別の二酸化シリコン層22を形成する。二酸化シリコン層22は、LPCVDとPECVDを含むCVD、乾式酸化法、湿式酸化法、高速熱酸化法などの任意の適切な手段を使って形成される。第2の二酸化シリコン層22は、第1の二酸化シリコン層14と同じ方法または異なる方式で形成される。

40

【0045】

図示していないが、SONOS型フラッシュ・メモリ装置の製造を完成させるために、その後の処理が行われる。例えば、構造物の上にポリシリコン・ゲート/ワード線が形成され、周辺ソース/ドレイン領域及びゲートがドーパされ、スペーサが形成され、サリサイド化が行われ、SONOS型フラッシュ・メモリ・セル、選択ゲート、高電圧ゲート及び低電圧ゲートの形成が完了する。周辺のデコーダと制御回路を使って、プログラミング機

50

能、読み出し機能、または消去機能のために、コア領域内に形成された各メモリ・セルをアドレス指定することができる。

【0046】

図5～8を参照して、本発明のもう1つの態様を具体的に説明する。図5を参照して、半導体構造30を示す。半導体基板32は、2つの領域、メモリ・セルを含むコア領域と、制御ロジックや入出力装置などのチップの残りを含む周辺領域とを含む。コア領域の処理工程は、図5～図8に強調されている。

【0047】

シリコン基板32の上に二酸化シリコン層34が形成される。二酸化シリコン層34は、LPCVDとPECVDを含むCVD、乾式酸化法、湿式酸化法、高速熱酸化法などの任意の適切な手段を使って形成される。二酸化シリコン層34の上に窒化シリコン層36が形成される。窒化シリコン層36は、LPCVDとPECVDを含むCVDなどの任意の適切な手段を使って形成される。窒化シリコン層36の上にもう1つの二酸化シリコン層38が形成される。

【0048】

二酸化シリコン層38は、LPCVDとPECVDを含むCVD、乾式酸化法、湿式酸化法、高速熱酸化などの任意の適切な手段を使って形成される。第2の二酸化シリコン層38は、第1の二酸化シリコン層34と同じ方法または異なる方法で形成される。第2の二酸化シリコン層38は、全体または部分的に形成される。

【0049】

図6を参照すると、第2の二酸化シリコン層38の上に、ソース/ドレイン・マスク40が、任意の適切な手段によって設けられる。例えば、基板のソース/ドレイン注入物を注入する領域を露出したまま、フォトレジストを使ってコア領域の一部を覆う。すなわち、フォトレジストが、基板32上に成膜され、パターン形成されて、ソース/ドレイン・マスク40が形成される（パターン形成されたフォトレジストからは、後で形成される埋め込みビット線の真上に全体または部分的に形成された電荷捕獲誘電体領域が露出されている）。本発明のこの態様において、基板32の周辺領域のすべてまたは実質的にすべて（図示せず）がマスクされる。

【0050】

ソース/ドレイン領域の形成を容易にするために、その領域に対応するようにコア領域にフォトレジストをパターン形成した後で、矢印で示したように、基板32にイオンを注入して、パターン形成されたフォトレジストの開口の真下の基板32に注入領域42を形成する。必要に応じて、注入後に、半導体構造30を適切な温度でアニールする。

【0051】

1つまたは複数の適切な注入材料を使用することができる。注入材料の選択は、基本的に、例えばp型を使用するかn型を使用するかなど、必要な装置タイプに依存する。注入材料の例には、ヒ素、ホウ素、 BF_2^+ 、アンチモン、インジウム及びリンのうちの1つまたは複数がある。1つの実施形態では、注入にn型ドーパントが使用される。もう1つの実施形態において、注入にp型のドーパントが使用される。注入は、適切な注入量を達成するように行われる。

【0052】

注入材料は、基板32内にソース/ドレイン領域を形成するのに適した注入量で注入される。1つの実施形態において、注入材料は、約 1×10^{14} ～約 1×10^{16} atoms/cm²の注入量で注入される。もう1つの実施形態において、注入材料は、約 5×10^{14} ～約 7×10^{15} atoms/cm²の注入量で注入される。さらにもう1つの実施形態において、注入材料は、約 1×10^{15} ～約 5×10^{15} atoms/cm²の注入量で注入される。

【0053】

注入領域42は、得られたSONOS型不揮発性メモリ装置内のメモリ・セルのソース/ドレインとなる。注入領域42の幅は、少なくとも実質的に、ソース/ドレイン・マスク40の開口の幅に対応する。1つの実施形態において、注入領域42（及び後で形成され

10

20

30

40

50

るソース/ドレイン)の幅は、約 $0.1\mu\text{m}$ ~約 $1.5\mu\text{m}$ である。もう1つの実施形態において、注入領域42の幅は、約 $0.12\mu\text{m}$ ~約 $1\mu\text{m}$ である。さらにもう1つの実施形態において、注入領域42の幅は、約 $0.14\mu\text{m}$ ~約 $0.75\mu\text{m}$ である。

【0054】

図7を参照すると、ソース/ドレイン・マスク40は、構造30から剥離または除去される。ソース/ドレイン・マスク40が剥がされた後で、必要に応じて、第2の二酸化シリコン層38が清浄にされる。ソース/ドレイン・マスク40を剥がした後で、構造から第2の二酸化シリコン層38が、任意の適切な手段によって除去される。構造30から第2の二酸化シリコン層38を除去するには、ウェットエッチング、ドライエッチング、プラズマエッチングまたは酸性エッチングを使用することができる。第2の二酸化シリコン層38を除去した後で、必要に応じて窒化シリコン層36を清浄にする。

10

【0055】

図8を参照すると、窒化シリコン層36の上に、もう1つの二酸化シリコン層44を形成する。二酸化シリコン層44は、LPCVDとPECVDを含むCVD、乾式酸化法、湿式酸化法、高速熱酸化法などの任意の適切な手段を使って形成される。第3の二酸化シリコン層44は、第1の二酸化シリコン層34と同じ方法または異なる方法で形成される。

【0056】

図示していないが、SONOS型フラッシュ・メモリ装置の製造を完了するために、さらに他の処理が行われる。例えば、構造の上にポリシリコン・ゲート/ワード線が形成され、周辺ソース/ドレイン領域とゲートがドーパされ、スペーサが形成され、サリサイド化され、SONOS型フラッシュ・メモリ・セル、選択ゲート、高電圧ゲート、低電圧ゲートが形成される。周辺のデコーダ及び制御回路を使用して、プログラミング機能、読み取り機能、消去機能のために、コア領域内に形成された各メモリ・セルをアドレス指定することができる。

20

【0057】

図9~図11を参照して、本発明のもう1つの態様について具体的に説明する。図9を参照すると、半導体構造50が示されている。半導体基板52は、2つの領域、すなわちメモリ・セルを含むコア領域と、制御ロジックや入出力装置などのチップの残りの部分を含む周辺領域とを含む。図9~図11では、コア領域内の処理工程が強調されている。

【0058】

シリコン基板52の上に二酸化シリコン層54が形成される。二酸化シリコン層54は、LPCVDとPECVDを含むCVD、乾式酸化法、湿式酸化法、高速熱酸化などの任意の適切な手段を使って形成される。二酸化シリコン層54の上に窒化シリコン層56が形成される。窒化シリコン層56は、LPCVDとPECVDを含むCVDなどの任意の適切な手段を使って形成される。窒化シリコン層56の上に、もう1つの二酸化シリコン層58が形成される。

30

【0059】

二酸化シリコン層58は、LPCVDとPECVDを含むCVDなどの任意の適切な手段、乾式酸化、湿式酸化法または高速熱酸化を使って形成される。第2の二酸化シリコン層58は、第1の二酸化シリコン層54と同じ方法または異なる方式で形成される。第2の二酸化シリコン層58は、全体または部分的に形成される。

40

【0060】

図10を参照すると、第2の二酸化シリコン層58の上に、任意の適切な手段によって、ソース/ドレイン・マスク60が設けられる。例えば、フォトレジストを使って、ソース/ドレイン注入物を注入する基板の領域を露出したままコア領域の一部を覆う。

【0061】

すなわち、フォトレジストが基板52上に成膜され、パターン形成されて、ソース/ドレイン・マスク60が形成される(フォトレジストからは、後で形成される埋め込みビット線の真上に全体または部分的にパターン形成された電荷捕獲誘電体領域が露出される)。本発明のこの態様において、基板52の周辺領域(図示せず)のすべてまたは実質的にす

50

べてがマスクされる。

【0062】

ソース/ドレイン領域の形成を容易にするために、その領域に対応するようにフォトレジストがコア領域にパターン形成された後で、矢印で示したように基板52にイオンが注入され、パターン形成されたフォトレジストの開口の真下の基板52に領域62が形成される。必要に応じて、注入後に、半導体構造50が適切な温度でアニールされる。

【0063】

1つまたは複数の適切な注入材料を使用することができる。注入材料の選択は、基本的に、例えばp型を使用するかn型を使用するかなど、必要とされる装置タイプに依存する。注入材料の例には、ヒ素、ホウ素、 BF_2^+ 、アンチモン、インジウム及びリンのうちの1つまたは複数がある。1つの実施形態において、注入にn型ドーパントが使用される。もう1つの実施形態において、注入にp型ドーパントが使用される。注入は、適切な注入量を達成するように行われる。

10

【0064】

注入材料は、基板52内にソース/ドレイン領域を形成するのに適した注入量で注入される。1つの実施形態において、注入材料は、約 $1 \times 10^{14} \sim 1 \times 10^{16}$ atoms/cm²の注入量で注入される。もう1つの実施形態において、注入材料は、約 $5 \times 10^{14} \sim 7 \times 10^{15}$ atoms/cm²の注入量で注入される。さらにもう1つの実施形態において、注入材料は、約 $1 \times 10^{15} \sim 5 \times 10^{15}$ atoms/cm²の注入量で注入される。

【0065】

注入領域62は、得られるSONOS型不揮発性メモリ装置内のメモリ・セルのソース/ドレインとなる。注入領域62の幅は、少なくとも実質的にソース/ドレイン・マスク60の開口の幅に対応する。1つの実施形態において、注入領域62（及び、後で形成されるソース/ドレイン）の幅は、約 $0.1 \mu\text{m} \sim 1.5 \mu\text{m}$ である。もう1つの実施形態において、注入領域62の幅は、約 $0.12 \mu\text{m} \sim 1 \mu\text{m}$ である。さらにもう1つの実施形態において、注入領域62の幅は、約 $0.14 \mu\text{m} \sim 0.75 \mu\text{m}$ である。

20

【0066】

図11を参照すると、ソース/ドレイン・マスク60が、構造50から剥離または除去される。ソース/ドレイン・マスク60を剥がした後で、必要に応じて第2の二酸化シリコン層が清浄にされる。第2の二酸化シリコン層の上に追加の二酸化シリコン材料が形成され、窒化シリコン層56の上に二酸化シリコン層64が設けられる。

30

【0067】

二酸化シリコン層64の形成に使用される追加の二酸化シリコン材料は、LPCVDとPECVDを含むCVD、乾式酸化法、湿式酸化法、高速熱酸化法などの任意の適切な手段を使って設けられる。追加の二酸化シリコン材料は、第1の二酸化シリコン層54と同じ方法または異なる方法、あるいは第2の二酸化シリコン層58と同じ方式または異なる方法で設けられる。

【0068】

図示していないが、SONOS型フラッシュ・メモリ装置の製造を完了するために、さらに他の処理が行われる。例えば、構造の上にポリシリコン・ゲート/ワード線が形成され、周辺ソース/ドレイン領域及びゲートがドーパされ、スペーサが形成され、サリサイド化が行われ、SONOS型フラッシュ・メモリ・セル、選択ゲート、高電圧ゲート及び低電圧ゲートの形成が完了される。周辺のデコーダ及び制御回路を使って、プログラミング機能、読み出し機能、または消去機能のために、コア領域内に形成されたそれぞれのメモリ・セルをアドレス指定することができる。

40

【0069】

図12～図15を参照して、本発明のさらにもう1つの態様を具体的に説明する。図12を参照して、半導体構造70を示す。半導体基板72は、2つの領域、すなわちメモリ・セルを含むコア領域と、制御ロジックや入出力装置などのチップの残りの部分を含む周辺領域とを含む。図12～図15において、コア領域内の処理工程が強調されている。

50

【0070】

シリコン基板72の上に二酸化シリコン層74が形成される。二酸化シリコン層74は、LPCVDとPECVDを含むCVD、乾式酸化法、湿式酸化法、高速熱酸化法などの任意の適切な手段を使って形成される。二酸化シリコン層74の上に窒化シリコン層76が形成される。窒化シリコン層76は、LPCVDとPECVDを含むCVDなどの任意の適切な手段を使って形成される。窒化シリコン層76の上に、もう一つの二酸化シリコン層78が形成される。

【0071】

二酸化シリコン層78は、LPCVDとPECVDを含むCVD、乾式酸化法、湿式酸化法、高速熱酸化法などの任意の適切な手段を使用して設けられる。第2の二酸化シリコン層78は、第1の二酸化シリコン層74と同じ方法または異なる方法で形成される。第2の二酸化シリコン層78は、全体または部分的に形成される。

10

【0072】

図13を参照して、全体または部分的に形成された第2の二酸化シリコン層78が、任意の適切な手段によって構造から剥離または除去される。ウェットエッチング、ドライエッチング、プラズマエッチングまたは酸性エッチングを使用して、構造70から第2の二酸化シリコン層78を除去することができる。第2の二酸化シリコン層78を除去した後で、必要に応じて、窒化シリコン層76が清浄される。

【0073】

図14を参照すると、窒化シリコン層76の上に、任意の適切な手段によってソース/ドレイン・マスク80が設けられる。例えば、フォトレジストを使って、ソース/ドレイン注入物を注入する基板の領域を露出させたままコア領域の一部が覆われる。

20

【0074】

すなわち、フォトレジストが、基板72上に成膜され、パターン形成されて、ソース/ドレイン・マスク80が形成される(パターン形成されたフォトレジストからは、後で形成される埋め込みビット線の真上の部分的に形成された電荷捕獲誘電体の領域が露出する)。本発明のこの態様において、基板72の周辺領域(図示せず)のすべてまたは実質的にすべてがマスクされる。

【0075】

フォトレジストが、ソース/ドレイン領域の形成を容易にするために、その領域に対応するようにコア領域内でパターン形成された後、矢印で示したように、基板72にイオンが注入され、パターン形成されたフォトレジストの開口の真下の基板72に注入領域82が形成される。注入後に、必要に応じて、半導体構造70が適切な温度でアニールされる。

30

【0076】

1つまたは複数の適切な注入材料を使用することができる。注入材料の選択は、基本的に、例えばp型を使用するかn型を使用するかなど、必要とされる装置タイプに依存する。注入材料の例には、ヒ素、ホウ素、 BF_2^+ 、アンチモン、インジウム及びリンのうちの1つまたは複数がある。1つの実施形態において、注入にn型ドーパントが使用される。もう1つの実施形態において、注入にp型ドーパントが使用される。注入は、適切な注入量を達成するように行われる。

40

【0077】

注入材料は、基板72内のソース/ドレイン領域を形成するのに適した注入量で注入される。1つの実施形態において、注入材料は、約 1×10^{14} ~ 約 1×10^{16} atoms/cm²の注入量で注入される。もう1つの実施形態において、注入材料は、約 5×10^{14} ~ 約 7×10^{15} atoms/cm²の注入量で注入される。さらにもう1つの実施形態において、注入材料は、約 1×10^{15} ~ 約 5×10^{15} atoms/cm²の注入量で注入される。

【0078】

注入領域82は、得られるSONOS型不揮発性メモリ装置内のメモリ・セルのソース/ドレインとなる。注入領域82の幅は、少なくとも実質的にソース/ドレイン・マスク80の開口の幅に対応している。1つの実施形態において、注入領域82(及びその後で形

50

成されるソース/ドレイン)の幅は、約 $0.1\mu\text{m}$ ~約 $1.5\mu\text{m}$ である。もう1つの実施形態において、注入領域82の幅は、約 $0.12\mu\text{m}$ ~約 $1\mu\text{m}$ である。さらにもう1つの実施形態において、注入領域82の幅は、約 $0.14\mu\text{m}$ ~約 $0.75\mu\text{m}$ である。

【0079】

図15を参照すると、ソース/ドレイン・マスク80が、構造70から剥離または除去される。ソース/ドレイン・マスク80を剥がした後で、必要に応じて、窒化シリコン層76が清浄にされる。次に、窒化シリコン層76の上にもう1つの二酸化シリコン層84が形成される。二酸化シリコン層84は、LPCVDとPECVDを含むCVD、乾式酸化法、湿式酸化法、高速熱酸化法などの任意の適切な手段を使って形成される。第2の二酸化シリコン層84は、第1の二酸化シリコン層74と同じ方法または異なる方法で形成される。

10

【0080】

図示していないが、SONOS型フラッシュ・メモリ装置の製造を完了するために、さらに他の処理が行われる。例えば、構造の上にポリシリコン・ゲート/ワード線が形成され、周辺ソース/ドレイン領域及びゲートがドーパされ、スペーサが形成され、サリサイド化が行われ、SONOS型フラッシュ・メモリ・セル、選択ゲート、高電圧ゲート及び低電圧ゲートの形成が完了される。周辺のデコーダ及び制御回路を使用することにより、プログラミング機能、読み出し機能、消去機能のために、コア領域内に形成された各メモリ・セルをアドレス指定することができる。

【0081】

20

本発明をある一定の実施形態に関して示し説明したが、当業者は、この明細書及び添付図面を読み理解することにより、均等範囲の修正及び変更を想起することが明らかであろう。以上説明した構成要素によって実行される様々な機能に関する特定の事柄において、そのような構成要素を説明するために使用される用語は、本発明の本明細書に示した実施例における機能を実行する開示した構造と構造的に均等でない場合でも、特に断らない限り、示した構成要素(すなわち、機能的に均等なもの)の指定の機能を実行する任意の構成要素に対応するように意図されている。

【0082】

さらに、本発明の特定の機能をいくつかの実施形態のうちの1つだけに関して開示したが、そのような機能は、所定または特定の任意の用途に望ましくまたは有利なような他の実施形態の1つまたは複数の他の機能と組み合わせることができる。

30

【0083】

(産業上の利用可能性)

本発明の装置及び方法は、不揮発性半導体メモリ装置及び製造の分野に役立つ。詳細には、本発明の装置及び方法は、EEPROMなどの不揮発性フラッシュ・メモリ装置に役立つ。

【図面の簡単な説明】

【図1】 本発明の1つの態様によるSONOS型メモリ・セルの断面図である。

【図2】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第1の方法の断面図である。

40

【図3】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第1の方法のもう1つの断面図である。

【図4】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第1の方法のさらにもう1つの断面図である。

【図5】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第2の方法の断面図である。

【図6】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第2の方法のもう1つの断面図である。

【図7】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第2の方法のさらにもう1つの断面図である。

50

【図8】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第2の方法のさらに別のもう1つの断面図である。

【図9】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第3の方法の断面図である。

【図10】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第3の方法のもう1つの断面図である。

【図11】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第3の方法のさらにもう1つの断面図である。

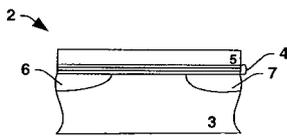
【図12】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第4の方法の断面図である。

【図13】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第4の方法のもう1つの断面図である。

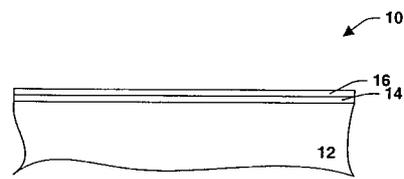
【図14】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第4の方法のさらにもう1つの断面図である。

【図15】 本発明の1つの態様によるSONOS型不揮発性メモリ装置を形成する第4の方法のさらに別のもう1つの断面図である。

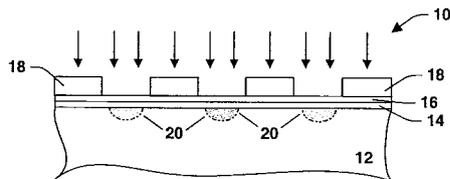
【図1】



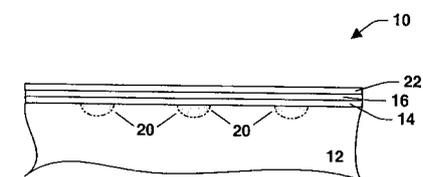
【図2】



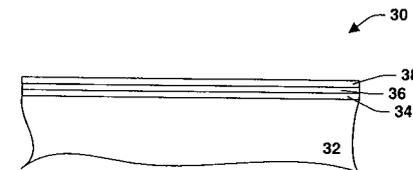
【図3】



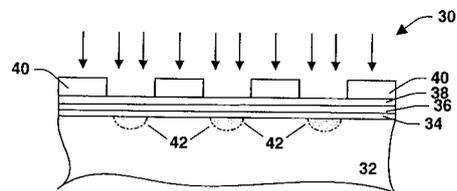
【図4】



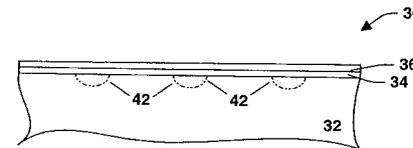
【図5】



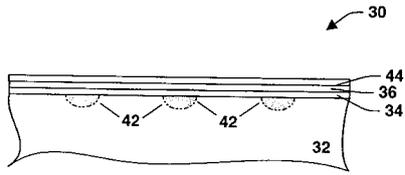
【図6】



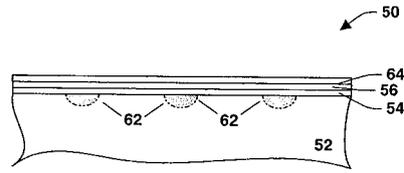
【図7】



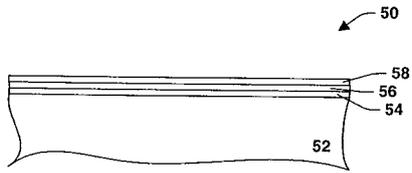
【 図 8 】



【 図 1 1 】



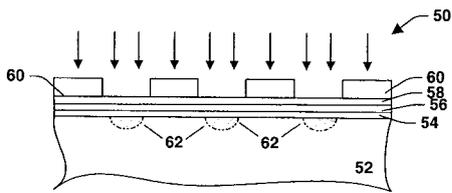
【 図 9 】



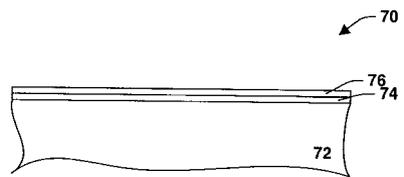
【 図 1 2 】



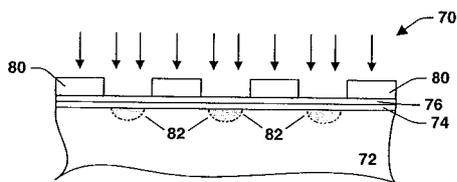
【 図 1 0 】



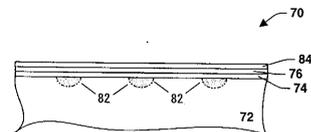
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

- (74)代理人 100111246
弁理士 荒川 伸夫
- (72)発明者 ヤン・ジェーン イー・メイ
アメリカ合衆国 94087 カリフォルニア州 サニーヴェイル コ
ネマラウェイ #17 125
- (72)発明者 ラムズベイ・マーク ティ.
アメリカ合衆国 94087 カリフォルニア州 サニーヴェイル ク
ムルスアベニュー 402
- (72)発明者 リングニス・エマニール マノス
アメリカ合衆国 95134 カリフォルニア州 サンノゼ リバーオ
ークスサークル #1903 373
- (72)発明者 ウ・イダー
アメリカ合衆国 95008 カリフォルニア州 キャンプベル ダブ
ルリンカーンアベニュー 218
- (72)発明者 カマル・タリエン
アメリカ合衆国 95134 カリフォルニア州 サンノゼ エランビ
レッジレーン 390 アpartment 304
- (72)発明者 ヘ・イー
アメリカ合衆国 94085 カリフォルニア州 サニーヴェイル ア
ルバラドアベニュー 761
- (72)発明者 シア・エドワード
アメリカ合衆国 95070 カリフォルニア州 サラトガ ウッドデ
ルコート 18723
- (72)発明者 白岩 英彦
アメリカ合衆国 95120 カリフォルニア州 サンノゼ バレイク
ワイルサークル 1208

合議体

審判長 北島 健次

審判官 小野田 誠

審判官 小川 将之

- (56)参考文献 特開2001-077220(JP,A)
特開平11-312795(JP,A)
特開平06-224416(JP,A)
特開2001-077219(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L29/788

H01L29/792

H01L27/115

H01L21/8247