

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4306082号  
(P4306082)

(45) 発行日 平成21年7月29日(2009.7.29)

(24) 登録日 平成21年5月15日(2009.5.15)

(51) Int.Cl.

H04N 1/417 (2006.01)  
H04N 7/32 (2006.01)

F 1

H04N 1/417  
H04N 7/137

Z

請求項の数 31 (全 46 頁)

(21) 出願番号 特願2000-69696 (P2000-69696)  
 (22) 出願日 平成12年3月14日 (2000.3.14)  
 (65) 公開番号 特開2000-341536 (P2000-341536A)  
 (43) 公開日 平成12年12月8日 (2000.12.8)  
 審査請求日 平成19年2月20日 (2007.2.20)  
 (31) 優先権主張番号 特願平11-80866  
 (32) 優先日 平成11年3月25日 (1999.3.25)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100082131  
 弁理士 稲本 義雄  
 (72) 発明者 近藤 哲二郎  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内  
 (72) 発明者 藤原 直樹  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内  
 (72) 発明者 高橋 健治  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 画像信号変換装置および方法、情報信号変換装置および方法、並びに記録媒体

## (57) 【特許請求の範囲】

## 【請求項 1】

原画像信号を前記原画像信号よりも情報量が少ない出力画像信号に変換する画像信号変換装置において、

前記原画像信号から前記出力画像信号と同じ情報量の中間画像信号を生成する中間画像信号生成手段と、

前記中間画像信号の各画素の画素値を各クラスコードと対応付けて記憶する中間画像記憶手段と、

前記各クラスコードに対して予測係数を対応付けて記憶する予測係数記憶手段と、

前記中間画像信号、前記中間画像信号の着目画素に対応付けられた前記クラスコード、および前記原画像信号に基づいて、前記クラスコードに対する最適な前記予測係数を生成し、前記予測係数記憶手段における前記各クラスコードに対する前記予測係数を更新する予測係数更新手段と、

前記中間画像信号、前記中間画像信号の前記着目画素の画素値に対応付けられた前記クラスコードと対応付けられた前記予測係数、並びに前記原画像信号に基づいて、前記中間画像信号の前記着目画素に対する最適な前記クラスコードを選択し、前記中間画像記憶手段における前記中間画像信号の前記着目画素の画素値に対する前記クラスコードの対応付けを更新するクラスコード更新手段と、

所定の条件を満たしたとき、前記中間画像信号を前記出力画像信号に決定する決定手段とを含み、

10

20

前記中間画像記憶手段は、前記中間画像信号の各画素毎に、画素値およびクラスコードを包含する画素データを記憶する

画像信号変換装置。

**【請求項 2】**

前記予測係数更新手段および前記クラスコード更新手段は、前記決定手段が前記所定の条件を満たしたことを検出するまで、前記予測係数および前記クラスコードの更新を繰り返して実行する

請求項 1 に記載の画像信号変換装置。

**【請求項 3】**

前記中間画像記憶手段が記憶した前記中間画像信号の各画素値、前記予測係数記憶手段が記憶した前記中間画像信号の各画素値に対応する前記クラスコードと対応付けられた前記予測係数に基づいて、前記原画像信号と同じ情報量を有する予測画像信号の 1 または複数の画素値を生成する予測画像生成手段をさらに含み、

前記決定手段は、前記所定の条件として、前記中間画像信号と前記原画像信号の比較結果に基づく条件を用いる

請求項 2 に記載の画像信号変換装置。

**【請求項 4】**

前記決定手段は、前記中間画像信号と前記原画像信号の誤差を前記比較結果とし、前記比較結果が閾値以下になったとき、前記所定の条件を満たしたと検出する

請求項 3 に記載の画像信号変換装置。

**【請求項 5】**

前記決定手段は、前記予測係数および前記クラスコードの更新回数が閾値に達したとき、前記所定の条件を満たしたと検出する

請求項 2 に記載の画像信号変換装置。

**【請求項 6】**

前記原画像信号および前記中間画像信号に基づいて、初期予測係数を生成し、前記予測係数記憶手段に記憶させる初期予測係数生成手段を

さらに含む請求項 2 に記載の画像信号変換装置。

**【請求項 7】**

前記中間画像信号の前記着目画素に基づいて選定される画素の画素値、および前記クラスコード更新手段で更新された前記クラスコードに基づいて、拡張クラスコードを生成する拡張クラスコード生成手段と、

前記拡張クラスコードに対応する拡張予測係数を生成する拡張予測係数生成手段とをさらに含む請求項 1 に記載の画像信号変換装置。

**【請求項 8】**

前記出力画像信号は、前記原画像信号よりも画素数が少ない

請求項 1 に記載の画像信号変換装置。

**【請求項 9】**

前記出力画像信号および前記予測係数記憶手段に記憶された予測係数を出力する出力手段を

さらに含む請求項 1 に記載の画像信号変換装置。

**【請求項 10】**

前記中間画像信号の注目画素に基づいて選定される着目画素に対応付けられた前記クラスコードと対応付けられた前記予測係数、前記中間画像信号の前記注目画素に基づいて選定される少なくとも 1 つの着目画素、および前記原画像信号に基づいて、前記中間画像信号の注目画素の最適な画素値を生成し、前記中間画像記憶手段における前記注目画素の画素値を更新する画素値更新手段を

さらに含む請求項 1 に記載の画像信号変換装置。

**【請求項 11】**

原画像信号を前記原画像信号よりも情報量が少ない出力画像信号に変換する画像信号変

10

20

30

40

50

換装置の画像信号変換方法において、

前記原画像信号から前記出力画像信号と同じ情報量の中間画像信号を生成する中間画像信号生成ステップと、

前記中間画像信号の各画素の画素値を各クラスコードに対応付けて中間画像記憶部に記憶する中間画像記憶ステップと、

各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、

前記中間画像信号、前記中間画像信号の着目画素に対応付けられたクラスコード、および前記原画像信号に基づいて、前記クラスコードに対する最適な前記予測係数を生成し、前記予測係数記憶部における前記各クラスコードに対する前記予測係数を更新する予測係数更新ステップと、

前記中間画像信号、前記中間画像信号の着目画素の画素値に対応付けられたクラスコードと対応付けられた予測係数、および前記原画像信号に基づいて、前記中間画像信号の前記着目画素に対する最適な前記クラスコードを選択し、前記中間画像記憶部における前記中間画像信号の前記着目画素の画素値に対する前記クラスコードの対応付けを更新するクラスコード更新ステップと、

所定の条件を満たしたとき、前記予測画像信号を前記出力画像信号に決定する決定ステップとを含み、

前記中間画像記憶ステップは、前記中間画像信号の各画素毎に、画素値およびクラスコードを包含する画素データを前記中間画像記憶部に記憶する  
画像信号変換方法。

#### 【請求項 1 2】

原画像信号を前記原画像信号よりも情報量が少ない出力画像信号に変換するコンピュータの制御用のプログラムであって、

前記原画像信号から前記出力画像信号と同じ情報量の中間画像信号を生成する中間画像信号生成ステップと、

前記中間画像信号の各画素の画素値を各クラスコードに対応付けて中間画像記憶部に記憶する中間画像記憶ステップと、

各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、

前記中間画像信号、前記中間画像信号の着目画素に対応付けられたクラスコード、および前記原画像信号に基づいて、前記クラスコードに対する最適な前記予測係数を生成し、前記予測係数記憶部における前記各クラスコードに対する前記予測係数を更新する予測係数更新ステップと、

前記中間画像信号、前記中間画像信号の着目画素の画素値に対応付けられたクラスコードと対応付けられた予測係数、および前記原画像信号に基づいて、前記中間画像信号の前記着目画素に対する最適な前記クラスコードを選択し、前記中間画像記憶部における前記中間画像信号の前記着目画素の画素値に対する前記クラスコードの対応付けを更新するクラスコード更新ステップと、

所定の条件を満たしたとき、前記予測画像信号を前記出力画像信号に決定する決定ステップとを含み、

前記中間画像記憶ステップは、前記中間画像信号の各画素毎に、画素値およびクラスコードを包含する画素データを前記中間画像記憶部に記憶する

処理をコンピュータに実行させるプログラムが記録されている記録媒体。

#### 【請求項 1 3】

原画像信号を前記原画像信号よりも情報量が少ない出力画像信号に変換する画像信号変換装置において、

前記原画像信号から前記出力画像信号と同じ情報量の中間画像信号を生成する中間画像信号生成手段と、

前記中間画像信号の各画素の画素値を各クラスコードに対応付けて記憶する中間画像記

10

20

30

40

50

憶手段と、

前記各クラスコードに対して予測係数を対応付けて記憶する予測係数記憶手段と、

前記中間画像信号、前記中間画像信号の着目画素に対応付けられた前記クラスコード、および前記原画像信号に基づいて、前記クラスコードに対する最適な前記予測係数を生成し、前記予測係数記憶手段における前記各クラスコードに対する予測係数を更新する予測係数更新手段と、

前記中間画像信号の注目画素に基づいて選定される前記着目画素に対応付けられた前記クラスコードと対応付けられた前記予測係数、前記中間画像信号の前記注目画素に基づいて選定される少なくとも1つの前記着目画素、および前記原画像信号に基づいて、前記中間画像信号の前記注目画素の最適な画素値を生成し、前記中間画像記憶手段における前記注目画素の画素値を更新する画素値更新手段と、

所定の条件を満たしたとき、前記中間画像信号を前記出力画像信号に決定する決定手段と

を含む画像信号変換装置。

【請求項14】

前記予測係数更新手段および前記画素値更新手段は、前記決定手段が前記所定の条件を満たしたことを検出するまで、前記予測係数および前記画素値の更新を繰り返して実行する

請求項13に記載の画像信号変換装置。

【請求項15】

前記中間画像記憶手段に記憶された前記中間画像信号の各画素値、および前記予測係数記憶手段に記憶された前記各画素値に対応づけられたクラスコードと対応付けられた予測係数に基づいて、前記原画像信号と同じ情報量を有する予測画像信号の1または複数の画素値を生成する予測画像生成手段をさらに含み、

前記決定手段は、前記所定の条件として、前記中間画像信号と前記原画像信号の比較結果に基づく条件を用いる

請求項14に記載の画像信号変換装置。

【請求項16】

前記決定手段は、前記中間画像信号と前記原画像信号の誤差を前記比較結果とし、前記比較結果が閾値以下になったとき、前記所定の条件を満たしたと検出する

請求項15に記載の画像信号変換装置。

【請求項17】

前記決定手段は、前記予測係数および前記画素値の更新回数が閾値に達したとき、前記所定の条件を満たしたと検出する

請求項14に記載の画像信号変換装置。

【請求項18】

前記原画像信号および前記中間画像信号に基づいて、初期予測係数を生成し、前記予測係数記憶手段に記憶させる初期予測係数生成手段を

さらに含む請求項14に記載の画像信号変換装置。

【請求項19】

前記出力画像信号は、前記原画像信号よりも画素数が少ない

請求項13に記載の画像信号変換装置。

【請求項20】

前記中間画像記憶手段は、前記中間画像信号の各画素毎に、画素値およびクラスコードを含む画素データを記憶する

請求項13に記載の画像信号変換装置。

【請求項21】

前記出力画像信号および前記予測係数記憶手段に記憶された予測係数を出力する出力手段を

さらに含む請求項13に記載の画像信号変換装置。

10

20

30

40

50

## 【請求項 2 2】

前記中間画像信号、前記中間画像信号の着目画素の画素値に対応付けられたクラスコードと対応付けられた予測係数、および前記原画像信号に基づいて、前記中間画像信号の前記着目画素に対する最適な前記クラスコードを選択し、前記中間画像記憶手段における前記中間画像信号の前記着目画素の画素値に対するクラスコードの対応付けを更新するクラスコード更新手段を

さらに含む請求項 1 3 に記載の画像信号変換装置。

## 【請求項 2 3】

前記画素値更新手段は、前記注目画素の画素値の更新と同時に、前記着目画素の画素値を更新する

10

請求項 1 3 に記載の画像信号変換装置。

## 【請求項 2 4】

原画像信号を前記原画像信号よりも情報量が少ない出力画像信号に変換する画像信号変換装置の画像信号変換方法において、

前記原画像信号から前記出力画像信号と同じ情報量の中間画像信号を生成する中間画像信号生成ステップと、

前記中間画像信号の各画素の画素値を各クラスコードと対応付けて中間画像記憶部に記憶する中間画像記憶ステップと、

各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、

20

前記中間画像信号、前記中間画像信号の着目画素に対応付けられた前記クラスコード、および前記原画像信号に基づいて、前記クラスコードに対する最適な前記予測係数を生成し、前記予測係数記憶部における前記各クラスコードに対する予測係数を更新する予測係数更新ステップと、

前記中間画像信号の注目画素に基づいて選定される前記着目画素に対応付けられた前記クラスコードと対応付けられた前記予測係数、前記中間画像信号の前記注目画素に基づいて選定される少なくとも 1 つの着目画素、および前記原画像信号に基づいて、前記中間画像信号の前記注目画素の最適な画素値を生成し、前記中間画像記憶部における前記注目画素の画素値を更新する画素値更新ステップと、

所定の条件を満たしたとき、前記中間画像信号を前記出力画像信号に決定する決定ステップと

30

を含む画像信号変換方法。

## 【請求項 2 5】

原画像信号を前記原画像信号よりも情報量が少ない出力画像信号に変換するコンピュータの制御用のプログラムであって、

前記原画像信号から前記出力画像信号と同じ情報量の中間画像信号を生成する中間画像信号生成ステップと、

前記中間画像信号の各画素の画素値を各クラスコードと対応付けて中間画像記憶部に記憶する中間画像記憶ステップと、

各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、

40

前記中間画像信号、前記中間画像信号の着目画素に対応付けられた前記クラスコード、および前記原画像信号に基づいて、前記クラスコードに対する最適な前記予測係数を生成し、前記予測係数記憶部における前記各クラスコードに対する予測係数を更新する予測係数更新ステップと、

前記中間画像信号の注目画素に基づいて選定される前記着目画素に対応付けられた前記クラスコードと対応付けられた前記予測係数、前記中間画像信号の前記注目画素に基づいて選定される少なくとも 1 つの着目画素、および前記原画像信号に基づいて、前記中間画像信号の前記注目画素の最適な画素値を生成し、前記中間画像記憶部における前記注目画素の画素値を更新する画素値更新ステップと、

50

所定の条件を満たしたとき、前記中間画像信号を前記出力画像信号に決定する決定ステップと

を含む処理をコンピュータに実行させるプログラムが記録されている記録媒体。

【請求項 2 6】

原情報信号を前記原情報信号よりも情報量が少ない出力情報信号に変換する情報信号変換装置において、

前記原情報信号から前記出力情報信号と同じ情報量の中間情報信号を生成する中間情報信号生成手段と、

前記中間情報信号の各サンプルのサンプル値を各クラスコードと対応付けて記憶する中間情報記憶手段と、

前記各クラスコードに対して予測係数を対応付けて記憶する予測係数記憶手段と、

前記中間情報信号、前記中間情報信号の着目サンプルに対応付けられたクラスコード、および前記原情報信号に基づいて、前記クラスコードに対する最適な前記予測係数を生成し、前記予測係数記憶手段における前記各クラスコードに対する予測係数を更新する予測係数更新手段と、

前記中間情報信号、前記中間情報信号の前記着目サンプルのサンプル値に対応付けられたクラスコードと対応付けられた予測係数、および前記原情報信号に基づいて、前記中間情報信号の前記着目サンプルに対する最適な前記クラスコードを選択し、前記中間情報記憶手段における前記中間情報信号の前記着目サンプルのサンプル値に対する前記クラスコードの対応付けを更新するクラスコード更新手段と、

所定の条件を満たしたとき、前記予測情報信号を前記出力情報信号に決定する決定手段とを含み、

前記中間情報記憶手段は、前記中間情報信号の各サンプル毎に、サンプル値およびクラスコードを包含するサンプルデータを記憶する

情報信号変換装置。

【請求項 2 7】

原情報信号を前記原情報信号よりも情報量が少ない出力情報信号に変換する情報信号変換装置の情報信号変換方法において、

前記原情報信号から前記出力情報信号と同じ情報量の中間情報信号を生成する中間情報信号生成ステップと、

前記中間情報信号の各サンプルのサンプル値を各クラスコードと対応付けて中間情報記憶部に記憶する中間情報記憶ステップと、

前記各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、

前記中間情報信号、前記中間情報信号の着目サンプルに対応付けられたクラスコード、および前記原情報信号に基づいて、前記クラスコードに対する最適な前記予測係数を生成し、前記予測係数記憶部における前記各クラスコードに対する予測係数を更新する予測係数更新ステップと、

前記中間情報信号、前記中間情報信号の前記着目サンプルのサンプル値に対応付けられたクラスコードと対応付けられた予測係数、および前記原情報信号に基づいて、前記中間情報信号の前記着目サンプルに対する最適な前記クラスコードを選択し、前記中間情報記憶部における前記中間情報信号の前記着目サンプルのサンプル値に対する前記クラスコードの対応付けを更新するクラスコード更新ステップと、

所定の条件を満たしたとき、前記予測情報信号を前記出力情報信号に決定する決定ステップとを含み、

前記中間情報記憶ステップは、前記中間情報信号の各サンプル毎に、サンプル値およびクラスコードを包含するサンプルデータを前記中間情報記憶部に記憶する

情報信号変換方法。

【請求項 2 8】

原情報信号を前記原情報信号よりも情報量が少ない出力情報信号に変換するコンピュー

10

20

30

40

50

タの制御用のプログラムであって、

前記原情報信号から前記出力情報信号と同じ情報量の中間情報信号を生成する中間情報信号生成ステップと、

前記中間情報信号の各サンプルのサンプル値を各クラスコードと対応付けて中間情報記憶部に記憶する中間情報記憶ステップと、

前記各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、

前記中間情報信号、前記中間情報信号の着目サンプルに対応付けられたクラスコード、および前記原情報信号に基づいて、前記クラスコードに対する最適な前記予測係数を生成し、前記予測係数記憶部における前記各クラスコードに対する予測係数を更新する予測係数更新ステップと、

前記中間情報信号、前記中間情報信号の前記着目サンプルのサンプル値に対応付けられたクラスコードと対応付けられた予測係数、および前記原情報信号に基づいて、前記中間情報信号の前記着目サンプルに対する最適な前記クラスコードを選択し、前記中間情報記憶部における前記中間情報信号の前記着目サンプルのサンプル値に対する前記クラスコードの対応付けを更新するクラスコード更新ステップと、

所定の条件を満たしたとき、前記予測情報信号を前記出力情報信号に決定する決定ステップと含み、

前記中間情報記憶ステップは、前記中間情報信号の各サンプル毎に、サンプル値およびクラスコードを包含するサンプルデータを前記中間情報記憶部に記憶する

処理をコンピュータに実行させるプログラムが記録されている記録媒体。

#### 【請求項 29】

原情報信号を前記原情報信号よりも情報量が少ない出力情報信号に変換する情報信号変換装置において、

前記原情報信号から前記出力情報信号と同じ情報量の中間情報信号を生成する中間情報信号生成手段と、

前記中間情報信号の各サンプルのサンプル値を各クラスコードに対応付けて記憶する中間情報記憶手段と、

前記各クラスコードに対して予測係数を対応付けて記憶する予測係数記憶手段と、

前記中間情報信号、前記中間情報信号の着目サンプルに対応付けられた前記クラスコード、および前記原情報信号に基づいて、前記クラスコードに対する最適な前記予測係数を生成し、前記予測係数記憶手段における前記各クラスコードに対する前記予測係数を更新する予測係数更新手段と、

前記中間情報信号の注目サンプルに基づいて選定される前記着目サンプルに対応付けられた前記クラスコードと対応付けられた前記予測係数、前記中間情報信号の前記注目サンプルに基づいて選定される少なくとも1つの前記着目サンプル、および前記原情報信号に基づいて、前記中間情報信号の注目サンプルの最適なサンプル値を生成し、前記中間情報記憶手段における前記注目サンプルのサンプル値を更新するサンプル値更新手段と、

所定の条件を満たしたとき、前記中間情報信号を前記出力情報信号に決定する決定手段と

を含む情報信号変換装置。

#### 【請求項 30】

原情報信号を前記原情報信号よりも情報量が少ない出力情報信号に変換する情報信号変換装置の情報信号変換方法において、

前記原情報信号から前記出力情報信号と同じ情報量の中間情報信号を生成する中間情報信号生成ステップと、

前記中間情報信号の各サンプルのサンプル値を各クラスコードに対応付けて中間情報記憶部に記憶する中間情報記憶ステップと、

前記各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、

10

20

30

40

50

前記中間情報信号、前記中間情報信号の着目サンプルに対応付けられた前記クラスコード、および前記原情報信号に基づいて、前記クラスコードに対する最適な前記予測係数を生成し、前記予測係数記憶部における前記各クラスコードに対する前記予測係数を更新する予測係数更新ステップと、

前記中間情報信号の注目サンプルに基づいて選定される前記着目サンプルに対応付けられた前記クラスコードと対応付けられた前記予測係数、前記中間情報信号の前記注目サンプルに基づいて選定される少なくとも1つの前記着目サンプル、および前記原情報信号に基づいて、前記中間情報信号の注目サンプルの最適なサンプル値を生成し、前記中間情報記憶部における前記注目サンプルのサンプル値を更新するサンプル値更新ステップと、

所定の条件を満たしたとき、前記中間情報信号を前記出力情報信号に決定する決定ステップと

を含む情報信号変換方法。

【請求項31】

原情報信号を前記原情報信号よりも情報量が少ない出力情報信号に変換するコンピュータの制御用のプログラムであって、

前記原情報信号から前記出力情報信号と同じ情報量の中間情報信号を生成する中間情報信号生成ステップと、

前記中間情報信号の各サンプルのサンプル値を各クラスコードに対応付けて中間情報記憶部に記憶する中間情報記憶ステップと、

前記各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、

前記中間情報信号、前記中間情報信号の着目サンプルに対応付けられた前記クラスコード、および前記原情報信号に基づいて、前記クラスコードに対する最適な前記予測係数を生成し、前記予測係数記憶部における前記各クラスコードに対する前記予測係数を更新する予測係数更新ステップと、

前記中間情報信号の注目サンプルに基づいて選定される前記着目サンプルに対応付けられた前記クラスコードと対応付けられた前記予測係数、前記中間情報信号の前記注目サンプルに基づいて選定される少なくとも1つの前記着目サンプル、および前記原情報信号に基づいて、前記中間情報信号の注目サンプルの最適なサンプル値を生成し、前記中間情報記憶部における前記注目サンプルのサンプル値を更新するサンプル値更新ステップと、

所定の条件を満たしたとき、前記中間情報信号を前記出力情報信号に決定する決定ステップと

を含む処理をコンピュータに実行させるプログラムが記録されている記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像信号変換装置および方法、情報信号変換装置および方法、並びに記録媒体に関し、例えば、原信号を原信号よりも情報量が少ない出力信号に変換する場合に用いて好適な画像信号変換装置および方法、情報信号変換装置および方法、並びに記録媒体に関する。

【0002】

【従来の技術】

原画像を構成する画素よりも情報量の少ない画素から構成される上位階層画像を生成し、この上位階層画像から、原画像とほぼ同一の下位階層画像を生成する（原画像を復元する）する技術がある。この技術については、本出願人により、特願平8-206552、および、その対応米国特許出願シリアルナンバ893202号（1997年7月15日出願）として提案されている。

【0003】

この提案においては、下位階層画像の画素値は、上位階層画像の着目画素を中心とする予測タップの画素値と、着目画素が分類されるクラスコードに対応する予測係数の線形1次

10

20

30

40

50

結合からなる予測式を演算することにより求められる。なお、着目画素のクラスコードは、着目画素とその近傍の画素から構成されるクラスタップの画素値から決定される。

#### 【0004】

したがって、原画像とほぼ等しい下位階層画像を生成することが可能な上位階層画像を生成するには、画素値とクラスコード（予測係数）を同時に最適化することが理想的である。

#### 【0005】

##### 【発明が解決しようとする課題】

しかしながら、サンプル値とクラスコード（予測係数）を同時に適正化するためには、上位階層画像の全てのサンプルのサンプル値を同時に変動させる必要があるが、そのようにするには演算量が膨大となることから、サンプル値とクラスコード（予測係数）を同時に適正化することは、実質的には不可能である課題があった。

10

#### 【0006】

また、例えば、クラスコード（予測係数）を適正化した後、サンプル値を適正化した場合、クラスコードは着目サンプル等のサンプル値から決定されていることから、先に適正化したクラスコードが変化してしまう。このように、サンプル値とクラスコードのうちの一方を固定した後、他方を適正化することができない課題があった。

#### 【0007】

本発明はこのような状況に鑑みてなされたものであり、画素値（サンプル値）と予測係数の双方を、他方に影響されることなく適正化することにより、原画像（原信号）を復元可能な上位階層画像（信号）を生成できるようにするものである。

20

#### 【0008】

##### 【課題を解決するための手段】

本発明の第1の画像信号変換装置は、原画像信号から出力画像信号と同じ情報量の中間画像信号を生成する中間画像信号生成手段と、中間画像信号の各画素の画素値を各クラスコードと対応付けて記憶する中間画像記憶手段と、各クラスコードに対して予測係数を対応付けて記憶する予測係数記憶手段と、中間画像信号、中間画像信号の着目画素に対応付けられたクラスコード、および原画像信号に基づいて、クラスコードに対する最適な予測係数を生成し、予測係数記憶手段における各クラスコードに対する予測係数を更新する予測係数更新手段と、中間画像信号、中間画像信号の着目画素の画素値に対応付けられたクラスコードと対応付けられた予測係数、並びに原画像信号に基づいて、中間画像信号の着目画素に対する最適なクラスコードを選択し、中間画像記憶手段における中間画像信号の着目画素の画素値に対するクラスコードの対応付けを更新するクラスコード更新手段と、所定の条件を満たしたとき、中間画像信号を出力画像信号に決定する決定手段とを含み、中間画像記憶手段は、中間画像信号の各画素毎に、画素値およびクラスコードを包含する画素データを記憶する。

30

#### 【0009】

前記予測係数更新手段およびクラスコード更新手段は、決定手段が所定の条件を満たしたことを検出するまで、予測係数およびクラスコードの更新を繰り返して実行することができる。

40

#### 【0010】

本発明の第1の画像信号変換装置は、中間画像記憶手段が記憶した中間画像信号の各画素値、予測係数記憶手段が記憶した中間画像信号の各画素値に対応するクラスコードと対応付けられた予測係数に基づいて、原画像信号と同じ情報量を有する予測画像信号の1または複数の画素値を生成する予測画像生成手段をさらに含むことができ、前記決定手段は、所定の条件として、中間画像信号と原画像信号の比較結果に基づく条件を用いるようにすることができる。

#### 【0011】

前記決定手段は、中間画像信号と原画像信号の誤差を比較結果とし、比較結果が閾値以下になったとき、所定の条件を満たしたと検出するようにすることができる。

50

## 【0012】

前記決定手段は、予測係数およびクラスコードの更新回数が閾値に達したとき、所定の条件を満たしたと検出するようになることができる。

## 【0013】

本発明の第1の画像信号変換装置は、原画像信号および中間画像信号に基づいて、初期予測係数を生成し、予測係数記憶手段に記憶させる初期予測係数生成手段をさらに含むことができる。

## 【0014】

本発明の第1の画像信号変換装置は、中間画像信号の着目画素に基づいて選定される画素の画素値、およびクラスコード更新手段で更新されたクラスコードに基づいて、拡張クラスコードを生成する拡張クラスコード生成手段と、拡張クラスコードに対応する拡張予測係数を生成する拡張予測係数生成手段とをさらに含むことができる。10

## 【0016】

本発明の第1の画像信号変換装置は、出力画像信号および予測係数記憶手段に記憶された予測係数を出力する出力手段をさらに含むことができる。

## 【0017】

本発明の第1の画像信号変換装置は、中間画像信号の注目画素に基づいて選定される着目画素に対応付けられたクラスコードと対応付けられた予測係数、中間画像信号の注目画素に基づいて選定される少なくとも1つの着目画素、および原画像信号に基づいて、中間画像信号の注目画素の最適な画素値を生成し、中間画像記憶手段における注目画素の画素値を更新する画素値更新手段をさらに含むことができる。20

## 【0018】

本発明の第1の画像信号変換方法は、原画像信号から出力画像信号と同じ情報量の中間画像信号を生成する中間画像信号生成ステップと、中間画像信号の各画素の画素値を各クラスコードに対応付けて中間画像記憶部に記憶する中間画像記憶ステップと、各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、中間画像信号、中間画像信号の着目画素に対応付けられたクラスコード、および原画像信号に基づいて、クラスコードに対する最適な予測係数を生成し、予測係数記憶部における各クラスコードに対する予測係数を更新する予測係数更新ステップと、中間画像信号、中間画像信号の着目画素の画素値に対応付けられたクラスコードと対応付けられた予測係数、および原画像信号に基づいて、中間画像信号の着目画素に対する最適なクラスコードを選択し、中間画像記憶部における中間画像信号の着目画素の画素値に対するクラスコードの対応付けを更新するクラスコード更新ステップと、所定の条件を満たしたとき、予測画像信号を出力画像信号に決定する決定ステップとを含み、中間画像記憶ステップは、中間画像信号の各画素毎に、画素値およびクラスコードを包含する画素データを中間画像記憶部に記憶する。30

## 【0027】

本発明の第1の記録媒体は、原画像信号から出力画像信号と同じ情報量の中間画像信号を生成する中間画像信号生成ステップと、中間画像信号の各画素の画素値を各クラスコードに対応付けて中間画像記憶部に記憶する中間画像記憶ステップと、各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、中間画像信号、中間画像信号の着目画素に対応付けられたクラスコード、および原画像信号に基づいて、クラスコードに対する最適な予測係数を生成し、予測係数記憶部における各クラスコードに対する予測係数を更新する予測係数更新ステップと、中間画像信号、中間画像信号の着目画素の画素値に対応付けられたクラスコードと対応付けられた予測係数、および原画像信号に基づいて、中間画像信号の着目画素に対する最適なクラスコードを選択し、中間画像記憶部における中間画像信号の着目画素の画素値に対するクラスコードの対応付けを更新するクラスコード更新ステップと、所定の条件を満たしたとき、予測画像信号を出力画像信号に決定する決定ステップとを含み、中間画像記憶ステップは、中間画像信号の各画素毎に、画素値およびクラスコードを包含する画素データを中間画像記憶部に記憶4050

する処理をコンピュータに実行させるプログラムが記録されている。

【0028】

本発明の第2の画像信号変換装置は、原画像信号から出力画像信号と同じ情報量の中間画像信号を生成する中間画像信号生成手段と、中間画像信号の各画素の画素値を各クラスコードに対応付けて記憶する中間画像記憶手段と、各クラスコードに対して予測係数を対応付けて記憶する予測係数記憶手段と、中間画像信号、中間画像信号の着目画素に対応付けられたクラスコード、および原画像信号に基づいて、クラスコードに対する最適な予測係数を生成し、予測係数記憶手段における各クラスコードに対する予測係数を更新する予測係数更新手段と、中間画像信号の注目画素に基づいて選定される着目画素に対応付けられたクラスコードと対応付けられた予測係数、中間画像信号の注目画素に基づいて選定される少なくとも1つの着目画素、および原画像信号に基づいて、中間画像信号の注目画素の最適な画素値を生成し、中間画像記憶手段における注目画素の画素値を更新する画素値更新手段と、所定の条件を満たしたとき、中間画像信号を出力画像信号に決定する決定手段とを含む。10

【0029】

前記予測係数更新手段および画素値更新手段は、決定手段が所定の条件を満たしたことを探出するまで、予測係数および画素値の更新を繰り返して実行するようにすることができる。

【0030】

本発明の第2の画像信号変換装置は、中間画像記憶手段に記憶された中間画像信号の各画素値、および予測係数記憶手段に記憶された各画素値に対応づけられたクラスコードと対応付けられた予測係数に基づいて、原画像信号と同じ情報量を有する予測画像信号の1または複数の画素値を生成する予測画像生成手段をさらに含むことができ、前記決定手段は、所定の条件として、中間画像信号と原画像信号の比較結果に基づく条件を用いるようにすることができる。20

【0031】

前記決定手段は、中間画像信号と原画像信号の誤差を比較結果とし、比較結果が閾値以下になったとき、所定の条件を満たしたと検出するようにすることができる。

【0032】

前記決定手段は、予測係数および画素値の更新回数が閾値に達したとき、所定の条件を満たしたと検出するようにすることができる。30

【0033】

本発明の第2の画像信号変換装置は、原画像信号および中間画像信号に基づいて、初期予測係数を生成し、予測係数記憶手段に記憶させる初期予測係数生成手段をさらに含むことができる。

【0034】

前記中間画像記憶手段は、中間画像信号の各画素毎に、画素値およびクラスコードを含む画素データを記憶するようにすることができる。

【0035】

本発明の第2の画像信号変換装置は、出力画像信号および予測係数記憶手段に記憶された予測係数を出力する出力手段をさらに含むことができる。40

【0036】

本発明の第2の画像信号変換装置は、中間画像信号、中間画像信号の着目画素の画素値に対応付けられたクラスコードと対応付けられた予測係数、および原画像信号に基づいて、中間画像信号の着目画素に対する最適なクラスコードを選択し、中間画像記憶手段における中間画像信号の着目画素の画素値に対するクラスコードの対応付けを更新するクラスコード更新手段をさらに含むことができる。

【0037】

前記画素値更新手段は、注目画素の画素値の更新とともに、着目画素の画素値を更新するようにすることができる。50

## 【0038】

本発明の第2の画像信号変換方法は、原画像信号から出力画像信号と同じ情報量の中間画像信号を生成する中間画像信号生成ステップと、中間画像信号の各画素の画素値を各クラスコードと対応付けて中間画像記憶部に記憶する中間画像記憶ステップと、各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、中間画像信号、中間画像信号の着目画素に対応付けられたクラスコード、および原画像信号に基づいて、クラスコードに対する最適な予測係数を生成し、予測係数記憶部における各クラスコードに対する予測係数を更新する予測係数更新ステップと、中間画像信号の注目画素に基づいて選定される着目画素に対応付けられたクラスコードと対応付けられた予測係数、中間画像信号の注目画素に基づいて選定される少なくとも1つの着目画素、および原画像信号に基づいて、中間画像信号の注目画素の最適な画素値を生成し、中間画像記憶部における注目画素の画素値を更新する画素値更新ステップと、所定の条件を満たしたとき、中間画像信号を出力画像信号に決定する決定ステップとを含む。10

## 【0046】

本発明の第2の記録媒体は、原画像信号から出力画像信号と同じ情報量の中間画像信号を生成する中間画像信号生成ステップと、中間画像信号の各画素の画素値を各クラスコードと対応付けて中間画像記憶部に記憶する中間画像記憶ステップと、各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、中間画像信号、中間画像信号の着目画素に対応付けられたクラスコード、および原画像信号に基づいて、クラスコードに対する最適な予測係数を生成し、予測係数記憶部における各クラスコードに対する予測係数を更新する予測係数更新ステップと、中間画像信号の注目画素に基づいて選定される着目画素に対応付けられたクラスコードと対応付けられた予測係数、中間画像信号の注目画素に基づいて選定される少なくとも1つの着目画素、および原画像信号に基づいて、中間画像信号の注目画素の最適な画素値を生成し、中間画像記憶部における注目画素の画素値を更新する画素値更新ステップと、所定の条件を満たしたとき、中間画像信号を出力画像信号に決定する決定ステップとを含む処理をコンピュータに実行させるプログラムが記録されている。20

## 【0047】

本発明の第3の情報信号変換装置は、原情報信号から出力情報信号と同じ情報量の中間情報信号を生成する中間情報信号生成手段と、中間情報信号の各サンプルのサンプル値を各クラスコードと対応付けて記憶する中間情報記憶手段と、各クラスコードに対して予測係数を対応付けて記憶する予測係数記憶手段と、中間情報信号、中間情報信号の着目サンプルに対応付けられたクラスコード、および原情報信号に基づいて、クラスコードに対する最適な予測係数を生成し、予測係数記憶手段における各クラスコードに対する予測係数を更新する予測係数更新手段と、中間情報信号、中間情報信号の着目サンプルのサンプル値に対応付けられたクラスコードと対応付けられた予測係数、および原情報信号に基づいて、中間情報信号の着目サンプルに対する最適なクラスコードを選択し、中間情報記憶手段における中間情報信号の着目サンプルのサンプル値に対するクラスコードの対応付けを更新するクラスコード更新手段と、所定の条件を満たしたとき、予測情報信号を出力情報信号に決定する決定手段とを含み、中間情報記憶手段は、中間情報信号の各サンプル毎に、サンプル値およびクラスコードを包含するサンプルデータを記憶する。30

## 【0048】

本発明の第3の情報信号変換方法において、原情報信号から出力情報信号と同じ情報量の中間情報信号を生成する中間情報信号生成ステップと、中間情報信号の各サンプルのサンプル値を各クラスコードと対応付けて中間情報記憶部に記憶する中間情報記憶ステップと、各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、中間情報信号、中間情報信号の着目サンプルに対応付けられたクラスコード、および原情報信号に基づいて、クラスコードに対する最適な予測係数を生成し、予測係数記憶部における各クラスコードに対する予測係数を更新する予測係数更新ステップと、中間情報信号、中間情報信号の着目サンプルのサンプル値に対応付けられたクラスコード40

10

20

30

40

50

ドと対応付けられた予測係数、および原情報信号に基づいて、中間情報信号の着目サンプルに対する最適なクラスコードを選択し、中間情報記憶部における中間情報信号の着目サンプルのサンプル値に対するクラスコードの対応付けを更新するクラスコード更新ステップと、所定の条件を満たしたとき、予測情報信号を出力情報信号に決定する決定ステップとを含み、中間情報記憶ステップは、中間情報信号の各サンプル毎に、サンプル値およびクラスコードを包含するサンプルデータを中間情報記憶部に記憶する。

【0049】

本発明の第3の記録媒体は、原情報信号から出力情報信号と同じ情報量の中間情報信号を生成する中間情報信号生成ステップと、中間情報信号の各サンプルのサンプル値を各クラスコードと対応付けて中間情報記憶部に記憶する中間情報記憶ステップと、各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、中間情報信号、中間情報信号の着目サンプルに対応付けられたクラスコード、および原情報信号に基づいて、クラスコードに対する最適な予測係数を生成し、予測係数記憶部における各クラスコードに対する予測係数を更新する予測係数更新ステップと、中間情報信号、中間情報信号の着目サンプルのサンプル値に対応付けられたクラスコードと対応付けられた予測係数、および原情報信号に基づいて、中間情報信号の着目サンプルに対する最適なクラスコードを選択し、中間情報記憶部における中間情報信号の着目サンプルのサンプル値に対するクラスコードの対応付けを更新するクラスコード更新ステップと、所定の条件を満たしたとき、予測情報信号を出力情報信号に決定する決定ステップと含み、中間情報記憶ステップは、中間情報信号の各サンプル毎に、サンプル値およびクラスコードを包含するサンプルデータを中間情報記憶部に記憶する処理をコンピュータに実行させるプログラムが記録されている。

【0050】

本発明の第4の情報信号変換装置は、原情報信号から出力情報信号と同じ情報量の中間情報信号を生成する中間情報信号生成手段と、中間情報信号の各サンプルのサンプル値を各クラスコードに対応付けて記憶する中間情報記憶手段と、各クラスコードに対して予測係数を対応付けて記憶する予測係数記憶手段と、中間情報信号、中間情報信号の着目サンプルに対応付けられたクラスコード、および原情報信号に基づいて、クラスコードに対する最適な予測係数を生成し、予測係数記憶手段における各クラスコードに対する予測係数を更新する予測係数更新手段と、中間情報信号の注目サンプルに基づいて選定される着目サンプルに対応付けられたクラスコードと対応付けられた予測係数、中間情報信号の注目サンプルに基づいて選定される少なくとも1つの着目サンプル、および原情報信号に基づいて、中間情報信号の注目サンプルの最適なサンプル値を生成し、中間情報記憶手段における注目サンプルのサンプル値を更新するサンプル値更新手段と、所定の条件を満たしたとき、中間情報信号を出力情報信号に決定する決定手段とを含む。

【0051】

本発明の第4の情報信号変換方法は、原情報信号から出力情報信号と同じ情報量の中間情報信号を生成する中間情報信号生成ステップと、中間情報信号の各サンプルのサンプル値を各クラスコードに対応付けて中間情報記憶部に記憶する中間情報記憶ステップと、各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、中間情報信号、中間情報信号の着目サンプルに対応付けられたクラスコード、および原情報信号に基づいて、クラスコードに対する最適な予測係数を生成し、予測係数記憶部における各クラスコードに対する予測係数を更新する予測係数更新ステップと、中間情報信号の注目サンプルに基づいて選定される着目サンプルに対応付けられたクラスコードと対応付けられた予測係数、中間情報信号の注目サンプルに基づいて選定される少なくとも1つの着目サンプル、および原情報信号に基づいて、中間情報信号の注目サンプルの最適なサンプル値を生成し、中間情報記憶部における注目サンプルのサンプル値を更新するサンプル値更新ステップと、所定の条件を満たしたとき、中間情報信号を出力情報信号に決定する決定ステップとを含む。

【0052】

10

20

30

40

50

本発明の第4の記録媒体は、原情報信号から出力情報信号と同じ情報量の中間情報信号を生成する中間情報信号生成ステップと、中間情報信号の各サンプルのサンプル値を各クラスコードに対応付けて中間情報記憶部に記憶する中間情報記憶ステップと、各クラスコードに対して予測係数を対応付けて予測係数記憶部に記憶する予測係数記憶ステップと、中間情報信号、中間情報信号の着目サンプルに対応付けられたクラスコード、および原情報信号に基づいて、クラスコードに対する最適な予測係数を生成し、予測係数記憶部における各クラスコードに対する予測係数を更新する予測係数更新ステップと、中間情報信号の注目サンプルに基づいて選定される着目サンプルに対応付けられたクラスコードと対応付けられた予測係数、中間情報信号の注目サンプルに基づいて選定される少なくとも1つの着目サンプル、および原情報信号に基づいて、中間情報信号の注目サンプルの最適なサンプル値を生成し、中間情報記憶部における注目サンプルのサンプル値を更新するサンプル値更新ステップと、所定の条件を満たしたとき、中間情報信号を出力情報信号に決定する決定ステップとを含む処理をコンピュータに実行させるプログラムが記録されている。

#### 【0053】

本発明の第1の画像信号変換装置、画像信号変換方法、および記録媒体のプログラムにおいては、原画像信号から出力画像信号と同じ情報量の中間画像信号が生成され、中間画像信号の各画素の画素値が各クラスコードに対応付けて中間画像記憶部に記憶され、各クラスコードに対して予測係数が対応付けられて予測係数記憶部に記憶される。また、中間画像信号、中間画像信号の着目画素に対応付けられたクラスコード、および原画像信号に基づいて、クラスコードに対する最適な予測係数が生成されて予測係数記憶部における各クラスコードに対する予測係数が更新される。また、中間画像信号、中間画像信号の着目画素の画素値に対応付けられたクラスコードと対応付けられた予測係数、および原画像信号に基づいて、中間画像信号の着目画素に対する最適なクラスコードが選択されて中間画像記憶部における中間画像信号の着目画素の画素値に対するクラスコードの対応付けが更新される。さらに、所定の条件を満たしたとき、予測画像信号が出力画像信号に決定される。なお、中間画像記憶部には、中間画像信号の各画素毎に、画素値およびクラスコードを包含する画素データが記憶される。

#### 【0054】

本発明の第2の画像信号変換装置、画像信号変換方法、および記録媒体のプログラムにおいては、原画像信号から出力画像信号と同じ情報量の中間画像信号が生成され、中間画像信号の各画素の画素値が各クラスコードと対応付けて中間画像記憶部に記憶され、各クラスコードに対して予測係数が対応付けられて予測係数記憶部に記憶される。また、中間画像信号、中間画像信号の着目画素に対応付けられたクラスコード、および原画像信号に基づいて、クラスコードに対する最適な予測係数が生成されて予測係数記憶部における各クラスコードに対する予測係数が更新される。また、中間画像信号の注目画素に基づいて選定される着目画素に対応付けられたクラスコードと対応付けられた予測係数、中間画像信号の注目画素に基づいて選定される少なくとも1つの着目画素、および原画像信号に基づいて、中間画像信号の注目画素の最適な画素値が生成されて中間画像記憶部における注目画素の画素値が更新される。さらに、所定の条件を満たしたとき、中間画像信号が出力画像信号に決定される。

#### 【0055】

本発明の第3の情報信号変換装置、情報信号変換方法、および記録媒体のプログラムにおいては、原情報信号から出力情報信号と同じ情報量の中間情報信号が生成され、中間情報信号の各サンプルのサンプル値が各クラスコードと対応付けて中間記憶部に記憶され、各クラスコードに対して予測係数が対応付けられて予測係数記憶部に記憶される。また、中間情報信号、中間情報信号の着目サンプルに対応付けられたクラスコード、および原情報信号に基づいて、クラスコードに対する最適な予測係数が生成されて予測係数記憶部における各クラスコードに対する予測係数が更新される。また、中間情報信号、中間情報信号の着目サンプルのサンプル値に対応付けられたクラスコードと対応付けられた予測係数、および原情報信号に基づいて、中間情報信号の着目サンプルに対する最適なクラスコード

10

20

30

40

50

ドが選択されて中間情報記憶部における中間情報信号の着目サンプルのサンプル値に対するクラスコードの対応付けが更新される。さらに、所定の条件を満たしたとき、予測情報信号が出力情報信号に決定される。なお、中間情報記憶部には、中間情報信号の各サンプル毎に、サンプル値およびクラスコードを包含するサンプルデータが記憶される。

#### 【0056】

本発明の第4の情報信号変換装置、情報信号変換方法、および記録媒体のプログラムにおいては、原情報信号から出力情報信号と同じ情報量の中間情報信号が生成され、中間情報信号の各サンプルのサンプル値が各クラスコードに対応付けて中間情報記憶部に記憶され、各クラスコードに対して予測係数が対応付けられて予測係数記憶部に記憶される。また、中間情報信号、中間情報信号の着目サンプルに対応付けられたクラスコード、および原情報信号に基づいて、クラスコードに対する最適な予測係数が生成されて予測係数記憶部における各クラスコードに対する予測係数が更新される。また、中間情報信号の注目サンプルに基づいて選定される着目サンプルに付けられたクラスコードと対応付けられた予測係数、中間情報信号の注目サンプルに基づいて選定される少なくとも1つの着目サンプル、および原情報信号に基づいて、中間情報信号の注目サンプルの最適なサンプル値が生成されて中間情報記憶部における注目サンプルのサンプル値が更新される。さらに、所定の条件を満たしたとき、中間情報信号が出力情報信号に決定される。

#### 【0057】

##### 【発明の実施の形態】

本発明を適用したエンコーダの構成例について、図1を参照して説明する。なお、このエンコーダ1に入力される原画像は、1画素当たり8ビットの画素値を有し、エンコーダ1によって生成される上位階層画像も1画素当たり8ビットの情報量(画素データ)を有するものとする。

#### 【0058】

また、以下において、着目画素は、画素値の更新が行われずに位置を特定するために指定される画素とし、注目画素は、位置を特定するために指定され、かつ、画素値が更新される画素とする。

#### 【0059】

このエンコーダ1において、原画像は、前処理回路2、画素値更新回路6、予測係数更新回路7、クラスコード選択回路8、および収束判定回路10に供給される。前処理回路2は、供給された原画像を用い、初期上位階層画像を生成して上位階層画像メモリ3に記憶させ、初期予測係数テーブルを生成して予測係数メモリ4に記憶させる。

#### 【0060】

上位階層画像メモリ3は、記憶している上位階層画像をセレクタ5に出力する。また、上位階層画像メモリ3は、画素値更新回路6から入力される画素値(4ビット)を用いて、それまで記憶していた上位階層画像のMSB(Most Significant Bit)側の4ビットを更新し、クラスコード選択回路8から入力されるクラスコード(4ビット)を用いて、それまで記憶していた上位階層画像のLSB(Least Significant Bit)側の4ビットを更新する。

#### 【0061】

予測係数メモリ4は、記憶している予測係数テーブルを画素値更新回路6、クラスコード選択回路8、ローカルデコード回路9、および収束判定回路10に供給する。また、予測係数メモリ4は、予測係数更新回路7から入力される予測係数セットを用いて、それまで記憶していた予測係数テーブルを更新する。

#### 【0062】

セレクタ5は、更新回数カウンタ11から入力される制御信号に対応して、上位階層画像メモリ3から入力された上位階層画像を、ローカルデコード回路9および収束判定回路10の他、画素値更新回路6、予測係数更新回路7、クラスコード選択回路8のうちのいずれか1つに出力する。

#### 【0063】

画素値更新回路6は、原画像および予測係数セットを用いて、セレクタ5から入力された

10

20

30

40

50

上位階層画像の画素値（画素データのMSB側の4ビット）を更新し、上位階層画像メモリ3に出力する。予測係数更新回路7は、セレクタ5から入力された上位階層画像、および原画像を用いて予測係数セットを生成し、予測係数メモリ4に出力する。

【0064】

クラスコード選択回路8は、セレクタ5から入力された上位階層画像の各画素毎に、予測係数メモリ4に記憶されている予測係数テーブル内の最適な予測係数セットを選択し、その予測係数セットに対応するクラスコード（4ビット）を上位階層画像メモリ3に出力する。

【0065】

ローカルデコード回路9は、セレクタ5から入力された上位階層画像と予測係数メモリ4に記憶されている予測係数セットを用いて下位階層画像を生成し、収束判定回路10に出力する。

10

【0066】

なお、この実施例では、収束判定回路10は、S/N比の増加量に基づいて収束を判定するようにしているが、例えば、S/N比の増加レートに基づいて判定したり、S/N比の変わりに誤差に基づいて判定するようにしてもよい。

【0067】

収束判定回路10は、ローカルデコード回路9から入力された下位階層画像と原画像のS/Nを演算し、さらにその増加量を求めて、S/N比の増加が収束していると判定した場合、セレクタ5から入力された上位階層画像および予測係数メモリ4から入力された予測係数テーブルを出力する。また、収束判定回路10は、更新カウンタ11から制御信号が入力された場合も、セレクタ5から入力された上位階層画像および予測係数メモリ4から入力された予測係数テーブルを出力する。

20

【0068】

更新回数カウンタ11は、収束判定回路10、画素値更新回路6、予測係数更新回路7、またはクラスコード選択回路8が処理を終了したことに対応して、セレクタ5に制御信号を出力するとともに、制御信号を出力した回数をカウントし、カウントした値が所定の数に達したとき、収束判定回路10に制御信号を出力する。

【0069】

次に、エンコーダ1の動作について、図2のフローチャートを参照して説明する。このエンコード処理は、例えば、原画像がエンコーダ1に入力されたときに開始される。ステップS1において、前処理回路2は、入力された原画像を用いて前処理を実行する。

30

【0070】

この前処理は、図3に示すように、ステップS11, S12から成る。ステップS11の初期上位階層画像生成処理について、図4のフローチャートを参照して説明する。ステップS21において、前処理回路2は、入力された原画像を所定のサイズ（例えば、図5に示すように3×3画素）のブロックに分割する。

【0071】

ステップS22において、前処理回路2は、ステップS21で分割したブロックに含まれる複数（いまの場合、9個）の画素の画素値を平均し、その平均値（8ビット）のMSB側の4ビットを初期上位階層画像の1個の画素の画素値として、図6に示すように、上位階層画像データ（8ビット）のMSB側の4ビットに記録する。

40

【0072】

ただし、上位階層画像データのMSB側に記録された4ビットを画素値として用いる全ての回路（例えば、予測係数更新回路7、クラスコード選択回路8、ローカルデコード回路9）においては、その4ビットの値を8ビット化して用いるが、MSB側の4ビットの値を単に16倍しただけの値を用いると画像全体の輝度値が低下するので、これを抑止するため、16倍した値にオフセット値（例えば、7または8）を加算した値を画素値として用いる。

【0073】

50

なお、初期上位階層画像の画素値を決定する方法は、上述したような平均化による方法ではなく、原画像を直接、間引く方法やローパスフィルタ（ガウシアンフィルタ等）を用いてから間引く方法でもかまわない。

【0074】

図3に戻る。このようなステップS11の処理の後、ステップS12で初期予測係数生成処理が実行される。この処理について、図7のフローチャートを参照して説明する。ステップS31において、前処理回路2は、図3のステップS11で画素値（画素データ（8ビット）のうちのMSB側の4ビット）だけが決定された初期上位階層画像のうちの1つの画素を着目画素に決定する。

【0075】

ステップS32において、前処理回路2は、着目画素に応じてクラスタップ（例えば、着目画素とその上下左右に隣接する合計5個の画素）の画素値（各4ビット）を抽出する。ステップS33において、前処理回路2は、ステップS32で抽出した5個の画素値（MSB側の4ビット）に1ビットADRC(Adaptive Dynamic Range Coding)処理を施して、それぞれを1ビットに変換し、それらを、例えば、画素の位置に応じた順序で並べることにより、5ビットからなるクラスコードを取得する。さらに、前処理回路2は、着目画素の画素データ（8ビット）の LSB側の4ビットに任意の値（例えば、5ビットのクラスコードのMSB側の4ビット）を、図6に示すように設定する。なお、上述した1ビットADRC処理の詳細については、例えば米国特許5912708号公報に記載されている。

【0076】

ステップS34において、前処理回路2は、着目画素を中心とする所定のサイズ（例えば、 $5 \times 5$ 画素）の予測タップの画素値を抽出する。ステップS35において、前処理回路2は、既知である原画像および予測タップの画素値、並びに未知である予測係数セットから成る正規方程式を生成する。

【0077】

ステップS36において、前処理回路36は、初期上位階層画像の全ての画素を着目画素としたか否かを判定し、全ての画素を着目画素としたと判定するまで、ステップS31乃至S36の処理を繰り返す。ステップS36において、全ての画素を着目画素としたと判定された場合、ステップS37に進む。

【0078】

ステップS37において、前処理回路37は、ステップS35で生成された正規方程式を、5ビットで表されるクラス毎に生成し、その方程式に最小自乗法を適用して解くことにより32種類（5ビット）のクラスコードにそれぞれ対応する予測係数セットを取得する。ステップS38において、前処理回路2は、ステップS33で各クラスコードに分類された着目画素の数を示すヒストグラムを生成する。

【0079】

ステップS39において、前処理回路2は、ステップS38で生成したヒストグラムを参照し、着目画素の数が多い側から16個のクラスコードに対応する予測係数セットと、4ビットで表される新たなクラスコード（0000乃至1111）を任意に対応付ける。

【0080】

ステップS40において、前処理回路2は、4ビット（16種類）のクラスコードに対応付けられた予測係数を予測係数メモリ4に出力する。また、前処理回路2は、MSB側の4ビットが画素値であり、LSB側の4ビットがクラスコードである画素データから成る初期上位階層画像を上位階層画像メモリ3に出力する。

【0081】

なお、上述した処理以外に初期予測係数セットを生成する方法として、4ビットで表されるクラスコード（0000乃至1111）に乱数を対応付けてもかまわない。また、クラスコードが乱数であってもよいし、予測係数セットが乱数であってもよいし、あるいは、クラスコードと予測係数セットの両方が乱数であってもよい。

【0082】

10

20

30

40

50

図2に戻る。以上のようにして、ステップS1の前処理が行われた後、ステップS2において、クラスコード選択回路8は、入力された上位階層画像の各画素に対して、予測係数メモリ4に記憶されている16種類の予測係数セットのうちの最適なものを選択する。なお、クラスコード選択回路8の構成例と動作については、図14および図15を参照して後述する。

#### 【0083】

ステップS3において、デコード処理が行われる。すなわち、上位階層画像メモリ3からセレクタ5に入力された上位階層画像は、更新回数カウンタ11からの制御信号に対応して、ローカルデコード回路9に供給される。ローカルデコード回路9は、セレクタ5から入力された上位階層画像（いまの場合、初期上位階層画像）と、予測係数メモリ4から供給される予測係数テーブル（いまの場合、初期予測係数テーブル）を用いて下位階層画像を生成し、収束判定回路10に出力する。なお、下位階層画像の画素としては、図5に示すように、上位階層画像の1個の着目画素に対して、対応する位置の下位階層画像の画素iを中心とする $3 \times 3$ 画素（画素a乃至i）が生成される。ローカルデコード回路9の構成と動作については、図16および図17を参照して後述する。

ステップS4において、収束判定回路10は、ローカルデコード回路9から入力された下位階層画像の原画像に対するS/N比を演算し、さらに、その増加量を求めて、S/N比の増加量が収束しているか否かを判定する。S/N比の増加量が収束していると判定された場合、または、更新回数カウンタ11からの制御信号が受信された場合、ステップS7に進む。また、S/N比の増加量が収束していないと判定され、かつ、更新回数カウンタ11からの制御信号が受信されていない場合、ステップS5に進む。

#### 【0084】

いまの場合、1回目にデコードされた下位階層画像に対する収束判定処理であるので、S/N比の増加量は演算されず、更新回数カウンタ11からの制御信号も受信されていないので、ステップS5に進む。

#### 【0085】

収束判定回路10の判定処理が終了したことに対応して、更新回数カウンタ11は、セレクタ5に制御信号を出力する。

#### 【0086】

ステップS5において、上位階層画像メモリ3からセレクタ5に入力された上位階層画像は、更新回数カウンタ11からの制御信号に対応して、画素値更新回路6に供給される。画素値更新回路6は、入力された上位階層画像の画素値（画素データのMSB側の4ビット）を更新する。

#### 【0087】

この画素値更新処理について説明する前に、画素値更新回路6の第1の構成例について、図8および図9を参照して説明する。セレクタ5から入力された上位階層画像は、画素値更新回路6において、上位階層画像メモリ21に記憶される。上位階層画像メモリ21は、記憶している上位階層画像を最適画素値決定回路22に供給する。また、上位階層画像メモリ21は、最適画素値決定回路22からの現段階において最適化された画素値（4ビット）を用いて、それまで記憶していた上位階層画像の画素値（画素データのMSB側の4ビット）を更新する。全ての画素の画素値が最適化された上位階層画像は、スイッチ24を介して上位階層画像メモリ3に出力される。

#### 【0088】

最適画素値決定回路22には、原画像、および予測係数メモリ4から予測係数テーブルも供給される。最適画素値決定回路22は、注目画素決定回路23から指定された注目画素の画素値を最適化して上位階層画像メモリ21に出力する。注目画素決定回路23は、上位階層画像の画素を順次注目画素に決定し、注目画素位置情報を最適画素値決定回路22に出力する。また、注目画素決定回路23は、上位階層画像の全ての画素を注目画素に決定した後、スイッチ24をオンとする制御信号を出力する。

#### 【0089】

10

20

30

40

50

図9は、最適画素値決定回路22の詳細な構成例を示している。最適画素値決定回路22においては、注目画素以外の画素の画素値が固定された状態で、注目画素の画素値が最適化される。

【0090】

着目画素決定回路31は、注目画素決定回路23で決定された注目画素の画素値が変化されたことにより、デコードの際に影響を受ける範囲（注目画素を含む予測タップの中心の画素の集合、以下、影響範囲と記述する）を設定し、その影響範囲内に存在する上位階層画像の画素を順次、着目画素に決定して、その位置情報をクラスコード読取回路32、および予測タップ抽出回路33に出力する。また、着目画素決定回路31は、影響範囲内の全ての画素を着目画素に決定した後、スイッチ36をオンとする制御信号を出力する。

10

【0091】

クラスコード読取回路32は、着目画素のクラスコード（画素データのLSB側の4ビット）を読み出して誤差関数生成回路34に出力する。予測タップ抽出回路33は、着目画素を中心とする $5 \times 5$ 画素の予測タップの画素値（画素データのMSB側の4ビット）を上位階層画像から抽出して誤差関数生成回路34に出力する。

【0092】

誤差関数生成回路34は、各着目画素に対する誤差関数（その詳細は後述する）を生成して影響誤差関数レジスタ35に出力する。影響誤差関数レジスタ35は、影響範囲内の全ての着目画素に対する誤差関数を足し合わせて影響誤差関数を生成し、スイッチ36を介して注目画素値演算回路37に出力する。

20

【0093】

注目画素値演算回路37は、スイッチ36を介して入力された影響誤差関数を解くことにより、注目画素の新たな画素値を演算する（その詳細については後述する）。

【0094】

次に、画素値更新回路6の第1の構成例の動作について、図10のフローチャートを参照して説明する。この画素値更新処理は、セレクタ5から入力された上位階層画像が、画素値更新回路6の上位階層画像メモリ21に記憶されたときに開始される。

【0095】

ステップS51において、注目画素決定回路23は、図11(A)に示すように、上位階層画像の注目画素を決定し、その注目画素位置情報を最適画素値決定回路22に出力する。最適画素値決定回路22の着目画素決定回路31は、ステップS52において、注目画素の画素値が変化された際に影響を受ける範囲（影響範囲）を決定する。例えば、予測タップのサイズが $5 \times 5$ 画素である場合、図11(B)に示したような注目画素を中心とする $5 \times 5$ 画素を含む範囲が影響範囲とされる。なお、この上位階層画像から生成される下位階層画像においては、図11(C)に示すように $15 \times 15$ 画素となる。

30

【0096】

ステップS53において、着目画素決定回路31は、影響範囲内の1個の画素を着目画素に決定し、その位置情報をクラスコード読取回路32、および予測タップ抽出回路33に出力する。

【0097】

ステップS54において、クラスコード読取回路32は、着目画素のクラスコード（画素データのLSB側の4ビット）を読み出し、誤差関数生成回路34に出力する。予測タップ抽出回路33は、着目画素を中心とする $5 \times 5$ 画素の予測タップを抽出して誤差関数生成回路34に出力する。この予測タップには、注目画素が含まれている。

40

【0098】

ステップS55において、誤差関数生成回路34は、着目画素に対する誤差関数を生成して影響誤差関数レジスタ35に出力する。

【0099】

ここで、誤差関数について説明する。上位階層画像の1個の着目画素（例えば、図5の上位階層画像の注目画素）に対応する、下位階層画像の $3 \times 3$ 画素の9個の画素（例えば、

50

図5の下位階層画像の画素a乃至*i*の画素値(予測値) $y'_i$ ( $i = 1, 2, \dots, 9$ 、ただし、図5の画素*i*の*i*とは異なる)は、例えば次式(1)に示すように、上位階層画像の画素値*x*と予測係数*w*の線形1次結合で表すことができる。但し、ここでは線形1次結合としたが高次式を用いることも可能である。

【0100】

【数1】

$$y'_i = w_{i1} \cdot x_1 + w_{i2} \cdot x_2 + \dots + w_{ik} \cdot x_k + \dots + w_{i25} \cdot x_{25} = \sum_{j=1}^{25} w_{ij} \cdot x_j$$

10  
••• (1)

【0101】

ただし、 $w_{i1}$ 乃至 $w_{i25}$ は、着目画素のクラスコードに対応する予測係数であり、 $x_1$ 乃至 $x_{25}$ は、着目画素を中心とする予測タップに含まれる画素の画素値である。特に、画素値 $x_k$ 、および予測係数 $w_{ik}$ は、注目画素の画素値と、それに対応する予測係数である。

【0102】

下位階層画像の画素値(予測値) $y'_i$ に対応する原画像の画素値(真値)を $y_i$ とすれば、着目画素に対応する下位階層画像の9画素分の自乗誤差の和 $E_k$ は、次式(2)のよう20  
に表すことができる。

【数2】

$$E_k = \sum_{i=1}^9 (y_i - y'_i)^2 = \sum_{i=1}^9 \left( (y_i - \sum_{j=1}^{25(j \neq k)} w_{ij} \cdot x_i) - w_{ik} \cdot x_k \right)^2$$

••• (2)

【0103】

ところで、式(2)において、注目画素の画素値 $x_k$ は最適化される値、すなわち変数である。また、真値 $y_i$ 、予測係数 $w_{ij}$ 、 $w_{ik}$ 、および画素値 $x_j$ は定数である。したがって、式(2)は、次式(3)に示すように、注目画素値 $x_k$ の2次式として表すことが可能となる。

【0104】

$$E_k = a_k \cdot (x_k)^2 + b_k \cdot x_k + c_k$$

••• (3)

ただし、

【数3】

$$a_k = \sum_{i=1}^9 (w_{ik})^2$$

$$b_k = - \sum_{i=1}^9 2 \cdot w_{ik} \cdot (y_i - \sum_{j=1}^{25(j \neq k)} w_{ij} \cdot x_i)$$

$$c_k = \sum_{i=1}^9 (y_i - \sum_{j=1}^{25(j \neq k)} w_{ij} \cdot x_i)^2$$

40

である。ここで、 $E_k$ を誤差関数と呼ぶことにする。

【0105】

図10に戻る。ステップS56において、着目画素決定回路31は、影響範囲内の全ての画素を着目画素に決定したか否かを判定し、影響範囲内の全ての画素を着目画素に決定していないと判定した場合、ステップS53に戻り、それ以降の処理が繰り返される。

## 【0106】

その後、ステップS56において、影響範囲内の全ての画素を着目画素に決定したと判定された場合、ステップS57に進む。ステップS57において、着目画素決定回路31は、スイッチ36をオンとする制御信号を出力する。影響誤差関数レジスタ35は、影響範囲内の全ての画素を、順次、着目画素としたときの誤差関数 $E_k$ （式（3））を足し合わせて、影響誤差関数 $E_{check}$ を生成し、スイッチ36を介して注目画素値演算回路37に出力する。

## 【0107】

## 【数4】

$$E_{check} = \sum_{k=1}^{25} E_k$$

10

## 【0108】

なお、影響誤差関数 $E_{check}$ は、注目画素の画素値 $x_k$ の2次式である誤差関数 $E_k$ の和であるので、次式（4）に示すように、注目画素の画素値 $x_k$ の2次関数となる。

## 【0109】

影響誤差関数 $E_{check} = a' \cdot (x_k)^2 + b' \cdot x_k + c' \quad \dots \dots \quad (4)$

ただし、

## 【数5】

20

$$a' = \sum_{k=1}^{25} a_k$$

$$b' = \sum_{k=1}^{25} b_k$$

$$c' = \sum_{k=1}^{25} c_k$$

である。

30

## 【0110】

ステップS58において、注目画素値演算回路37は、2次式である影響誤差関数 $E_{check}$ を最小とする画素値 $x_k = -b' / 2a'$ を、注目画素の最適画素値として演算し、上位階層画像メモリ21に出力する。上位階層画像メモリ21は、入力された最適画素値を用い、それまで記憶していた注目画素の画素値を更新する。すなわち、入力された最適画素値にそれまで記憶していた注目画素の画素値が置き換えられる。

## 【0111】

ステップS59において、注目画素決定回路23は、上位階層画像の全ての画素を注目画素に決定したか否かを判定し、全ての画素を注目画素に決定していないと判定した場合、ステップS51に戻り、それ以降の処理が繰り返される。

40

## 【0112】

その後、ステップS59において、上位階層画像の全ての画素を注目画素に決定したと判定した場合、注目画素決定回路23は、スイッチ24をオンとする制御信号を出力する。スイッチ24がオンとされることにより、上位階層画像メモリ21に記憶されている、画素値が最適化された上位階層画像が後段の上位階層画像メモリ3に出力される。画素値更新回路6の処理が終了したことに対応して、更新回数カウンタ11はセレクタ5に制御信号を出力する。

## 【0113】

図2に戻る。以上のようにして、ステップS5で画素値更新処理が行われた後、ステップS6において、上位階層画像メモリ3からセレクタ5に入力された上位階層画像は、更新

50

回数カウンタ 11 からの制御信号に対応して、予測係数更新回路 7 に供給される。予測係数更新回路 7 は、入力された上位階層画像および原画像を用い、予測係数メモリ 4 に記憶させる予測係数テーブルを更新する。

#### 【 0 1 1 4 】

この予測係数更新処理について説明する前に、予測係数更新回路 7 の詳細な構成例について、図 12 を参照して説明する。セレクタ 5 から入力された上位階層画像は、予測係数更新回路 7 において、予測タップ抽出回路 42 およびクラスコード読取回路 43 に供給される。着目画素決定回路 41 は、上位階層画像の画素を順次、着目画素に決定し、その位置情報を予測タップ抽出回路 42、およびクラスコード読取回路 43 に出力する。

#### 【 0 1 1 5 】

予測タップ抽出回路 42 は、着目画素を中心とする  $5 \times 5$  画素の予測タップの画素値（画素データの MSB 側の 4 ビット）を抽出して正規方程式生成回路 45 に出力する。クラスコード読取回路 43 は、着目画素のクラスコード（画素データの LSB 側の 4 ビット）を読み出して正規方程式生成回路 45 に出力する。

#### 【 0 1 1 6 】

教師データ抽出回路 44 は、原画像から教師データ（下位階層画像の画素値に対応する真値）を抽出して正規方程式生成回路 45 に出力する。正規方程式生成回路 45 は、各着目画素のクラスコード毎に、既知である教師データおよび予測タップの画素値、並びに、変数としての予測係数から成る正規方程式を生成して、予測係数演算回路 46 に出力する。

#### 【 0 1 1 7 】

予測係数演算回路 46 は、入力された正規方程式に最小自乗法を適用して 16 種類のクラスコードにそれぞれ対応する予測係数セット（予測係数テーブル）を演算し、予測係数メモリ 4 に出力する。

#### 【 0 1 1 8 】

なお、上位階層画像の各着目画素に対して、原画像の画素値は、この例の場合、9 画素存在するので、各クラスコードに対してそれぞれ着目画素に対して原画像が 9 種類の位置関係にあるので、その位置関係毎に係数セットが必要となり、9 つ（9 モード）の係数セットが演算される。

#### 【 0 1 1 9 】

次に、予測係数更新回路 7 の動作について、図 13 のフローチャートを参照して説明する。この予測係数更新処理は、セレクタ 5 から予測係数更新回路 7 に、上位階層画像が入力されたときに開始される。

#### 【 0 1 2 0 】

ステップ S61 において、着目画素決定回路 41 は、上位階層画像の 1 個の画素を着目画素に決定し、その位置情報を予測タップ抽出回路 42 とクラスコード読取回路 43 に出力する。

#### 【 0 1 2 1 】

ステップ S62 において、クラスコード読取回路 43 は、着目画素のクラスコード（画素データの LSB 側の 4 ビット）を読み出して正規方程式生成回路 45 に出力する。ステップ S63 において、予測タップ抽出回路 42 は、着目画素を中心とする  $5 \times 5$  画素の予測タップの画素値（画素データの MSB 側の 4 ビット）を抽出して正規方程式生成回路 45 に出力する。

#### 【 0 1 2 2 】

ステップ S64 において、正規方程式生成回路 45 は、着目画素のクラスコード毎に、既知である教師データおよび予測タップの画素値を用いて正規方程式を生成して、予測係数演算回路 46 に出力する。

#### 【 0 1 2 3 】

ステップ S65 において、着目画素決定回路 41 は、上位階層画像の全ての画素を着目画素としたか否かを判定し、全ての画素を着目画素としていないと判定した場合、ステップ S61 に戻り、それ以降の処理が繰り返される。ステップ S65 において、全ての画素を

10

20

30

40

50

着目画素としたと判定された場合、ステップ S 6 6 に進む。

【 0 1 2 4 】

ステップ S 6 6 において、予測係数演算回路 4 6 は、ステップ S 6 4 で正規方程式生成回路 4 5 が生成した正規方程式に最小自乗法を適用して 16 種類の各クラスコードに対する予測係数セットを演算する。ステップ S 6 7 において、予測係数演算回路 4 6 は、得られた予測係数セット（予測係数テーブル）を予測係数メモリ 4 に出力する。予測係数メモリ 4 は、入力された予測係数テーブルで、それまで記憶していた予測係数テーブルを更新する。予測係数更新回路 6 の処理が終了したことに対応して、更新回数カウンタ 1 1 はセレクタ 5 に制御信号を出力する。

【 0 1 2 5 】

図 2 に戻る。以上のようにして、ステップ S 6 で予測係数更新処理が実行された後、ステップ S 2 に戻る。ステップ S 2 において、上位階層画像メモリ 3 からセレクタ 5 に入力された上位階層画像は、更新回数カウンタ 1 1 からの制御信号に対応して、クラスコード選択回路 8 に供給される。クラスコード選択回路 8 は、入力された上位階層画像の各画素に対して、予測係数メモリ 4 に記憶されている 16 種類の予測係数セットのうちの対応するものを選択する。

【 0 1 2 6 】

このクラスコード選択処理について説明する前に、クラスコード選択回路 8 の詳細な構成例について、図 1 4 を参照して説明する。着目画素決定回路 5 1 は、上位階層画像の画素を順次、着目画素に決定し、その情報を予測タップ抽出回路 5 2 に出力する。予測タップ抽出回路 5 2 は、セレクタ 5 より入力された上位階層画像から、着目画素を中心とする 5 × 5 画素の予測タップに含まれる画素の画素値（画素データの MSB 側の 4 ビット）を抽出してマッピング回路 5 3 に出力する。

【 0 1 2 7 】

マッピング回路 5 3 は、クラスコードカウンタ 5 8 より入力されるクラスコードに対応する予測係数セットを予測係数メモリ 4 から読み出して、読み出した予測係数セットと予測タップの各画素の画素値との線形 1 次結合を演算し、演算結果を下位階層画像の画素値（予測値）として誤差演算回路 5 4 に出力する。

【 0 1 2 8 】

誤差演算回路 5 4 は、マッピング回路 5 3 から入力された予測値の、それに対応する原画像の画素値（真値）に対する誤差（S/N 比）を演算し、比較器 5 5、およびスイッチ 5 7 に出力する。比較器 5 5 は、誤差演算回路 5 4 から入力された誤差と最小誤差レジスタ 5 6 から入力される誤差を比較して、誤差演算回路 5 4 から入力された誤差の方が小さい（S/N 比が大きい）場合、スイッチ 5 7、5 9 をオンとする制御信号を出力する。また、比較器 5 5 は、比較の結果に拘わらず、誤差を比較した後、クラスコードカウンタ 5 8 のカウント値をインクリメントさせる制御信号を出力する。

【 0 1 2 9 】

最小誤差レジスタ 5 6 は、記憶している誤差の値を比較器 5 5 に供給する。また、最小誤差レジスタ 5 6 は、スイッチ 5 7 を介して入力される値を用いて、それまで記憶していた値を更新する。すなわち、入力される値にそれまで記憶していた値が置換される。

【 0 1 3 0 】

クラスコードカウンタ 5 8 は、4 ビットのカウンタを有し、カウント値をクラスコード（0000 乃至 1111）としてマッピング回路およびスイッチ 5 9 に出力する。なお、カウント値（クラスコード）は、比較器 5 5 から入力される制御信号に対応して 1 ズツインクリメントされる。また、クラスコードカウンタ 5 8 は、カウンタの値が 1111 になったとき、スイッチ 6 1 をオンとする制御信号を出力するとともに、カウント値を 0000 にリセットする。

【 0 1 3 1 】

最適クラスコードレジスタ 6 0 は、スイッチ 5 9 を介して入力されるクラスコードに、それまで記憶していたクラスコードを置き換える。したがって、最適クラスコードレジスタ 6 0 には、誤差を最小とする予測係数セットに対応した、最適なクラスコードが保持され

10

20

30

40

50

る。また、最適クラスコードレジスタ60は、着目画素の最適なクラスコードをスイッチ61を介して、後段の上位階層画像メモリ3に出力する。

【0132】

次に、クラスコード選択回路8の動作について、図15のフローチャートを参照して説明する。このクラスコード選択処理は、セレクタ5からクラスコード選択回路8に上位階層画像が入力されたときに開始される。

【0133】

ステップS71において、着目画素決定回路51は、上位階層画像の1個の画素を着目画素に決定し、その情報を予測タップ抽出回路52に出力する。ステップS72において、予測タップ抽出回路52は、セレクタ5より入力された上位階層画像から、着目画素を中心とする $5 \times 5$ 画素の予測タップに含まれる画素の画素値を抽出してマッピング回路53に出力する。

10

【0134】

ステップS73において、クラスコードカウンタ58は、カウント値0000をクラスコードとして、マッピング回路53に出力する。ステップS74において、マッピング回路53は、クラスコードカウンタ58より入力されたクラスコードに対する予測係数セットを予測係数メモリ4から読み出して、読み出した予測係数セットの各予測係数と予測タップの各画素の画素値との線形1次結合を演算し、演算結果を下位階層画像の画素値（予測値）として誤差演算回路54に出力する。

20

【0135】

ステップS75において、誤差演算回路54は、マッピング回路53から入力された予測値の、それに対応する原画像の画素値（真値）に対する誤差（S/N比）を演算し、比較器55、およびスイッチ57に出力する。比較器55は、誤差演算回路54から入力された誤差と最小誤差レジスタ56から入力される誤差を比較して、誤差演算回路54から入力された誤差の方が小さい（S/N比が大きい）場合、スイッチ57、59をオンとする制御信号を出力する。これにより、クラスカウンタ58のそのときのカウント値がスイッチ59を介して最適クラスコードレジスタ60に転送されて記憶される。また、誤差演算回路54のそのときの出力が最小誤差レジスタ56に転送されて記憶される。比較器55はまた、クラスコードカウンタ58に制御信号を出力する。

30

【0136】

ステップS76において、クラスコードカウンタ58は、カウント値（クラスコード）が1111よりも小さいか否かを判定し、カウント値が1111よりも小さいと判定した場合、ステップS77において、カウント値を1だけインクリメントして、その値をクラスコードとしてマッピング回路およびスイッチ59に出力する。

【0137】

その後、ステップS76において、カウント値が1111よりも小さくないと判定されるまで、ステップS74乃至S77の処理が繰り返される。ステップS76において、カウント値が1111よりも小さくない（カウント値が1111である）と判定された場合、ステップS78に進む。

ステップS78において、クラスコードカウンタ58は、スイッチ61をオンとする制御信号を出力するとともに、カウント値を0000にリセットする。この制御信号に対応してスイッチ61はオンとされ、最適クラスコードレジスタ60に保持されている着目画素の最適なクラスコードが、後段の上位階層画像メモリ3に出力される。上位階層画像メモリ3は、入力された最適なクラスコードを用いて、対応する画素の画素データのLSB側の4ビットを書き換える。

40

【0138】

ステップS79において、着目画素決定回路51は、上位階層画像の全ての画素を着目画素としたか否かを判定し、全ての画素を着目画素としたと判定するまで、ステップS71乃至S79の処理が繰り返される。ステップS79において、全ての画素を着目画素としたと判定された場合、図2のステップS3に戻る。

50

## 【0139】

ステップS3のデコード処理について説明する前に、ローカルデコード回路9の詳細な構成例について、図16を参照して説明する。着目画素決定回路71は、上位階層画像の画素を順次、着目画素に決定し、その情報をクラスコード読取回路72および予測タップ抽出回路73に出力する。クラスコード読取回路72は、セレクタ5より入力された上位階層画像から、着目画素のクラスコード（画素データのLSB側の4ビット）を読み取って、マッピング回路74に出力する。予測タップ抽出回路73は、セレクタ5より入力された上位階層画像から、着目画素を中心とする $5 \times 5$ 画素の予測タップに含まれる画素の画素値（画素データのMSB側の4ビット）を抽出してマッピング回路74に出力する。

## 【0140】

10

マッピング回路74は、クラスコード読取回路72より入力されるクラスコードに対応する予測係数セットを予測係数メモリ4から読み出して、読み出した予測係数セットの各予測係数と、予測タップ抽出回路73から供給される予測タップの各画素の画素値との線形1次結合を演算し、演算結果を下位階層画像の画素値として下位階層画像メモリ75に出力する。

## 【0141】

下位階層画像メモリ75は、マッピング回路74から入力される下位階層画像の画素値を記憶し、記憶した1フレーム分の画素値を後段の収束判定回路10に出力する。

## 【0142】

20

次に、ローカルデコード回路9のデコード処理について、図17のフローチャートを参照して説明する。このデコード処理は、セレクタ5からローカルデコード回路9に上位階層画像が入力されたときに開始される。

## 【0143】

30

ステップS81において、着目画素決定回路71は、上位階層画像の1個の画素を、着目画素に決定し、その情報をクラスコード読取回路72および予測タップ抽出回路73に出力する。ステップS82において、クラスコード読取回路72は、セレクタ5より入力された上位階層画像から、着目画素のクラスコード（画素データのLSB側の4ビット）を読み取って、マッピング回路74に出力する。ステップS83において、予測タップ抽出回路73は、セレクタ5より入力された上位階層画像から、着目画素を中心とする $5 \times 5$ 画素の予測タップに含まれる画素の画素値（画素データのMSB側の4ビット）を抽出してマッピング回路74に出力する。

## 【0144】

ステップS84において、マッピング回路74は、クラスコード読取回路72より入力されるクラスコードに対応する予測係数セットを予測係数メモリ4から読み出して、読み出した予測係数セットの各予測係数と、予測タップ抽出回路73から供給された予測タップの各画素の画素値との線形1次結合を演算し、演算結果を下位階層画像の画素値として下位階層画像メモリ75に出力する。

## 【0145】

40

ステップS85において、着目画素決定回路71は、上位階層画像の全ての画素を着目画素としたか否かを判定し、全ての画素を着目画素としていないと判定した場合、ステップS81に戻り、それ以降の処理が繰り返される。ステップS85において、全ての画素を着目画素としたと判定された場合、ステップS86において、下位階層画像メモリ75から下位階層画像の画素値がフレーム単位で後段の収束判定回路10に出力される。

## 【0146】

図2に戻る。再び、ステップS4において、収束判定回路10で、ローカルデコード回路9から入力された下位階層画像の原画像に対するS/N比とその増加量が演算されて、S/N比の増加量が収束しているか否かが判定され、S/N比の増加量が収束していると判定されるか、または、更新回数カウンタ11からの制御信号が受信されるまで、ステップS2乃至S6の処理が繰り返される。

## 【0147】

50

その後、ステップS4において、S/N比の増加量が収束していると判定された場合、または、更新回数カウンタ11からの制御信号が受信された場合、ステップS7に進む。ステップS7において、収束判定回路10は、上位階層画像および予測係数テーブルを、図示せぬ媒体を介してデコーダ81(図18)に出力する。

【0148】

以上のように、エンコーダ1は、上位階層画像の画素データ(8ビット)のMSB側の4ビットを画素値とし、LSB側の4ビットをクラスコードとし、それらをリンクさせるとともに、互いに独立して更新を行うようにしている。これにより、一方の値を最適化するときに他方の値が変化してしまうことがなく、それぞれ独立して最適化することが可能である。

10

【0149】

なお、エンコーダ1では、上位階層画像の画素データをMSB側4ビットとLSB側4ビットに分け、それぞれ画素値とクラスコードとしたが、本発明はこれに限定されるものでなく、上位階層画像の画素データ8ビットすべてを画素値とし、クラスコードは画素値とリンクさせて他の場所に記憶しておくことなども可能である。

【0150】

また、図2に示したエンコード処理において、第1回目のステップS2、すなわち、ステップS1の前処理の直後のクラスコード選択処理を省略してもかまわない。この場合、第1回目のステップS4における収束判定結果、すなわち、ステップS1の前処理だけを実行した上位階層画像の原画像に対するS/N比は、本出願人が、先に特願平8-206552号として提案した発明を適用したエンコーダによる初期上位階層画像の原画像に対するS/N比よりもさらに良好なものとなる。

20

【0151】

また、図1に示したエンコーダ1から画素値更新回路6を削除し、図2のステップS5の画素値更新処理を省略してもよい。すなわち、上位階層画像の画素値(画像データのMSB側の4ビット)は更新させず、予測係数更新処理とクラスコード選択処理だけを実行するようにしても、先のエンコーダ(特願平8-206552号として提案した発明を適用したエンコーダ)に比べさらに良好な上位階層画像を生成することが可能である。

【0152】

図18は、エンコーダ1で生成された上位階層画像から原画像を復元する(下位階層画像を生成する)デコーダの構成例を示している。このデコーダ81において、エンコーダ1からの上位階層画像は、クラスコード読取回路83および予測タップ抽出回路84に供給され、予測係数テーブルは、マッピング回路85に供給される。

30

【0153】

着目画素決定回路82は、上位階層画像の画素を順次、着目画素に決定し、その位置情報をクラスコード読取回路83および予測タップ抽出回路84に出力する。クラスコード読取回路83は、上位階層画像から着目画素のクラスコード(画素データのLSB側の4ビット)を読み取って、マッピング回路85に出力する。予測タップ抽出回路84は、上位階層画像から、着目画素を中心とする5×5画素の予測タップに含まれる画素の画素値(画素データのMSB側の4ビット)を抽出してマッピング回路85に出力する。

40

【0154】

マッピング回路85は、クラスコード読取回路83より入力されるクラスコードに対応する予測係数セットを予測係数テーブルから読み出して、読み出した予測係数セットの各予測係数と、予測タップ抽出回路84から供給される予測タップの各画素の画素値との線形1次結合を演算し、演算結果を下位階層画像の画素値として下位階層画像メモリ86に出力する。

【0155】

下位階層画像メモリ86は、マッピング回路85から入力される下位階層画像の画素値を記憶し、記憶した画素値を、例えば図示せぬモニタに出力する。

【0156】

50

次に、デコーダ81の動作について、図19のフローチャートを参照して説明する。このデコード処理は、エンコーダ1からの予測係数テーブルがマッピング回路85に供給された後、順次入力される上位階層画像に対して実行される。

【0157】

但し、このデコード処理を行うタイミングは、これに限定されるものではなく、予測係数テーブルと上位階層画像を受信した後であれば、任意のタイミングでもよい。また、予測係数テーブルと上位階層画像は同じ方法、例えば同じ伝送路や同じ記録媒体に記録されて、で受信する必要はなく互いに異なる方法で受信してもよい。

【0158】

ステップS91において、着目画素決定回路82は、上位階層画像の1個の画素を、着目画素に決定し、その位置情報をクラスコード読取回路83および予測タップ抽出回路84に出力する。ステップS92において、クラスコード読取回路83は、上位階層画像から着目画素のクラスコード（画素データのLSB側の4ビット）を読み取って、マッピング回路85に出力する。ステップS93において、予測タップ抽出回路84は、入力された上位階層画像から着目画素を中心とする $5 \times 5$ 画素の予測タップに含まれる画素の画素値（画素データのMSB側の4ビット）を抽出してマッピング回路85に出力する。

【0159】

ステップS94において、マッピング回路85は、クラスコード読取回路83より入力されるクラスコードに対応する予測係数セットを予測係数テーブルから読み出して、読み出した予測係数セットの各予測係数と、予測タップ抽出回路84から供給された予測タップの各画素の画素値との線形1次結合を演算し、演算結果を下位階層画像の画素値として下位階層画像メモリ86に出力する。

なお、ステップS94の処理は、上位階層画像の各着目画素に比べ下位階層画像の画素数が多いことから明らかなように、上位階層画像の各着目画素に対応する複数個の下位階層画像の画素値毎に行われる。すなわち、各下位階層画像の画素値毎の予測係数セットが用いられる。

【0160】

ステップS95において、着目画素決定回路82は、上位階層画像の全ての画素を着目画素としたか否かを判定し、全ての画素を着目画素としていないと判定した場合、ステップS91に戻り、それ以降の処理が繰り返される。ステップS95において、全ての画素を着目画素としたと判定された場合、ステップS96で、下位階層画像メモリ86から下位階層画像の画素値が、図示せぬモニタに出力される。

【0161】

図20は、上述したエンコード処理（図2）とは異なる順序で実行される、エンコーダ1の動作を説明するフローチャートである。この図20では、前処理が実行された後、クラスコード選択処理が実行され、その後、予測係数更新処理が実行される。

【0162】

なお、図20のステップS101乃至S107における各処理は、図2のステップS1, S6, S5, S2, S3, S4, S7における各処理と同様であるので、その説明は省略する。

【0163】

図20のフローチャートに示した順序で各処理を実行させるためには、セレクタ5（図1）が、更新回数カウンタ11から入力される制御信号に対応して、上位階層画像メモリ3から入力された上位階層画像を、クラスコード選択回路8、予測係数更新回路7、ローカルデコード回路9および収束判定回路10、画素値更新回路6、に順次出力するようすればよい。

【0164】

図21は、同一の原画像を用いて生成された複数の上位階層画像から復元された下位階層画像の原画像に対するS/N比を演算したシミュレーションの結果を表している。なお、縦軸はS/N比を表し、横軸は、一連のエンコード処理を実行した回数（更新回数）を表して

10

20

30

40

50

いる。

【0165】

図21の曲線Aは、図20に示したフローチャートに従って生成された上位階層画像から復元された下位階層画像のS/N比を示し、曲線Bは、図2に示したフローチャートに従って生成された上位階層画像から復元された下位階層画像のS/N比を示し、曲線Cは、図2に示したフローチャートから、ステップS4の画素値更新処理を省略して生成された上位階層画像から復元された下位階層画像のS/N比を示し、曲線Dは、本出願人が先に特願平8-206552号として提案した方法に従って生成された上位階層画像から復元された下位階層画像のS/N比を示している。

【0166】

同図の曲線Aから明らかなように、図20に示したフローチャートに従って生成された上位階層画像から復元された下位階層画像は、特に、更新回数が少ない段階において、他のものよりも高いS/N比を示している。これは、図20のフローチャートに従えば、所望のS/N比を示す下位階層画像を復元可能な上位階層画像を短い処理時間で生成できることを示している。

【0167】

次に、画素値更新回路6の第2の構成例について、図22を参照して説明する。この構成例は、図8に示した画素値更新回路6の第1の構成例の最適画素値決定回路22および注目画素決定回路23を、それぞれ領域最適化回路91および注目領域決定回路92に置換したものである。図8の最適画素値決定回路22が、注目画素だけの画素値を最適化するのに対して、図22の領域最適化回路91は、注目領域に含まれる複数の画素の画素値を同時に最適化する。

【0168】

注目領域決定回路92は、上位階層画像の所定のサイズの領域（例えば、 $7 \times 7$ 画素）を、順次、注目領域に決定し、その位置情報を領域最適化回路91に出力する。また、注目領域決定回路92は、上位階層画像の全ての画素を注目領域とした後、スイッチ24をオンとする制御信号を出力する。

【0169】

図23は、領域最適化回路91の詳細な構成例を示している。着目画素決定回路101は、注目領域の画素を、順次、着目画素に決定し、その位置情報をクラスコード読取回路102、および予測タップ抽出回路103に出力する。また、着目画素決定回路101は、注目領域内の全ての画素を着目画素に決定した後、スイッチ106をオンとする制御信号を出力する。

【0170】

クラスコード読取回路102は、上位階層画像メモリ3から着目画素のクラスコード（画素データのLSB側の4ビット）を読み出して誤差関数生成回路104に出力する。予測タップ抽出回路103は、上位階層画像メモリ3から着目画素を中心とする $5 \times 5$ 画素の予測タップを抽出して誤差関数生成回路104に出力する。

【0171】

誤差関数生成回路104は、着目画素に対応する誤差関数（その詳細は後述する）を生成して影響誤差関数マトリクスレジスタ105に出力する。影響誤差関数マトリクスレジスタ105は、注目領域内の全ての着目画素に対応する誤差関数を用いて、影響誤差関数マトリクスを生成し、スイッチ106を介して注目領域画素値演算回路107に出力する。

【0172】

注目領域画素値演算回路107は、スイッチ106を介して入力された影響誤差関数マトリクスを解いて注目領域内の画素の画素値を演算する（その詳細については後述する）。

【0173】

次に、画素値更新回路6の第2の構成例の動作について、図24のフローチャートを参照して説明する。この画素値更新処理においては、注目領域以外の画素の画素値が固定されて、注目領域内の画素の画素値が最適化される。画素値更新処理は、セレクタ5から入力

10

20

30

40

50

された上位階層画像が画素値更新回路 6 の上位階層画像メモリ 2 1 に記憶されたときに開始される。

【 0 1 7 4 】

ステップ S 1 1 1 において、注目領域決定回路 9 2 は、上位階層画像の  $7 \times 7$  画素を注目領域に決定し、その位置情報を領域最適化回路 9 1 に出力する。領域最適化回路 9 1 の着目画素決定回路 1 0 1 は、ステップ S 1 1 2 において、注目領域内の 1 個の画素を着目画素に決定し、その位置情報をクラスコード読取回路 1 0 2 、および予測タップ抽出回路 1 0 3 に出力する。

【 0 1 7 5 】

ステップ S 1 1 3 において、クラスコード読取回路 1 0 2 は、着目画素のクラスコード ( 画素データの LSB 側の 4 ビット ) を読み出して誤差関数生成回路 1 0 4 に出力する。予測タップ抽出回路 1 0 3 は、着目画素を中心とする  $5 \times 5$  画素の予測タップを抽出して誤差関数生成回路 1 0 4 に出力する。 10

【 0 1 7 6 】

ステップ S 1 1 4 において、誤差関数生成回路 1 0 4 は、着目画素に対応する誤差関数を生成して影響誤差関数マトリクスレジスタ 1 0 5 に出力する。

【 0 1 7 7 】

ステップ S 1 1 5 において、着目画素決定回路 1 0 1 は、注目領域内の全ての画素を着目画素に決定したか否かを判定し、全ての画素が着目画素に決定されていないと判定された場合、ステップ S 1 1 2 に戻り、それ以降の処理が繰り返される。ステップ S 1 1 5 において、注目領域内の全ての画素が着目画素に決定されたと判定された場合、ステップ S 1 1 6 に進む。 20

【 0 1 7 8 】

ステップ S 1 1 6 において、着目画素決定回路 1 0 1 は、スイッチ 1 0 6 をオンとする制御信号を出力する。影響誤差関数マトリクスレジスタ 1 0 5 は、入力された着目画素に対応する誤差関数から、影響誤差関数マトリクスを生成し、スイッチ 1 0 6 を介して注目領域画素値演算回路 1 0 7 に出力する。

【 0 1 7 9 】

ここで、注目領域、予測タップ、誤差関数、および影響誤差関数マトリクスについて説明する。注目領域は、図 2 5 (A) に示すように、 $7 \times 7$  画素の 49 個の画素から構成され、その左上角を 1 番目とした場合、 $j$  番目の画素  $j$  が着目画素とされたとき、着目画素  $j$  に対応する予測タップ (  $taps_j$  ) として、画素  $j$  を中心とする  $5 \times 5$  画素の 25 個の画素が抽出される。したがって、図 2 5 (A) において  $s = 49$  であり、図 2 5 (B) において  $t = 25$  である。 30

【 0 1 8 0 】

また、注目領域 (area) と、着目画素  $j$  に対する予測タップ (  $taps_j$  ) について、3 種類の範囲 (  $A_{1,j}$  乃至  $A_{3,j}$  ) が設定される。ただし、範囲  $A_{1,j}$  は、予測タップ (  $taps_j$  ) に属し、注目領域 (area) に属さない範囲とされ、範囲  $A_{2,j}$  は、予測タップ (  $taps_j$  ) に属さない、かつ、注目領域 (area) に属する範囲とされ、範囲  $A_{3,j}$  は、予測タップ (  $taps_j$  ) に属し、注目領域 (area) に属する範囲とされる。 40

【 0 1 8 1 】

さて、上位階層画像の着目画素  $j$  に対応する、下位階層画像の画素値 ( 予測値 )  $y^{',j}$  は、次式 ( 5 ) で表すことができる。なお、以下において、上付き文字 ( 例えば、 $y^{',j}$  の  $j$  ) は注目領域における番号を示し、下付き文字 ( 例えば、 $w_t$  の  $t$  ) は、予測タップ内における番号を示すものとする。

【 0 1 8 2 】

【 数 6 】

$$\begin{aligned}
 y'^j &= w_1^j \cdot x_1^j + w_2^j \cdot x_2^j + \cdots + w_t^j \cdot x_t^j \\
 &= \sum_{p=1}^t w_p^j \cdot x_p^j \\
 &= \sum_{h \in A1^j} w_h^j \cdot x_h^j + \sum_{m \in A3^j} w_m^j \cdot x_m^j \quad \cdots \cdots (5)
 \end{aligned}$$

## 【0183】

また、 $x_p^j$ は、着目画素  $j$  の予測タップ ( $taps j$ ) の  $p$  番目の画素値であり、 $w_p^j$ は、着目画素  $j$  のクラスコードに対応した係数ベクトルの、 $x_p^j$ にかかる係数である。ただし、実際には、上位階層画像の 1 個の着目画素には、下位階層画像の 9 個の画素が対応するので、式 (5) と同様の式が、他に 8 本生成される。 10

## 【0184】

ここで、予測値  $y'^j$  に対応する真値 (原画像の画素値) を  $y^j$  とすれば、その誤差  $e^j$  は、次式 (6) で示される。

## 【0185】

## 【数7】

$$\begin{aligned}
 e^j &= y^j - y'^j = (y^j - \sum_{h \in A1^j} w_h^j \cdot x_h^j) - \sum_{m \in A3^j} w_m^j \cdot x_m^j \\
 &= y''^j - \sum_{m \in A3^j} w_m^j \cdot x_m^j = y''^j - \sum_{n=1}^s w'^{nj} \cdot x'^{nj} \quad \cdots \cdots (6)
 \end{aligned}$$

## 【0186】

ただし、

## 【数8】

$$y''^j = y^j - \sum_{h \in A1^j} w_h^j \cdot x_h^j \quad \cdots \cdots (7)$$

30

$$w'^{nj} = \begin{cases} w_n^j & \cdots n \in A3^j \text{ のとき} \\ 0 & \cdots n \in A1^j \cup n \in A2^j \text{ のとき} \end{cases}$$

$$x'^{nj} = \begin{cases} x_n^j & \cdots n \in A3^j \text{ のとき} \\ 0 & \cdots n \in A1^j \cup n \in A2^j \text{ のとき} \end{cases}$$

である。

## 【0187】

なお、 $n'$  は、注目領域(area)内における番号  $n$  を、予測タップ ( $taps j$ ) における番号に変換した値である。また、範囲  $A1^j$  に位置する画素の画素値は、更新しないので、 $y'^j$  は固定値である。したがって、着目画素に対応する自乗誤差を求めるには、式 (6) と同様の式を、他に 8 本生成し、それぞれを 2 乗して足し合わせればよい。その結果を誤差関数  $E^k$  とする。 40

## 【0188】

注目領域(area)内の全ての画素に対応する誤差関数  $E^k$  を足し合わせたものを影響誤差関数  $E_{area}$  とする。

## 【0189】

## 【数9】

50

$$E_{\text{area}} = \sum_{k=1}^s E^k \quad \dots \dots (8)$$

## 【0190】

ここで、既に述べたように、 $E^k$ は、 $(e_k)^2$ を9つ足し合わせたものであるが、簡略化するために、 $E^k = (e_k)^2$ とする。

## 【0191】

次に、注目領域(area)内における番号nに対応する画素の画素値を $x^i$ とし、影響誤差関数 $E_{\text{area}}$ の値を最小にする画素値 $x^1$ 乃至 $x^s$ を最小自乗法により求める。 10

## 【0192】

まず、式(8)の画素値 $x^i$ による偏微分係数(次式(9))を求め、その値が0となるように画素値 $x^i$ を決定する。

## 【0193】

## 【数10】

$$\frac{\partial E_{\text{area}}}{\partial x^i} = \sum_{k=1}^s 2 \left( \frac{\partial e^k}{\partial x^i} \right) e^k = \sum_{k=1}^s 2 \cdot w^{ni} \cdot e^k \quad \dots \dots (9)$$

20

## 【0194】

ここで、式(7)に基づいて、 $w_{ji}$ および $Y_i$ を次式(10)のように定める。

## 【0195】

## 【数11】

$$W_{ji} = \sum_{k=1}^s w^{jk} \cdot w^{ik}$$

$$Y_i = \sum_{k=1}^s w^{ik} \cdot y''^k \quad \dots \dots (10)$$

30

## 【0196】

式(9)の値を0として、次式(11)のような行列式を得る。

## 【0197】

## 【数12】

$$\begin{bmatrix} W_{11} & W_{12} & \cdots & W_{1s} \\ W_{12} & W_{22} & \cdots & W_{2s} \\ \vdots & \vdots & \ddots & \vdots \\ W_{s1} & W_{s2} & \cdots & W_{ss} \end{bmatrix} \begin{bmatrix} x^1 \\ x^2 \\ \vdots \\ x^s \end{bmatrix} = \begin{bmatrix} Y_1 \\ Y_2 \\ \vdots \\ Y_s \end{bmatrix} \quad \dots \dots (11)$$

40

ここで、式(10)の $w_{ji}$ および $Y_i$ は、9画素分に対応して値があるので、それらを足し合わせた行列式(1)を影響誤差関数マトリクスとする。

## 【0198】

図24のステップS117の説明に戻る。ステップS117において、注目領域画素値演算回路107は、入力された影響誤差関数マトリクスに対し、掃き出し法等の一般的な行列解法を適用して、画素値 $x^1$ 乃至 $x^s$ を演算し、上位階層画像メモリ21に出力する。上位階層画像メモリ21は、入力された画素値 $x^1$ 乃至 $x^s$ を用いて、それまで記憶していた

50

値を更新する。

【0199】

ステップS118において、注目領域決定回路92は、上位階層画像の全ての画素を注目領域に決定したか否かを判定し、全ての画素を注目領域に決定していないと判定した場合、ステップS111に戻り、それ以降の処理が繰り返される。

【0200】

その後、ステップS118において、上位階層画像の全ての画素が注目領域に決定されたと判定された場合、注目領域決定回路92は、スイッチ24をオンとする制御信号を出力する。スイッチ24がオンとされることにより、上位階層画像メモリ21に記憶されている、画素値が最適化された上位階層画像が上位階層画像メモリ3に出力される。

10

【0201】

このように、領域単位で処理すると、より高いS/N比の画像を得ることができる。

【0202】

図26は、本発明を適用したエンコーダの第2の構成例を表している。このエンコーダ111は、図1に示したエンコーダ1の収束判定回路10の後段に予測係数拡張回路112を追加したものである。予測係数拡張回路112は、収束判定回路10が出力した、4ビット(16種類)のクラスコードに対応する予測係数テーブルを、5ビット(32種類)の拡張クラスコードに対応させるものである。

【0203】

予測係数拡張回路112の詳細な構成例について、図27を参照して説明する。収束判定回路10から入力された上位階層画像は、予測係数拡張回路112において、予測タップ抽出回路122、クラスコード読取回路123、および空間クラスコード判定回路124に供給される。着目画素決定回路121は、上位階層画像の画素を順次、着目画素に決定し、その位置情報を予測タップ抽出回路122、クラスコード読取回路123、および空間クラスコード判定回路124に出力する。

20

【0204】

予測タップ抽出回路122は、着目画素を中心とする $5 \times 5$ 画素の予測タップの画素値(画素データのMSB側の4ビット)を抽出して正規方程式生成回路126に出力する。クラスコード読取回路123は、着目画素のクラスコード(画素データのLSB側の4ビット)を読み出して空間クラスコード判定回路124に出力する。

30

【0205】

空間クラスコード判定回路124は、着目画素の空間クラスコードを判定する。すなわち、図28に示すように、着目画素の画素値と、その近傍(例えば、左隣の画素)の画素の画素値を比較して、着目画素の画素値の方が大きい場合、空間クラスコード(1ビット)を0に決定し、近傍の画素の画素値の方が大きい場合、空間クラスコードを1に決定する。さらに、空間クラスコード判定回路124は、クラスコード読取回路123から入力された4ビットのクラスコードのMSB側に空間クラスコードを付加して拡張クラスコード(5ビット)を生成し、正規方程式生成回路126に出力する。

【0206】

なお、空間クラスコードのビット数は、1ビットに限定されるものではなく、複数ビットであってもよい。また、空間クラスコードを上述した方法によって決定するのではなく、例えば、1ビットADRC処理や微分値や差分値から決定してもよい。

40

【0207】

教師データ抽出回路125は、原画像から教師データ(予測タップを用いて生成される下位階層画像の画素値の真値)を抽出して正規方程式生成回路126に出力する。正規方程式生成回路126は、着目画素の拡張クラスコード毎に、既知である教師データおよび予測タップの画素値、並びに、変数としての予測係数から成る正規方程式を生成して、予測係数演算回路127に出力する。

【0208】

予測係数演算回路127は、入力された正規方程式に最小自乗法を適用して32種類(5

50

ビット)の拡張クラスコードに対応する予測係数を演算し、後段に出力する。なお、サンプル数が少ないために正規方程式生成回路126からの正規方程式が解けない場合、予測係数演算回路127は、予測係数メモリ4から供給される16種類(4ビット)のクラスコードに対応した予測係数テーブルを出力する。

【0209】

次に、予測係数拡張回路112の動作について、図29のフローチャートを参照して説明する。この予測係数拡張処理は、収束判定回路10から最適上位階層画像が入力されたときに開始される。

【0210】

ステップS121において、着目画素決定回路121は、上位階層画像の1個の画素を着目画素に決定し、その位置情報を予測タップ抽出回路122、クラスコード読取回路123、および空間クラスコード判定回路124に出力する。 10

【0211】

ステップS122において、クラスコード読取回路123は、着目画素のクラスコード(画素データのLSB側の4ビット)を読み出して空間クラスコード判定回路124に出力する。ステップS123において、空間クラスコード判定回路124は、着目画素の画素値と、その近傍の画素の画素値を比較して、着目画素の画素値の方が大きい場合、空間クラスコード(1ビット)を0に決定し、近傍の画素の画素値の方が大きい場合、空間クラスコードを1に決定する。さらに、空間クラスコード判定回路124は、クラスコード読取回路123から入力された4ビットのクラスコードのMSB側に空間クラスコードを付加して拡張クラスコード(5ビット)を生成し、正規方程式生成回路126に出力する。 20

【0212】

ステップS124において、予測タップ抽出回路122は、着目画素を中心とする5×5画素の予測タップの画素値(画素データのMSB側の4ビット)を抽出して正規方程式生成回路126に出力する。

【0213】

ステップS125において、正規方程式生成回路126は、着目画素のクラスコード毎に、既知である教師データおよび予測タップの画素値、並びに、変数としての予測係数から成る正規方程式を生成して、予測係数演算回路127に出力する。 30

【0214】

ステップS126において、着目画素決定回路121は、上位階層画像の全ての画素を着目画素としたか否かを判定し、全ての画素を着目画素としていないと判定した場合、ステップS121に戻り、それ以降の処理が繰り返される。ステップS126において、全ての画素を着目画素としたと判定された場合、ステップS127に進む。

【0215】

ステップS127において、予測係数演算回路127は、ステップS125で正規方程式生成回路126が生成した正規方程式に最小自乗法を適用し、32種類(5ビット)の拡張クラスコードに対応する予測係数セットを演算し、得られた予測係数セット(予測係数テーブル)を出力する。 40

【0216】

以上のように、予測係数拡張回路112では、予測係数セットを拡張クラスコード(5ビット)に対応させるが、着目画素の画素データのLSB側の5ビットに拡張クラスコードを書き込むわけではなく、着目画素の画素値(画素データのMSB側の4ビット)を変化させないので、この上位階層画像から生成される下位階層画像に階調欠如を発生させることはない。

【0217】

図30は、図26に示したエンコーダ111で生成された上位階層画像から原画像を復元する(下位階層画像を生成する)デコーダの構成例を示している。

【0218】

このデコーダ131は、図18に示したデコーダ81に空間クラスコード判定回路132

50

を追加したものである。空間クラスコード判定回路 132 には、エンコーダ 1 からの上位階層画像、着目画素決定回路 82 からの着目画素の位置情報、およびクラスコード読取回路 83 からのクラスコード（着目画素の画素データの LSB 側の 4 ビット）が入力される。

【0219】

空間クラスコード判定回路 132 は、着目画素の画素値と、着目画素の近傍（いまの場合、左隣）の画素の画素値を比較して、着目画素の画素値の方が大きい場合、空間クラスコード（1 ビット）を 0 に決定し、近傍の画素の画素値の方が大きい場合、空間クラスコードを 1 に決定する。さらに、空間クラスコード判定回路 132 は、クラスコード読取回路 83 から入力された 4 ビットのクラスコードの MSB 側に空間クラスコードを付加して拡張クラスコード（5 ビット）を生成し、マッピング回路 85 に出力する。なお、空間クラスコード判定回路 132 以外の構成回路については、図 18 に示したものと同様であるので、その説明は省略する。

10

【0220】

次に、デコーダ 131 の動作について、図 31 のフローチャートを参照して説明する。このデコード処理は、例えば、エンコーダ 111 が出力した予測係数テーブルが、マッピング回路 85 に供給された後、順次入力されるフレーム単位の上位階層画像に対して実行される。

【0221】

ステップ S131 において、着目画素決定回路 82 は、上位階層画像の 1 個の画素を、着目画素に決定し、その位置情報をクラスコード読取回路 83、予測タップ抽出回路 84、および空間クラスコード判定回路 132 に出力する。ステップ S132 において、クラスコード読取回路 83 は、上位階層画像から着目画素のクラスコード（画素データの LSB 側の 4 ビット）を読み取って、空間クラスコード判定回路 132 に出力する。

20

【0222】

ステップ S133 において、空間クラスコード判定回路 132 は、着目画素の画素値と、その左隣の画素の画素値を比較して、着目画素の画素値の方が大きい場合、空間クラスコード（1 ビット）を 0 に決定し、近傍の画素の画素値の方が大きい場合、空間クラスコードを 1 に決定する。さらに、空間クラスコード判定回路 132 は、クラスコード読取回路 83 から入力された 4 ビットのクラスコードの MSB 側に空間クラスコードを付加して拡張クラスコード（5 ビット）を生成し、マッピング回路 85 に出力する。

30

【0223】

ステップ S134 において、予測タップ抽出回路 84 は、入力された上位階層画像から着目画素を中心とする  $5 \times 5$  画素の予測タップに含まれる画素の画素値（画素データの MSB 側の 4 ビット）を抽出してマッピング回路 85 に出力する。

【0224】

ステップ S135 において、マッピング回路 85 は、空間クラスコード判定回路 132 より入力される拡張クラスコードに対応する予測係数セットを予測係数テーブルから読み出して、読み出した予測係数セットの各予測係数と、予測タップの各画素の画素値との線形 1 次結合を演算し、演算結果を下位階層画像の画素値として下位階層画像メモリ 86 に出力する。

40

【0225】

ステップ S136 において、着目画素決定回路 82 は、上位階層画像の全ての画素を着目画素としたか否かを判定し、全ての画素を着目画素としたと判定するまで、ステップ S131 乃至 S136 の処理が繰り返される。ステップ S137 において、全ての画素を着目画素としたと判定された場合、ステップ S137 で下位階層画像メモリ 86 から下位階層画像の画素値がフレーム単位で、図示せぬモニタに出力される。

【0226】

図 32 は、図 26 に示したエンコーダ 111 で生成された上位階層画像を用い、図 30 に示したデコーダ 131 が復元した下位階層画像の原画像に対する S/N 比を演算したシミュレーションの結果を表している。同図から明らかなように、LSB 側 4 ビットをクラスコード

50

ドとして繰り返し更新を実行してS/N比が収束した後（更新回数20回目まで）、更新回数21回目において、予測係数セットを32種類（5ビット）の拡張クラスコードに対応させることにより、さらにS/N比が向上する。

#### 【0227】

なお、本実施の形態においては、画素データを8ビットとして、そのMSB側の4ビットを画素値、LSB側の4ビットをクラスコードとしたが、これらのビット数は変更してもかまわない。また、そのMSB側をクラスコードとし、LSB側を画素値としてもかまわない。さらに、画素値とクラスコードを分離して記憶するようにしてもかまわない。

#### 【0228】

また、クラスタップ、予測タップ、および、画素値の更新を行う領域等の形状は、上述したものに限定されず、例えば、円形や不連続な形状でもよい。また、対称形状であってもよいし、非対称形状であってもよい。10

#### 【0229】

また、本実施の形態においては、原画像を、より少ない画素数からなる、原画像に復元可能な画像に変換したが、例えば、原画像を、原画像と同じ画素数からなる画像であって、かつ、1画素当たりの情報量（例えば、5ビット）が、原画像の1画素当たりの情報量（例えば、8ビット）よりも少ない、原画像に復元可能な画像に変換する場合にも、本発明を適用することが可能である。

#### 【0230】

この場合には、原画像から画素数を削減する変わりにビット数を削減する処理を行って上位階層画像を生成する。例えば、図6における各画素が8ビットの上位階層画像でなく、画素数は下位階層画像と同じで、各画像データが5ビットで、画素値が3ビットでクラスコードが2ビットである上位階層画像データとすることができる。そして、ローカルデコード時には上位階層画像のビット数を原画像と同じビット数に増加させる処理を行えばよい。20

#### 【0231】

上述した一連の処理は、上述した各実施例のように、ハードウェアにより実行させることもできるが、ソフトウェアで実行させることもできる。

#### 【0232】

図33は、例えばコンピュータなどに構成される情報処理装置である。この情報処理装置に、例えば、図2乃至図4のフローチャートを用いて説明した動作を実行するソフトウェアプログラムを与えることで、本発明の符号化装置を構成することができる。30

#### 【0233】

図33の情報処理装置について説明する。図33の情報処理装置においてCPU（Central Processing Unit）511にはバス515を介して入出力インターフェース516が接続されており、CPU511は、入出力インターフェース516を介して、ユーザから、キーボード、マウスなどによる入力部518から指令が入力されると、例えば、ROM（Read Only Memory）512、ハードディスク514、またはドライブ520に装着される磁気ディスク531、光ディスク532、光磁気ディスク533、若しくは半導体メモリ534などの記録媒体に格納されている本発明に関するソフトウェアプログラムを、RAM（Random Access Memory）513にロードして実行する。さらに、CPU511は、その処理結果を、例えば、入出力インターフェース516を介して、LCD（Liquid Crystal Display）などによる表示部517に必要に応じて出力する。なお、プログラムは、ハードディスク514やROM512に予め記憶しておき、情報処理装置501と一体的にユーザに提供したり、磁気ディスク531、光ディスク532、光磁気ディスク533、半導体メモリ534等のパッケージメディアとして提供したり、衛星、ネットワーク等から通信部519を介してハードディスク514に提供することができる。40

#### 【0234】

また、上述した各実施例においては画像信号を符号化する例について述べたが、本発明はこれに限定されるものでなく、オーディオ信号などにも適用可能である。50

## 【0235】

また、本発明の主旨を逸脱しない範囲において、様々な変形や応用例が考えられる。したがって、本発明の主旨は本実施の形態に限定されるものではない。  
のネットワーク提供媒体を介してユーザに提供することができる。

## 【0236】

## 【発明の効果】

以上のように、本発明の第1の画像信号変換装置、画像信号変換方法、および記録媒体のプログラムによれば、原画像を復元可能な上位階層画像を生成することが可能となる。

## 【0237】

また、本発明の第2の画像信号変換装置、画像信号変換方法、および記録媒体のプログラムによれば、原画像を復元可能な上位階層画像を生成することが可能となる。 10

## 【0238】

また、本発明の第3の情報信号変換装置、情報信号変換方法、および記録媒体のプログラムによれば、原信号を復元可能な上位階層信号を生成することが可能となる。

## 【0239】

また、本発明の第4の情報信号変換装置、情報信号変換方法、および記録媒体のプログラムによれば、原信号を復元可能な上位階層信号を生成することが可能となる。

## 【図面の簡単な説明】

【図1】本発明を適用したエンコーダ1の第1の構成例を示すブロック図である。

20

【図2】図1のエンコーダ1の動作を説明するフローチャートである。

【図3】図1の前処理回路2の動作を説明するフローチャートである。

【図4】図3のステップS11の詳細を説明するフローチャートである。

【図5】画素の配置を説明する図である。

【図6】画素データを説明する図である。

【図7】図3のステップS12の詳細を説明するフローチャートである。

【図8】図1の画素値更新回路6の第1の構成例を示すブロック図である。

【図9】図8の最適画素値決定回路22の構成例を示すブロック図である。

【図10】図8の画素値更新回路6の動作を説明するフローチャートである。

【図11】画素の配置を説明する図である。

【図12】図1の予測係数更新回路7の構成例を示すブロック図である。 30

30

【図13】図12の予測係数更新回路7の動作を説明するフローチャートである。

【図14】図1のクラスコード選択回路8の構成例を示すブロック図である。

【図15】図14のクラスコード選択回路8の動作を説明するフローチャートである。

【図16】図1のデコード回路9の構成例を示すブロック図である。

【図17】図16のデコード回路9の動作を説明するフローチャートである。

【図18】図1に示したエンコーダ1に対応するデコーダ81の構成例を示すブロック図である。

【図19】図18のデコーダ81の動作を説明するフローチャートである。

【図20】図1のエンコーダ1の他の動作を説明するフローチャートである。

【図21】シミュレーション結果を示す図である。 40

40

【図22】図1の画素値更新回路6の第2の構成例を示すブロック図である。

【図23】図22の領域最適化回路91の構成例を示すブロック図である。

【図24】図22の画素値更新回路6の動作を説明するフローチャートである。

【図25】影響誤差関数マトリクスを説明するための図である。

【図26】本発明を適用したエンコーダの第2の構成例を示すブロック図である。

【図27】図26の予測係数拡張回路112の構成例を示すブロック図である。

【図28】拡張クラスコードを説明するための図である。

【図29】図27の予測係数拡張回路112の動作を説明するフローチャートである。

【図30】図26のエンコーダ1の対応するデコーダ131の構成例を示すブロック図である。 50

【図31】図30のデコーダ131の動作を説明するフローチャートである。

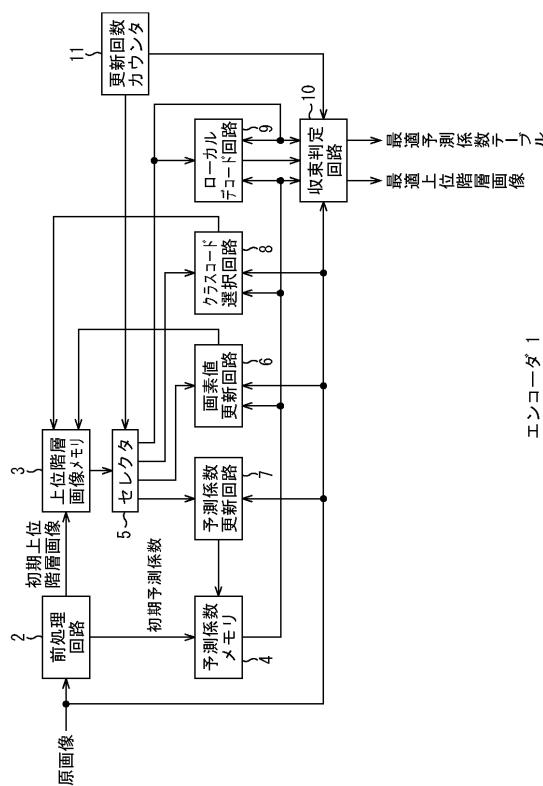
【図32】シミュレーション結果を示す図である。

【図33】情報処理装置501の構成例を示すブロック図である。

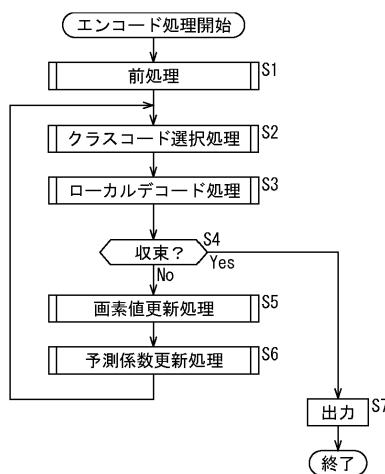
【符号の説明】

1 エンコーダ , 2 前処理回路 , 3 上位階層画像メモリ , 4 予測係数メモリ , 5 セレクタ , 6 画素値更新回路 , 7 予測係数更新回路 , 8 クラスコード選択回路 , 9 ローカルデコード回路 , 10 収束判定回路 , 11 更新回数カウンタ , 22 最適画素値決定回路 , 81 デコーダ , 82 着目画素決定回路 , 83 クラスコード読み取り回路 , 84 予測タップ抽出回路 , 85 マッピング回路 , 86 下位階層画像メモリ , 91 領域最適化回路 , 111 エンコーダ , 112 予測係数拡張回路 , 124 空間クラスコード判定回路 , 131 デコーダ , 132 空間クラスコード判定回路

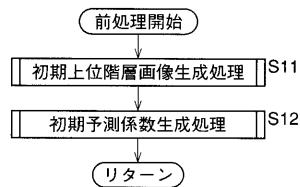
【図1】



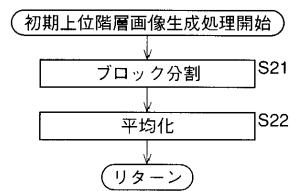
【図2】



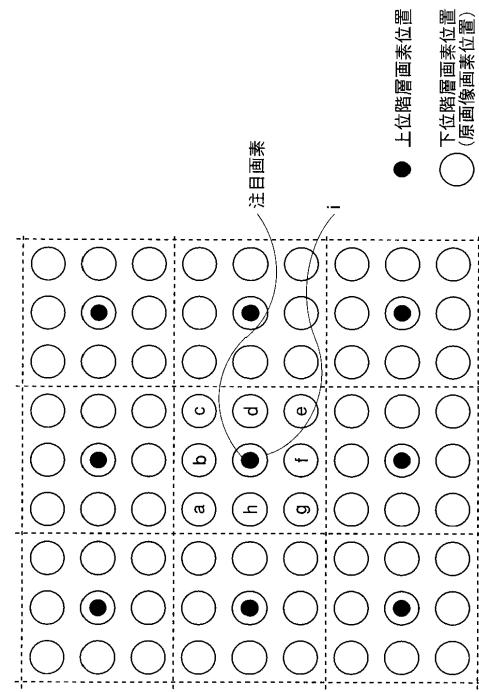
【図3】



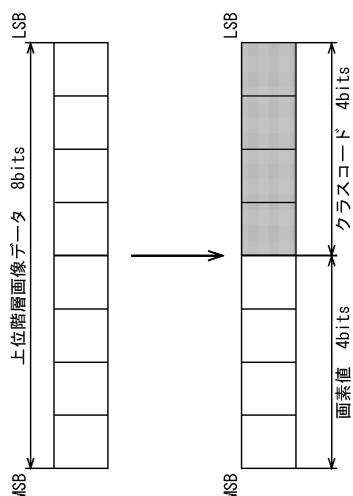
【図4】



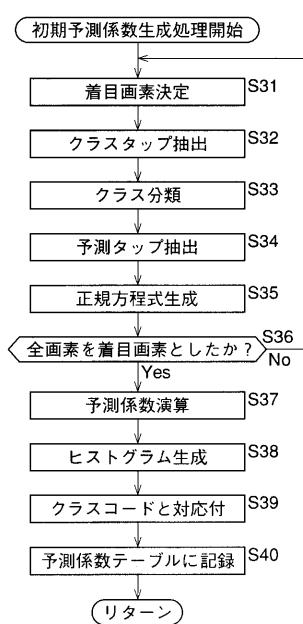
【図5】



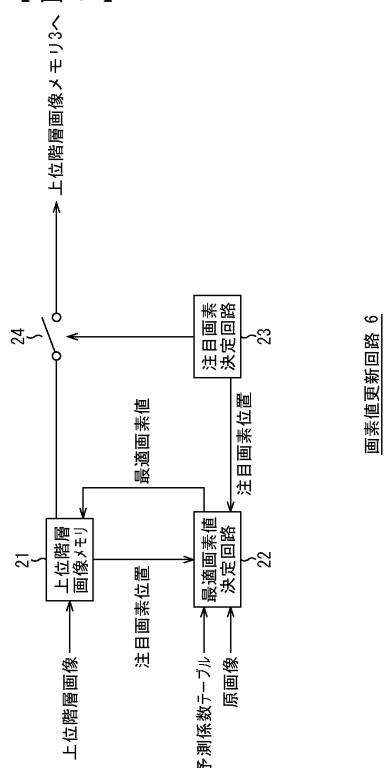
【図6】



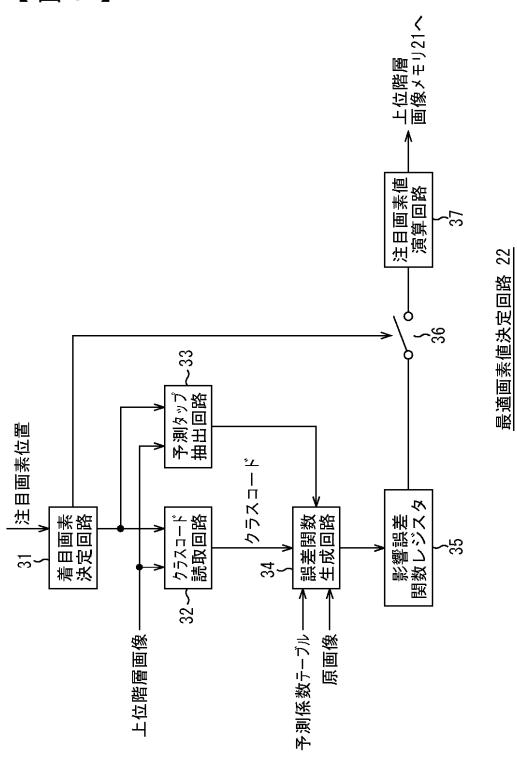
【図7】



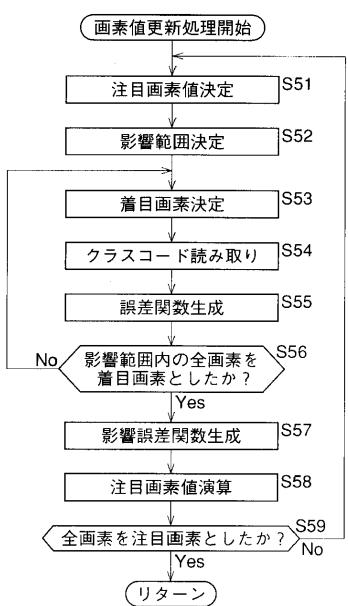
【図 8】



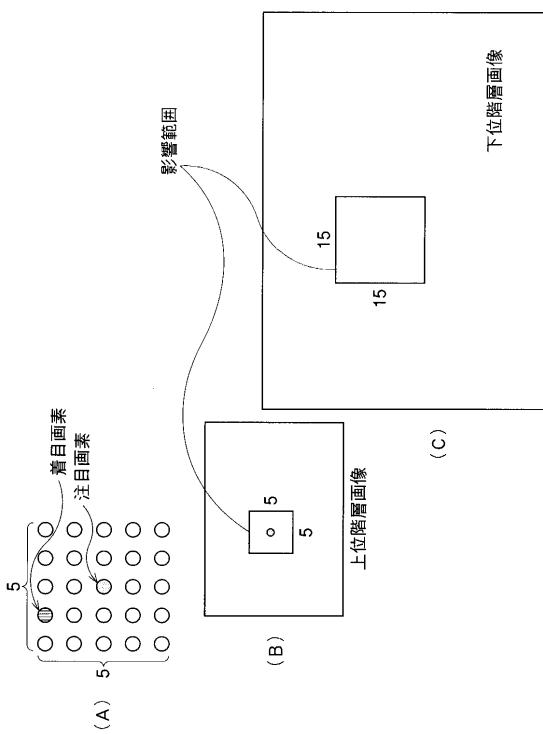
【図 9】



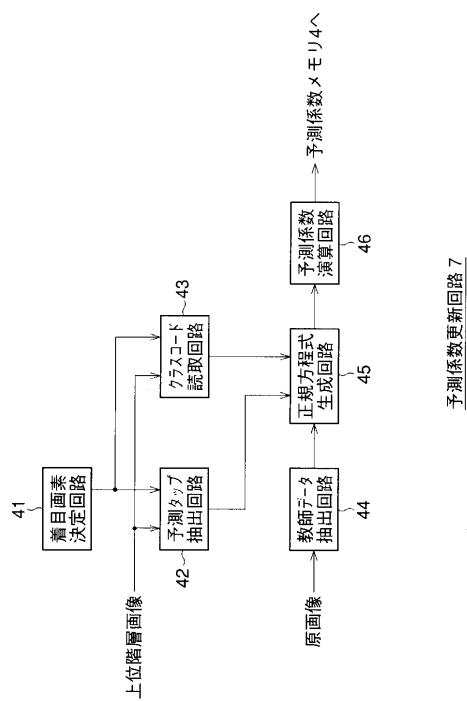
【図 10】



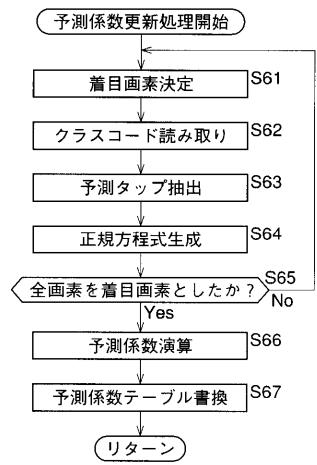
【図 11】



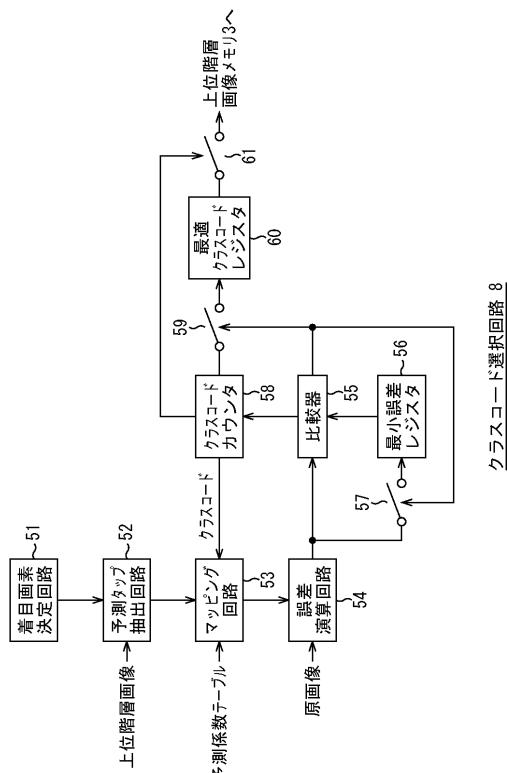
【図12】



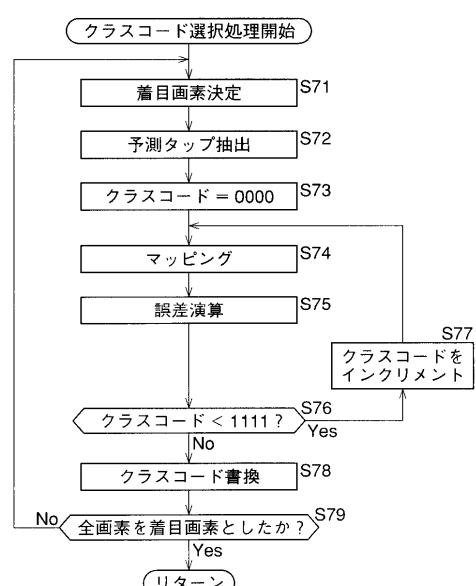
【図13】



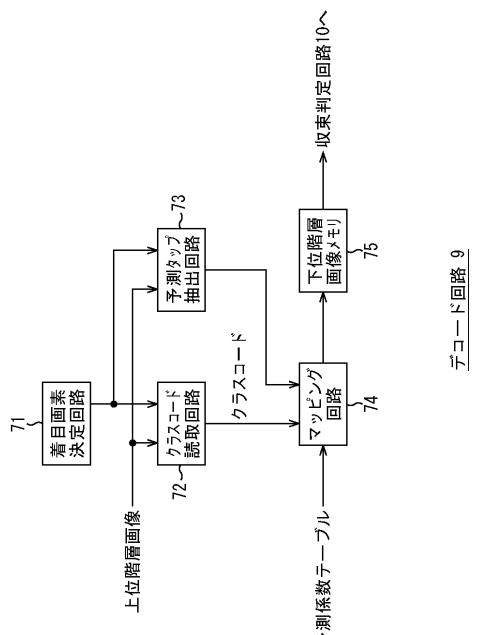
【図14】



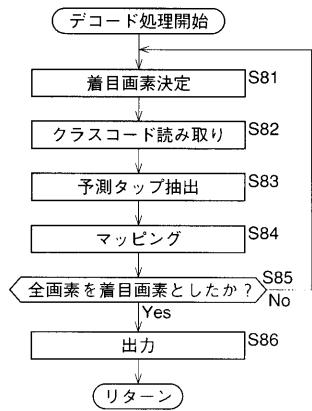
【図15】



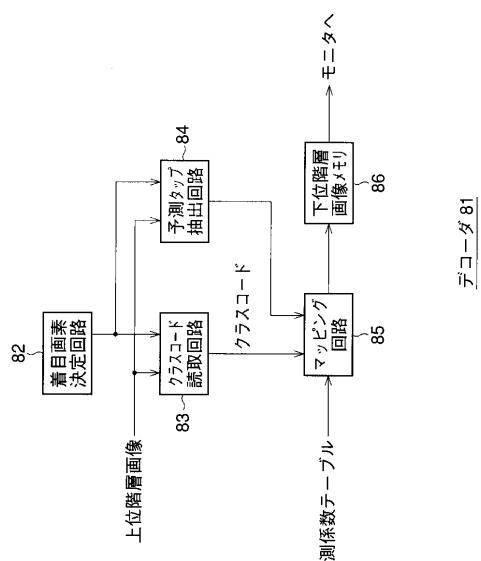
【図16】



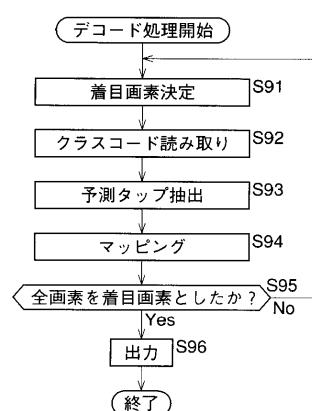
【図17】



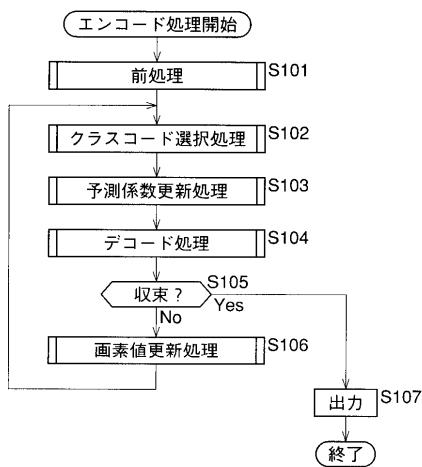
【 図 1 8 】



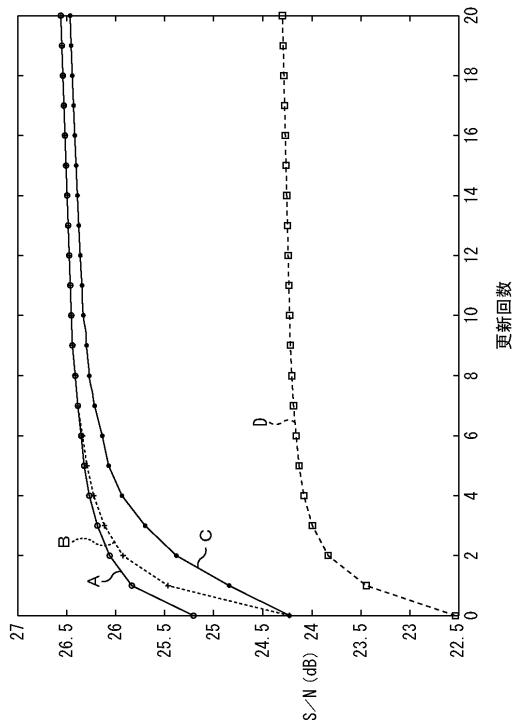
【 四 19 】



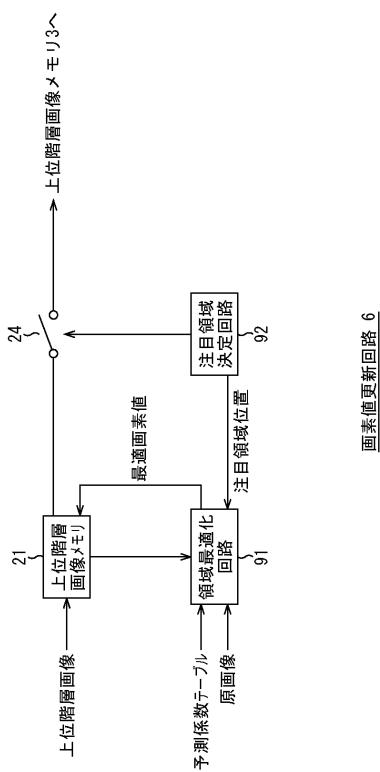
【図20】



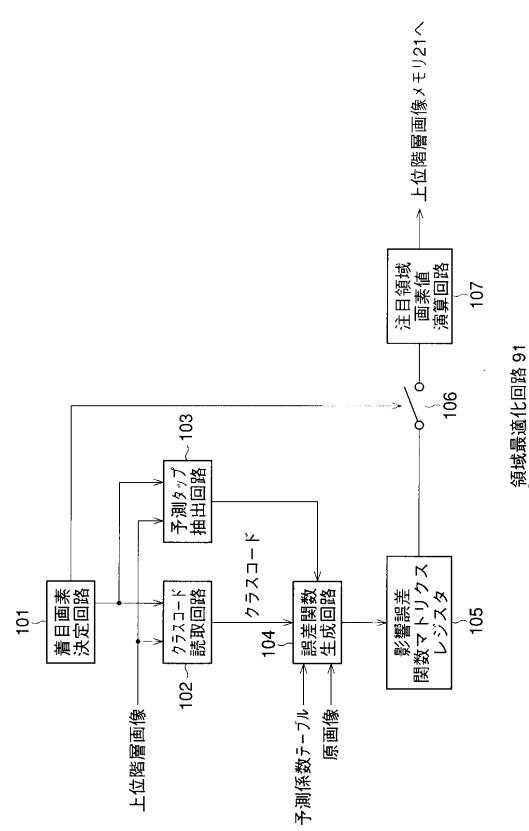
【図21】



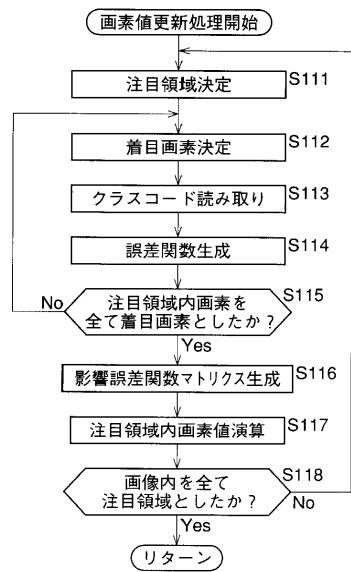
【図22】



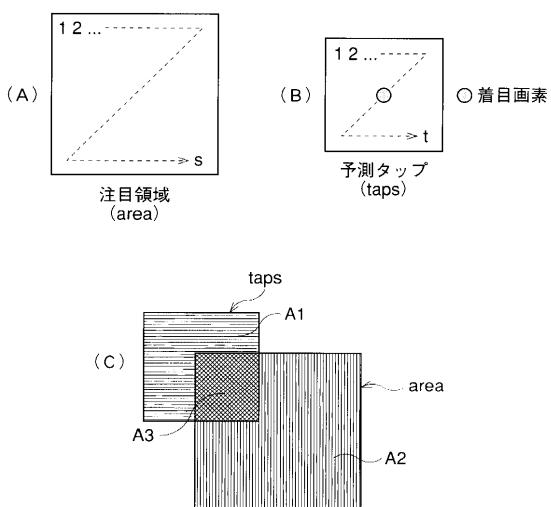
【図23】



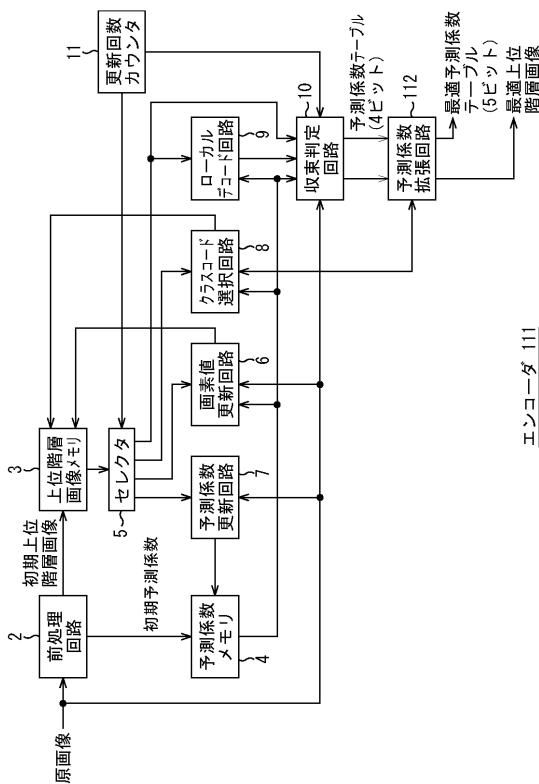
【図24】



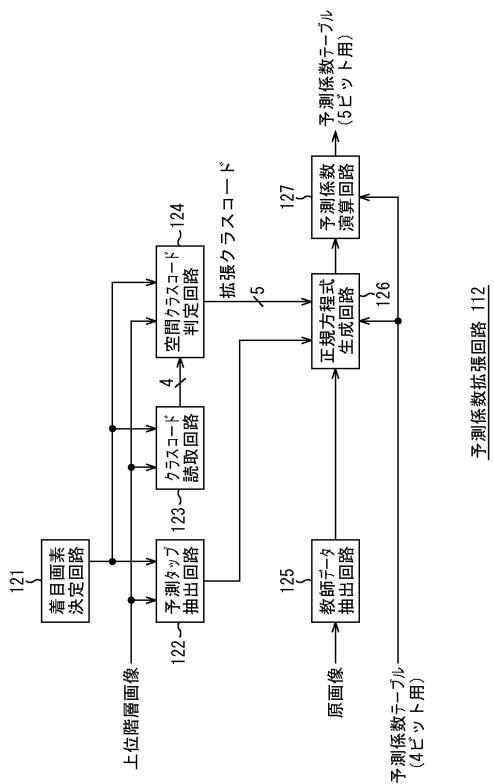
【図25】



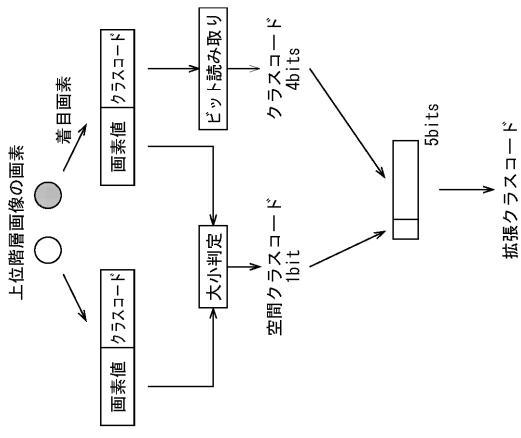
【図26】



【図27】



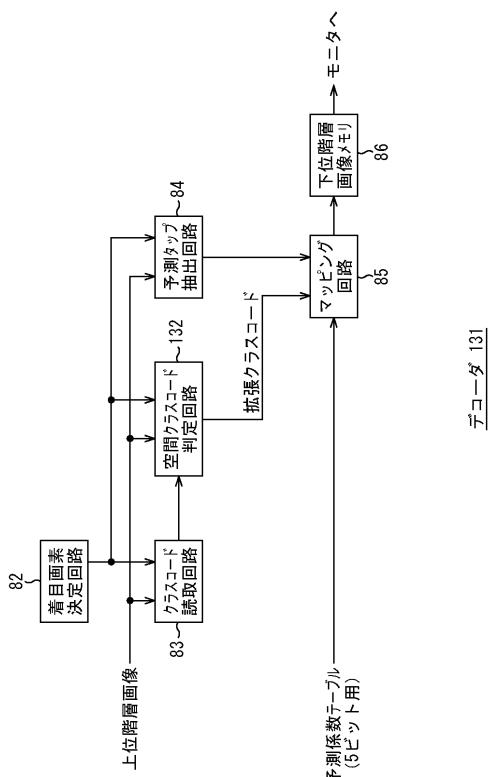
【図28】



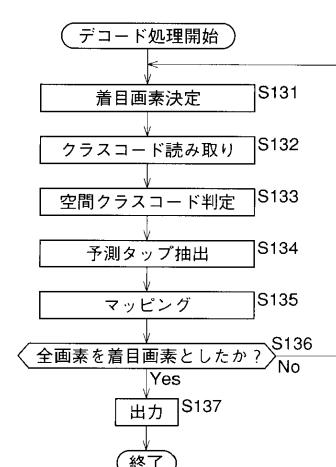
【図29】



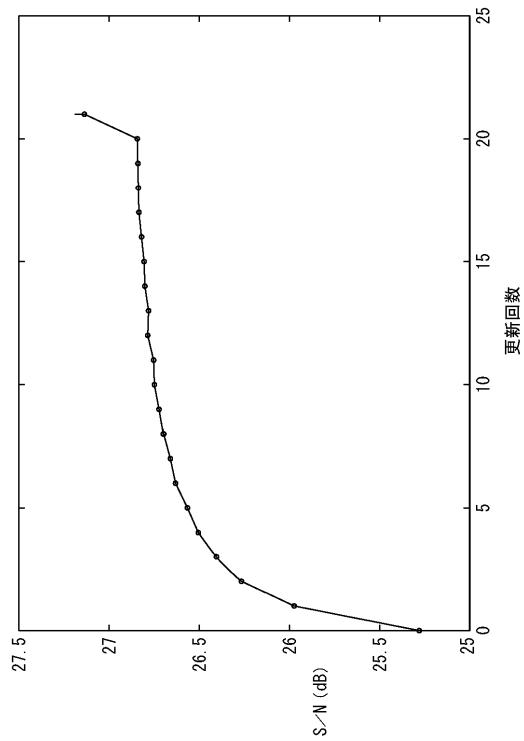
【図30】



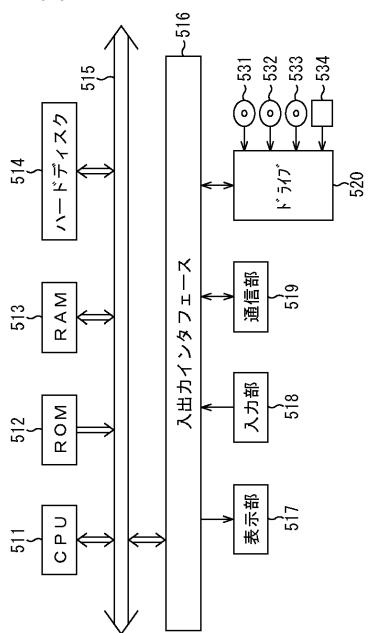
【図31】



【図3-2】



【図3-3】



---

フロントページの続き

審査官 堀井 啓明

(56)参考文献 特開平10-093980(JP, A)  
特開平10-243405(JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N1/41-1/419

H04N7/12-7/137