

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4856397号
(P4856397)

(45) 発行日 平成24年1月18日(2012.1.18)

(24) 登録日 平成23年11月4日(2011.11.4)

(51) Int.Cl.

F 1

G05B 19/05

(2006.01)

G05B 19/05

N

G21C 17/00

(2006.01)

G21C 17/00

K

G08C 23/04

(2006.01)

G08C 23/00

A

請求項の数 10 (全 13 頁)

(21) 出願番号 特願2005-177836 (P2005-177836)
 (22) 出願日 平成17年6月17日 (2005.6.17)
 (65) 公開番号 特開2006-4436 (P2006-4436A)
 (43) 公開日 平成18年1月5日 (2006.1.5)
 審査請求日 平成20年6月10日 (2008.6.10)
 (31) 優先権主張番号 10/872, 205
 (32) 優先日 平成16年6月18日 (2004.6.18)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 10/880, 734
 (32) 優先日 平成16年6月30日 (2004.6.30)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 390041542
 ゼネラル・エレクトリック・カンパニー
 アメリカ合衆国、ニューヨーク州、スケネ
 クタディ、リバーロード、1番
 (74) 代理人 100137545
 弁理士 荒川 智志
 (74) 代理人 100105588
 弁理士 小倉 博
 (74) 代理人 100106541
 弁理士 伊藤 信和
 (74) 代理人 100129779
 弁理士 黒川 俊久

最終頁に続く

(54) 【発明の名称】工業プロセスにおける安全制御の方法及び装置

(57) 【特許請求の範囲】

【請求項 1】

工業用途で使用するのに適する安全計器において、

前記計器の自己試験、並びに前記計器により監視及び／又は制御される外部システムの作動確認機能を実行するように構成されたマイクロコントローラ（12）と、前記マイクロコントローラから独立して、前記外部システムの人体の安全を左右するような動作を実行する安全関連機能を実行し、且つ前記マイクロコントローラのアドレス復号、入出力アドレス指定及び／又はレジスタを提供するように構成された少なくとも1つの結合プログラマブル論理装置（CPLD）（46）とを含む論理カード（10）と；

前記論理カードに動作可能に結合され、前記論理カードから前記外部システムへ、監視信号及び／又は制御信号を通信する1つ以上のI/Oモジュール（40、42）と；

不揮発性RAM（38）と

を具備し、

前記マイクロコントローラ（12）は、前記不揮発性RAMに、タイムスタンプ付きエラーデータを格納するように構成されることを特徴とする、計器。

【請求項 2】

前記論理カード（10）により制御される複数のインジケータを有するフロントパネルを更に具備し、前記インジケータは、前記安全計器のユーザに、前記外部システムに関する情報を提供するように構成される請求項1記載の計器。

【請求項 3】

10

20

前記タイムスタンプ付きエラーデータは、前記自己試験及び前記作動確認機能に関連する請求項1記載の計器。

【請求項4】

前記外部システムと、前記マイクロコントローラ(12)及び／又は前記CPLD(46)との間で信号を通信し且つそれらの間を電気的に隔離するように構成された少なくとも1つの光ファイバインターフェースカード(40)を更に具備する請求項1記載の計器。

【請求項5】

原子力発電装置に設置されることを特徴とする、請求項1乃至4のいずれか1項に記載の安全計器。

【請求項6】

工業プラントに関する安全機能を提供する方法において、外部システムを監視及び／又は点検するために、論理カード(10)において、マイクロプロセッサ(12)を動作させること；

前記外部システムの人体の安全を左右するような動作を実行する安全関連機能を実行し且つ前記マイクロコントローラのアドレス復号、出入力アドレス指定及び／又はレジスタを提供するために、前記論理カードにおいて結合プログラマブル論理装置(46)を、前記マイクロコントローラから独立して動作させること；

前記マイクロコントローラ(12)を使用して、前記論理カード(10)にある不揮発性RAM(38)に、タイムスタンプ付きエラーデータを格納すること；

1つ以上のI/Oモジュール(40、42)を介して、監視信号及び／又は制御信号を前記外部システムへ通信することと
から成る方法。

【請求項7】

前記論理カード(10)を使用して、フロントパネルの複数のインジケータを制御することを更に含み、前記インジケータは、前記安全計器のユーザに、前記外部システムに関連する情報を提供するように構成される請求項6記載の方法。

【請求項8】

前記タイムスタンプ付きエラーデータは、前記自己試験及び前記作動確認機能に関連する請求項6記載の方法。

【請求項9】

前記外部システムと、前記マイクロコントローラ(12)及び／又は前記CPLD(46)との間を電気的に隔離するように構成された少なくとも1つの光ファイバインターフェースカード(40)を介して、前記外部システムと、前記マイクロコントローラ及び／又は前記CPLDとの間で信号を通信することを更に含む請求項6記載の方法。

【請求項10】

原子力発電装置において実行される請求項6記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、工業用安全システムに関し、特に、安全システムの構造及びその動作方法に関する。

【背景技術】

【0002】

原子炉システムが正しく稼動していることを確認するためには、原子力発電システムを定期的に作動確認することが必要である。しかし、様々なアナログ安全システムの作動確認手順は、システムを試験し且つオペラビリティに関するレポートを得るために、原子炉の運転担当者の手動操作による起動を必要とする。手動操作によるアナログ安全システムの作動確認機能の自動化を実現することは、容易ではない。更に、そのようなアナログ安全システムをスケーリングし、標準化を実施することは困難である。

【特許文献1】特開2003-215284号公報

10

20

30

40

50

【発明の開示】**【課題を解決するための手段】****【0003】**

従って、本発明のいくつかの構成は、工業用途において使用するのに適する安全計器を提供する。計器は、計器の自己試験、並びに計器により監視及び／又は制御される外部システムの作動確認機能を実行するように構成されたマイクロコントローラを有する論理カードを含む。論理カードは、少なくとも1つの結合プログラマブル論理装置（CPLD）を更に含む。CPLDは、マイクロコントローラから独立して、外部システムの人体安全条件に関連する論理機能を実行し、且つマイクロコントローラのアドレス復号、入出力アドレス指定及び／又はレジスタを提供するように構成される。計器は、1つ以上のI/Oモジュールを更に含む。I/Oモジュールは、論理カードに動作可能に結合され、論理カードから外部システムへ、監視信号及び／又は制御信号を通信する。

【0004】

他の面においては、本発明は、工業プラントに関する安全機能を提供する方法を提供する。方法は、外部システムを監視及び／又は作動確認するために、論理カードにおいてマイクロプロセッサを動作させることと、外部システムの人体安全条件に関連する論理機能を実行し且つマイクロコントローラのアドレス復号、入出力アドレス指定及び／又はレジスタを提供するために、論理カードにおいて結合プログラマブル論理装置を、マイクロコントローラから独立して動作させることとを含む。方法は、1つ以上のI/Oモジュールを介して、外部システムへ、監視信号及び／又は制御信号を通信することを更に含む。

【0005】

このように、本発明の構成は、アナログ安全システムの手動操作による作動確認機能を容易に自動化し、容易にスケーリングを実行し、且つ構成要素の好都合な標準化を実行することがわかるであろう。その他の利点は、以下の詳細な説明を読むことにより、当業者には明らかになるであろう。

【発明を実施するための最良の形態】**【0006】**

いくつかの構成では、工業プロセスにおいて安全制御装置として使用するのに適するマイクロコントローラーアーキテクチャが提供される。このアーキテクチャは、多くの工業プロセスにおいて使用するのに適するが、原子力発電装置の計装システム及び制御システムにおいて使用するのに特に適している。例えば、マイクロコントローラーアーキテクチャは、原子力測定解析制御（NUMAC）モジュール、高圧炉心注水系（HPCF）制御モジュール、出力論理ユニット（OLU）モジュール及びホウ酸水注入制御（SLC）モジュールにおいて使用するのに適する。これらのモジュールは、本発明の構成を採用する一連のマイクロコントローラ利用シャシを具備する。様々な構成において、これらの計器はモジュール構造を有する。更に、計器は、リレー、ファイバ／光通信リンク、入力コンタクトカード、又は他の入出力（I/O）カードを追加することにより、スケーリング自在である。それらのカードは、マイクロコントローラ、ファームウェア、カスタム化ロジック（CPLD）、EPROM、NVRAM、RAM及び様々なICを含む論理ボード（マザーボード）に直接に又は間接的に挿入可能である。本発明のいくつかの構成は、取り外し自在の全てのモジュールが交換自在となるように、これらモジュールに対して、標準化を採用する。いくつかの構成においては、保守に好都合であるように、全ての外部接続及びインターフェースは、計器パネルの背面に収納される。本発明の様々な構成により実現される技術的効果には、特に、アナログ安全システムの手動操作による作動確認機能が自動化されること、作業のスケーリングが容易であること、及び構成要素が都合よく標準化されることが含まれる。

【0007】

本発明のマイクロプロセッサーアーキテクチャ構成を利用する計器は、標準の48.26cm(19in)幅の工業用ラックに嵌合するように設計可能であり、標準の高さ、例えば、13.335cm(5.25in)の高さであることが可能である。本発明のいくつ

10

20

30

40

50

かの構成においては、マイクロプロセッサーアーキテクチャを利用する計器に要求されるフェイルセーフ機能及び堅牢な電気的構成を提供するために、冗長電源（例えば、2つの電源）が使用される。いくつかの構成は、マイクロコントローラファームウェアにおいて、特定のアプリケーションに対応する自己試験及び作動確認の方法を提供する。マイクロコントローラサブシステム論理は、CPLDサブシステムに含まれる論理から独立して実行される。いくつかの構成においては、マイクロコントローラとCPLDとの間にインタフェースが設けられる。このインタフェースにより、いずれか一方のサブシステムにおいて壊滅的な障害が起こった場合でも、他方のサブシステムを機能させることができる。複数の計器で利用される場合、本発明の構成は、一貫したユーザインターフェース及びフィードバック（「ルック・アンド・フィール」）を提供する。また、例えば、キーロックスイッチを使用して、フロントパネルから、各計器を保護できる。更に、本発明のいくつかの構成においては、押しボタン、LED及び/又は英数字ディスプレイも設けられる。特定の顧客要件及び技術的要件に適合するように、新たな計器をスケーリングできる。例えば、特定の通信プロトコル（すなわち、MIL STD 1553、RS 232など）に対応するための装置、特定の電圧及び電流（すなわち、12VDC、24VDC、120VAC）を処理するように設計されたリレー、並びに様々な光の波長（すなわち、850nm、1,300nm）でデータを送受信するように設計された光ファイバカードを、本発明の様々な構成に組み込むことができる。10

【0008】

本発明のいくつかの構成においては、計器は、標準計器用ラック、例えば、48.26cm（19in）の計器用ラック内に設置するために、ラックに装着自在である。例えば、本発明のいくつかの構成における計器シャシは、幅48.26cm（19in）、高さ13.335cm（5.25in）、奥行は30.48cm~35.56cm（12in~14in）である。各計器シャシは、フロントパネルディスプレイ、二重冗長電源、論理カード及び計器の所期のアプリケーションに適するI/Oカードを含むことができる。計器間で、同様のモジュールを電気的及び機械的に直接交換することが可能であり、交換時に、校正は不要である。20

【0009】

図1を参照すると、本発明のいくつかの構成においては、論理カード10は、計器の論理及び制御、外部システム（すなわち、論理カード10が含まれる計器の外部にあるシステム）への状態通信、並びにオペレータによるディスプレイ及びキーボード操作の制御を実行する。論理カード10のいくつかの構成は、以下に説明する構成要素を含む。30

マイクロコントローラ

マイクロコントローラ12は、高速計算及び高速入出力動作を処理するために設けられる。適切なマイクロコントローラの一例は、カリフォルニア州Santa ClaraのIntel Corporationから入手可能な16ビットCHMOSプロセッサである87C196KDマイクロコントローラである。本発明の構成に有用である、このマイクロコントローラの特徴は、20MHzクロッキング、1キロバイトレジスタRAM、全二重シリアルポート、5つの8ビットI/Oポート、4つの内部16ビットタイマ、及び入力MUXを有する10ビットA/D変換器である。40

【0010】

論理カードにおける機能動作は、マイクロコントローラ12により監視される。マイクロコントローラ12は、作動確認の目的に使用できる非同期直列状態メッセージを送信し、キーボード及びディスプレイを制御し、デジタルI/O回線を監視する。これらの機能に加えて、マイクロコントローラは、電源及び外部センサ電圧を監視し且つメモリの保全性を検査することにより、始動及びオンライン自己試験を実行する。送信される通信メッセージは、自己試験による妥当性検査のために、ループバックができる。

マイクロコントローラスーパーバイザ

マイクロプロセッサスупервайザ論理は、電源監視回路14を含む。電源監視回路14は、論理カード10及びI/Oモジュール34に供給される+5VDC電力を監視する50

。この電力は、冗長電源 1 6 及び 1 8 から供給される。電圧が + 4 . 5 0 ~ 4 . 6 0 V D C であるとき、電源監視回路 1 4 は、マイクロコントローラ 1 2 に対するリセットを発生する。このリセットにより、C P L D 制御論理 4 6 もクリアされ、初期設定状態になる。マイクロプロセッサス-パーバイザ論理の一部として、+ 5 V D C 基準電圧源 2 0 及びリセットノバーオン回路 2 2 が更に設けられる。

【 0 0 1 1 】

制御及び復号を実行し且つ / 又は機能論理を構成するために、マイクロコントローラ 1 2 に加えて、1 つ以上の結合プログラマブル論理装置 (C P L D) 4 6 が設けられる。

制御復号ハードウェア

本発明のいくつかの構成においては、制御復号ハードウェアは、本質的には、1 つ以上の結合プログラマブル論理装置 (C P L D) 4 6 を含むか、又はそれらから構成される。C P L D 4 6 は、以下のうち 1 つ以上を提供するように構成される。 10

【 0 0 1 2 】

1 . E P R O M 2 6 及び R A M 2 8 のアドレス復号、並びに全てのメモリマッピング I / O 機能；

2 . 様々な論理状態レジスタのアドレス復号；及び

3 . より低速の周辺装置アクセスのためのマイクロコントローラ 1 2 における待ち状態発生器制御（例えば、いくつかの構成においては、読み取りアクセス又は書き込みアクセスのために、フロントパネル L E D ディスプレイ 3 0 は、3 つの待ち状態を要求する）。

機能論理インターフェースハードウェア

本発明のいくつかの構成においては、機能論理インターフェースハードウェアは、本質的には、1 つ以上の結合プログラマブル論理装置 (C P L D) を含むか、又はそれらから構成される。C P L D は、以下のうち少なくとも 1 つを提供するように構成される。 20

【 0 0 1 3 】

1 . 様々な周波数分割器；

2 . 緊急停止状態及び I / O を監視し、緊急停止コマンド及び他の制御コマンドを生成できる機能論理；

3 . 様々な通信プロトコルに対する支援論理；及び

4 . 外部インターフェースカード 3 4 及び他のグルー論理に対する支援。

【 0 0 1 4 】

論理カード 1 0 の構成は、複数の C P L D 4 6 （例えば、いくつかの構成においては、1 つのカードに 3 つまでの C P L D ）を収容でき、保守、交換又は再構成を容易にするために、C P L D は、ソケット接続されてもよい。従って、制御復号ハードウェアと、機能論理インターフェースハードウェアを 1 つの C P L D の中に組み込むこと、2 つの別個の C P L D の中に含めること、2 つ以上の C P L D にまたがって分散させることなどが可能である。本発明においては、制御復号ハードウェア及び機能論理インターフェースハードウェアと、個別の C P L D との間に 1 対 1 の対応が存在している必要はない。 30

入力電力保護及びアナログ基準

コントロールカードにある + 5 V D C 、+ 5 V D C フロントパネル、+ 5 V D C 光ファイバ、+ 5 V D C リレーカード A 及び B 、+ 2 4 V D C 及び + 4 8 V D C の各電力入力線路は、熱電流制限装置（図 1 には、別個に示されない）を自動リセットすることにより保護される。それらの装置は、電流限界に到達したときに、ヒートアップし、過電流状態が修正されるまで、開路する。入力電力線路は、電源監視回路 1 4 を使用して、自己試験中、マイクロコントローラ 1 2 により監視される。フロントパネルに表示される電力障害 L E D (L E D 3 0 に含まれる) を制御するために、測定ごとの自己試験の結果が組み合わされる。いくつかの構成においては、論理回路 1 0 を具備する計器の背面パネルにある複数の試験ポイントで測定が実行されるため、電源電圧はアクセス可能である。 40

【 0 0 1 5 】

マイクロコントローラ 1 2 の A / D 変換器に必要とされる + 5 V D C の基準電圧 2 0 は、+ 2 4 V D C 入力電力から発生され、不足電圧 / 過電圧検出回路により監視される。 50

E P R O M 及び R A M メモリ

いくつかの構成においては、不揮発性プログラム格納のために、E P R O M 2 6 が設けられる。この目的のために、3 2 K バイト E P R O M を使用できる。いくつかの構成においては、マイクロコントローラ 1 2 により使用されるべき高速読み取り / 書き込みメモリとして、スタティック R A M 2 8 、例えば、8 K バイトスタティック R A M が設けられる。

不揮発性 R A M

いくつかの構成においては、電力が供給されなくなったときに、失われてはならないアプリケーションパラメータを格納するために、2 K × 8 ビット強誘電性 R A M などの不揮発性 R A M 3 8 が設けられる。それらのパラメータは、カード 1 0 が利用されるアプリケーションに依存するが、不揮発性 R A M 3 8 に格納できる可能アプリケーションパラメータのリストは、自己試験エラーコード及びカウント、校正パラメータなどを含むことができる。いくつかの構成における R A M 3 8 は、消費電力が少なく、書き込み耐久性特性に非常に優れた直列装置である。

光ファイバインターフェースカード

光ファイバインターフェースカード 4 0 は、光信号と電気信号との間の変換を実行する。本発明のいくつかの構成においては、各カードは、6 つの物理チャネルを含む。それらのチャネルは、論理カード 1 0 のアプリケーションに応じて、送信、受信、又は双方向通信に使用可能である。例えば、各チャネルは、8 5 0 n m のピーク感度波長を有する光ファイバ信号によって動作可能であるが、いくつかの構成は、1 , 3 0 0 n m などの他の波長を使用する。いくつかの構成においては、光送信器及び光受信器は、標準 S T 型光コネクタに適合する。

リレー I / O カード

多くのアプリケーションにおいて、1 つ以上のリレー I / O カード 4 2 が設けられる。I / O カード 4 2 は、例えば、機械的ラッチングリレー、非ラッチングリレー、コンタクト閉成感知回路、又はそれらの何らかの組み合わせを含む。各 I / O カード 4 2 は、論理カード 1 0 と制御されるべき他の装置（論理カード 1 0 の視点から見れば、「外界」）との間のインターフェースバッファとして構成される。シャシに入力する高電圧信号は、標準 T T L レベルに変換される。標準 T T L レベル信号は、多くの場合、外部システムにより使用される、はるかに高い電圧を切り替えるために、それらのカードへ送信される。

【 0 0 1 6 】

光ファイバインターフェースカード 4 0 及びリレー I / O カード 4 2 は、外部システム（例えば、弁、ポンプ又は他の計器であるが、それらに限定されない）と、論理カード 1 0 の構成要素とを電気的に隔離する一方で、外部システムの制御及び / 又は感知及び作動確認を可能にする。このように、論理カード 1 0 は、外部システムにおける電気的妨害、あるいは安全計器と外部システムとの間の通信回線における電気的妨害によって起こる障害を受けにくい。いくつかの構成においては、マイクロコントローラ 1 2 及び / 又は C P L D 4 6 と、計器内に存在する何らかのインターフェースカード 3 4 との間をインターフェースするために、インターフェーシングハードウェア 3 2 が設けられる。

【 0 0 1 7 】

外部論理を使用するか、又は C P L D を使用するかに関わらず、本発明のいくつかの構成は、4 つまでの I / O カード 3 4 、フロントパネルディスプレイ 3 0 及び / 又は 4 4 、E P R O M 2 6 、R A M 2 8 、並びに 1 ~ 3 つのカスタムプログラマブル論理装置 C P L D 4 6 に対応するインターフェースを供給するバスを採用する。適切なバス構成の一部が、図 2 に示される。図 2 のバス構成は、特に、アドレスバス（ A D R B U S ）及びデータバス（ D A T A B U S ）を含み、これらを、合わせて、アドレス / データバス（ A D D R / D A T A B U S ）と呼ぶこともある。構成要素を互いに相互作用させると共に、メモリデータ及び I / O データの転送、ダイレクトメモリアクセス、及び他の機能を実行するために、バス構造は、信号を搬送する。バス構造は、「マスター スレーブ」構成の変形である。図 2 のマスター スレーブ構成においては、マスター装置 5 0 は、バスの制御を実行し

10

20

30

40

50

、スレーブ装置（例えば、スレーブ装置 52）は、そのアドレスを復号したときに、マスター装置により提供されたコマンドに応じて動作する。

【0018】

いくつかの構成においては、8xC196KDデバイス（カリフォルニア州Santa Claraのインテル社より入手可能である）が、B U S マスター 50として動作する。このデバイスは、アドレス / データバスからのアドレスを逆多重化するために、アドレスラッチャイネーブル（A L E）信号を外部ラッチへ送信する。この信号は、外部メモリ（例えば、R A M 2 8 及びE P R O M 2 6）のために使用され、下位の 8 つのアドレス信号を復号するために使用される。他の周辺装置は、C P L D 4 6 と 1 つ以上のオクタル B U S ドライバ 4 8 との組み合わせを介して、アドレス指定され、制御される。C P L D 4 6 は、上位の 8 つのアドレス線路を復号し、正しいオクタル B U S ドライバ 4 8 に対して、E N A B L E D 信号を発生する。これにより、下位の 8 つのアドレス線路を使用して、周辺装置をアドレス指定することが可能になる。バスを介して転送される信号が実行する機能に基づいて、それらの信号をいくつかのクラスにグループ分けできる。クラスは、制御信号、アドレス信号及び抑止信号、並びにデータ信号を含む。

10

作動確認能力

本発明のいくつかの構成においては、改善された作動確認能力を支援するために、自己試験状態機能及び報告機能が提供される。更に、論理カード 10 を含む計器の背面パネルにおいて、電源電圧が利用可能である。例えば、マイクロコントローラ 12 において実行されるソフトウェア又はファームウェアは、バス状態を超過する電圧及びそれより不足する電圧を試験し、報告する。いくつかの構成においては、監視される各電源の電圧は、パネルの背面から、直接、D V M により測定可能である。

20

【0019】

本発明の様々な構成においては、マイクロコントローラ 12 と C P L D 4 6 とは、2 つの別個のサブシステムとして並列に実行する。安全関連論理及びグルー論理を C P L D に適切に配分することにより、いずれか一方のサブシステムにおける壊滅的な障害は、必ずしも、他方のサブシステムに影響を及ぼさなくなる。例えば、マイクロコントローラ 12 により使用される 1 組のアドレス / データラッチ、マルチプレクサ、デマルチプレクサ及び割り込みコントローラを第 1 の C P L D 4 6 にプログラムしてもよい。別の C P L D 4 6（又は 1 組の C P L D ）は、論理カード 10 が含まれる計器の機能性を実現するために必要な論理を含むようにプログラム可能である。それにより、計器の動作を構成する上で、融通性が得られ、好都合である。マイクロコントローラ 12 により使用するために、数百のレジスタ及びアドレス復号器を（C P L D 4 6 の物理的限界に至るまで）追加できる。論理カード 10 が含まれる計器の動作を規定する C P L D 4 6 を、将来のプラントアプリケーションに容易に適合させることができる。例えば、I / O 線路、タイマ、波形発生器及び様々な状態機械を容易に追加できる。マイクロコントローラ 12 のグルー論理（C P L D 4 6 にあるか、又は他の場所にある）は、マイクロコントローラ論理サブシステム 12 と C P L D 論理サブシステム 4 6 との間のバッファリングを実行する。そのような構成において、バッファリング C P L D 4 6 が正常に動作している限り、マイクロコントローラ 12 における論理の壊滅的障害が、計器論理カード 10 の性能に影響を及ぼすことはない。このような分離によって、計器論理カード 10 は、異なる安全分類を有する他の機器と共に動作し、その機器とインターフェースすることができる。例えば、C P L D 4 6 は、人命を左右するような動作を実行する安全関連機能を実行し、人命を危険にさらすような力を持たない非安全関連機能を実行することをマイクロコントローラ 12 に命令するために、R P R O M 2 6 及び / 又は R A M 2 8 に、ソフトウェア又はファームウェアを提供することが可能である。あるいは、C P L D 4 6 が非安全関連機能を実行し、マイクロコントローラ 12 は、E P R O M 2 6 及び / 又は R A M 2 8 と連携して、安全関連機能を実行することも可能である。また、C P L D 4 6 及びマイクロコントローラ 12 は、協働して、選択された機能を実行するように構成されてもよい。フロントパネルインジケータ 3 0 及び / 又は 4 4 は、論理カード 10 により制御される。それらのインジケータは、論理

30

40

50

カード 10 を含む計器により監視及び / 又は制御されるべき外部システムに関する情報（例えば、弁又はポンプの状態、あるいは計器に入力を供給する外部センサ）をユーザに提供する。

【 0 0 2 0 】

先に説明したように、論理カード 10 は、数多くの異なる種類の計器（例えば、O L U、S L C、H P C F）において使用可能であるが、原子力発電装置の複数の安全システムに特に適している。例えば、高圧炉心注水系（H P C F）システムにおいては、2つの別個の区画に配置された2つの100%容量ループ（すなわち、ループ B 及びループ C）を介して、原子炉容器内部へ水が注入される。図3を参照すると、H P C F システムにおいて、手動操作による始動を経て、ループ C に対して動作するために、H P C F ダイバース論理プロセッサ 100 として構成された論理カード 10 が使用される。4つの通常の H P C F システムの4分割一般原因障害の場合、H P C F ダイバース論理プロセッサを介する手動操作によるループ C は、他の全ての工学的安全機能（E S F）論理とは関係なく始動される。始動後、H P C F ダイバース論理プロセッサ 100 は、冷却材喪失事故（A L O C A）を防止するために、必要な弁及びポンプを自動的に制御する。H P C F ダイバース論理プロセッサ 100 は、作動確認アクティビティを自動化する目的で、ハードウェア利用論理（マイクロコントローラ 12 及び C P L D 4 6 を含む）を使用して、H P C F ダイバース論理プロセッサ 100 の状態を監視し且つ報告するために、制御機能及びソフトウェアを受動モードで実行する。H P C F ダイバース論理プロセッサ 100 は、バックアップシステムのためのバックアップシステムである。正規の H P C F システムが全て故障した場合（すなわち、いくつかの構成においては、4つの正規の H P C F システムの全てが故障した場合）、更に、そのバックアップとして、H P C F ダイバース論理プロセッサ 100 を利用できる。正規の H P C F システムで、コモンモード構造的欠陥が起こった場合でも、H P C F ダイバース論理プロセッサ 100 は、利用可能な状態を保持するであろう。それは、H P C F ダイバース論理プロセッサ 100 が、独立したツール及び技術を使用して設計されているからである。H P C F ダイバース論理プロセッサ 100 における論理カード 10 は、モジュール構造を有し、計器の障害をオペレータに対して自動的に通知するように構成できる。いくつかの構成においては、障害をモジュールレベルで識別できるようにするために、自己試験ソフトウェア機能及び自己試験ハードウェア機能が提供される。このため、モジュールの交換により、H P C F ダイバース論理プロセッサ 100 の様々な構成を迅速に（例えば、30分以内に）修理できる。

【 0 0 2 1 】

H P C F ダイバース論理プロセッサ計器 100 は、N U M A C ファミリーのメンバであり、C P L D 4 6、マイクロコントローラ 12 及びソフトウェア / ファームウェアプログラミングを含めて、論理カード 10 を使用する。いくつかの実施形態は、このシステムの「多重防護（defense-in-depth）」条件及びダイバーシティ条件を満たすために、H P C F ループ C の中央制御室パネルからの手動始動 / 停止信号を処理するように構成される。また、いくつかの構成は、自己試験及び状態診断を実行する。自己試験及び状態診断の結果は、計器のフロントパネルに表示され（図4を参照）、原子炉緊急停止隔離機能（R T I F）通信インターフェースモジュール（C I M）へ送信される。いくつかの構成においては、安全関連機能は、H P C F ダイバース論理プロセッサ 100 のハードワイヤード論理（C P L D 4 6）により実行される。ソフトウェアは、自己試験診断を経て、それらの機能を監視し、光ファイバモジュール 4 0 を介して、C I Mへ、状態メッセージを送信する。更に、ソフトウェアは、シャシのフロントパネル 5 4 にある L E D 3 0 及び英数字ディスプレイ 4 0 を制御し、フロントパネルの押しボタン及びキーロックスイッチ 5 6 に直接応答する。いくつかの構成においては、H P C F ダイバース論理プロセッサのハードワイヤード機能は、中央制御室パネル（M C R P）から、24 コンタクト入力モジュール 4 2 を介して信号を受信すること、並びに、非ラッチングリレー制御モジュール 4 2 を介して、M C R P のインジケータランプ、ポンプ及び弁を制御することを含む。

【 0 0 2 2 】

10

20

30

40

50

コンタクト入力モジュール 42（例えば、いくつかの構成においては、24コンタクト入力モジュール）は、MCRPとインタフェースする。MCRPにおいて、オペレータは、様々なスイッチ及び押しボタンを使用して、HPCFダイバース論理プロセッサ100を制御できる。コンタクト入力モジュール42は、更に、ポンプ及び吸込弁からの状態信号を受信する。

【0023】

本発明のいくつかの構成においては、光ファイバモジュール40は、少なくとも1つの送信器を含む。光ファイバモジュール40は、HPCFダイバース論理プロセッサ100と原子炉緊急停止隔離機能(RTIF)通信インターフェースモジュール(CIM)との間に、通信リンクを構成する。

10

【0024】

図4を参照すると、いくつかの構成においては、HPCFフロントパネルアセンブリは、オペレータとHPCFダイバース論理プロセッサとの間にローカルインタフェース54を構成する。HPCFフロントパネルアセンブリは、複数の押しボタンと、キーロックスイッチ56とを含む。オペレータは、キーロックスイッチ56を使用して、自己試験を開始し、HPCFダイバース論理プロセッサ及びHPCFループCシステムの状態を監視できる。フロントパネルにあるLED30及びディスプレイ40は、ATM信号の状態、MCRP信号の状態、リレーの状態、自己試験結果、及びHPCFダイバース論理プロセッサの動作モードを示す。

【0025】

20

2つの非ラッチングリレーモジュール42の各々は、18の機械的非ラッチングリレーと、2つの固体リレーとを含む。非ラッチングリレーコンタクトは、ポンプ始動機能及びポンプ停止機能、並びに弁の開閉機能及びバイパス機能を制御するために使用される。固体リレーは、中央制御室パネル(MCRP)に配置されたインジケータランプを駆動するために使用される。

【0026】

HPCFダイバース論理プロセッサ論理カード10は、HPCFダイバース論理プロセッサの論理処理機能、監視機能及び通信機能を実行する。このモジュールは、マイクロコントローラ12と、メモリ38、26及び28と、CPLD46と、インターフェース論理とを含む。モジュールは、入力モジュール34から、MCRP信号の状態を示す信号を受信し、更に、圧力信号及び流量信号を受信する。モジュールは、非ラッチングリレーモジュール42のリレーを制御すると共に、RTIF CIMへメッセージを送信するために、光ファイバモジュール40とインターフェースする。電源16及び/又は18からの入力電圧が範囲外になった場合に、リセット信号を発生する電源監視回路14の形態をとるマイクロコントローラスーパーバイザが設けられる。更に、いくつかの構成においては、電源監視回路14は、CPLD46論理を初期設定状態にリセットする。マイクロコントローラが、所定の時間内、例えば、1.12秒以内にストローブ信号を送信できないと、ウォッチドッグタイマ58は、時間切れになる。いくつかの構成においては、ウォッチドッグタイマ58は、マイクロコントローラ12のマスク不可能割り込み(NMI)に電気的に接続される。これにより、ウォッチドッグタイマ58が時間切れになった場合、マイクロコントローラ12に対して、NMIが生成され、その結果、ウォームリブートが実行される。しかし、ウォッチドッグタイマは、CPLD46の論理をリセットしない。

30

【0027】

40

いくつかの構成においては、CPLD46は、560マクロセル結合プログラマブル論理装置(PLD)を具備する。それらのPLDは、a) EPROM26及びRAM28メモリ装置のアドレス復号、並びに全てのメモリマッピングI/O機能；b)より低速の周辺アクセスのためのマイクロコントローラ12に対する待ち状態発生器制御（いくつかの構成においては、フロントパネルLEDディスプレイ30及び24コンタクト入力カードは、読み取りアクセス又は書き込みアクセスに際して、2つの待ち状態を要求する）；c)マイクロコントローラ12が、入力信号の状態、出力制御の状態、PLDリビジョンの

50

状態及びリレー状態をアクセスすることを可能にするアドレス指定可能ポート及びレジスタ；d) リレードライバコンポーネントとインタフェースする5つの出力ポート；e) フロントパネルディスプレイカードとインタフェースする1つの出力ポート；f) 12MHz～1MHzクロック発生器；及びg) 1) ATM緊急停止状態及びコンタクト入力スイッチ状態を監視し、2) コンタクト入力を処理し、且つ3) ポンプ制御コマンド及び弁制御コマンドを生成するための、HPCFダイバース論理プロセッサの全ての機能論理を提供するように構成される。

【0028】

HPCFダイバース論理モジュールの電力入力線路は、熱電流制限装置を自動リセットすることにより保護される。熱電流制限装置は、電流限界に到達したとき、ヒートアップし、過電流状態が修正されるまで、開路する。10

【0029】

いくつかの構成においては、32キロバイトEPR0M26は、ソフトウェアの不揮発性記憶装置を構成する。いくつかの構成においては、全てのソフトウェアは、ファームウェアとして、不揮発性メモリに格納されるので、ソフトウェアの変更は、EPR0Mの交換により実行される。いくつかの構成においては、8キロバイトスタティックRAM28は、マイクロコントローラ12により要求される高速読み取り／書き込みメモリを構成する。いくつかの構成において設けられる不揮発性2K×8強誘電性RAM38は、電力の供給が遮断されたときに、失われてはならないアプリケーションパラメータを格納する。このRAMは、電力消費が少なく、書き込み耐久性特性に非常に優れた直列装置である。20
マイクロコントローラのポート1を介する4ワイヤシリアルインターフェースは、メモリ装置内のあらゆるバイトに対して、アクセスする。NVRAM38に格納すべき変数の例には、1) コールドブートカウンタ；2) ウオームブートカウンタ；3) ウオッチドッグカウンタ；4) 電源電圧の読み値及び設定値；5) エラーコード；並びに6) 自己試験状態があるが、変数は、それらに限定されない。

【0030】

LED60は、試験及び／又は障害の指標を提供するために、論理カード10自体に設けられる。様々な試験ポイント及び監視ポイントも設けられ、必要に応じて、それらのポイントで、電圧及びタイミングを観測できる。

【0031】

HPCFダイバース論理プロセッサ100は、光ファイバ出力を含めて、シャシの背面に配置されたコネクタを介して、多数の電気信号にインタフェースする論理カード10インターフェースを含む。電気的入力は、中央制御室パネルにおけるコンタクトの閉成、並びに様々なポンプ、流量計及び圧力変換器におけるコンタクトの閉成を含む。また、シャシのフロントパネルにも、いくつかの電気的コンタクト入力が配置される。それらの入力は、押しボタン及び1つ以上のキーロックスイッチ56を含む。

【0032】

このように、論理カード10を利用するHPCFダイバース論理プロセッサ100は、同様のモジュールが交換自在であるように、全ての取り外し自在のモジュールに標準化を採用したことを含めて、様々な利点を提供することが理解されるであろう。いくつかの構成においては、保守に好都合であるように、外部接続及びインターフェースは、計器パネルの背面に収納される。計器に要求されるフェイルセーフ機能及び堅牢な電気的構成を提供するために、冗長電源（例えば、2つの電源）が使用される。マイクロコントローラファームウェアに、自己試験及び作動確認の方法を含めることができる。マイクロコントローラシステムは、CPLDに含まれる論理から独立して実行され、いずれか一方のサブシステムに壊滅的障害が起こった場合でも、他方のサブシステムは機能できる。キーロックスイッチを使用して、HPCFダイバース論理プロセッサを、フロントパネルから保護できる。計器間で、電気的及び機械的に、同様のモジュールが直接交換可能であり、交換時に、校正は不要である。40

【0033】

50

本発明を様々な特定の実施形態によって説明したが、技術的範囲内で、変形を伴って本発明を実施できることは、当業者には認識されるであろう。なお、特許請求の範囲に記載された符号は、理解容易のためであってなんら発明の技術的範囲を実施例に限縮するものではない。

【図面の簡単な説明】

【0034】

【図1】本発明の論理カードの様々な構成を表すブロック図。

【図2】図1の論理カードの1つの適切なバス構成を表す概略図。

【図3】図1に表されるような論理カード構成を具備する安全制御計器（この場合、高圧炉心注水系）を表すブロック図。

10

【図4】図3により表される計器構成のフロントパネルを表す概略図。

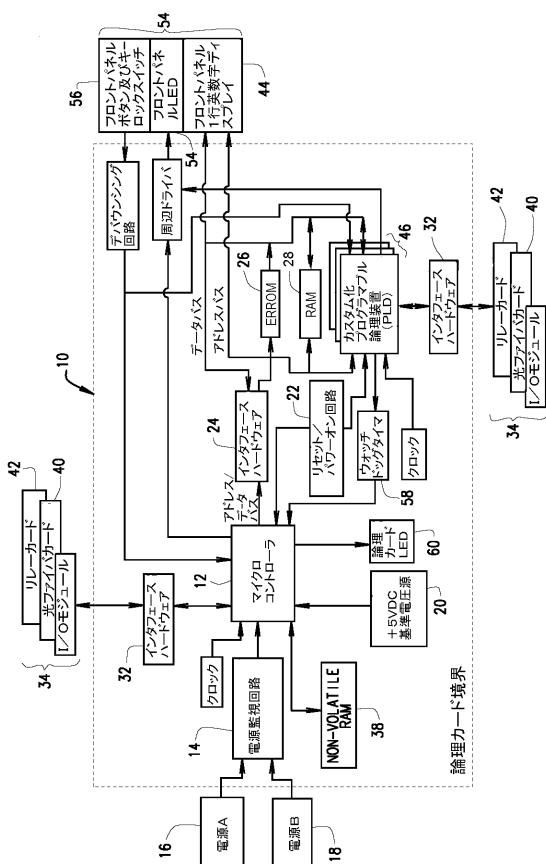
【符号の説明】

【0035】

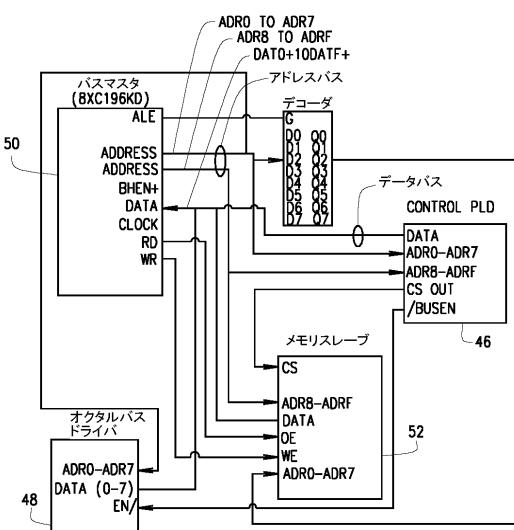
10 ... 論理カード、12 ... マイクロコントローラ、14 ... 電源監視回路、16、18 ... 積長電源、20 ... +5VDC 基準電圧源、22 ... リセット/パワーオン回路、26 ... EPROM、28 ... RAM、30 ... フロントパネル LED ディスプレイ、32 ... インタフェーシングハードウェア、34 ... インタフェースカード、38 ... 不揮発性RAM、40 ... 光ファイバインターフェースカード、42 ... リレーI/Oカード、44 ... 英数字ディスプレイ、46 ... 結合プログラマブル論理装置（CPLD）、54 ... ローカルインターフェース、56 ... キーロックスイッチ、58 ... ウオッチドッグタイマ、60 ... 論理カード LED、100 ... HPCF ダイバース論理プロセッサ

20

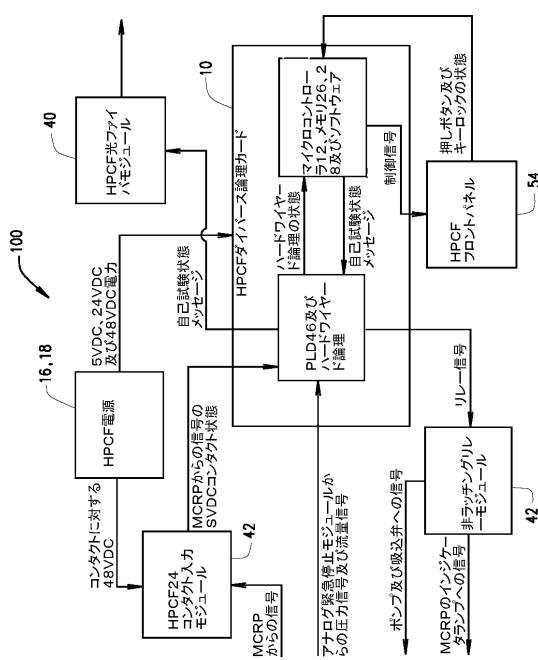
【図1】



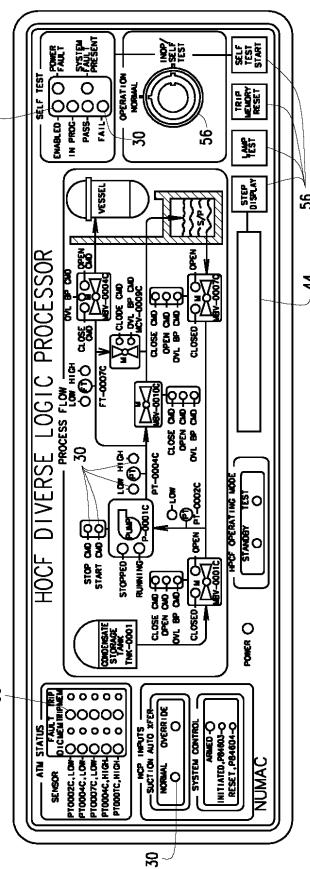
【図2】



【 义 3 】



【 図 4 】



フロントページの続き

(72)発明者 スタンリー・アンソニー・フレドリック
アメリカ合衆国、カリフォルニア州、モルガン・ヒル、オーク・ヒル・コート、3445番
(72)発明者 ポリス・レオニッド・シックマン
アメリカ合衆国、カリフォルニア州、モルган・ヒル、ラス・コッ彻ス・コート、515番

審査官 佐々木 一浩

(56)参考文献 米国特許出願公開第2002/0104051(US,A1)

(58)調査した分野(Int.Cl., DB名)

G 05 B 19 / 05
G 08 C 23 / 04
G 21 C 17 / 00