(19) OFICINA ESPAÑOLA DE PATENTES Y MARCAS

ESPAÑA

(11) Número de publicación: **2 286 259**

(51) Int. Cl.:
H04L 27/18 (2006.01)

(12) TRADUCCIÓN DE PATENTE EUROPEA T3

(86) Número de solicitud europea: **02740922 .6**
(86) Fecha de presentación : **28.06.2002**
(87) Número de publicación de la solicitud: **1400082**
(87) Fecha de publicación de la solicitud: **24.03.2004**

(54) Título: **Esquema de modulación para sistemas TETRA.**

(30) Prioridad: **29.06.2001 GB 0116017**

(45) Fecha de publicación de la mención BOPI:
01.12.2007

(45) Fecha de la publicación del folleto de la patente:
01.12.2007

(73) Titular/es: **Sepura Limited**
Radio House, St. Andrews Road
Cambridge CB4 1GR, GB

(72) Inventor/es: **Stephens, Peter, William**

(74) Agente: **Elzaburu Márquez, Alberto**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

Venta de fascículos: Oficina Española de Patentes y Marcas. Pº de la Castellana, 75 – 28071 Madrid

DESCRIPCIÓN

Esquema de modulación para sistemas TETRA.

La presente invención se refiere a sistemas de comunicaciones, y, en particular, a métodos de modulación usados en sistemas de comunicaciones móviles.

Los sistemas de comunicaciones móviles digitales modernos, tales como TETRA (Radio troncal terrestre), consisten, a menudo, en una disposición celular de estaciones de base en una zona geográfica. Las unidades móviles funcionan en las células junto con las estaciones de base del sistema usando uno de varios canales de frecuencia disponibles para transmitir señalización y tráfico. Usualmente, la ubicación de los sitios de base (estaciones) y las frecuencias disponibles para el funcionamiento se acuerdan con las autoridades reguladoras cuando se despliega un sistema de comunicaciones.

Puede darse el caso que, durante un periodo de tiempo, se deseen mejoras en un sistema de comunicaciones. Podría ser, por ejemplo, por razones de capacidad del sistema (por ejemplo, porque el número de usuarios que deseen usar el sistema haya aumentado), o porque el sistema tenga que soportar aplicaciones de comunicaciones que requieran frecuencias de datos más elevadas.

Aunque a menudo se producen avances técnicos en el diseño de sistemas de comunicaciones que pueden ayudar a satisfacer tales requisitos nuevos, puede ser costoso reemplazar equipos existentes en una red de comunicaciones existente por equipos nuevos con prestaciones superiores. A veces resulta difícil (y/o caro) conseguir frecuencias nuevas y sitios de base nuevos para mejorar un sistema de comunicaciones existente.

En términos generales, por tanto, cuando se trate de aumentar las prestaciones de un sistema de comunicaciones existente, sería deseable que ello no requiriera frecuencias ni sitios de base nuevos y que las inversiones en equipos nuevos se redujeran al nivel más bajo posible.

Por otro lado, dado un sistema de comunicaciones existente que use una norma de comunicaciones existente, sería deseable, también, que cualquier mejora del sistema fuese compatible con la norma de comunicaciones existente (por ejemplo, desde el punto de vista de su formato y estructura de transmisión).

Por ejemplo, en relación con el sistema TETRA, sería deseable que cualquier mejora del sistema use, también, la estructura de ventanas y tramas de la TETRA original (TETRA 1) (es decir, cuatro ventanas de tiempo por trama, dieciocho tramas por multitrama, etc.) y la separación de 25 kHz entre canales usada por la TETRA estándar.

Los solicitantes son conscientes del deseo de poder ofrecer mayores frecuencias de transmisión de datos en sistemas de comunicaciones TETRA existentes. Un modo de conseguirlo sería usar un esquema de modulación con capacidad para una frecuencia de bits superior.

La norma TETRA existente usa modulación por desplazamiento de fase, en cuadratura, y codificación diferencial (DQPSK), que codifica, por diferencia, dos bits por cada símbolo de modulación y permite una frecuencia, en bruto, de 36 kbits/s. Podrían conseguirse, en bruto, frecuencias de bits más elevadas usando diferentes esquemas de modulación. Pero los solicitantes creen que esquemas de modulación de nivel superior, tales como modulación de amplitud en cuadratura de 16 o 32 estados (QAM-16/QAM-32), modulación por desplazamiento de fase con 16 estados (16 PSK), etc., requerirían un cambio relativamente grande de los equipos de la TETRA actual desde el punto de vista del diseño del transceptor. Por otro lado, los solicitantes creen que, en el entorno de las comunicaciones móviles, tales niveles elevados de modulación que permiten estas técnicas de modulación pueden no ser muy eficaces ya que pueden requerir razones portadora/interferencia y señal/ruido muy elevadas.

El documento WO 00/39974 describe el uso de una modulación por desplazamiento de fase con 8 estados en un sistema de comunicaciones que usa un modulador de 8 niveles para señalización de modulación de 8 y cuatro niveles. El documento US-A-6014375 describe un protocolo de interfaz aérea de canal de banda estrecha para uso con sistemas de comunicaciones TETRA.

De acuerdo con un primer aspecto de la presente invención, se ofrece un método para hacer funcionar un sistema de comunicaciones móviles TETRA, caracterizado porque comprende:

usar, para transmisiones en el sistema, un esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial, que codifique 3 bits por símbolo y cada intervalo de símbolos presente una rotación $\pi/8$ de fase.

De acuerdo con un segundo aspecto de la presente invención, se proporciona un aparato para una estación de comunicaciones de un sistema de comunicaciones móviles TETRA, caracterizándose el aparato porque comprende:

medios para hacer que una estación de comunicaciones TETRA realice transmisiones usando un esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial, que codifique 3 bits por símbolo y cada intervalo de símbolos presente una rotación $\pi/8$ de fase.

La presente invención propone un esquema de modulación de nivel superior para uso en un sistema TETRA que codifica 3 bits por cada símbolo de modulación. Ello significa que el nivel de modulación no es tan elevado como para incurrir en los problemas expuestos en lo que antecede.

Por otro lado, como el esquema de modulación de la presente invención usa modulación por desplazamiento de fase con codificación diferencial, presenta muchas similitudes con el esquema de modulación DQPSK-π/4 de la TETRA existente. Ello significa que se reducen, en gran medida, los cambios necesarios en los equipos de la TETRA existente para que puedan usar el nuevo esquema de modulación.

Por ejemplo, sólo cambios menores en el modulador TETRA pueden permitir conmutar entre la modulación DQPSK π/4 de la TETRA existente y el esquema de modulación de la presente invención. Igualmente, el desmodulador para el esquema de modulación de la presente invención es, efectivamente, el mismo que el de la TETRA existente, con la excepción de que es necesario incorporar un circuito de determinación de correspondencia inversa de símbolos.

Además, el esquema de modulación de la presente invención puede usar, y, preferiblemente, usa, la misma frecuencia de símbolos, el mismo filtro de raíz de coseno realzado (RRC) y la misma separación entre canales que los sistemas de la TETRA existente. Ello significa que, por ejemplo, puede mantenerse la estructura de ventanas y tramas de la TETRA existente, y que en el sistema puede seguir existiendo la señalización y el tráfico de la modulación DQPSK-π/4 de la TETRA existente (empleándose la modulación de nivel superior, por ejemplo, sólo para transmisiones de datos en paquetes).

Así, el esquema de modulación de la presente invención puede usarse para aumentar las prestaciones de un sistema TETRA existente de manera que no sean necesarias frecuencias ni estaciones de base nuevas, y que las inversiones en equipos nuevos sean relativamente reducidas. Además, la invención puede emplearse en sistemas TETRA instalados en terreno virgen para mejorar la capacidad del sistema TETRA básico. Por ejemplo, merced al esquema de modulación de la presente invención, cuando se use la misma frecuencia de 18000 símbolos/s que en la TETRA existente, la frecuencia de bits resultante, en bruto, será de 54000 bits/s (un aumento del 50% en relación con la modulación DQPSK-π/4 de la TETRA existente).

El esquema de modulación usado en la presente invención consiste en modulación por desplazamiento de fase π/8 con ocho estados y codificación diferencial, que codifica 3 bits por cada símbolo y cada intervalo de símbolos presenta una rotación π/8 de fase. Tal esquema de modulación es similar a la modulación por desplazamiento de fase con ocho estados, pero, en la presente invención, la modulación se realiza de modo diferencial.

Este esquema de modulación, preferiblemente, usa una correspondencia por código de Gray, por la que cada grupo consecutivo de 3 bits se usa para representar un cambio de fase de $^{+}/_{-}$ π/8, $^{+}/_{-}$ 3π/8, $^{+}/_{-}$ 5π/8 y $^{+}/_{-}$ 7π/8, y que puede representarse mediante:

$$S(k) = S(k-1) \exp [jD\phi(k)]$$

$$S(0) = 1$$

siendo S(k) el símbolo de orden k en la ráfaga, k = 1, 2,..., n, y n el número total de símbolos en una ráfaga.

Preferiblemente, cuando se usa este esquema de modulación, el cambio de fase entre símbolos consecutivos se relaciona con los bits de modulación del modo siguiente:

B(3k-2)	B(3k-1)	B(3k)	DΦ(k)
0	0	0	+π/8
0	0	1	+3π/8
1	0	1	+5π/8
1	0	0	+7π/8
0	1	0	-π/8
0	1	1	-3π/8
1	1	1	-5π/8
1	1	0	-7π/8

para k = 1, 2,..., n.

El esquema de modulación de la presente invención, particularmente en sus realizaciones preferidas, si bien permite, en bruto, una frecuencia de bits más elevada con la misma frecuencia de símbolos, presenta muchas similitudes con el esquema de modulación DQPSK $\pi/4$ ya usado en TETRA. Ello significa que, como se ha expuesto en lo que antecede, las modificaciones necesarias para que un sistema de radio TETRA existente que soporte modulación DQPSK-$\pi/4$ pueda usar esta modulación son pequeñas, por lo que se facilita, por ejemplo, la conversión al esquema de modulación de mayores prestaciones con un coste de desarrollo reducido, y, potencialmente, la posibilidad de actualizaciones de, solamente, lógica, en los equipos existentes.

El nuevo esquema de modulación propuesto mediante la presente invención puede ser usado, directamente, en canales TETRA existentes y con la estructura de ventanas y tramas de la TETRA 1 existente, etc., y, preferiblemente, se usa de ese modo.

En una realización particularmente preferida, está previsto que los sistemas TETRA usen el esquema de modulación de la presente invención junto con la modulación DQPSK-$\pi/4$ de la TETRA existente. Dicho de otro modo, en el sistema coexistirán canales modulados mediante los dos esquemas de modulación. En tal caso, una disposición de este tipo soportará, simultáneamente, equipos de la TETRA estándar y los equipos de la TETRA mejorada de la presente invención, manteniendo así la compatibilidad entre los sistemas (y los equipos) antiguo y nuevo. Preferiblemente, por la misma razón, un sistema de este tipo usará los canales TETRA de 25 kHz normales con ambos formatos de modulación.

En una disposición de esta clase se prefiere usar señalización en un canal modulado con el esquema DQPSK-$\pi/4$, del modo apropiado, para indicar la disponibilidad de los canales con la frecuencia de modulación superior.

En las disposiciones y realizaciones anteriores, y cuando se use el esquema de modulación nuevo de la presente invención, se prefiere utilizar, en la medida de lo posible, las técnicas de sincronización empleadas actualmente por la TETRA existente, aunque no sea esencial. Así, para la sincronización inicial, las ráfagas de sincronización que proporcionen el mecanismo de sincronización inicial y bloqueo de frecuencia, preferiblemente, se mantienen invariables y usan modulación DQPSK $\pi/4$.

Preferiblemente, la sincronización de tramas para el esquema de modulación con frecuencia de bits incrementada se consigue usando una secuencia de instrucción integrada, de manera similar a la TETRA existente, pero usando la secuencia de instrucción la técnica de modulación de nivel superior.

Preferiblemente, la sincronización de símbolos (instante de muestreo) se logra usando técnicas de la TETRA existente. Ello resulta posible cuando la frecuencia de símbolos sea la misma, porque las características de modulación son similares.

Por otro lado, las técnicas de desmodulación usadas para el nuevo método de modulación pueden seleccionarse del modo deseado. Como el método de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial es similar a la modulación DQPSK-$\pi/4$, se prefiere, con rotundidad, usar las técnicas de desmodulación de la TETRA existente, en la medida de lo posible.

Los cambios que pueden ser necesarios en el desmodulador para el esquema de modulación con frecuencia de datos mejorada de la presente invención incluyen un paso adicional, o modificado, de determinación de correspondencia inversa de símbolos (en relación con el desmodulador DQPSK $\pi/4$), con objeto de establecer una correspondencia entre símbolos detectados diferencialmente y bits, correspondiendo 3 bits por cada símbolo. Por otro lado, si el algoritmo de sincronización de tramas para las ráfagas de datos por paquetes se ejecuta mediante correlación compleja, entonces, debe adaptarse del esquema DQPSK $\pi/4$ al esquema de modulación nuevo. (Si el algoritmo de sincronización de tramas se ejecuta de modo subsiguiente a la detección diferencial, entonces, no es necesario hacer cambios, a excepción de, posiblemente, ajustes en la longitud y la posición de la secuencia de instrucción en la ráfaga.) Finalmente, puede ser necesario ajustar el desmultiplexor de ráfagas (conversión de ráfaga en canal lógico) para tratar el nuevo formato de ráfaga del esquema de modulación nuevo (con su número mayor de bits en el canal lógico de datos por paquetes).

La presente invención se hace extensiva, también, a una estación de comunicaciones TETRA (que podría ser una estación de base o móvil, como se conoce en la técnica) que pueda usar los esquemas de modulación de la presente invención.

Los métodos de acuerdo con la presente invención pueden ponerse en práctica, al menos parcialmente, usando lógica, es decir, programas informáticos. Se observará así que, considerada desde otros puntos de vista, la presente invención ofrece lógica informática destinada, específicamente, a ejecutar los métodos descritos en lo que antecede una vez instalada en medios de tratamiento de datos, y un programa informático que comprende partes de código de lógica informática para ejecutar dichos métodos cuando el programa se ejecute merced a medios de tratamiento de datos. La invención se extiende, también, a un soporte de lógica informática que comprenda tal lógica, que cuando se use para hacer funcionar un sistema de comunicaciones y una estación de comunicaciones que comprendan medios de tratamiento de datos, haga que dicho sistema o dicha estación, junto con dichos medios de tratamiento de datos, ejecuten las operaciones del método de la presente invención. Un soporte de lógica informática de esta clase podría ser un medio de almacenamiento físico tal como un chip ROM, un CD ROM o un disco, o podría ser una señal tal como una señal electrónica por cable, una señal óptica o una señal de radio transmitida, por ejemplo, a un satélite o similar.

Se apreciará que no todas las operaciones del método de la invención tienen que ejecutarse mediante lógica informática.

A continuación se describirán algunas realizaciones preferidas de la presente invención, sólo a modo de ejemplo y con referencia a los dibujos adjuntos, en los que:

la figura 1 muestra el diagrama de constelación de símbolos de una realización preferida del esquema de modulación de la presente invención;

la figura 2 muestra el modo en que puede mejorarse la arquitectura de modulador/transmisor y de receptor/desmodulador de la TETRA estándar, con el fin de soportar el esquema de modulación de la figura 1;

la figura 3 muestra una realización preferida de estructuras de ráfaga TETRA cuando se usa el esquema de modulación de la figura 1; y

la figura 4 muestra una realización preferida de la estructura de control de errores que debe usarse en un canal lógico TETRA cuando se use el esquema de modulación de la figura 1.

La presente invención propone un esquema de modulación nuevo para uso en sistemas TETRA de comunicaciones móviles que puede ofrecer una frecuencia de transmisión de datos mejorada.

La presente invención se describirá con referencia a un sistema TETRA en el que coexistan canales TETRA con modulación DQPSK-π/4 estándar y canales TETRA que usen un esquema de modulación con frecuencia de datos mejorada de acuerdo con la presente invención. El sistema usa canales TETRA de 25 kHz normales con los dos formatos de modulación. Así, ambos grupos de canales usan la estructura de ventanas de tiempo y tramas así como la frecuencia de símbolos de la TETRA estándar. Está previsto señalizar, del modo apropiado, un canal modulado mediante el esquema DQPSK-π/4 con el fin de indicar la disponibilidad de los canales modulados con frecuencia de datos superior.

La figura 1 es el diagrama de constelación de símbolos de una realización preferida de un esquema de modulación de datos mejorada de acuerdo con la presente invención, para uso con TETRA. Muestra cada uno de los 8 cambios de fase permitidos entre símbolos consecutivos (como se describirá en lo que sigue, se usan 3 bits por símbolo con codificación Gray).

El esquema de modulación mostrado en la figura 1 usa modulación por desplazamiento de fase π/8 con ocho estados y codificación diferencial, que codifica 3 bits por cada símbolo. El esquema de modulación usa una correspondencia de código de Gray, por la que cada grupo consecutivo de 3 bits se usa para representar un cambio de fase de $^{+}/_{-}$ π/8, $^{+}/_{-}$ 3π/8, $^{+}/_{-}$ 5π/8 y $^{+}/_{-}$ 7π/8. El esquema de modulación puede representarse mediante:

$$S(k) = S(k-1) \exp [jD\phi(k)]$$

$$S(0) = 1$$

siendo S(k) el símbolo de orden k en la ráfaga, k = 1, 2,..., n, y n el número total de símbolos en la ráfaga.

En esta realización, el cambio de fase entre símbolos consecutivos se relaciona con los bits de modulación del modo siguiente:

B(3k-2)	B(3k-1)	B(3k)	DΦ(k)
0	0	0	+π/8
0	0	1	+3π/8
1	0	1	+5π/8
1	0	0	+7π/8
0	1	0	-π/8
0	1	1	-3π/8
1	1	1	-5π/8
1	1	0	-7π/8

para k = 1, 2,..., n.

Como se ha descrito anteriormente, en esta realización preferida, este esquema de modulación se usa en los canales de la TETRA estándar (es decir, separación y estructura de ventanas y tramas) y con la frecuencia de símbolos de la TETRA estándar. Ello significa que hay 18000 símbolos/s como en la TETRA existente, pero el esquema de modulación nuevo permite, en bruto, una frecuencia de bits mejorada de 54000 bits/s (3 bits por cada símbolo).

La figura 2 muestra el modo en que la arquitectura de modulador/transmisor y de receptor/desmodulador de la TETRA estándar puede modificarse con el fin de soportar este esquema de modulación de nivel superior conjuntamente con la modulación DQPSK $\pi/4$ de la TETRA existente.

Como se muestra en la figura 2, en el transmisor (modulador), una fuente 1 de bits entrega bits en "canales lógicos" para su transmisión. A continuación, un multiplexor 2 de ráfagas dispone los bits, junto con secuencias de instrucción, en un formato particular conocido como ráfaga. Entonces, un codificador diferencial 3 codifica los bits a modo de muestras complejas (I, Q), y el filtro 4 de aumento de frecuencia de muestra aumenta la frecuencia de muestreo de una a cuatro muestras por símbolo para el filtro 5 de banda de base. El convertidor 6 digital/analógico convierte la señal digital en una señal analógica para la etapa 7 de transmisor de frecuencia de radio (RF), que aumenta la frecuencia de la señal de banda de base hasta la RF final de portadora y transmite la ráfaga.

Los diferencias principales entre el transmisor de la arquitectura para la modulación DQPSK-$\pi/4$ de la TETRA existente y el esquema de modulación con frecuencia de datos mejorada de la presente realización consisten en un cambio en el modulador para obtener la modulación con frecuencia de datos mejorada que usa 3 bits por cada símbolo, y un cambio en el multiplexor 2 de ráfagas para establecer el formato de la estructura de ráfaga modificada (véase en lo que sigue), que incluye un número mayor de bits en cada canal lógico.

La arquitectura de receptor/desmodulador correspondiente se muestra, también, en la figura 2. En el receptor, el receptor 8 de RF reduce la frecuencia de la señal de RF a banda de base y el convertidor 9 analógico-digital convierte la señal de banda de base analógica en digital, para su tratamiento digital. Típicamente, el convertidor 9 analógico-digital entrega cuatro muestras complejas por cada símbolo. Un filtro 10 de banda de base, elimina de la señal digital, merced a un filtrado adicional, todo tipo de señales y ruido de canales adyacentes. A continuación, la señal filtrada es entregada a un filtro 11 reductor de frecuencia de muestra, que selecciona el instante óptimo de muestreo para cada símbolo recibido y reduce la frecuencia de muestreo a una muestra compleja por cada símbolo.

Luego, las señales recibidas son desmoduladas diferencialmente en el desmodulador diferencial 12 para convertirlas en pares de valores complejos (I, Q) que representen bits. A continuación, un circuito 13 de determinación de correspondencia inversa de símbolos convierte la representación (I, Q) en bits. En el caso de modulación DQPSK $\pi/4$ se trata de una correspondencia 1:1, representando cada valor I y Q un bit de probabilidad (soft bit) o un bit, 0 o 1, de datos (hard bit). En el caso del esquema de modulación con frecuencia de datos mejorada de la presente realización, I, Q y el valor |I| - |Q| representan 3 bits.

A continuación, un sincronizador 14 de tramas identifica los bordes de la ráfaga de transmisión utilizando una secuencia de instrucción de la ráfaga, y el desmultiplexor 15 de ráfagas divide la ráfaga de transmisión recibida para convertirla en canales lógicos, con destino a un colector 16 de bits.

Se describirá ahora una realización preferida del funcionamiento de un receptor/desmodulador que puede usarse con la presente realización.

En primer lugar, el receptor tiene que poder sincronizar con la señal recibida. En la presente realización, la sincronización se consigue, en la medida de lo posible, de acuerdo con las técnicas empleadas actualmente en la TETRA existente.

Así, para la sincronización inicial, las ráfagas de sincronización que proporcionan el mecanismo de sincronización inicial y bloqueo de frecuencia son las mismas que las usadas en la TETRA existente y utilizan modulación DQPSK $\pi/4$. La sincronización de tramas para una transmisión con modulación DQPSK-$\pi/4$ es, también, igual que en la TETRA existente. En el esquema de modulación con frecuencia de datos mejorada, la sincronización de tramas se consigue merced a una secuencia de instrucción integrada de igual modo que en la TETRA existente, pero la secuencia de instrucción se modula usando el esquema de modulación con frecuencia de datos mejorada. Por último, en ambos esquemas de modulación, la sincronización de símbolos (instante de muestreo) se consigue usando técnicas de la TETRA existente, ya que en ambos esquemas de modulación la frecuencia de símbolos es la misma y sus características de modulación son similares.

Una vez recibida la señal, entonces, es necesario desmodularla. En caso de señales con modulación DQPSK $\pi/4$, tal desmodulación puede realizarse como en la TETRA existente. En el caso del esquema de modulación con frecuencia de datos mejorada, la técnica de desmodulación es muy similar a la del sistema DQPSK $\pi/4$, por las similitudes entre los esquemas de modulación. No obstante, existen algunas diferencias.

La principal diferencia consiste en la necesidad de una operación adicional, o modificada, de correspondencia inversa de símbolos, en relación con el desmodulador DQPSK $\pi/4$. Ello se muestra en la figura 2 mediante un circuito 13 añadido de determinación de correspondencia inversa de símbolos. Este circuito de determinación de correspondencia

inversa de símbolos convierte los símbolos I, Q de banda de base complejos (los símbolos detectados diferencialmente) en bits, correspondiendo 3 bits a cada símbolo.

El desmultiplexor 15 de ráfagas (conversión de ráfaga en canal lógico) tiene que ser modificado, también, para tratar el nuevo formato de ráfaga del esquema de modulación de nivel mejorado, y, en particular, el mayor número de bits en el canal lógico de datos por paquetes en relación con la modulación DQPSK-π/4.

Finalmente, puede ser necesario adaptar el algoritmo de sincronización de tramas a las ráfagas de datos por paquetes si la sincronización de tramas se realiza mediante correlación compleja. Por otro lado, si la sincronización de tramas se realiza de modo subsiguiente a la detección diferencial, entonces, puede no ser necesario cambio alguno, aparte de ajustes de la longitud y la posición de la secuencia de instrucción en la ráfaga.

En el esquema de modulación con frecuencia de datos mejorada de la presente realización se usan los mismos filtros RRC y la misma frecuencia de símbolos que en el esquema de modulación DQPSK π/4 existente. Se anticipa, también, que no hay necesidad de banda de guarda dedicada para la modulación mediante una única portadora usando el esquema de modulación con frecuencia de datos mejorada.

Como el esquema de modulación con frecuencia de datos mejorada de la presente realización aumenta el número de bits que pueden transmitirse durante un periodo de tiempo determinado es deseable modificar la estructura de ráfagas de TETRA cuando se use el esquema de modulación con frecuencia de datos mejorada para tenerlo en cuenta. La figura 3 muestra una realización preferida de las estructuras de ráfagas discontinuas para enlaces de subida y bajada que deben usarse cuando se emplee el esquema de modulación con frecuencia de datos mejorada. Estas estructuras de ráfaga han sido previstas para transmitir datos en paquetes y maximizar la carga útil de datos, pero pueden usarse, también, para transmitir información de señalización o datos en modo de circuito. Usan la misma definición de secuencia de instrucción que en el caso de la TETRA existente (pero truncada en un bit), y el mismo bloque de transmisión. Otras estructuras de ráfaga podrían ser posibles, si se desea.

Además, es necesario codificar, mediante código de canal, los bits de datos transmitidos en las ráfagas de transmisión del esquema de modulación con frecuencia de datos mejorada. En la presente realización se usa codificación de canal basada, más o menos, en la disponible de la TETRA existente (Reed-Muller para el canal lógico AACH (canal asignado de acceso) y código pinchado compatible en frecuencia (RCPC) para el canal de datos por paquetes), con el fin de tratar de garantizar cambios mínimos entre el esquema de modulación con frecuencia de datos mejorada y la TETRA existente. Así, en una realización preferida se emplea una codificación RCPC con frecuencia de 2/3, como en el canal lógico SCH/F de TETRA. La figura 4 muestra la estructura de control de errores propuesta para este tipo de canal lógico cuando se use la realización del esquema de modulación con frecuencia de datos mejorada. Podrían utilizarse otras técnicas de codificación de canal, si se desea.

Una consecuencia de usar la estructura de codificación de canal mostrada en la figura 4 consiste en que la estructura requiere un tamaño de canal que excede el máximo soportado actualmente por la TETRA existente (432 bits), lo que puede producir problemas de cifrado y con los descodificadores de Viterbi. Un modo de evitar estos problemas (si se presentan) sería dividir el canal lógico en dos mitades y codificar cada mitad por separado.

Puede verse, a partir de lo que antecede, que los cambios requeridos en la arquitectura del transmisor y del receptor para usar el esquema de modulación con frecuencia de datos mejorada de la presente realización (e invención) son relativamente pequeños, aunque algunos cambios son necesarios. El principal cambio, y mayor aumento de la complejidad, reside en la necesidad de tratar mayores bloques de bits en el modulador y el desmodulador. Por tanto, cabe esperar que la complejidad de las partes del transmisor y del receptor que traten bits aumente linealmente en relación con la TETRA existente.

Por ejemplo, en la TETRA existente, el aleatorizador, en la última operación de la codificación de canal, se aplica, normalmente, a un bloque de 432 bits de longitud, en una ráfaga. Esta longitud de bloque aumentaría a 690 bits en el caso de la estructura de ráfaga del esquema de modulación con frecuencia de datos mejorada de la presente realización, aumentando la complejidad en la proporción 690/432, es decir, un 60%. Otros elementos de la codificación/descodificación de canal aumentarían su complejidad, también, de manera similar.

Pero este nivel de aumento es relativamente pequeño, y, en cualquier caso, un aumento de este tipo será necesario, siempre, en cualquier esquema de datos de alta velocidad que trate un número mayor de bits por ráfaga de transmisión. Debe hacerse notar, también, que una ventaja significativa de la presente realización es que no hay aumento de complejidad en el dominio de los símbolos complejos (puesto que el transmisor y el receptor tratan el mismo número de símbolos por ráfaga que en la TETRA existente).

Existirán, también, requisitos de memoria adicionales para el esquema de modulación con frecuencia de datos mejorada, lo que dará como resultado, de nuevo, esencialmente, la necesidad de tratar más bits por ráfaga de transmisión. El aumento de la memoria, probablemente, será del orden del 50%, en el caso de algunas memorias temporales. Será necesario, también, un pequeño aumento de la memoria del modulador, que requerirá una tabla de consulta de 16 valores para definir los puntos de constelación del esquema de modulación con frecuencia de datos mejorada de la presente realización (mientras que en la modulación DQPSK π/4 se requieren, solamente, 8 valores). Será necesario, también, almacenar una secuencia de instrucción nueva para la sincronización de tramas del esquema de modulación

con frecuencia de datos mejorada, así como una porción pequeña de código nuevo para el circuito de determinación de correspondencia inversa de símbolos en el receptor. Pero, en general, los solicitantes creen, una vez más, que estos requisitos de memoria adicionales son relativamente pequeños.

Los solicitantes han realizado simulaciones del esquema de modulación con frecuencia de datos mejorada de la presente realización para comparar sus prestaciones con la TETRA existente que usa modulación DQPSK $\pi/4$. Las simulaciones se realizaron usando la herramienta de simulación COSSAP y el propio paquete de simulación de TETRA de los solicitantes. Se usaron modelos de canales de propagación TU50 (típica urbana, velocidad de vehículo 50 km/h) y estático de la TETRA estándar, con la ráfaga discontinua de enlace de bajada mostrada en la figura 3. Se usó un esquema de detección no coherente con el receptor, modelado con una aritmética de coma fija, de modo subsiguiente a los convertidores A/D. La cadena del receptor incluía modelos de las operaciones de control automático de ganancia (AGC), de control automático de frecuencia (AFC) y de sincronización de símbolos y tramas, además del propio desmodulador. Las simulaciones no produjeron desviaciones de CC o de frecuencia en la señal recibida. No obstante, se cree que la inclusión de estos artefactos no afectó a los resultados de modo significativo.

Se obtuvieron resultados de simulación del sistema, con una frecuencia de portadora de 400 Mhz, para un subgrupo de las combinaciones posibles de tipo de ráfaga, condición de propagación y medición. Los errores y los resultados se ofrecieron a modo de razón Es/No (energía por símbolo/densidad de ruido), para permitir su comparación directa con los resultados de la TETRA existente (es decir, energía por símbolo equivalente). (Así, los resultados aparecían 1,8 dB más desfavorables que los equivalentes de la razón Eb/No, energía por bit/densidad de ruido).

La simulación se usó, primero, para medir la razón valor máximo/valor medio. Ello se realizó usando dos métodos, por simulación y mediante equipos de pruebas. Ambas mediciones proporcionaron cifras, aproximadamente, 0,5 dB más elevadas para el esquema de modulación con frecuencia de datos mejorada que para la modulación DQPSK $\pi/4$. Por tanto, la razón valor máximo/valor medio no es significativamente peor que en el caso de la modulación de la TETRA existente y puede usarse el mismo transmisor que el de la TETRA existente. Los solicitantes creen, también, que los requisitos de linealidad de 4 dB para la razón valor máximo/valor medio del esquema de modulación con frecuencia de datos mejorada de la presente realización no son significativamente diferentes de los de la modulación DQPSK $\pi/4$.

A continuación se realizaron mediciones de sensibilidad usando la simulación para varios tipos de canales diferentes.

En primer lugar, se consideró la proporción de bits erróneos de canal estático no protegido, comparando la modulación DQPSK $\pi/4$ de la TETRA existente con el esquema de modulación de frecuencia de datos mejorada de la presente realización. Se simularon los canales de tráfico TCH 7.2/TCH 11.5 (canal con modulación DQPSK $\pi/4$ y canal equivalente con modulación de frecuencia de datos mejorada). Se encontró en la razón Es/No una diferencia de, aproximadamente, 6,5 dB, para una proporción de bits erróneos igual a 10^{-5} (o de 4,7 dB en la razón Eb/No).

El mismo análisis se realizó para la proporción de bits erróneos no codificados respecto a la razón Es/No en un canal TETRA TU50 no protegido, simulándose los mismos canales lógicos. Se encontró que la diferencia entre la modulación DQPSK $\pi/4$ y el esquema de modulación con frecuencia de datos mejorada era de, aproximadamente, 4 dB, para un nivel de bits erróneos del 2%.

Se realizaron otras simulaciones de canales protegidos en condiciones de canal de propagación estático y TU50. Se usó protección contra errores de transmisión sobre la base de la corrección de errores de transmisión de la TETRA existente. Así, se usó código de bloques Reed-Muller (30, 14) en el canal lógico AACH y código RCPC de convolución en canales de tráfico y señalización. El código Reed-Muller fue descodificado por decisión firme (hard decision) en modo de corrección de errores de bits individuales. Cuando se usó el código RCPC en el esquema de modulación con frecuencia de datos mejorada, se ajustó la longitud del canal lógico para adaptarla al tipo de ráfaga nueva del esquema de modulación, y el código fue pinchado con una frecuencia básica de 2/3.

Estas simulaciones se realizaron para los canales lógicos AACH y SCHF-H, en condiciones de canal estático protegido y de canal de propagación TU50 protegido, usando la misma codificación de canal. Se determinó el margen de sensibilidad requerido entre los dos esquemas de modulación para que cada canal lógico tuviera una razón (BER/MER) entre proporción de bits erróneos y proporción de mensajes erróneos del 5%. Se encontró que el margen de sensibilidad medio entre modulación DQPSK $\pi/4$ y esquema de modulación mejorada de la presente realización, para una razón BER/MER del 5% en todos los canales lógicos, era de, aproximadamente, 4,5 $\pm$ $^{+}/_{-}$ 0,4 dB, y se mostraba muy consistente en todos los escenarios simulados.

Se realizaron simulaciones, también, para estimar el comportamiento frente a interferencias del esquema de modulación con frecuencia de datos mejorada de la presente realización. El análisis realizado consistió en una simulación de interferencia C/I (portadora/interferencia). Se usaron dos modelos de canal de propagación, la configuración C/I TU 50 normal, en la que las trayectorias de interferencia principal y en el canal son hechas desvanecer de acuerdo con un modelo TU 50, y una configuración C/I "estática", en la que no se hicieron desvanecer la señal deseada ni la de interferencia. En ambos casos, las simulaciones se ejecutaron en condiciones SNR (razón señal/ruido) de interferencia limitada (35 dB) y la razón C/I se hizo variar con el fin de investigar la razón MER/BER entre proporción de mensajes erróneos y proporción de bits erróneos.

La simulación se realizó con el esquema de modulación con frecuencia de datos mejorada para los canales lógicos TCH 11.5 (no codificado (no protegido)) y AACH (con codificación Reed-Muller (protegido)) en condiciones estáticas de interferencia co-canal y en condiciones TU-50 de interferencia co-canal. Las condiciones de canal de propagación TU 50 tuvieron lugar con una razón portadora/ruido de 35 dB. Se realizó un análisis similar para un canal lógico SCHF-H protegido en condiciones estáticas de interferencia co-canal y en condiciones TU-50 de interferencia co-canal.

Los resultados de simulación de interferencia mostraron que el margen necesario para satisfacer el mismo límite de la razón C/I que en la modulación DQPSK π/4 de la TETRA existente era de, aproximadamente, 7 dB para el esquema de modulación con frecuencia de datos mejorada de la presente realización. Se encontró que para una razón C/I de 19 dB, la proporción de mensajes erróneos del canal lógico SCHF-H era superior al 20%, y se requirió una razón C/I de, aproximadamente, 24 dB, para una proporción de mensajes erróneos (MER) del 10%.

Los resultados de simulación muestran que para cierto número de canales lógicos y condiciones de propagación diferentes, existe un margen de funcionamiento de, aproximadamente, 4,5 dB entre el esquema de modulación con frecuencia de datos mejorada de la presente realización y el esquema de modulación DQPSK π/4 de la TETRA existente. Se encontró, también, que, probablemente, sería necesario un límite superior de 24 dB para la razón C/I de un sistema práctico. Este nivel de funcionamiento se considera satisfactorio y compatible con los sistemas y los requisitos de la TETRA existente.

A partir de lo que antecede puede verse que la presente invención permite un aumento, en bruto, de la frecuencia de 36 kbits/s de la TETRA existente hasta 54 kbits/s, pero manteniendo la misma frecuencia de símbolos, el mismo filtro RRC y la misma separación entre canales que en la TETRA existente. Por tanto, la invención ofrece un método para mejorar la capacidad de un sistema de comunicaciones móviles TETRA merced al uso de un esquema de modulación de nivel superior en los canales de comunicaciones de la TETRA existente, con el fin de permitir mayores frecuencias de datos.

Por otro lado, como el esquema propuesto de modulación con frecuencia de datos mejorada es similar a la modulación DQPSK-π/4 de la TETRA existente, solamente se requieren cambios menores en el modulador y en el desmodulador para el esquema de modulación con frecuencia de datos mejorada, permitiendo, de ese modo, por ejemplo, conmutar de manera relativamente sencilla entre la modulación DQPSK π/4 de la TETRA existente y el método de modulación mejorada de la presente invención, y un grado elevado de intercambiabilidad y flexibilidad entre modos de funcionamiento.

Además, en sus realizaciones preferidas, al menos, la razón valor máximo/valor medio del esquema de modulación de la presente invención no es significativamente peor que la de la TETRA existente, de modo que puede usarse el mismo transmisor que en la TETRA existente. Por otro lado, los requisitos de linealidad del esquema de modulación nuevo no son significativamente diferentes de los de la modulación DQPSK π/4 actual usada en TETRA.

Por tanto, se anticipa que, para soportar el nuevo esquema de modulación, las modificaciones en los equipos de la TETRA existente serán relativamente pequeñas. En consecuencia, el esquema con frecuencia de datos mejorada será relativamente fácil de poner en práctica en un sistema TETRA existente.

Así, el esquema de modulación con frecuencia de datos mejorada de la presente invención constituye una mejora de complejidad relativamente baja para el sistema TETRA actual, pero que, no obstante, puede ofrecer un aumento, en bruto, del 50% de la frecuencia de bits en los canales TETRA de 25 kHz existentes.

De ese modo, puede usarse para ofrecer frecuencias de datos superiores que la TETRA estándar existente, en canales de tráfico de la TETRA existente y usando sitios existentes en el plan de red celular, mientras que las modificaciones del sistema TETRA estándar para permitir la frecuencia de datos mejorada se mantienen en un nivel relativamente reducido.

Por tanto, la presente invención será ventajosa, entre otras cosas, cuando se desee mejorar las prestaciones de un sistema existente y cuando los fabricantes de sistemas TETRA deseen mantener las inversiones en desarrollo y nuevos equipos en el nivel más bajo posible.

REIVINDICACIONES

1. Un método para hacer funcionar un sistema de comunicaciones móviles TETRA, **caracterizado** porque comprende:

usar un esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial, que codifica 3 bits por cada símbolo y cada intervalo de símbolos presenta una rotación $\pi/8$ de fase, para transmisiones en el sistema.

2. El método de la reivindicación 1, que comprende, además, usar una correspondencia por código de Gray, por la que cada grupo consecutivo de 3 bits se representa mediante un cambio de fase de $^{+}/_{-}\ \pi/8$, $^{+}/_{-}\ 3\pi/8$, $^{+}/_{-}\ 5\pi/8$ y $^{+}/_{-}\ 7\pi/8$.

3. El método de las reivindicaciones 1 o 2, en el que el esquema de modulación se representa mediante:

$$S(k) = S(k-1) \exp [jD\phi(k)]$$

$$S(0) = 1$$

siendo S(k) el símbolo de orden k en la ráfaga, k = 1, 2,..., n, y n el número total de símbolos en una ráfaga.

4. El método de las reivindicaciones 1, 2 o 3, en el que el cambio de fase entre símbolos consecutivos se relaciona con los bits de modulación de la manera siguiente:

B(3k-2)	B(3k-1)	B(3k)	DΦ(k)
0	0	0	+π/8
0	0	1	+3π/8
1	0	1	+5π/8
1	0	0	+7π/8
0	1	0	-π/8
0	1	1	-3π/8
1	1	1	-5π/8
1	1	0	-7π/8

para k = 1, 2,..., n.

5. El método de las reivindicaciones 1, 2, 3 o 4, que, además, comprende usar con el esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial la misma frecuencia de símbolos, el mismo filtro de raíz de coseno realzado (RRC) y la misma separación entre canales usados con el esquema de modulación DQPSK $\pi/4$ de TETRA.

6. El método de cualquiera de las reivindicaciones precedentes, que, además, comprende usar con el esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial, la estructura de canales, ventanas y tramas usadas con el esquema de modulación DQPSK $\pi/4$ de TETRA.

7. El método de cualquiera de las reivindicaciones precedentes, que, también, comprende usar el esquema de modulación DQPSK $\pi/4$ de TETRA para transmisiones en el sistema, de manera que, en él coexistan canales modulados mediante el esquema de modulación DQPSK $\pi/4$ de TETRA y el esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial.

8. El método de la reivindicación 7, que comprende:

usar el esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial para transmisiones en el sistema cuando se desee una frecuencia de transmisión de datos mayor; y

usar el esquema de modulación DQPSK-$\pi/4$ de TETRA para transmisiones en el sistema cuando se desee una frecuencia de transmisión de datos menor.

9. El método de las reivindicaciones 7 u 8, que, además, comprende señalizar un canal modulado mediante el esquema DQPSK-$\pi/4$ con el fin de indicar la disponibilidad de un canal que puede usar el esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial.

10. El método de las reivindicaciones 7, 8 o 9, que, además, comprende usar los canales TETRA de 25 kHz con ambos esquemas de modulación.

11. El método de las reivindicaciones 7, 8, 9 o 10, que, además, comprende transmitir ráfagas de sincronización para la sincronización inicial y el bloqueo de frecuencia usando el esquema de modulación DQPSK $\pi/4$.

12. El método de cualquiera de las reivindicaciones precedentes, que comprende transmitir una secuencia de instrucción integrada para facilitar la sincronización de tramas en el esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial.

13. Un aparato para una estación de comunicaciones de un sistema de comunicaciones móviles de TETRA, **caracterizándose** el aparato porque comprende:

medios (3) para hacer que la estación de comunicaciones TETRA realice transmisiones usando un esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial que codifique 3 bits por cada símbolo y cada intervalo de símbolos presente una rotación $\pi/8$ de fase.

14. El aparato de la reivindicación 13, que, además, comprende medios para usar una correspondencia de código Gray, por la que cada grupo consecutivo de 3 bits se representa mediante un cambio de fase de $^{+}/_{-}$ $\pi/8$, $^{+}/_{-}$ $3\pi/8$, $^{+}/_{-}$ $5\pi/8$ y $^{+}/_{-}$ $7\pi/8$.

15. El aparato de las reivindicaciones 13 o 14, en el que el esquema de modulación se representa mediante:

$$S(k) = S\,(k\text{-}1)\exp\,[jD\phi(k)]$$

$$S(0) = 1$$

siendo S(k) el símbolo de orden k en la ráfaga, k = 1, 2,..., n, y n el número total de símbolos en la ráfaga.

16. El aparato de las reivindicaciones 13, 14 o 15, en el que el cambio de fase entre símbolos consecutivos se relaciona con los bits de modulación del modo siguiente:

B(3k-2)	B(3k-1)	B(3k)	DΦ(k)
0	0	0	+π/8
0	0	1	+3π/8
1	0	1	+5π/8
1	0	0	+7π/8
0	1	0	-π/8
0	1	1	-3π/8
1	1	1	-5π/8
1	1	0	-7π/8

para k = 1, 2,..., n.

17. El aparato de cualquiera de las reivindicaciones 13 a 16, que, además, comprende medios (3) para hacer que una estación de comunicaciones TETRA realice transmisiones usando el esquema de modulación DQPSK $\pi/4$ de TETRA.

18. El aparato de la reivindicación 17, que comprende:

medios para usar el esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial para transmisiones en el sistema cuando se desee una frecuencia de transmisión de datos mayor; y

medios para usar el esquema de modulación DQPSK $\pi/4$ de TETRA para transmisiones en el sistema cuando se desee una frecuencia de transmisión de datos menor.

19. El aparato de las reivindicaciones 17 o 18, que, además, comprende medios para señalizar un canal modulado mediante el esquema DQPSK-$\pi/4$ con el fin de indicar la disponibilidad de un canal que puede usar el esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial.

20. El aparato de las reivindicaciones 17, 18 o 19, que, además, comprende medios para transmitir ráfagas de sincronización para la sincronización inicial y el bloqueo de frecuencia usando el esquema de modulación DQPSK $\pi/4$.

21. El aparato de cualquiera de las reivindicaciones 13 a 20, que comprende medios para transmitir una secuencia de instrucción integrada para facilitar la sincronización de tramas en el esquema de modulación por desplazamiento de fase $\pi/8$ con ocho estados y codificación diferencial.

22. Una estación de comunicaciones TETRA que comprende el aparato de cualquiera de las reivindicaciones 13 a 21.

23. Un programa informático que comprende partes de código de lógica informática para poner en práctica el método de cualquiera de las reivindicaciones 1 a 12 cuando el programa se ejecute merced a medios de tratamiento de datos.

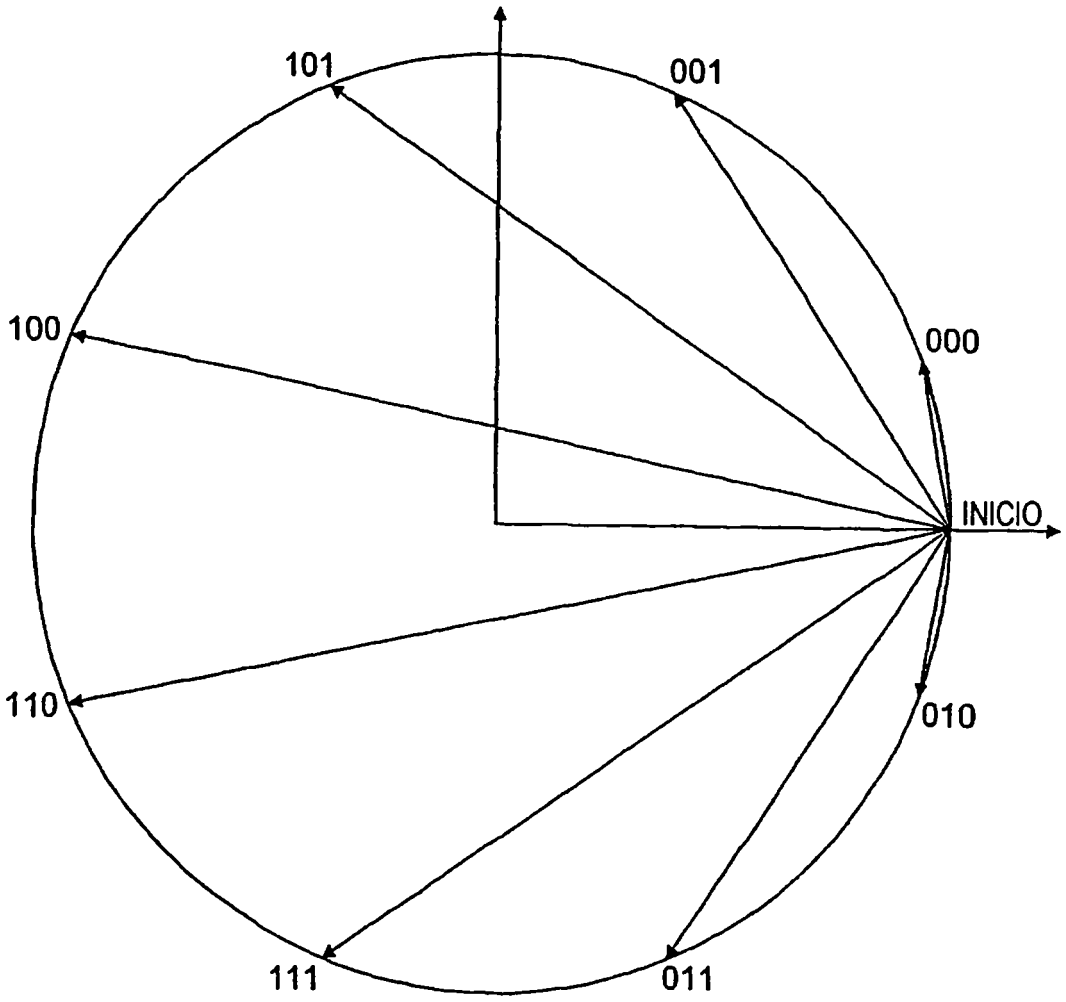


FIG. 1
DIAGRAMA DE CONSTELACIÓN

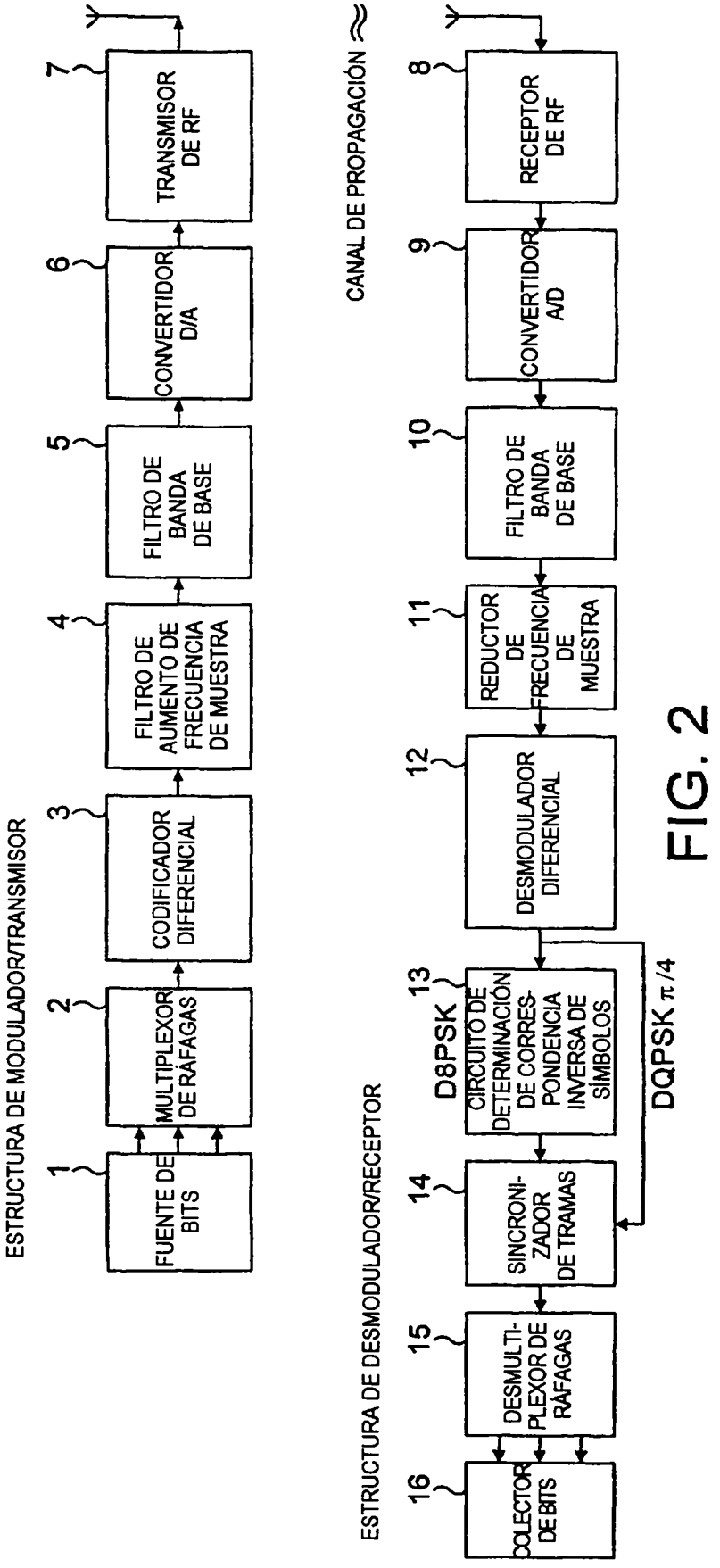

ESTRUCTURA DE MODULADOR/TRANSMISOR
1
FUENTE DE BITS
2
MULTIPLEXOR DE RÁFAGAS
3
CODIFICADOR DIFERENCIAL
4
FILTRO DE AUMENTO DE FRECUENCIA DE MUESTRA
5
FILTRO DE BANDA DE BASE
6
CONVERTIDOR D/A
7
TRANSMISOR DE RF
CANAL DE PROPAGACIÓN
8
RECEPTOR DE RF
9
CONVERTIDOR A/D
10
FILTRO DE BANDA DE BASE
11
REDUCTOR DE FRECUENCIA DE MUESTRA
12
DESMODULADOR DIFERENCIAL
13
D8PSK
CIRCUITO DE DETERMINACIÓN DE CORRESPONDENCIA INVERSA DE SÍMBOLOS
DQPSK π/4
14
SINCRONIZADOR DE TRAMAS
15
DESMULTIPLEXOR DE RÁFAGAS
16
COLECTOR DE BITS
ESTRUCTURA DE DESMODULADOR/RECEPTOR

FIG. 2

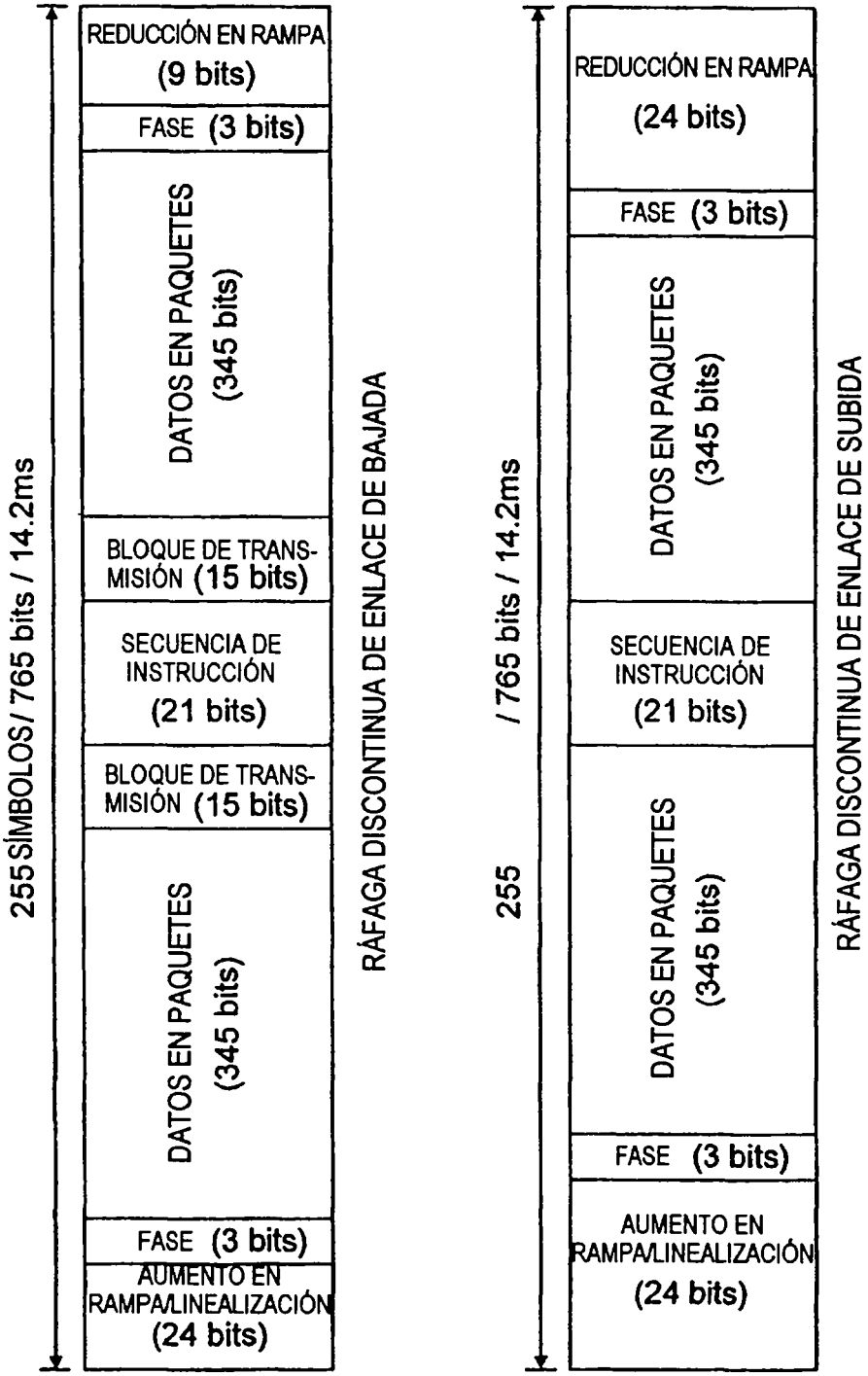


FIG. 3

EJEMPLO DE ESTRUCTURAS DE RÁFAGA

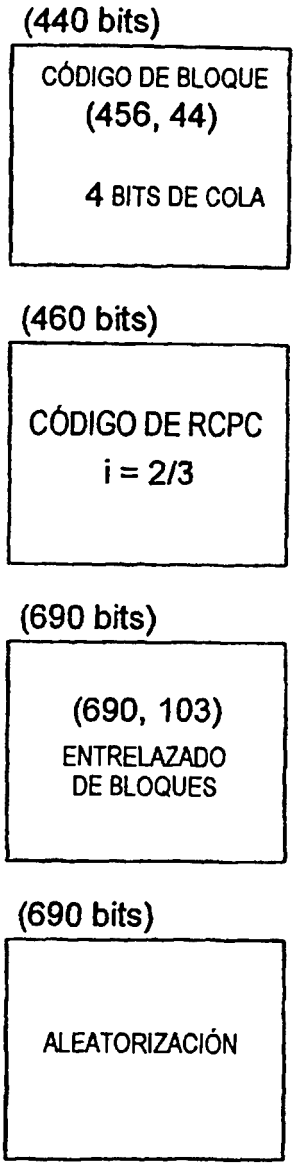


FIG. 4

ESTRUCTURA DE CANAL LÓGICO SCHF-H