

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 1 月 10 日 (10.01.2019)



(10) 国际公布号
WO 2019/007320 A1

(51) 国际专利分类号:
H01L 29/10 (2006.01)

(21) 国际申请号: PCT/CN2018/094229

(22) 国际申请日: 2018 年 7 月 3 日 (03.07.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710534151.9 2017 年 7 月 3 日 (03.07.2017) CN

(71) 申请人: 无锡华润上华科技有限公司 (CSMC TECHNOLOGIES FAB2 CO., LTD.) [CN/CN]; 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(72) 发明人: 王琼 (WANG, Qiong); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。 孙贵鹏 (SUN, Guipeng); 中国江苏省无锡市新区新洲路 8 号, Jiangsu 214028 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区花城大道 85 号 3901 房, Guangdong 510623 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: JFET DEVICE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: JFET 器件及其制造方法

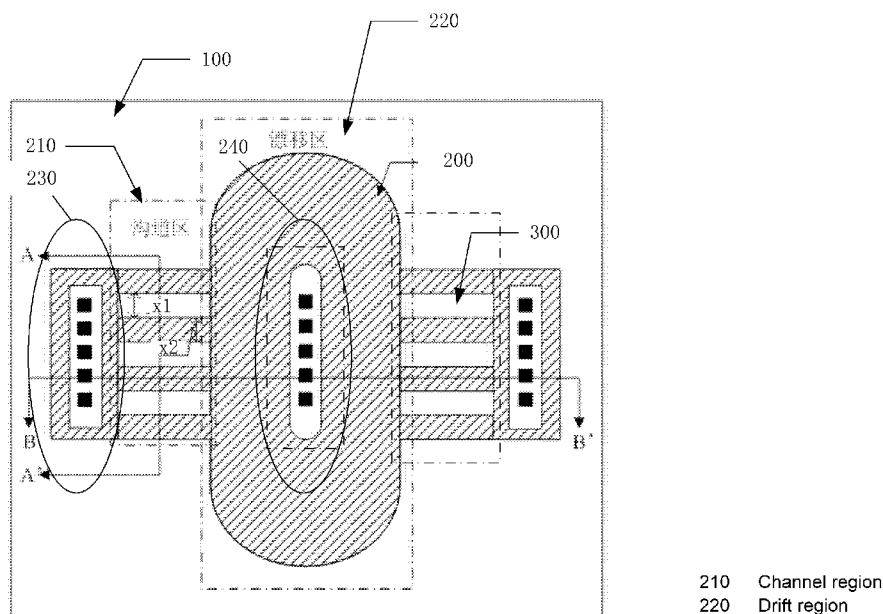


图 1

(57) Abstract: The present invention discloses a JFET device and manufacturing method thereof. The JFET device comprises a first well region (100) formed on a substrate and having a first doping type; a second well region (200) formed on a substrate and having a second doping type; the second well region (200) is provided with a sequentially arranged source region (230), a channel region (210) and a drift region (220), wherein the channel region (210) is provided with an interval region (300) belonging to the first well region (100); the interval region (300) separates the channel region (210) into at least two mutually spaced channels extending from the source

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

region (230) to the drift region (220), and the width of the channel can adjust the pinch-off voltage of the JFET device; the interval region (300) is moved outwards and forms the gate of the JFET device; the source region (230) is moved outwards and forms the source of the JFET device; the surface of the drift region (220) also forms a drain region (240) and is drawn out as the drain of the JFET device. The manufacturing method is used to manufacture the JFET device.

(57) 摘要: 一种 JFET 器件及其制造方法。该 JFET 器件包括: 第一阱区 (100), 形成于衬底上, 具有第一掺杂类型; 第二阱区 (200), 形成于衬底上, 并具有第二掺杂类型; 所述第二阱区 (200) 设有依次排列的源极区 (230)、沟道区 (210) 和漂移区 (220); 其中, 所述沟道区 (210) 设有属于第一阱区 (100) 的间隔区 (300); 所述间隔区 (300) 将沟道区 (210) 间隔为至少两段相互间隔的自源极区 (230) 向漂移区 (220) 延伸的沟道, 沟道的宽度可调整所述 JFET 器件的夹断电压; 所述间隔区 (300) 引出为所述 JFET 器件的栅极, 所述源极区 (230) 引出为所述 JFET 器件的源极, 所述漂移区 (220) 表面还形成漏极区 (240) 并引出为所述 JFET 器件的漏极。该制造方法用于制造该 JFET 器件。

JFET 器件及其制造方法

技术领域

本方案涉及半导体技术领域，特别是涉及一种 JFET 器件及其制造方法。

背景技术

5 高压 JFET (Junction Field-Effect Transistor, 结型场效应晶体管) 器件在电源管理芯片中有着广泛的应用，有助于电路实现高效率、低功耗的应用需求。在高压 BCD 工艺生产过程中，经常遇到的问题是：常规高压 JFET 结构，用同一块高压阱形成器件的沟道区和漂移区，难以同时满足耐压和截止电压 (pitch-off voltage) 的设计需求。为了达到截止电压的设计目标，需要专门增
10 加一块 Mask (掩模板)，通过杂质注入的方式调整沟道区掺杂浓度来实现，增加了工艺的成本及复杂度。

发明内容

基于此，有必要提供一种 JFET 器件及其制造方法。

15 一种 JFET 器件，包括：

 第一阱区，形成于衬底上，具有第一掺杂类型；

 第二阱区，形成于衬底上，并具有第二掺杂类型；所述第二阱区设有依次排列的源极区、沟道区和漂移区；

 其中，所述沟道区设有属于第一阱区的间隔区；所述间隔区将沟道区间
20 隔为至少两段相互间隔的自源极区向漂移区延伸的沟道，沟道的宽度可调整所述 JFET 器件的夹断电压；

 所述间隔区引出为所述 JFET 器件的栅极，所述源极区引出为所述 JFET 器件的源极，所述漂移区表面还形成漏极区并引出为所述 JFET 器件的漏极。

一种 JFET 器件的制造方法，包括：

在衬底上形成第一阱区，所述第一阱区具有第一掺杂类型；所述第一阱区内设有间隔区；

在衬底上形成第二阱区，所述第二阱区具有第二掺杂类型；所述第二阱区设有依次排列的源极区、沟道区和漂移区；

所述间隔区将沟道区间隔为至少两段相互间隔的自源极区向漂移区延伸的沟道，沟道的宽度可调整所述 JFET 器件的夹断电压。

一种 JFET 器件的制造方法，所述 JFET 器件包括沟道区和漂移区，所述方法包括：

10 获取衬底；

在所述衬底上的第一区域形成第一阱区，所述第一阱区具有第一掺杂类型；

使用第二阱区掩模板光刻，然后刻蚀并掺杂，以在所述第一区域内形成第二阱区，所述第二阱区包括位于所述漂移区的漂移区第二阱和位于所述沟道区的至少两段相互间隔的沟道，相邻的沟道之间为属于所述第一阱区的间隔区；所述第二阱区具有第二掺杂类型。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其它特征、目的和优点将从说明书、附图以及权利要求书变得明显。

20 附图说明

为了更好地描述和说明这里公开的那些发明的实施例和/或示例，可以参考一幅或多幅附图。用于描述附图的附加细节或示例不应当被认为是对所公开的发明、目前描述的实施例和/或示例以及目前理解的这些发明的最佳模式中的任何一者的范围的限制。

25 图 1 为一实施例的 JFET 器件布局的俯视图；

图 2 为图 1 中的 B-B' 截面图；

图 3 为图 1 中的 A-A' 截面图；

图 4a 为一实施例的 JFET 器件的沟道区间隔区的其中一种布置方式示意图；

图 4b 为一实施例的 JFET 器件的沟道区间隔区的其中另一种布置方式示意图；

5 图 5 为一实施例的 JFET 器件制造方法流程图；

图 6 为另一实施例的 JFET 器件制造方法流程图。

具体实施方式

为了使本方案的目的、技术方案及优点更加清楚明白，以下结合附图及
10 实施例，对本方案进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本方案，并不用于限定本方案。

图 1 为一实施例的 JFET 器件布局的俯视图。该 JFET 器件包括第一阱区 100 和第二阱区 200。第一阱区 100 具有第一掺杂类型，第二阱区 200 具有第二掺杂类型。所述第二阱区 200 设有依次排列的源极区 230、沟道区 210 和
15 漂移区 220。其中，所述沟道区 210 设有间隔区 300。所述间隔区 300 具有第一掺杂类型，间隔区 300 将沟道区 210 间隔为至少两段相互间隔的自源极区 230 向漂移区 220 延伸的沟道，沟道的宽度可调整所述 JFET 器件的夹断电压。所述间隔区 300 引出为所述 JFET 器件的栅极，所述源极区 230 引出为所述 JFET 器件的源极，所述漂移区 220 表面还形成漏极区 240 并引出为所述 JFET
20 器件的漏极。

具体地，如图 1 所示，多个间隔区 300 在自沟道区 210 指向漂移区 220 的第一方向上延伸，且在与所述第一方向垂直的第二方向上具有固定宽度 x_1 ，对应沟道区 210 被划分为多个相互间隔的、具有第二掺杂类型的沟道，并具有宽度 x_2 。

25 沟道区 210 是运送空穴或电子的通道，间隔区 300 形成的栅极用于控制沟道的开启和截止。图 2 为图 1 中的 B-B' 截面图。从图 2 可以看出，沟道区 210 与漂移区 220 连通，在沟道区 210 的阱区未被耗尽时，空穴或电子能够

通过沟道进入漂移区 220。

以沟道区 210 为 N 型掺杂为例，多个间隔的 N 阱形成运送电子的通道，P 阱栅极控制沟道的开启和截止。工作时，若栅极电压 $V_{gs} < 0V$ ，N/P 阱结反偏，耗尽层展开至 N 阱全耗尽时，沟道关闭，此时的栅极电压为 JFET 截止电压；若栅极电压 $V_{gs} > 0V$ ，沟道 N/P 阱结正偏，源极电子通过沟道传输到漂移区，在漏极电场作用下最终到达漏极，此时器件处于导通状态。

当 N 型阱区的宽度较大时，沟道杂质增多，需要更大的栅极电压来耗尽沟道区杂质来关断沟道，截止电压更大。因此，N 阱的宽度决定了 JFET 器件的截止电压。通过调整 N 阱的宽度即可达到调整截止电压的目的。

同时，这种调整不是通过对沟道区 210 的额外杂质注入调整掺杂浓度来实现的，因此不需要增加额外的沟道区杂质注入掩模板，降低了工艺成本和复杂度。

在一个实施例中，间隔区 300 的宽度是均匀的，且间隔出的 N 型阱的宽度也是均匀的。这样在形成间隔区 300 时更加容易控制和调整。

在本实施例中，所述间隔区 300 的数量为多个，且相互间隔。在其他实施例中，间隔区 300 的数量也可以是两个。

更具体地，图 3 为图 1 中 A-A' 截面图，结合图 3，两个以上的间隔区 300 相互平行间隔。在其他实施例中，也可以为非平行间隔。

在图 1 所示实施例中，间隔区 300 的长度方向基本与漂移区的边缘相互垂直，这样可以更加方便制作。但间隔区 300 的布置方式并不仅限于此，在其他实施例中，还可以是其他布置方式。如图 4a 所示，间隔区 300 为斜向的平行布置；如图 4b 所示，间隔区 300 均为斜向布置，但相互之间不平行。这些布置方式都能够起到调整截止电压的目的。

在具体实施例中，所述第一掺杂类型为 N 型掺杂，所述第二掺杂类型为 P 型掺杂；则所述 JFET 器件为 P 沟道 JFET。或者所述第一掺杂类型为 P 型掺杂，所述第二掺杂类型为 N 型掺杂；则所述 JFET 器件为 N 沟道 JFET。

图 5 为一实施例的 JFET 器件的制造方法流程图。结合图 1~图 4b 该方法包括以下步骤 S110~S130。

步骤 S110: 在衬底上形成第一阱区 100, 所述第一阱区 100 具有第一掺杂类型。所述第一阱区 100 包括间隔区 300。

5 步骤 S120: 在衬底上形成第二阱区 200, 所述第二阱区 200 具有第二掺杂类型; 所述第二阱区 200 设有依次排列的源极区 230、沟道区 210 和漂移区 220。

所述间隔区 300 将沟道区 210 间隔为至少两段相互间隔的自源极区 230 向漂移区延伸的沟道, 沟道的宽度可调整所述 JFET 器件的夹断电压。。

10 具体地, 参照图 1, 多个间隔区 300 在自沟道区 210 指向漂移区 220 的第一方向上延伸, 且在与所述第一方向垂直的第二方向上具有固定宽度 x_1 , 对应沟道区 210 被划分为多个相互间隔的沟道, 并具有宽度 x_2 。

沟道区 210 是运送空穴或电子的通道, 间隔区 300 形成的栅极用于控制沟道的开启和截止。图 2 为图 1 中的 B-B' 截面图。从图 2 可以看出, 沟道区
15 210 与漂移区 220 连通, 在沟道区 210 的阱区未被耗尽时, 空穴或电子能够通过沟道进入漂移区 220。

以沟道区 210 为 N 型掺杂为例, 多个间隔的 N 型阱形成运送电子的通道, P 型的栅极控制沟道的开启和截止。工作时, 若栅极电压 $V_{gs} < 0V$, N/P 阱结反偏, 耗尽层展开至 N 阱全耗尽时, 沟道关闭, 此时的栅极电压为 JFET
20 截止电压; 若栅极电压 $V_{gs} > 0V$, 沟道 N/P 阱结正偏, 源极电子通过沟道传输到漂移区, 在漏极电场作用下最终到达漏极, 此时器件处于导通状态。

当 N 型阱区的宽度较大时, 沟道杂质增多, 需要更大的栅极电压来耗尽沟道区杂质来关断沟道, 截止电压更大。因此, N 阱的宽度决定了 JFET 器件的截止电压。通过调整 N 阱的宽度即可达到调整截止电压的目的。

25 同时, 这种调整不是通过对沟道区 210 的额外杂质注入调整掺杂浓度来实现的, 因此减少了一道工序, 也不需要额外的掩模板来配合完成该工序。

在一个实施例中, 间隔区 300 的宽度是均匀的, 且间隔出的 N 型阱的宽

度也是均匀的。这样在形成间隔区 300 时更加容易控制和调整。

在本实施例中，所述间隔区 300 的数量为多个，且相互间隔。在其他实施例中，间隔区 300 的数量也可以是一个或两个。

在步骤 S130 中，两个以上的间隔区相互平行间隔。更具体地，图 3 为图 1 中 A-A' 截面图，结合图 3，两个以上的间隔区 300 相互平行间隔。在其他实施例中，也可以为非平行间隔。

在步骤 S130 中，使所述间隔区在自沟道区指向漂移区的第一方向上延伸，且在与所述第一方向垂直的第二方向上具有固定宽度。在图 1 所示实施例中，间隔区 300 的长度方向基本与漂移区的边缘相互垂直，这样可以更加方便制作。但间隔区 300 的布置方式并不仅限于此，在其他实施例中，还可以是其他布置方式。如图 4a 所示，间隔区 300 为斜向的平行布置；如图 4b 所示，间隔区 300 均为斜向布置，但相互之间不平行。这些布置方式都能够起到调整截止电压的目的。

在具体实施例中，所述第一掺杂类型为 N 型掺杂，所述第二掺杂类型为 P 型掺杂；则所述 JFET 器件为 P 沟道 JFET。或者所述第一掺杂类型为 P 型掺杂，所述第二掺杂类型为 N 型掺杂；则所述 JFET 器件为 N 沟道 JFET。

还提供另一种 JFET 器件的制造方法。JFET 器件包括沟道区 210 和漂移区 220，结合图 1~图 4b，所述方法包括：

S210，获取衬底。

S220，在衬底上的第一区域形成第一阱区。

第一阱区 100 具有第一掺杂类型。

S230，使用第二阱区掩模板光刻，然后刻蚀并掺杂，以在第一区域内形成第二阱区。

使用第二阱区掩模板光刻，然后刻蚀并掺杂，以在第一区域内形成第二阱区 200。第二阱区掩模板在第一区域定义出了第二阱区 200 的图案，对于第一区域内已经形成第一阱区 100 的区域，本步骤中的掺杂工艺会将其变为第二阱区 200。第二阱区 200 包括位于漂移区 220 的漂移区第二阱和位于沟

道区 210 的至少两段相互间隔的沟道，相邻的沟道之间为属于第一阱区 100 的间隔区 300。第二阱区 200 具有第二掺杂类型。

上述 JFET 器件的制造方法，第二阱区形成了器件的沟道，间隔区后续引出作为器件的栅极；第二阱区的宽度增大，器件沟道区域杂质增多，需要增大栅极电压才能将其完全耗尽，即沟道关闭；所以，调整第二阱区的宽度即可达到调整截止电压的目的。同时，这种调整不是通过对沟道区的额外杂质注入调整掺杂浓度来实现的，因此减少了一道工序。沟道区和漂移区的第二阱区共用一块掩膜版（即第二阱区掩模板），也即不需要额外的掩模板来配合完成该工序。工艺的成本和复杂度均有相应降低。

在一个实施例中，步骤 S230 之后还包括以下步骤：

形成漏极区 240 和源极区 230，第二阱区连接漏极区 240 和源极区 230。

将漏极区 240 引出为 JFET 器件的漏极，将源极区 230 引出为 JFET 器件的源极，将间隔区 300 引出为 JFET 器件的栅极。

在一个实施例中，JFET 器件是 N 沟道 JFET，第一掺杂类型为 P 型，第二掺杂类型为 N 型。

在一个实施例中，间隔区 300 的数量为两个以上，且相互间隔。

在一个实施例中，各间隔区 300 相互平行间隔。

在一个实施例中，间隔区在自沟道区 210 指向漂移区 220 的方向上延伸。

在一个实施例中，第一阱区 100 为高压 P 阱，第二阱区 200 为高压 N 阱。

在一个实施例中，步骤 S230 是刻蚀后通过离子注入形成第二阱区 200。

以上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例中的各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本方案的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对发明专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本方案构思的前提下，还可以做出若干变形和改进，这些都属于本方案的保护范围。因此，本方案专利的保护范围

应以所附权利要求为准。

权利要求书

1、一种 JFET 器件，包括：

第一阱区，形成于衬底上，具有第一掺杂类型；

第二阱区，形成于衬底上，并具有第二掺杂类型；所述第二阱区设有依次排列的源极区、沟道区和漂移区；

5 其中，所述沟道区设有属于第一阱区的间隔区；所述间隔区将沟道区间隔为至少两段相互间隔的自源极区向漂移区延伸的沟道，沟道的宽度可调整所述 JFET 器件的夹断电压；

所述间隔区引出为所述 JFET 器件的栅极，所述源极区引出为所述 JFET 器件的源极，所述漂移区表面还形成漏极区并引出为所述 JFET 器件的漏极。

10 2、根据权利要求 1 所述的 JFET 器件，其特征在于，所述间隔区的数量为两个以上，且相互间隔。

3、根据权利要求 2 所述的 JFET 器件，其特征在于，两个以上的间隔区相互平行间隔。

4、根据权利要求 1~3 任一项所述的 JFET 器件，其特征在于，所述间隔
15 区在自沟道区指向漂移区的第一方向上延伸，且在与所述第一方向垂直的第二方向上具有固定宽度。

5、根据权利要求 1 所述的 JFET 器件，其特征在于，所述第一掺杂类型为 N 型掺杂，所述第二掺杂类型为 P 型掺杂；或者所述第一掺杂类型为 P 型掺杂，所述第二掺杂类型为 N 型掺杂。

20 6、一种 JFET 器件的制造方法，包括：

在衬底上形成第一阱区，所述第一阱区具有第一掺杂类型；所述第一阱区内设有间隔区；

在衬底上形成第二阱区，所述第二阱区具有第二掺杂类型；所述第二阱区设有依次排列的源极区、沟道区和漂移区；

25 所述间隔区将沟道区间隔为至少两段相互间隔的自源极区向漂移区延伸

的沟道，沟道的宽度可调整所述 JFET 器件的夹断电压。

7、根据权利要求 6 所述的 JFET 器件的制造方法，其特征在于，所述间隔区的数量为两个以上，且相互间隔。

8、根据权利要求 7 所述的 JFET 器件的制造方法，其特征在于，两个以
5 上的间隔区相互平行间隔。

9、根据权利要求 6~8 任一项所述的 JFET 器件的制造方法，其特征在于，所述间隔区在自沟道区指向漂移区的第一方向上延伸，且在与所述第一方向垂直的第二方向上具有固定宽度。

10、根据权利要求 6 所述的 JFET 器件的制造方法，其特征在于，所述第
10 一掺杂类型为 N 型掺杂，所述第二掺杂类型为 P 型掺杂；或者所述第一掺杂类型为 P 型掺杂，所述第二掺杂类型为 N 型掺杂。

11、一种 JFET 器件的制造方法，所述 JFET 器件包括沟道区和漂移区，所述方法包括：

获取衬底；

15 在所述衬底上的第一区域形成第一阱区，所述第一阱区具有第一掺杂类型；

使用第二阱区掩模板光刻，然后刻蚀并掺杂，以在所述第一区域内形成第二阱区，所述第二阱区包括位于所述漂移区的漂移区第二阱和位于所述沟道区的至少两段相互间隔的沟道，相邻的沟道之间为属于所述第一阱区的间隔区；所述第二阱区具有第二掺杂类型，所述第二掺杂类型与第一掺杂类型的导电类型相反。
20

12、根据权利要求 11 所述的制造方法，其中，还包括：

形成漏极区和源极区，所述第二阱区连接所述漏极区和源极区；

将所述漏极区引出为所述 JFET 器件的漏极，将所述源极区引出为所述
25 JFET 器件的源极，将所述间隔区引出为所述 JFET 器件的栅极。

13、根据权利要求 11 所述的制造方法，其中，所述 JFET 器件是 N 沟道 JFET，所述第一掺杂类型为 P 型，所述第二掺杂类型为 N 型。

14、根据权利要求 11 所述的制造方法，其中，所述间隔区的数量为两个以上，且相互间隔。

15、根据权利要求 14 所述的制造方法，其中，各所述间隔区相互平行间隔。

5 16、根据权利要求 11 所述的制造方法，其中，所述间隔区在自沟道区指向漂移区的方向上延伸。

17、根据权利要求 13 所述的制造方法，其中，所述第一阱区为高压 P 阱，所述第二阱区为高压 N 阱。

10 18、根据权利要求 11 所述的制造方法，其中，所述使用第二阱区掩膜板光刻，然后刻蚀并掺杂，以在所述第一区域内形成第二阱区的步骤，是刻蚀后通过离子注入形成第二阱区。

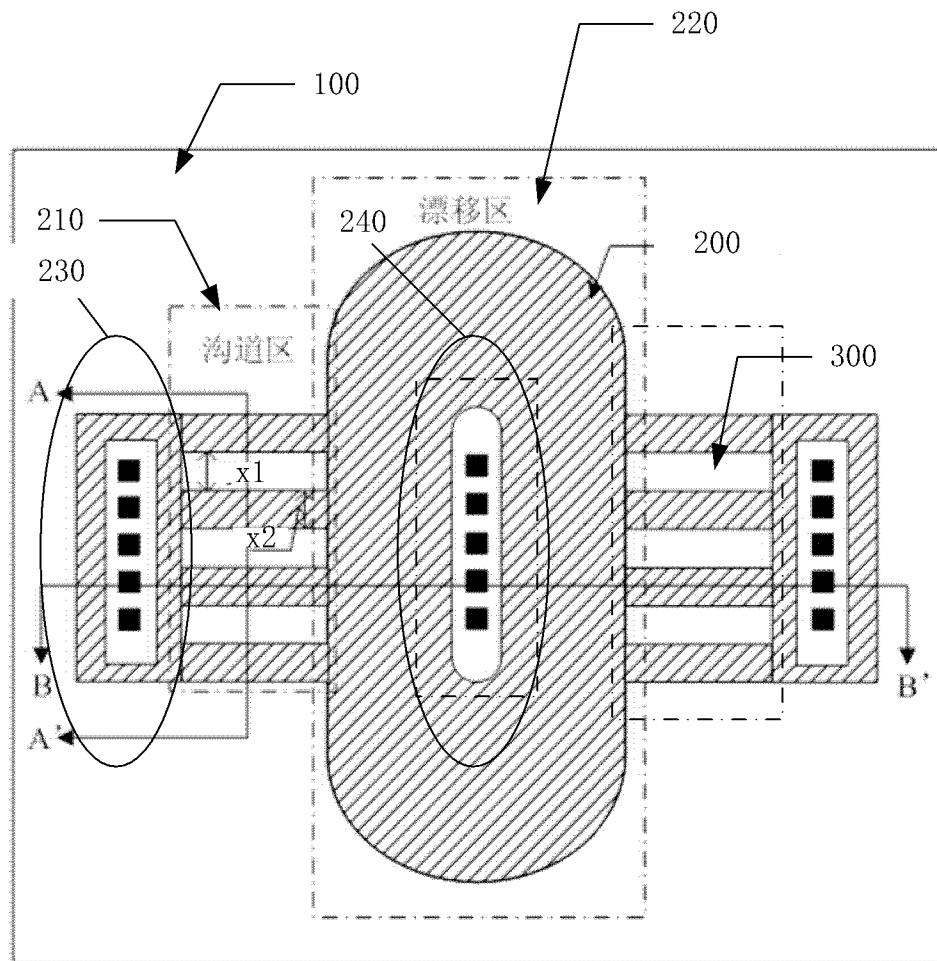


图 1

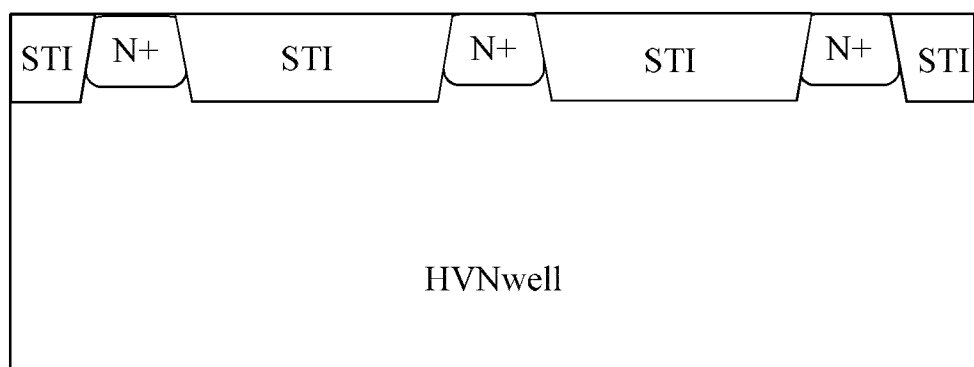


图 2

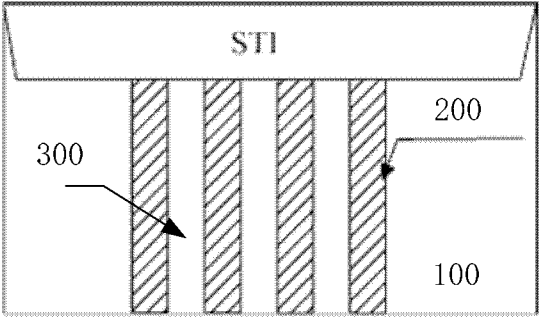


图 3

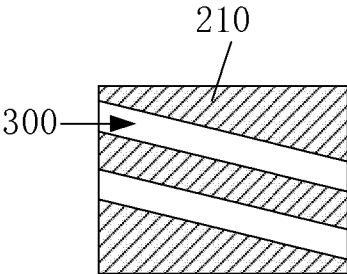


图 4a

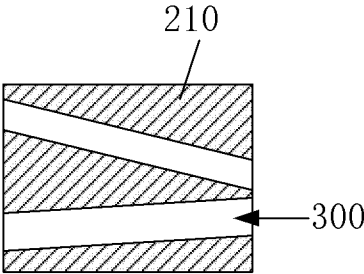


图 4b

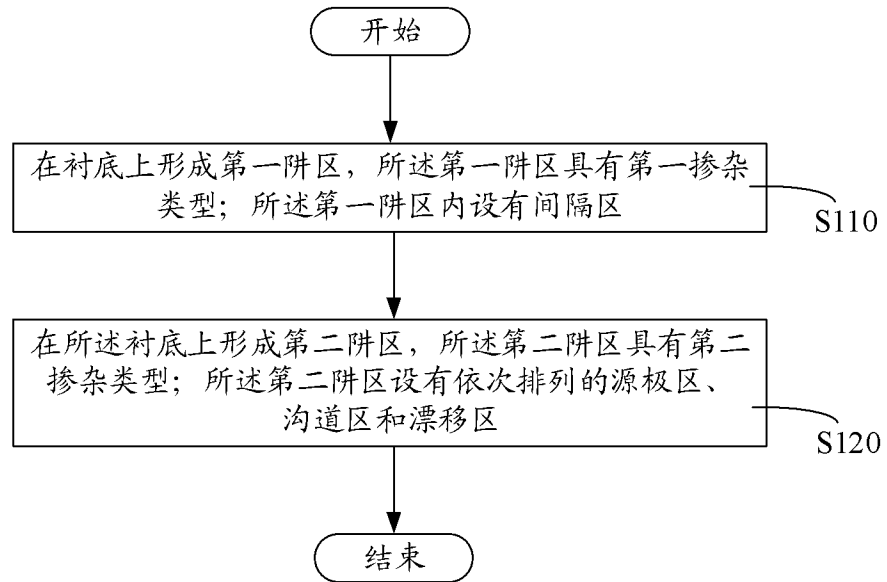


图 5

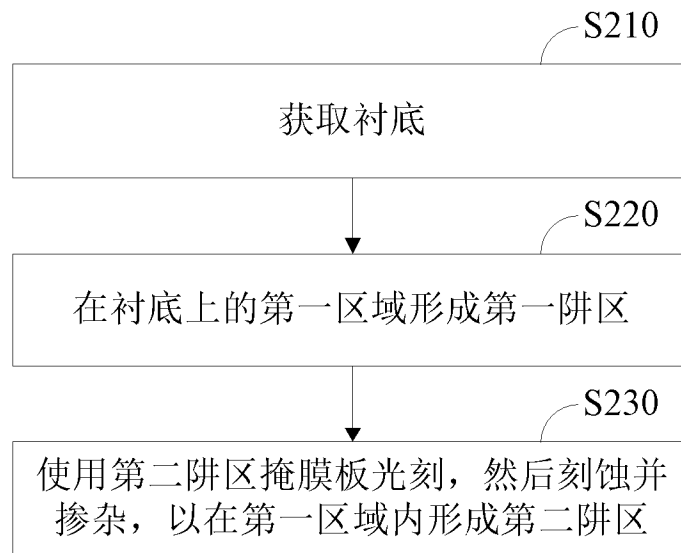


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/094229

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/-;H01L21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; SIPOABS; VEN; USTXT; EPTXT; WOTXT; CNKI: 结型场效应晶体管, 多个, 沟道, 指状, 梳状, junction field effect transistor, JFET, multiple, channel, finger, comb

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104900695 A (CSMC TECHNOLOGIES FAB1 CO., LTD.) 09 September 2015 (2015-09-09) description, paragraphs 31-60, and figures 1-9b	1-18
X	CN 103367400 A (MACRONIX INTERNATIONAL CO., LTD.) 23 October 2013 (2013-10-23) description, paragraphs 38-59, and figures 2-4 and 9A-16B	1-10
A	US 2010032729 A1 (TEXAS INSTRUMENTS INC.) 11 February 2010 (2010-02-11) entire document	1-18
A	US 2008272395 A1 (DSM SOLUTIONS INC.) 06 November 2008 (2008-11-06) entire document	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 September 2018

Date of mailing of the international search report

30 September 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/094229

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104900695	A	09 September 2015	CN	104900695	B	10 April 2018
CN	103367400	A	23 October 2013	CN	103367400	B	11 May 2016
US	2010032729	A1	11 February 2010	US	7989853	B2	02 August 2011
US	2008272395	A1	06 November 2008	WO	2008137724	A1	13 November 2008
				TW	200910470	A	01 March 2009

国际检索报告

国际申请号

PCT/CN2018/094229

A. 主题的分类

H01L 29/10(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L29/-;H01L21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;CNTXT;SIPOABS;VEN;USTXT;EPTXT;WOTXT;CNKI:结型场效应晶体管, 多个, 沟道, 指状, 梳状, junction field effect transistor, JFET, multiple, channel, finger, comb

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104900695 A (无锡华润上华半导体有限公司) 2015年 9月 9日 (2015 - 09 - 09) 说明书第31-60段, 图1-9b	1-18
X	CN 103367400 A (旺宏电子股份有限公司) 2013年 10月 23日 (2013 - 10 - 23) 说明书第38-59段, 图2-4、9A-16B	1-10
A	US 2010032729 A1 (TEXAS INSTRUMENTS INC) 2010年 2月 11日 (2010 - 02 - 11) 全文	1-18
A	US 2008272395 A1 (DSM SOLUTIONS INC) 2008年 11月 6日 (2008 - 11 - 06) 全文	1-18

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 9月 17日

国际检索报告邮寄日期

2018年 9月 30日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

黄宝莹

电话号码 86-(20)-28958381

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/094229

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104900695	A	2015年 9月 9日	CN	104900695	B	2018年 4月 10日
CN	103367400	A	2013年 10月 23日	CN	103367400	B	2016年 5月 11日
US	2010032729	A1	2010年 2月 11日	US	7989853	B2	2011年 8月 2日
US	2008272395	A1	2008年 11月 6日	WO	2008137724	A1	2008年 11月 13日
				TW	200910470	A	2009年 3月 1日

表 PCT/ISA/210 (同族专利附件) (2015年1月)