

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6808317号
(P6808317)

(45) 発行日 令和3年1月6日(2021.1.6)

(24) 登録日 令和2年12月11日(2020.12.11)

(51) Int.Cl.

F 1

H01L 27/146 (2006.01)

H01L 27/146

E

H04N 5/341 (2011.01)

H01L 27/146

D

H04N 5/369 (2011.01)

H04N 5/341

H04N 5/369

請求項の数 20 (全 36 頁)

(21) 出願番号

特願2015-237868 (P2015-237868)

(22) 出願日

平成27年12月4日(2015.12.4)

(65) 公開番号

特開2017-103429 (P2017-103429A)

(43) 公開日

平成29年6月8日(2017.6.8)

審査請求日

平成30年10月18日(2018.10.18)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100126240

弁理士 阿部 琢磨

(74) 代理人 100124442

弁理士 黒岩 創吾

(72) 発明者 田代 和昭

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72) 発明者 郷田 達人

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

審査官 田邊 順人

最終頁に続く

(54) 【発明の名称】撮像装置、および、撮像システム

(57) 【特許請求の範囲】

【請求項 1】

複数の画素回路が配された基板と、

前記基板の上に配され、光を受ける第1部分および遮光された第2部分を含む半導体層と、

前記半導体層と前記基板との間に配された配線層および層間絶縁膜と、

前記第1部分と前記第2部分とに対し、互いに独立にバイアス電圧を印加するバイアス電圧供給部と、

複数のマイクロレンズと、を有し、

前記複数のマイクロレンズの1つに対して、前記複数の画素回路の1つに対応する前記第1部分および前記第2部分の組が配され、

前記バイアス電圧供給部は第1電極と第2電極と第3電極と第4電極とを含み、

前記第1部分は前記第1電極と前記第2電極との間に配され、

前記第2部分は前記第3電極と前記第4電極との間に配される、

ことを特徴とする撮像装置。

【請求項 2】

前記第1電極と前記第3電極とが連続した導電層で構成され、

前記第2電極と前記第4電極とが互いに分離されている、

ことを特徴とする請求項1に記載の撮像装置。

【請求項 3】

10

20

前記第3電極の上に、または、前記第3電極と前記第2部分との間に、遮光層が配される、

ことを特徴とする請求項2に記載の撮像装置。

【請求項4】

前記遮光層は金属で構成され、

前記導電層と前記金属とが電気的に接続される、

ことを特徴とする請求項3に記載の撮像装置。

【請求項5】

前記遮光層に対する光の透過率は、前記導電層に対する光の透過率よりも低い、

ことを特徴とする請求項3または請求項4に記載の撮像装置。 10

【請求項6】

前記第1電極と前記第3電極とが互いに分離され、

前記第2電極と前記第4電極とが互いに分離されている、

ことを特徴とする請求項1に記載の撮像装置。

【請求項7】

前記第1電極に対する光の透過率が、前記第3電極に対する光の透過率より高い、

ことを特徴とする請求項6に記載の撮像装置。

【請求項8】

前記第3電極は金属で構成される、

ことを特徴とする請求項7に記載の撮像装置。 20

【請求項9】

前記半導体層と前記第2電極との間に第1の絶縁層が配される、

ことを特徴とする請求項1乃至請求項8のいずれか一項に記載の撮像装置。

【請求項10】

前記半導体層と前記第4電極との間に前記第1の絶縁層から延在した第2の絶縁層が配される、

ことを特徴とする請求項9に記載の撮像装置。

【請求項11】

前記基板の表面に平行な面において、前記第4電極が前記第2電極を囲むように配される、

ことを特徴とする請求項1乃至請求項10のいずれか一項に記載の撮像装置。 30

【請求項12】

前記画素回路は光電変換によって生じたホールに基づく信号を読み出し、

前記第1部分から前記第2部分へホールを転送する時に、前記第2の電極に供給される電圧 V_p および前記第4の電極に供給される電圧 V_m が、 $V_p > V_m$ の関係を満たす、
ことを特徴とする請求項1乃至請求項11のいずれか一項に記載の撮像装置。

【請求項13】

前記画素回路は光電変換によって生じたホールに基づく信号を読み出し、

前記半導体層の連続する部分は、前記第1部分と前記第2部分との間に配された転送領域を含み、 40

前記転送領域のポテンシャルを制御する転送電極が設けられ、

前記第1部分にホールを蓄積する時に、前記第2の電極に供給される電圧 V_p および前記転送電極に供給される電圧 V_t が、 $V_p < V_t$ の関係を満たし、

前記第1部分から前記第2部分へホールを転送する時に、前記電圧 V_p 、前記電圧 V_t および前記第4の電極に供給される電圧 V_m が、 $V_p > V_t > V_m$ の関係を満たす、
ことを特徴とする請求項1乃至請求項11のいずれか一項に記載の撮像装置。

【請求項14】

前記画素回路は光電変換によって生じた電子に基づく信号を読み出し、

前記第1部分から前記第2部分へ電子を転送する時に、前記第2の電極に供給される電圧 V_p および前記第4の電極に供給される電圧 V_m が、 $V_p < V_m$ の関係を満たす、 50

ことを特徴とする請求項 1 乃至請求項 1 1 のいずれか一項に記載の撮像装置。

【請求項 1 5】

前記画素回路は光電変換によって生じた電子に基づく信号を読み出し、

前記半導体層の連続する部分は、前記第 1 部分と前記第 2 部分との間に配された転送領域を含み、

前記転送領域のポテンシャルを制御する転送電極が設けられ、

前記第 1 部分に電子を蓄積する時に、前記第 2 の電極に供給される電圧 V_p および前記転送電極に供給される電圧 V_t が、 $V_p > V_t$ の関係を満たし、

前記第 1 部分から前記第 2 部分へ電子を転送する時に、前記電圧 V_p 、前記電圧 V_t および前記第 4 の電極に供給される電圧 V_m が、 $V_p < V_t < V_m$ の関係を満たす、

ことを特徴とする請求項 1 乃至請求項 1 1 のいずれか一項に記載の撮像装置。 10

【請求項 1 6】

前記半導体層の連続する部分は、前記第 1 部分と前記第 2 部分との間に配された転送領域を含み、

前記転送領域のポテンシャルを制御する転送電極が設けられる、

ことを特徴とする請求項 1 乃至請求項 1 1 のいずれか一項に記載の撮像装置。

【請求項 1 7】

前記複数の画素回路のそれぞれは、前記第 1 部分で生じた電荷に基づく信号を出力する增幅トランジスタを含む、

ことを特徴とする請求項 1 乃至請求項 1 6 のいずれか一項に記載の撮像装置。 20

【請求項 1 8】

前記複数のマイクロレンズの 1 つに対して、複数の前記第 1 部分および前記第 2 部分の組が配される、

ことを特徴とする請求項 1 乃至請求項 1 7 のいずれか一項に記載の撮像装置。

【請求項 1 9】

前記画素回路は、前記第 4 の電極に電気的に接続された増幅トランジスタと、

前記第 4 の電極にリセット電圧を供給するリセットトランジスタと、

前記第 4 の電極に電気的に接続された第 1 の端子、および、第 2 の端子を含む第 1 の容量と、

前記第 2 の端子へ、少なくとも第 1 の電圧、および、前記第 1 の電圧とは異なる第 2 の電圧を供給する電圧供給部と、を有し、

前記第 1 の電極に供給される電圧 V_s 、前記第 1 の電圧 V_{d1} 、前記第 2 の電圧 V_{d2} 、前記リセット電圧 V_{reset} 、前記第 1 の容量の容量値 C_1 、および、前記第 1 の電極と前記第 2 の電極とが形成する第 2 の容量の容量値 C_2 が、以下の式で表される関係を満たす、

【数 1】

$$\frac{C_1}{C_1 + C_2} > \frac{V_s - V_{reset}}{V_{d2} - V_{d1}}$$

40

ことを特徴とする請求項 1 に記載の撮像装置。

【請求項 2 0】

請求項 1 乃至請求項 1 9 のいずれか一項に記載の撮像装置と、

前記撮像装置から出力される信号を処理する信号処理装置と、を備える、

ことを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は撮像装置、および、撮像システムに関する。

50

【背景技術】**【0002】**

カメラのイメージセンサ等に用いられる撮像装置として、積層型の撮像装置が提案されている。特許文献1の図1に記載の撮像装置では、半導体基板の上に光電変換膜が配される。光電変換膜の上には透明電極が配され、光電変換膜と半導体基板との間には画素電極が配される。光電変換膜と画素電極との間には、絶縁膜が配されている。特許文献1によれば、このような構成により相關二重サンプリング(Correlated Double Sampling、以下CDS)が可能となるため、ノイズを低減できると記載されている。

【先行技術文献】

10

【特許文献】**【0003】**

【特許文献1】WO2012/004923号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

例えばグローバル電子シャッタ動作のように、複数の画素において同一の露光期間で電荷を蓄積し、その後、複数の画素から順に信号を読み出す動作を行う場合に、蓄積された電荷またはそれに基づく信号を受光領域とは別の場所で保持することが知られている。本発明者らは、光電変換膜の下に配された画素電極を含むノードを、信号を保持するノードとして用いることを見出した。しかし、特許文献1に記載の撮像装置においては、画素電極が、リセットトランジスタのソースを構成する拡散層、および、増幅トランジスタのゲートに接続されている。つまり、画素電極を含むノードが増幅部の入力ノードである。そのため、受光領域とは別の場所で信号を保持するために、画素電極を含むノードで信号を保持すると、CDSを行うことが困難であった。結果としてノイズが増加する可能性がある。

20

【0005】

このように、従来技術においては、グローバル電子シャッタ動作などを行う場合に、ノイズを低減することが難しいという課題がある。

【課題を解決するための手段】

30

【0006】

1つの実施形態に係る撮像装置は、複数の画素回路が配された基板と、前記基板の上に配され、光を受ける第1部分および遮光された第2部分を含む半導体層と、前記半導体層と前記基板との間に配された配線層および層間絶縁膜と、前記第1部分と前記第2部分とに対し、互いに独立にバイアス電圧を印加するバイアス電圧供給部と、複数のマイクロレンズと、を有し、前記複数のマイクロレンズの1つに対して、前記複数の画素回路の1つに対応する前記第1部分および前記第2部分の組が配され、前記バイアス電圧供給部は第1電極と第2電極と第3電極と第4電極とを含み、前記第1部分は前記第1電極と前記第2電極との間に配され、前記第2部分は前記第3電極と前記第4電極との間に配される、ことを特徴とする。

40

【発明の効果】**【0007】**

本発明に係るいくつかの実施例によれば、ノイズを低減すること可能である。

【図面の簡単な説明】**【0008】**

【図1】(a)撮像装置の画素の構成を模式的に示す図、(b)光電変換部の等価回路を示す図、(c)光電変換部の等価回路を示す図。

【図2】撮像装置の全体の構成を模式的に示す図。

【図3】撮像装置の列回路の等価回路を示す図。

【図4】(a)撮像装置の平面構造を模式的に示す図、(b)撮像装置の断面構造を模式

50

的に示す図、(c)撮像装置の平面構造を模式的に示す図。

【図5】(a)撮像装置の平面構造を模式的に示す図、(b)撮像装置の断面構造を模式的に示す図。

【図6】(a)～(c)撮像装置の画素の構成を模式的に示す図、(d)～(f)撮像装置のポテンシャルを模式的に示す図。

【図7】撮像装置の光電変換部のエネルギー帯を模式的に示す図。

【図8】撮像装置に用いられる駆動信号のタイミングチャートを示す図。

【図9】撮像装置に用いられる駆動信号のタイミングチャートを示す図。

【図10】撮像装置の画素の構成を模式的に示す図。

【図11】撮像装置の画素の構成を模式的に示す図。

【図12】撮像装置の画素の構成を模式的に示す図。

【図13】撮像装置の平面構造を模式的に示す図。

【図14】(a)撮像装置の平面構造を模式的に示す図、(b)撮像装置の画素の構成を模式的に示す図。

【図15】撮像装置の画素の構成を模式的に示す図。

【図16】撮像装置の画素の構成を模式的に示す図。

【図17】撮像装置の平面構造を模式的に示す図。

【図18】撮像装置の画素の構成を模式的に示す図。

【図19】(a)撮像装置の平面構造を模式的に示す図、(b)撮像装置の断面構造を模式的に示す図。

【図20】撮像装置の画素の構成を模式的に示す図。

【図21】光電変換システムの実施例のブロック図。

【発明を実施するための形態】

【0009】

本発明に係る1つの実施形態は、複数の画素を含む撮像装置である。各画素は、光電変換部と、光電変換部で生じた電荷に基づく信号を読み出すための画素回路とを含む。本実施形態の撮像装置は、画素回路が配された基板と、当該基板の上に配された半導体層とを含む。半導体層は、光を受ける第1部分と、遮光された第2部分（電荷保持領域）とを含む。撮像装置は、さらに、第1部分と第2部分とに対して互いに独立にバイアス電圧を印加するバイアス電圧供給部を備える。

【0010】

第1部分と第2部分とに対して互いに独立にバイアス電圧を印加するバイアス電圧供給部を備える構成によれば、第1部分を受光領域として用い、第2部分を電荷保持領域として用いることができる。そのため、以下に挙げる効果の少なくとも1つを得ることができる。なお、信号を電荷保持領域に保持させるための方法は特に限定されない。例えば、受光領域に生じた信号電荷を電荷保持領域に転送することができる。あるいは、信号電荷に基づく受光領域の電位変化を容量結合などにより伝達することができる。

【0011】

半導体層の中に、光を受ける受光領域の他に、電荷を保持する電荷保持領域が配されるため、露光期間の終了から信号を読み出すまでの間、露光期間に生じた信号電荷に基づく信号を電荷保持領域に保持することができる。したがって、このような構成によれば、グローバル電子シャッタ動作を行う場合などに、相関二重サンプリング（Correlated Double Sampling、以下CDS）などのノイズ低減処理を容易に行うことができる。結果として、ノイズを低減することができる。なお、グローバル電子シャッタ動作は、複数の画素において同一の露光期間で電荷を蓄積し、その後、複数の画素から順に信号を読み出す動作の一例である。

【0012】

また、電荷保持領域は遮光されるため、電荷保持領域が信号電荷を保持している間に光電変換により生じた電荷が電荷保持領域に混入することを抑制できる。結果として、ノイズを低減することができる。

10

20

30

40

50

【0013】

半導体層においては、暗電流を低減する技術を適用することができる。したがって、半導体層に電荷保持領域が配されるため、信号電荷を保持している間にノイズの原因となる電荷が混入することを抑制できる。

【0014】

別の形態としては、第1部分を受光領域として用い、第2部分をOB(Optical Block)領域として用いることができる。そのため、受光領域からの信号とOB領域からの信号との差分処理を行うことで、暗電流などによるノイズを除去することができる。結果として、ノイズの少ない撮像信号を得ることができる。

【0015】

以下では、本発明の実施例について図面を用いて詳細に説明する。本発明は以下に説明される実施例のみに限定されない。本発明の趣旨を超えない範囲で以下に説明される実施例の一部の構成が変更された変形例も、本発明の実施例である。また、以下のいずれかの実施例の一部の構成を、他の実施例に追加した例、あるいは他の実施例の一部の構成と置換した例も本発明の実施例である。

【実施例1】**【0016】**

本発明に係る実施例を説明する。図1(a)に本実施例の撮像装置の画素100の概略図を示す。撮像装置は、画素100の画素回路が配された基板(不図示)と当該基板の上に配された半導体層108を備える。図1(a)は1つの画素100だけを示しているが、本実施例の撮像装置は複数の画素100を含む。

【0017】

画素100は、半導体層108に配された、受光領域101、電荷転送領域102、および、電荷保持領域103を含む。つまり、受光領域101は半導体層108の第1部分であり、電荷保持領域103は半導体層108の第2部分である。半導体層108は、シリコンなどの無機半導体で構成されうる。あるいは、半導体層108は有機半導体により構成されうる。

【0018】

半導体層108の上には、受光領域101、電荷転送領域102、および、電荷保持領域103に対してバイアス電圧を印加する上部電極S106が配される。上部電極S106は電源VS104に接続される。電源VS104は、電圧Vsを供給する。本実施例では、上部電極S106が受光領域101および電荷保持領域103の両方にバイアス電圧を印加する。そのため、上部電極S106は、受光領域101の上、および、電荷保持領域103の上に連続して延在した導電層によって構成される。別の観点で言えば、上部電極S106の第1の部分(第1の電極)が受光領域101にバイアス電圧を印加し、上部電極S106の第2の部分(第3の電極)が、電荷保持領域103にバイアス電圧を印加する。なお、上部電極S106の第1の部分(第1の電極)と第2の部分(第3の電極)とは互いに分離されていてもよい。

【0019】

画素100は、さらに、受光領域101にバイアス電圧を印加する電極P(第2の電極)110と、電極P110に接続された電源VP113を含む。電源VP113は電圧Vpを供給する。画素100は、さらに、電荷保持領域103にバイアス電圧を印加する電極M(第4の電極)112を含む。上部電極S106の第1の部分(第1の電極)と電極P110との間に、半導体層108の受光領域101が配される。上部電極S106の第2の部分(第3の電極)と電極M112との間に、半導体層108の電荷保持領域103が配される。

【0020】

電極P110と、電極M112とには、互いに電気的に分離されている。このような構成により、受光領域101と電荷保持領域103とに互いに独立してバイアス電圧を印加することができる。本実施例においては、電極P110および電極M112が、半導体層

108の受光領域（第1部分）101と電荷保持領域（第2部分）103とに対し、互いに独立にバイアス電圧を印加するバイアス電圧供給部を構成する。なお、受光領域101と電荷保持領域103とに互いに独立してバイアス電圧を印加しない場合は、電極P110と電極M112とが連続して構成されてもよい。また、電荷保持領域103にバイアス電圧を印加しない場合は、電極M112を省略することができる。

【0021】

上部電極S106は所定の量の光を透過させるように構成される。例えば、透明な導電材料であるITO(Indium Tin Oxide)層や薄膜化された金属層が上部電極S106に用いられる。つまり、受光領域101は光を受けるように構成される。本実施例では、電荷転送領域102の上、および、電荷保持領域103の上に、入射光を遮る遮光層105が配される。つまり、電荷保持領域103は遮光されている。電荷転送領域102の上に遮光層105の一部が配されることにより、電荷転送中に電荷転送領域102で電荷が発生することを抑制できる。これによりノイズを低減することができる。また、電荷保持領域103の上に遮光層105の一部が配されることにより、電荷保持領域103に電荷を保持している間に電荷保持領域103で電荷が発生することを抑制できる。これによりノイズを低減することができる。

【0022】

上部電極S106と半導体層108との間には、上部電極S106から半導体層108への電荷の注入を低減するためのブロッキング層107が配されている。ブロッキング層107は、半導体層108とは異なるバンドギャップを持つ材料で構成されうる。あるいは、ブロッキング層107は、半導体層108とは異なる不純物濃度を持つ材料で構成されうる。電極P110と半導体層108との間には、絶縁層109が配される。絶縁層109は、さらに、電極M112と半導体層108との間、および、転送電極T111との間に延在している。なお、本実施例の変形例では、ブロッキング層107および絶縁層109のいずれか一方または両方が省略される。

【0023】

受光領域101と電荷保持領域103との間には、電荷転送領域102が配される。画素100は、電荷転送領域102に印加するバイアス電圧を制御する転送電極T111と、転送電極T111に接続された電源VT114を含む。電源VT114は電圧Vtを供給する。なお、本実施例の変形例では、電荷転送領域102および転送電極T111が省略される。

【0024】

電極M112には、第1の容量Cm116を介して電源VD115から電圧Vmが供給される。画素100は、電極M112に接続されたリセットトランジスタ117および増幅トランジスタ118を含む。さらに、画素100は増幅トランジスタ118と出力線120の間の電気経路に配された選択トランジスタ119を含む。リセットトランジスタ117、増幅トランジスタ118、および、選択トランジスタ119は画素回路に含まれる素子の例である。増幅トランジスタ118は、受光領域101で生じた電荷に基づく信号を出力する。リセットトランジスタ117は、増幅トランジスタ118の入力ノードの電圧をリセットする。選択トランジスタ119は増幅トランジスタ118と出力線120との接続を制御する。1つの出力線120に複数の画素100が接続される。複数の画素100が複数の画素列を含む画素アレイを構成する場合には、各画素列に1つあるいは複数の出力線120が配される。出力線120には、電流源121、および、列アンプ301が接続される。増幅トランジスタ118および電流源121はソースフォロア回路を構成する。画素100から出力線120に出力された信号は、列アンプ301に入力される。

【0025】

リセットトランジスタ117、増幅トランジスタ118、および、選択トランジスタ119は、不図示の基板に配される。基板は例えばシリコン基板である。半導体層108は増幅トランジスタ118を含む画素回路の配された基板の上に配される。別の観点で言えば、半導体層108は画素回路の配された基板に積層されている。

【0026】

図1(b)、(c)は、電荷保持領域103を含む電荷保持部の等価回路図の例を示している。本実施例において、電荷保持部は、半導体層108と絶縁層109とを含む。したがって、電荷保持部は、上部電極S106と電極M112との間の容量成分を含む。図1(b)、(c)の等価回路は、この容量成分を上部電極S106および電極M112の間に配された第2の容量123として示している。なお、図1(b)は、電荷保持部がブロッキング層107を含む実施例を示している。そのため、ブロッキング層107および半導体層108がダイオードの回路記号124で示されている。図1(c)は、半導体層がブロッキング層を含まない実施例を示している。そのため、半導体層108が抵抗の回路記号125で示されている。半導体層108の構造は後述する。

10

【0027】

本実施例において、受光領域101、および、電荷保持領域103は、半導体層108の連続する部分に配されている。半導体層108の連続する部分は、例えば、半導体層108のうちほぼ均質な材料により構成された部分である。撮像装置の製造時には製造誤差が生じる。そのため、半導体層108の連続する部分は、製造誤差に起因した材質の違いを含んでもよい。つまり、別の観点では、半導体層108の連続する部分は、半導体層108のうち同時に形成される部分である。半導体層108の連続する部分が同時に形成された後に、その一部のみに加工が行われてもよい。したがって、半導体層108の連続する部分は、互いに異なる厚さあるいは互いに異なる幅を有する複数の部分を含んでいてもよい。

20

【0028】

画素100の各部の機能について説明する。半導体層108の受光領域101、上部電極S106の受光領域101の上に配された第1の部分(第1の電極)、電極P110、および、半導体層108と電極P110との間に配された絶縁層109が、光電変換部を構成する。光電変換部は、入射光に応じて信号電荷を生成し、また、入射光によって生成された電荷を信号電荷として蓄積する。上部電極S106と電極P110との間に印加される電圧に応じて、光電変換部における信号電荷の蓄積、および、光電変換部からの信号電荷の排出または転送を制御することができる。

【0029】

半導体層108の電荷保持領域103、上部電極S106の電荷保持領域103の上に配された第2の部分(第3の電極)、電極M112、および、半導体層108と電極M112との間に配された絶縁層109が、電荷保持部を構成する。電荷保持部は、信号電荷を光電変換部とは別の場所で保持する。電極M112に供給されるバイアス電圧を制御することで、電荷保持部から信号を読み出すことができる。

30

【0030】

半導体層108の電荷転送領域102、上部電極S106、転送電極T111、および、半導体層108と転送電極T111との間に配された絶縁層109が、電荷転送部を構成する。本実施例では、受光領域101と電荷保持領域103とが、電荷転送領域102を介して、半導体層108の連続する部分に配されている。このような構成により、電荷転送部は、受光領域101に蓄積された電荷を、電荷保持領域103に転送することができる。電荷の転送は、転送電極T111に供給されるバイアス電圧によって制御される。

40

【0031】

本実施例においては、連続して形成された半導体層108の異なる部分に、受光領域101、電荷転送領域102、電荷保持領域103が配される。そして、それぞれの領域を互いに独立に制御している。これにより、受光領域101、電荷転送領域102、および、電荷保持領域103は、互いに異なる機能を実現している。受光領域101は、光電変換による電荷の生成の機能と電荷の蓄積の機能とを有する。電荷転送領域102は、受光領域101から電荷保持領域103への電荷転送の機能を有する。電荷保持領域103は、受光領域101とは独立して、電荷を保持する機能を有する。

【0032】

50

次に、画素 100 の画素回路について説明する。電極 M112 と増幅トランジスタ 118 のゲートとは互いに電気的に接続される。図 1 (a) に示されるように、電極 M112 と増幅トランジスタ 118 のゲートとが短絡されてもよい。あるいは、電極 M112 と増幅トランジスタ 118 との間の電気経路にスイッチが配されてもよい。

【0033】

図 1 (a) においては、電極 M112 と増幅トランジスタ 118 のゲートとにより構成されるノードが、ノード B として示されている。ノード B は、電気的にフローティングとすることが可能である。ノード B が電気的にフローティングになることにより、ノード B の電圧が、電荷保持領域 103 に保持された電荷に応じて変化しうる。このような構成により、電荷保持領域 103 に保持された、光電変換で生じた電荷に基づく信号を、増幅トランジスタ 118 に入力することができる。増幅トランジスタ 118 は、入力された信号を増幅し、そして、出力線 120 に出力する。

【0034】

画素 100 の画素回路は、電極 M112 の電圧をリセットするリセットトランジスタ 117 を有する。リセットトランジスタ 117 は、リセット電圧 V_{res} を電極 M112 および増幅トランジスタ 118 のゲートに供給する。つまり、リセットトランジスタ 117 は増幅トランジスタ 118 の入力ノード（ノード B）の電圧をリセットする。リセットトランジスタ 117 は、オンとオフとが切り替えられるように制御される。リセットトランジスタ 117 がオンすることで、ノード B にリセット電圧 V_{res} が供給される。リセットトランジスタ 117 がオフすることで、ノード B は電気的にフローティングになる。

【0035】

電極 M112 には、第 1 の容量 C_{m116} が電気的に接続される。電極 M112 と第 1 の容量 C_{m116} とが短絡されてもよい。あるいは、電極 M112 と第 1 の容量 C_{m116} との間の電気経路にスイッチが配されてもよい。

【0036】

第 1 の容量 C_{m116} は、例えば、絶縁体を間に挟んで対向する 2 つの電極により構成される。2 つの電極はポリシリコンや金属などの導電材料で構成される。あるいは、第 1 の容量 C_{m116} は、半導体領域と、当該半導体領域の上にゲート絶縁膜を介して配されたゲート電極とを含んで構成される。第 1 の容量 C_{m116} に含まれる半導体領域は、トランジスタのソース領域やドレイン領域よりも高い不純物濃度を有することが好ましい。ゲート電極は、ポリシリコンや金属などの導電材料で構成される。

【0037】

第 1 の容量 C_{m116} は、電極 M112 に電気的に接続された第 1 の端子と、第 1 の端子とは別の第 2 の端子とを含む。それぞれの端子は、金属、ポリシリコンなどの導電材料、あるいは、半導体領域で構成されうる。第 2 の端子には、所定の電圧が供給される。本実施例では、第 2 の端子が電源 V_{D115} に接続され、電源 V_{D115} から複数の電圧が供給される。あるいは、第 2 の端子は接地されてもよい。図 1 (a) において、ノード B が第 1 の端子を含み、ノード C が第 2 の端子を含む。

【0038】

続いて、画素 100 の制御について説明する。まず、露光期間においては、受光領域 101 に逆バイアスがかかるように、上部電極 S106 と電極 P110 の電圧を制御する。これにより、受光領域 101 に発生した信号電荷は、露光期間中、受光領域 101 に蓄積される。次に、受光領域 101 に保持された電荷を電荷保持領域 103 に転送するために、電極 P110、転送電極 T111、および、電極 M112 の電圧を制御する。例えば、電荷保持領域 103 のポテンシャルを、受光領域 101 のポテンシャルより低くすることで電荷を転送することができる。電荷転送により、露光期間が経過した後、信号電荷は電荷保持領域 103 に保持される。

【0039】

そして、電荷保持領域 103 に保持された信号を読み出す時には、半導体層 108 を空乏化する。具体的には、半導体層 108 の電荷を上部電極 S106 へ排出する。上部電極

10

20

30

40

50

S 1 0 6 と電極 M 1 1 2 との間の電圧を制御することで電荷を排出できる。本実施例では、そのために、第 1 の容量 C m 1 1 6 の第 2 の端子の電圧を制御している。電源 V D 1 1 5 が、第 1 の電圧と、第 1 の電圧とは異なる第 2 の電圧とを、電圧 V d として第 1 の容量 C m 1 1 6 の第 2 の端子へ供給する。なお、本実施例の変形例においては、不図示の電源 V M が、第 1 の電圧と、第 1 の電圧とは異なる第 2 の電圧とを、電圧 V m として電極 M 1 1 2 に供給する。本実施例の別の変形例においては、電源 V S 1 0 4 が、第 1 の電圧と、第 1 の電圧とは異なる第 2 の電圧とを、電圧 V s として上部電極 S 1 0 6 に供給する。これらの変形例では、第 1 の容量 C m 1 1 6 の第 2 の端子は接地されるか、または、第 1 の容量 C m 1 1 6 が省略される。

【 0 0 4 0 】

10

電極 M 1 1 2 とは別のノードの電圧を制御した際の動作について説明する。上部電極 S 1 0 6 の電圧、あるいは、第 1 の容量 C m 1 1 6 の第 2 の端子の電圧が変化した際に、電極 M 1 1 2 の電圧は、第 1 の容量 C m 1 1 6 の容量値と、上部電極 S 1 0 6 と電極 M 1 1 2 とが形成する第 2 の容量 1 2 3 の容量値との比に応じて変化する。画素の等価回路において、第 1 の容量 C m 1 1 6 と第 2 の容量 1 2 3 とは直列に接続された 2 つの容量として表され、そして、2 つの容量の間のノードに電極 M 1 1 2 (ノード B) が含まれるからである。

【 0 0 4 1 】

本実施例においては、電極 M 1 1 2 の電圧、あるいは、第 1 の容量 C m 1 1 6 の第 2 の端子の電圧と、リセットトランジスタ 1 1 7 の供給する電圧 V r e s と、第 1 の容量 C m 1 1 6 の容量値と、第 2 の容量 1 2 3 の容量値とが、所定の関係を有している。この関係を満たすことにより、電極 M 1 1 2 の電圧が変化しても、半導体層 1 0 8 を空乏化する電圧を第 2 電荷保持領域の上部電極 S 1 0 6 と電極 M 1 1 2 との間に印加することができる。したがって、半導体層から排出されない電荷の量を低減することができる。結果として、ノイズを低減することができる。

20

【 0 0 4 2 】

30

以上に説明した制御により、グローバル電子シャッタ動作が可能である。具体的には、複数の画素 1 0 0 において同時にあるいは一括で、光電変換部による信号電荷の蓄積、および、電荷保持部への電荷転送を行う。続いて、複数の画素 1 0 0 から順に信号を読み出す。本実施例では、信号が読み出されるまでの間、信号電荷が半導体層 1 0 8 の電荷保持領域 1 0 3 に保持される。したがって、半導体層 1 0 8 で生じる暗電流を抑制することで、保持されている信号電荷に加わるノイズを低減することができる。また、電荷保持領域 1 0 3 は、增幅トランジスタ 1 1 8 の入力ノードとは電気的に分離されているため、C D S などによりノイズを低減することができる。

【 0 0 4 3 】

画素 1 0 0 の各部に印加される電圧について説明する。本実施例では、光電変換により生成した電荷のうち、ホールを信号電荷として利用する場合を説明する。なお、本明細書では、特に断りがない限り、接地されたノードの電圧を基準の 0 V としている。

【 0 0 4 4 】

40

上部電極 S 1 0 6 には電源 V S 1 0 4 から所定の電圧 V s (本実施例では 6 V) の電圧が供給される。光電変換部の電極 P 1 1 0 には、電源 V P 1 1 3 から所定の電圧 V p (本実施例では 3 V) が供給される。電圧 V s と電圧 V p とは、受光領域 1 0 1 のホールに対して逆バイアスが印加されるような関係を持っている。光電変換により生成したホールは、受光領域 1 0 1 の半導体層 1 0 8 と絶縁層 1 0 9 の界面付近に蓄積される。半導体層 1 0 8 の受光領域 1 0 1 以外の部分は、遮光層 1 0 5 で遮光されている。したがって、光電変換は主として受光領域 1 0 1 で行われる。

【 0 0 4 5 】

50

本実施例では、信号電荷がホールであるから、電極 P 1 1 0 の電圧 V p は転送電極 T 1 1 1 の電圧 V t よりも低い。図 4 の説明で述べるように、基板の表面と平行な面において、転送電極 T 1 1 1 は、電極 P 1 1 0 の周囲を囲うように配されている。よって電圧 V p

<電圧 V_t と設定することにより、電極 P 110 の近傍に配された受光領域 101 にポテンシャルの井戸が形成される。光電変換で生成されたホールは、受光領域 101 のポテンシャル井戸に効率的に収集される。また転送電極 T 111 の電圧 V_t がポテンシャル障壁を形成するため、受光領域 101 に蓄積された電荷の漏れ出しを低減することができる。信号電荷が電子の場合、電極 P 110 の電圧 V_p は転送電極 T 111 の電圧 V_t よりも高く設定される。

【0046】

本実施例では、電源 VD115 が、第 1 の容量 Cm116 の第 2 の端子に、少なくとも第 1 の電圧 $V_d 1$ と、第 1 の電圧 $V_d 1$ とは異なる第 2 の電圧 $V_d 2$ を供給する。本実施例では信号電荷がホールであるから、第 2 の電圧 $V_d 2$ は第 1 の電圧 $V_d 1$ より高い電圧である。本実施例では、第 1 の電圧 $V_d 1$ は 2 V であり、第 2 の電圧 $V_d 2$ は 8 V である。信号電荷が電子の場合、第 2 の電圧 $V_d 2$ は第 1 の電圧 $V_d 1$ より低い電圧である。信号電荷が電子の場合、例えば、第 1 の電圧 $V_d 1$ が 8 V であり、第 2 の電圧 $V_d 2$ が 2 V である。

【0047】

信号電荷がホールの場合、リセット電圧 V_{reset} は、上部電極 S106 に供給される電圧 V_s よりも低い電圧である。信号電荷が電子の場合、リセット電圧 V_{reset} は、上部電極 S106 に供給される電圧 V_s よりも高い電圧である。本実施例では、ホール信号を利用しているので、上部電極 S106 に供給される電圧 V_s は 6 V、リセット電圧 V_{reset} は 3 V である。

【0048】

本実施例では、ノード C に複数の電圧を含む電圧 V_d を供給することで、第 1 の容量 Cm116 を介してノード C と容量結合しているノード B の電圧 V_m を電源 VD115 が制御する。そのため、ノード C に供給される電圧 V_d と、リセット電圧 V_{reset} あるいは上部電極 S106 に供給される電圧 V_s との直線的な大小関係は特に制限されない。

【0049】

本実施例では、電極 P 110 に供給される電圧 V_p と、転送電極 T 111 に供給される電圧 V_t と、電極 M 112 に供給される電圧 V_m を制御することで、受光領域 101 に蓄積された信号電荷を電荷保持領域 103 へ速やかに、かつ、完全に転送する。信号電荷がホールの場合、電圧 $V_p > 電圧 V_t > 電圧 V_m$ という関係により、電荷を転送することができる。信号電荷が電子の場合、電圧 $V_p < 電圧 V_t < 電圧 V_m$ という関係により、電荷を転送することができる。

【0050】

図 2 は、本実施例の撮像装置の全体の回路構成を模式的に示す図である。図 2 には、4 行 4 列の行列状に配された 16 個の画素 100 が示されている。1 つの列に含まれる複数の画素 100 が、1 つの出力線 120 に接続される。行駆動回路 201 は、画素 100 に駆動信号 p_{RES} 、駆動電圧 p_{VP} （電極 P 110 の電圧 V_P ）、駆動電圧 p_{VT} （転送電極 T 111 の電圧 V_t ）、駆動電圧 p_{VD} （ノード C の電圧 V_d ）、および、駆動信号 p_{SEL} を供給する。図 1(a) のリセットトランジスタ 117 のゲートに駆動信号 p_{RES} が供給される。選択トランジスタ 119 のゲートに駆動信号 p_{SEL} が供給される。これらの駆動信号によって、リセットトランジスタ 117、および、選択トランジスタ 119 が制御される。1 つの行に含まれる複数の画素 100 は共通の駆動信号線に接続される。駆動信号線は、上述の駆動信号 p_{RES} 、駆動信号 p_{SEL} などを伝達する配線である。なお、図 2 では、異なる行に供給される駆動信号を区別するために、(n)、(n+1) などの行を表す符号を付している。他の図面でも同様である。図 2 においては、遮光層 105 の図示は省略されている。

【0051】

本実施例では、第 1 の容量 Cm116 の第 2 の端子（ノード C）に供給される電圧 V_d は、行ごとに独立して制御される。そのため、行駆動回路 201 が電圧供給部 203 から電圧 V_d の供給される行を選択する。なお、異なる行に供給される電圧 V_d を区別するた

10

20

30

40

50

めに、(n)、(n+1)などの行を表す符号を付している。本実施例では、グローバル電子シャッタ動作を行う場合を説明する。この場合駆動電圧pVP、駆動電圧pVT、駆動電圧pVDは、全行で一括駆動される。しかしローリングシャッタ動作を行うこともできる。その場合は、各行ごとに制御される。以上に説明した構成により、本実施例では、複数の画素100を行ごとに駆動することができる。

【0052】

それぞれの出力線120は、対応する列回路204に接続される。図1に示された列アンプ301は、列回路204に含まれる。列駆動回路202は、列回路204を列ごとに駆動する。具体的には、列駆動回路202は、駆動信号CSELを複数の列回路204に供給している。なお、異なる列に供給される駆動信号を区別するために、(m)、(m+1)などの列を表す符号を付している。他の図面でも同様である。このような構成により、行ごとに並列に読み出された信号を、順次、出力部に出力することができる。10

【0053】

列回路204について詳細に説明する。図3は、m列目およびm+1列目の列回路204の等価回路を示している。他の列の列回路204の図示は省略されている。

【0054】

出力線120の信号は、列アンプ301によって増幅される。列アンプ301の出力ノードは、S/Hスイッチ302を介して容量CTSに接続される。また、列アンプ301の出力ノードは、S/Hスイッチ303を介して容量CTNに接続される。S/Hスイッチ302およびS/Hスイッチ303は、それぞれ、駆動信号pTSおよび駆動信号pTNによって制御される。このような構成により、画素100からのリセットノイズを含むノイズ信号Nと、光信号Sとを保持することができる。したがって、本実施例の撮像装置は相關二重サンプリングを行うことが可能である。つまりリセットノイズを除去した信号読み出しをすることができる。20

【0055】

容量CTSは、水平転送スイッチ304を介して水平出力線306に接続される。容量CTNは、水平転送スイッチ305を介して水平出力線307に接続される。水平転送スイッチ304および305は、列駆動回路からの駆動信号CSELによって制御される。

【0056】

水平出力線306と水平出力線307とはいずれも出力アンプ122に接続される。出力アンプ122は、水平出力線306の信号と水平出力線307の信号との差分信号を増幅して出力する。増幅された信号は、アナログデジタル変換部205に入力され、アナログ信号からデジタル信号へ変換され、それから、撮像装置の外部へ出力される。30

【0057】

なお、列回路204はアナログデジタル変換回路であってもよい。この場合、アナログ-デジタル変換回路は、メモリやカウンタなどのデジタル信号を保持する保持部を有する。保持部には、ノイズ信号Nおよび光信号Sがそれぞれデジタル信号に変換されて保持される。

【0058】

次に、本実施例の撮像装置の平面構造、および、断面構造について説明する。図4(a)は、撮像装置の平面構造を模式的に示している。図1と同じ部分には、同じ符号を付してある。図4(a)は2行2列の画素100を示している。図4(a)は、画素回路の配された基板の表面と平行な面における電極P110、転送電極T111、および、電極M112の配置を模式的に示している。40

【0059】

図4(b)は、撮像装置の断面構造を模式的に示している。図4(b)に示された断面は、図4(a)における一点破線A-Bに沿った断面に対応する。図1と同じ部分には、同じ符号を付してある。図4(b)は、マイクロレンズ401、平坦化層402、カラーフィルタ403、半導体層108と基板との間に配される層間膜404が示されている。半導体層108には、受光領域101、電荷転送領域102、および、電荷保持領域1050

3が示されている。なお、層間膜404には電極と画素回路とを接続する不図示の導電部材が配されている。

【0060】

図4(b)が示す通り、電極P110、転送電極T111、および、電極M112は、それらの重心が一致するように、配される。このような構成によれば、マイクロレンズ401が光電変換部(受光領域101および電極P110)に効率的に入射光をフォーカスすることができる。光電変換部の電界分布と光入射分布とが揃うため、光電変換によって発生した電荷が効率的に受光領域101に収集される。

【0061】

図4(a)の示す平面において、転送電極T111は、電極P110を囲うように配されている。このような配置により、受光領域101に蓄積された電荷を、素早く電荷保持領域103に転送することができる。結果として、撮像装置の駆動を高速化することができる。また、転送電極T111に印加されるバイアス電圧によりポテンシャル障壁を形成することができる。これにより、生成された電荷を効率よく受光領域101に収集することができ、また、収集された電荷が電荷保持領域103や隣接する画素にもれることを抑制できる。電荷転送中には、速やかにかつ完全に電荷転送できるようになっている。

10

【0062】

図4(c)は遮光層105の平面構造を模式的に示す。点線は電極P110、転送電極T111、電極M112の形状を示す。

20

【0063】

次に、基板に配された画素回路の平面構造、および、断面構造について説明する。図5(a)は、基板に配された画素回路の平面視における配置を模式的に示している。つまり、図5(a)は、画素回路を基板の表面と平行な面に投影したときの配置を示している。図5(b)は、基板550、ならびに、基板550の上に積層された層間膜404および半導体層108の断面構造を模式的に示している。図5(b)に示された断面は、図5(a)における一点破線X-Yに沿った断面に対応する。なお、図1と同じ機能を有する部分には同じ符号を付してある。ただし、トランジスタについては対応するゲート電極に符号が付されている。また、駆動信号線を構成する導電部材には、当該駆動信号線に供給される駆動信号と同じ符号が付されている。例えば、pRESの符号が付された導電部材は、駆動信号pRESを供給するための駆動信号線を構成する。

30

【0064】

図5(a)は、2行2列の行列状に配された4つの画素100を示している。右上の画素にのみ点線で、図4(a)の電極P110、転送電極T111、電極M112に相当する部分を示してある。その他の画素では省略してある。図5(a)には、第1の容量Cm116の第1の端子を構成する電極502および第2の端子を構成する電極503が示されている。電極502と電極503とは平面視において重なるように配置されている。

【0065】

図5(a)に示されるように、第1の容量Cm116の第1の端子を構成する電極502と増幅トランジスタ118とがコンタクト501を介して電気的に接続される。第1の容量Cm116の第1の端子を構成する電極502と電極M112とは、コンタクト506を介して電気的に接続される。容量Cm116の第2の端子を構成する電極503と駆動信号線pVDとは、コンタクト507を介して接続される。また、コンタクト504は、転送電極T111と駆動信号線pVTを接続する。コンタクト505は電極P110と駆動信号線pVPを接続する。

40

【0066】

図5(a)および図5(b)が示すように、第1の容量Cm116の電極503は、駆動信号線pVDに接続される。駆動信号線pVDは、電源Vd115からの電圧Vdを伝達する。本実施例では、駆動信号線pVDが行ごとに配される。つまり、ある行の駆動信号線pVDと、他の行の駆動信号線pVDとは電気的に絶縁される。このような構成により、行ごとに独立して第1の容量Cm116の第2の端子(ノードC)の電圧Vdを制御

50

することができる。

【0067】

図5(b)が示すように、撮像装置は基板550を含む。基板550には、画素トランジスタのソース領域およびドレイン領域が配される。画素トランジスタとは、画素回路に含まれるトランジスタであり、例えば、リセットトランジスタ117、増幅トランジスタ118、および、選択トランジスタ119である。基板550の上に、画素トランジスタのゲート電極、および、配線を構成する導電部材を含む層間膜404が配される。層間膜404の上に、絶縁層109、および、半導体層108が配される。

【0068】

上部電極S106は、所定の量の光を透過させる導電部材で構成される。例えば、ITO(Indium Tin Oxide)などのインジウム、および/または、スズを含む化合物や、ZnOなどの化合物が、上部電極S106の材料として用いられる。このような構成によれば、多くの光を受光領域101に入射させることができる。そのため、感度を向上させることができる。他の例として、所定の量の光が透過する程度の薄さを有するポリシリコンや金属を、上部電極S106として用いてもよい。金属は抵抗が低いため、金属を上部電極S106の材料に用いた実施例は、低消費電力化あるいは駆動の高速化に有利である。なお、上部電極S106の光の透過率は、ゼロでなければ、特に限定されない。

【0069】

遮光層105は、光の透過率が低い材料が用いられる。好適には、上部電極S106に対する光の透過率よりも低い透過率を有する材行が用いられる。遮光層105には、例えば、金属、有機樹脂などの材料が用いられる。遮光層105に金属が用いられる場合、遮光層105と上部電極S106とが電気的に接続される。このような構成により、上部電極S106の抵抗を実効的に下げるため、動作を高速化することができる。なお、本実施例では遮光層105は、上部電極S106の上に配されている。本実施例の変形例では、遮光層105は上部電極S106と電荷保持領域103との間に配される。

【0070】

半導体層108は、真性のアモルファスシリコン(以下、a-Si)、低濃度のP型のa-Si、低濃度のN型のa-Siなどで形成される。あるいは、半導体層108は、化合物半導体で形成されてもよい。例えば、BN、GaAs、GaP、AlSb、GaAlAsPなどのIII-V族化合物半導体、CdSe、ZnS、HdTcなどのII-VI族化合物半導体が挙げられる。あるいは、半導体層108は、有機材料で形成されてもよい。例えば、フラーレン、クマリン6(C6)、ローダミン6G(R6G)、亜鉛フタロシアニン(ZnPc)、キナクリドン、フタロシアニン系化合物、ナフタロシアニン系化合物などを用いることができる。さらに、上述の化合物半導体で構成された量子ドット膜を半導体層108に用いることができる。半導体層108の不純物濃度が低いか、あるいは、半導体層108は真性であるとよい。このような構成によれば、半導体層108に空乏層を十分に広げることができるために、高感度化、ノイズ低減などの効果を得ることができる。

【0071】

ブロッキング層107は、上部電極S106から半導体層108へ信号電荷と同じ導電型の電荷が注入されることを阻止する。上部電極S106をITOとした場合、半導体層108を形成する半導体との組み合わせによっては、上部電極S106をブロッキング層107として兼用することできる。つまり上部電極S106から半導体層108に信号電荷と同じ導電型の電荷が注入されないような、ポテンシャル障壁が形成されればよい。

【0072】

ブロッキング層107には、半導体層108に用いられる半導体と同じ種類であって、半導体層108に用いられる半導体よりも不純物濃度の高いN型あるいはP型の半導体を用いることができる。例えば、半導体層108にa-Siが用いられる場合、ブロッキング層107に不純物濃度の高いN型のa-Si、あるいは、不純物濃度の高いP型のa-

10

20

30

40

50

S_i が用いられる。不純物濃度の違いによりフェルミ準位の位置が異なるため、電子およびホールのうち一方に対してのみ、ポテンシャルバリアを形成することができる。ブロッキング層 107 の導電型は、信号電荷と反対の導電型の電荷が多数キャリアとなる導電型である。

【0073】

もしくは、半導体層 108 とは異なる材料でブロッキング層 107 を構成することができる。このような構成によれば、ヘテロ接合が形成される。材料の違いによりバンドギャップが異なるため、電子およびホールのうち一方に対してのみ、ポテンシャルバリアを形成することができる。

【0074】

半導体層 108 と、電極 P110、転送電極 T111、および、電極 M112 のそれとの間には、絶縁層 109 が配される。絶縁層 109 には、絶縁性の材料が用いられる。例えば絶縁層 109 の材料として、酸化シリコン、アモルファス酸化シリコン（以下、 $a-SiO$ ）、窒化シリコン、アモルファス窒化シリコン（ $a-SiN$ ）などの無機材料、あるいは、有機材料が用いられる。絶縁層 109 の厚さは、トンネル効果により電荷が透過しない程度の厚さとするとよい。このような構成にすることで、リーク電流を低減できるため、ノイズを低減することができる。具体的には、絶縁層 109 の厚さは 50 nm 以上とするとよい。

【0075】

ブロッキング層 107、半導体層 108、および、絶縁層 109 に $a-Si$ 、 $a-SiO$ 、 $a-SiN$ を用いる場合は、水素化処理を行い、水素でダングリングボンドを終端してもよい。このような構成により、ノイズを低減することができる。

【0076】

電極 P110、転送電極 T111、および、電極 M112 は、それぞれ、金属などの導電部材で構成される。電極 P110、転送電極 T111、および、電極 M112 には、配線を構成する導電部材、あるいは、外部との接続用のパッド電極を構成する導電部材と同じ材料が用いられる。このような構成によれば、電極 P110、転送電極 T111、電極 M112、配線、および、パッド電極の一部または全部を同時に形成することができる。したがって、製造プロセスを簡略化することができる。

【0077】

図 6 を用いて本実施例の動作について説明する。図 6 (a) ~ (c) は、半導体層 108 における信号電荷（ホール）の動作を模式的に示している。図 6 (d) ~ (f) は、半導体層 108 と絶縁層 109 との界面におけるポテンシャルを模式的に示す。図 6 (d) ~ (f)、および、図 7 のそれれにおいて、縦軸はホールに対するポテンシャルを表している。縦軸の上に行くほど、ホールに対するポテンシャルが低い。したがって、縦軸の上に行くほど、電圧は低くなる。上部電極 S106、および、電極 P110、電極 M112 については、自由電子のエネルギー準位が示されている。ブロッキング層 107、および、半導体層 108 については、伝導帯のエネルギー準位と価電子帯のエネルギー準位との間のバンドギャップが示されている。なお、半導体層 108 と絶縁層 109 との界面における半導体層のポテンシャルを、便宜的に、半導体層 108 の表面ポテンシャル、あるいは、単に表面ポテンシャルと呼ぶ。

【0078】

図 6 (a) は、光電変換部 101 での光電変換によって生成したホールが受光領域 101 に蓄積された状態を示す。図 6 (d) は、図 6 (a) に対応する受光領域 101、電荷転送領域 102、電荷保持領域 103 におけるホールに対するポテンシャルの模式図を示す。白抜きの丸はホールを表す。この場合電極 P110 の電圧 V_p 、転送電極 T111 の電圧 V_t 、電極 M112 の電圧 V_m は、 $V_p = V_m < V_t$ の関係を満たしている。この関係により、受光領域 101 と電荷保持領域 103 の間にはポテンシャル障壁が形成され、電気的に分離されている。つまり転送電極 T111 は、受光領域 101 と電荷保持領域 103 の分離を行う分離電極として働いている。好適には $V_s = V_t$ とすることで、電気的

10

20

30

40

50

な分離性能が向上する。

【0079】

図6(b)は、受光領域101に蓄積されたホールを、電荷保持領域103に電荷転送している状態を示す。図6(e)は、図6(b)に対応する受光領域101、電荷転送領域102、電荷保持領域103におけるホールに対するポテンシャルの模式図を示す。この場合電極P110の電圧Vp、転送電極T111の電圧Vt、電極M112の電圧Vmは、 $V_p = V_t > V_m$ の関係または $V_p > V_t > V_m$ の関係を満たしている。この関係により、受光領域101から電荷保持領域103の間にはポテンシャルのスロープが形成される。そのため、受光領域101に蓄積されたホールは、半導体層108と絶縁層109界面に沿って、電荷保持領域103へ転送される。

10

【0080】

図6(c)は、電荷保持領域103に保持した信号電荷を半導体基板上の回路に読み出す動作を示す。図6(f)は、図6(c)に対応する受光領域101、電荷転送領域102、電荷保持領域103におけるホールに対するポテンシャルの模式図を示す。電極M112の電圧Vmを変化させることにより、電荷保持領域103の電荷の量に応じた電圧変化が電極M112に接続された増幅トランジスタ118に生じる。

【0081】

本実施例において、受光領域101から電荷転送領域102を介して電荷保持領域103まで、半導体層108が、基板の表面に平行な方向に沿って連続している。したがって、受光領域101に蓄積された電荷を複数の画素において同時に転送し、信号が読み出されるまで電荷保持領域103で電荷保持することにより、グローバル電子シャッタ動作を実現できる。

20

【0082】

次に、図7を用いて、電荷保持領域103に保持された電荷に基づく信号の読み出し動作について説明する。図7は、基板の表面に垂直な方向に沿った半導体層108のエネルギー帯を模式的に示す。図7の左側には、受光領域101におけるエネルギー帯が示されている。図7の右側には電荷保持領域103におけるエネルギー帯が示されている。受光領域101については、上部電極S106、ブロッキング層107、半導体層108、絶縁層109、および、電極P110のエネルギー帯が示されている。電荷保持領域103については、上部電極S106、ブロッキング層107、半導体層108、絶縁層109、電極M112のエネルギー帯が示されている。

30

【0083】

受光領域101の動作としては、以下のステップp1～p3が繰り返し行われる。ステップp1は電荷転送、ステップp2は入射光の光電変換、および、信号電荷の蓄積である。以下各ステップについて説明する。

【0084】

ステップp1において、図6で説明した通りに、受光領域101に蓄積された信号電荷を、電荷転送領域102を介して、電荷保持領域103に転送する。受光領域101は、ホールが蓄積された状態からホールがなくなった状態に変化する。一方で、電荷保持領域103はホールが存在しない状態からホールが保持された状態に変化する。

40

【0085】

ステップp2では光電変換を行う。受光領域101においては、入射した光によって生じた電子ホール対のうちホールが信号電荷として蓄積される。電子は上部電極S106に排出される。その結果、入射した光の量に応じた量のホールが、受光領域101と絶縁層109との界面に蓄積される。

【0086】

以降受光領域101では、ステップp1からステップp3が繰り返される。動画撮影の場合、この繰り返しが1フレームの動作に対応する。この動作は全画素同じタイミングで繰り返すことができるので、グローバル電子シャッタ動作となる。一括電荷転送後、受光領域101は、電荷保持領域103から電気的に切り離され、独立に制御することができる。

50

る。

【0087】

電荷保持領域103の動作としては、以下のステップm1～m5が繰り返し行われる。ステップm1は増幅トランジスタ118の入力ノードのリセットである。ステップm2はノイズ信号Nの読み出し(N読み)である。ステップm3は電荷の転送である。ステップm4は電荷保持領域103からの信号電荷の排出である。ステップ5は光信号Sの読み出し(S読み)である。以下、それぞれのステップについて説明する。

【0088】

ステップm1において、リセットトランジスタ117をオンにする。電極M112を含むノード、つまり、図1(a)のノードBの電圧がリセット電圧V_{res}にリセットされる。リセット電圧V_{res}は、例えば、3Vである。

10

【0089】

その後、ステップm2において、リセットトランジスタ117をオフする。これにより、ノードBが電気的にフローティングになる。このときリセットトランジスタ117によるリセットノイズ(ノイズkTC)が発生しうる。選択トランジスタ119がオンし、そして、増幅トランジスタ118がリセットノイズを含むノイズ信号N(V_{res}+kTC)を画素100から出力する(N読み)。ノイズ信号Nは、列回路204の容量CTNに保持される。

【0090】

その後、ステップm3において、受光領域101から電荷保持領域103へ信号電荷が転送される。受光領域101のステップp1と電荷保持部103のステップm3とは同時に行われる動作である。なお、この時点では、電源VD115が図1(a)のノードCに第1の電圧V_{d1}を供給している。

20

【0091】

次に、ステップm4において、電源VD115が図1(a)のノードCに第2の電圧V_{d2}を供給する。電極M112(ノードB)の電圧は、ノードCの電圧の変化と同じ方向に向かって変化する。信号電荷としてホールを用いているため、このときの電極M112の電圧V_{m2}が上部電極S106の電圧V_s(=6V)よりも高くなるように、第1の電圧V_{d1}および第2の電圧V_{d2}が設定される。本実施例において、第1の電圧V_{d1}は2Vであり、第2の電圧V_{d2}は8Vである。

30

【0092】

電極M112の電圧の変化量dVBは、電極M112に接続された第1の容量C_{m116}の容量値C1と、電荷保持領域103が有する第2の容量123の容量値C2との比に応じて決まる。ノードCの電圧の変化量dVdに対して、電極M112の電圧の変化量dVBは、 $dVB = dVd \times C1 / (C1 + C2)$ と表される。なお、電極M112を含むノードBは他の容量成分を含みうる。しかし、他の容量成分は第1の容量C_{m116}の容量値C1にくらべて十分に小さい。そのため、ノードBの容量値は、第1の容量C_{m116}の容量値C1と等しいとみなしてよい。

【0093】

本実施例では、電極M112の電圧の変化量dVBが、上部電極S106の電圧V_sとリセット電圧V_{res}の差(V_s-V_{res})よりも十分に大きい。そのため、電極M112のポテンシャルは、上部電極S106のポテンシャルよりも低くなり、半導体層108のポテンシャルの傾きが反転する。これにより、黒丸で示された電子が上部電極S106から半導体層108へ注入される。また、信号電荷として半導体層108と絶縁層109の界面に保持されたホールの一部または全部が、ブロッキング層107の方へ移動する。移動したホールは、ブロッキング層107の多数キャリアと再結合して消滅する。その結果、半導体層108のホールが半導体層108から排出される。半導体層108の全体が空乏化する場合には、信号電荷として保持されたホールの全部が排出される。

40

【0094】

次に、ノードCに第1の電圧V_{d1}が供給される。これにより、半導体層108のポテ

50

ンシャルの傾きが再び反転する。そのため、半導体層108に注入されていた電子は、半導体層108から排出される。一方、ブロッキング層107が、上部電極S106から半導体層108へのホールの注入を阻止する。したがって、半導体層108の表面ポテンシャルは、保持されていたホールの量に応じて変化する。表面ポテンシャルの変化に対応して、電極M112の電圧は、リセットされた状態から、消滅したホールの量に応じた電圧 V_{sig} だけ変化する。つまり、信号電荷として保持されたホールの量に応じた電圧 V_{sig} がノードBに現れる。保持されたホールの量に応じた電圧 V_{sig} を、光信号成分と呼ぶ。

【0095】

そして、ステップ5において、選択トランジスタ119がオンする。これにより、増幅トランジスタ118が光信号S($V_{sig} + V_{res} + kTC$)を画素100から出力する。光信号Sは、列回路204の容量CTSに保持される。ステップm2で読み出されたノイズ信号N($V_{res} + kTC$)と、ステップm5で読み出された光信号S($V_{ph} + V_{res} + kTC$)との差分が、保持された信号電荷に応じた電圧 V_{sig} に基づく信号(光信号成分)である。10

【0096】

信号電荷が電子の場合、第2の電圧 V_{d2} は第1の電圧 V_{d1} より低い電圧である。また、リセット電圧 V_{res} は上部電極S106の電圧 V_s より低く設定される。

【0097】

本実施例では、半導体層108のポテンシャルの傾きが反転することで、保持されたホールの排出を行っている。半導体層108のポテンシャルの傾きを反転させることができないと、排出されない電荷が生じるため、ノイズが生じる可能性がある。ここで、電極M112(ノードB)の電圧の変化量 dV_B が、上部電極S106の電圧 V_s とリセット電圧 V_{res} の差($V_s - V_{res}$)に比べて大きいほど、ポテンシャル勾配を反転させやすい。つまり、電極M112の電圧の変化量 dV_B が、上部電極S106の電圧 V_s とリセット電圧 V_{res} の差($V_s - V_{res}$)に比べて大きいほど、ノイズを低減することができる。20

【0098】

上述のとおり、ノードCの電圧の変化量 dV_d とノードBの電圧の変化量 dV_B との間には、 $dV_B = dV_d \times C_1 / (C_1 + C_2)$ という関係がある。つまり、ノードBの容量値 C_1 が大きいほど、ノードBの電圧の変化量 dV_B が大きくなる。30

【0099】

本実施例では、電極M112に第1の容量Cm116が接続されている。そのため、ノードBの容量値 C_1 を大きくすることができます。このような構成によれば、第ノードBの電圧の変化量 dV_B を大きくすることができます。結果として、半導体層108を空乏化しやすくなるため、排出されない電荷を低減できる。このように、本実施例によれば、ノイズを低減することができる。

【0100】

ノードBに第1の容量Cm116が接続されていない構成を説明する。この場合、ノードBの容量は、半導体領域のPN接合による容量成分や配線との寄生容量成分を含みうる。しかし、これらの容量成分は、電荷保持領域103の有する第2の容量123の容量値 C_2 に比べて無視できるほど小さい。したがって、 $C_1 / (C_1 + C_2)$ がほとんどゼロになる。そのため、ノードCの電圧 V_d を変化させても、ノードBの電圧がほとんど変化しない。そうすると、ポテンシャルの傾きが反転させられず、結果として信号電荷として保持されたホールの一部を排出できない可能性が生じる。これに対して、本実施例では排出されない信号電荷の量を低減できるので、ノイズを低減することができる。40

【0101】

続いて、第1の容量Cm116の容量値 C_1 と、電荷保持領域103に含まれる第2の容量123の容量値 C_2 と、各部に供給される電圧との関係について説明する。

【0102】

50

本実施例においては、電荷保持領域 103 は、ブロッキング層 107、半導体層 108、絶縁層 109 を含んでいる。ブロッキング層 107 は、半導体層 108、および、絶縁層 109 に比べて導電率が高い。そのため、電荷保持領域 103 に含まれる第 2 の容量 123 の容量値 C_2 は、半導体層 108 による容量成分 C_i と絶縁層 109 による容量成分 C_{ins} の合成容量となる。具体的に、第 2 の容量 123 の容量値 C_2 は、次の式(1)で表される。

$$C_2 = C_i \times C_{ins} / (C_i + C_{ins}) \quad \dots \quad (1)$$

【0103】

平面視における電極 P110 の面積 S_s 、半導体層 108 の厚さ d_i 、絶縁層 109 の厚さ d_{ins} 、半導体層 108 の比誘電率 E_i 、絶縁層 109 の比誘電率 E_{ins} 、および、真空の誘電率 E_0 を用いて、容量成分 C_i および容量成分 C_{ins} は、それぞれ、次の式(2)および式(3)で表される。

$$C_i = E_0 \times E_i \times S_s / d_i \quad \dots \quad (2)$$

$$C_{ins} = E_0 \times E_{ins} \times S_s / d_{ins} \quad \dots \quad (3)$$

【0104】

電極 P110 のフリンジ電界はほとんど無視できるので、容量の計算に用いられる面積として、平面視における電極 P110 の面積 S_s だけを考慮すればよい。平面視における電極 P110 の面積 S_s は、例えば、図 4 における電極 P110 の面積である。また、図 5において、半導体層 108 の厚さ d_i 、絶縁層 109 の厚さ d_{ins} が示されている。

【0105】

第 1 の容量 C_{m116} の容量値 C_1 は、平面視における上部電極 211 または下部電極 213 の面積 S_d 、上部電極 211 と下部電極 213 との距離 d_d 、および、上部電極 211 および下部電極 213 の間の絶縁層の誘電率 E_d を用いて、次の式(4)で表される。

$$C_1 = E_0 \times E_d \times S_d / d_d \quad \dots \quad (4)$$

【0106】

本実施例においては、ノード C の電圧 V_d を、第 1 の電圧 V_{d1} と第 2 の電圧 V_{d2} とに制御することで、信号電荷の蓄積と、半導体層 108 の空乏化による信号電荷の排出を行っている。第 1 の容量 C_{m116} の容量値 C_1 と第 2 の容量 123 の容量値 C_2 が以下に説明する関係を満たすと、上述の信号電荷の排出の際に、半導体層 108 に残る電荷を低減することができる。最初に、信号電荷がホールの実施例を説明する。

【0107】

以下、簡単のために、第 1 の容量 C_{m116} の容量値 C_1 が、第 2 の容量 123 の容量値 C_2 の k 倍であるとする。つまり、容量値 C_1 と容量値 C_2 が次の式(5)の関係を有する。

$$C_1 = k \times C_2 \quad \dots \quad (5)$$

【0108】

前述のとおり、ノード C の電圧の変化量 dV_d と、電極 M112 (ノード B) の電圧の変化量 dV_B とは、次の式(19)で表される関係を有する。

$$dV_B = dV_d \times C_1 / (C_1 + C_2) \quad \dots \quad (6)$$

【0109】

式(5)と式(6)から、次の式(7)が得られる。

$$dV_B = dV_d \times k / (1 + k) \quad \dots \quad (7)$$

【0110】

ここで、信号電荷としてホールを蓄積するためには、上部電極 S106 (ノード A) に供給される電圧 V_s とリセット電圧 V_{res} が以下の式(8)の関係を満たすとよい。

$$V_s > V_{res} \quad \dots \quad (8)$$

【0111】

信号電荷のホールを転送するためには、上部電極 S106 (ノード A) の電圧 V_s 、リセット電圧 V_{res} 、および、電極 M112 の電圧の変化量 dV_B が、次の式(10)の

10

20

30

40

50

関係を満たすとよい。

$$V_s < V_{res} + dV_B \quad \dots (9)$$

【0112】

式(8)の関係が満たされると、ホールが絶縁層109に向かってドリフトするためのポテンシャルの傾きを半導体層108に形成することができる。式(9)の関係が満たされると、半導体層108のポテンシャルの傾きを逆転させることが容易になる。

【0113】

式(7)と式(9)から、式(10)が得られる。

$$V_s - V_{res} < dV_d \times k / (1 + k) \quad \dots (10)$$

【0114】

ここで、信号電荷がホールの実施例では、第2の電圧 $V_d 2$ が第1の電圧 $V_d 1$ よりも高い。つまり、ノードCの電圧の変化量 $dV_d = V_d 2 - V_d 1$ は、正の値である。したがって、式(10)の両辺を dV_d で除しても、不等号の向きは変わらない。

【0115】

したがって、式(10)から、容量値 C_1 と容量値 C_2 との容量比 k に関して、次の式(11)で表される関係式が得られる。

【0116】

【数1】

$$1 - \frac{1}{1 + k} > \frac{V_s - V_{res}}{dV_d} \quad \dots (11)$$

20

【0117】

この式(11)の関係が満たされると、排出されない電荷の量を低減することができる。したがって、ノイズを低減することができる。

【0118】

具体的に、本実施例では第1の容量 C_{m116} の容量値 C_1 は 4 fF であり、第2の容量 123 の容量値 C_2 は 1 fF である。つまり、 $k = 4$ となっている。このような構成によれば、よりノイズを低減することができる。

30

【0119】

本実施例では、平面視において、第1の容量 C_{m116} の上部電極 211 および下部電極 213 のいずれかの面積 S_d と、電極 $M112$ の面積 S_s が、 $S_d > 0.5 \times S_s$ の関係を満たす。このような構成によれば、上述の容量比の関係を容易に得ることができる。

【0120】

また、 k の値が大きいほど、ノイズ低減の効果は大きくなる。したがって、第1の容量 C_{m116} の容量値 C_1 が、第2の容量 123 の容量値 C_2 と等しいか、あるいはそれより大きいと、ノイズ低減の効果をさらに高くすることができる。

【0121】

ノードCの電圧の変化量 dV_d は、第1の電圧 $V_d 1$ と第2の電圧 $V_d 2$ とを用いて、 $dV_d = V_d 2 - V_d 1$ と表される。また、式(11)の左辺は、式(5)を用いて $C_1 / (C_1 + C_2)$ と書き換えることができる。したがって、式(11)は、式(12)のように変形される。

40

【0122】

【数2】

$$\frac{C_1}{C_1 + C_2} > \frac{V_s - V_{res}}{V_{d2} - V_{d1}} \cdots (12)$$

【0123】

次に、信号電荷が電子の実施例を説明する。信号電荷が電子の場合、式(8)および式(9)の不等号の向きが変わる。したがって、次の式(10)の不等号の向きも変わる。
すなわち、信号電荷が電子の場合には、次の式(13)が得られる。

$$V_s - V_{res} > dVd \times k / (1 + k) \cdots (13)$$

【0124】

しかし、信号電荷が電子の実施例では、第2の電圧 V_{d2} が第1の電圧 V_{d1} よりも低い。つまり、ノードCの電圧の変化量 $dVd = V_{d2} - V_{d1}$ は、負の値である。したがって、式(13)の両辺を dVd で除すと、不等号の向きが変わる。その結果、信号電荷がホールの場合と同じように、式(11)、ならびに、式(12)が得られる。

【0125】

ここで、式(12)の表す関係について説明する。リセット電圧 V_{res} が電荷保持領域103の上部電極S106に供給される電圧 V_s に近いほど、右辺の値は小さくなる。
つまり、第1の容量Cm116の容量値 C_1 が小さくても、半導体層108のポテンシャルの傾きを反転することができるようになる。リセット電圧 V_{res} と上部電極S106に供給される電圧 V_s との差が小さいと、半導体層108に蓄積できる電荷の量が小さくなる。

【0126】

一方で、リセット電圧 V_{res} と電圧 V_s との差が大きいほど、右辺の値は大きくなる。
つまり、第1の容量Cm116の容量値 C_1 に大きい値が用いられる。このときには、リセット電圧 V_{res} と第1の電圧 V_{s1} との差が大きいので、半導体層108に蓄積できる電荷の量を増やすことができる。

【0127】

以上に説明したとおり、第1の容量Cm116の容量値 C_1 と、電荷保持領域103に含まれる第2の容量123の容量値 C_2 との関係によって、ノイズを低減することができる。

【0128】

なお、上で挙げた数値はあくまでも一例であり、これらの値に限定されるものではない。
半導体層108と絶縁層109との間の界面に欠陥準位などが存在する可能性がある。
このような場合には、公知の技術に基づいてフラットバンド電圧を考慮すればよい。

【0129】

次に本実施例の撮像装置の制御に用いられる駆動信号について説明する。図8、図9は、本実施例の撮像装置に用いられる駆動信号のタイミングチャートを示している。図8には、1行分の信号の読み出し動作に対応した駆動信号が示されている。図9には、n行目とn+1行目の2行分の信号の読み出し動作に対応した駆動信号が示されている。

【0130】

駆動信号pSELは選択トランジスタ119のゲートに供給される。駆動信号pRESはリセットトランジスタ117のゲートに供給される。駆動信号pVTは転送電極T111に供給される。駆動信号pTSはS/Hスイッチ302に供給される。駆動信号pTNはS/Hスイッチ303に供給される。駆動信号CSCLは列駆動回路202に供給される。

【0131】

駆動信号pSEL、駆動信号pRES、駆動信号pTN、駆動信号pTSがハイレベル

10

20

30

40

50

の時に、対応するトランジスタまたはスイッチがオンする。駆動信号 p S E L、駆動信号 p R E S、駆動信号 p T N、駆動信号 p T S がローレベルの時に、対応するトランジスタまたはスイッチがオフする。これらの駆動信号のハイレベルおよびローレベルは、トランジスタまたはスイッチの閾値電圧に応じて設定される。図 8 には、駆動信号 p V D のタイミングチャートが示されている。駆動信号 p V D は、初期電圧 V d 0、第 1 の電圧 V d 1 および、第 2 の電圧 V d 2 を含む。

【 0 1 3 2 】

本実施例の撮像装置は、いわゆるグローバル電子シャッタ動作を行う。まず図 8 を用いて詳細に説明する。t 1 から t 2 までの期間 G S は一括電荷転送の期間である。t 2 から t 10 までの期間 H B L N K (n) は水平プランキング期間である。t 10 から t 11 までの期間 H S C A N (n) は水平走査期間である。10

【 0 1 3 3 】

時刻 t 1において、全画素の駆動信号 p V T が 6 V から 3 V に変化する。同時に全画素の駆動信号 p V D の電圧を初期電圧 V d 0 (= 3 V) から第 1 の電圧 V d 1 (= 2 V) に変化させる。これにより受光領域 1 0 1 の信号電荷を、全画素一括で、電荷保持領域 1 0 3 に転送する。時刻 t 2において、全画素の駆動信号 p V T を 3 V から 6 V に変化させることで、電荷の転送を終了する。

【 0 1 3 4 】

時刻 t 3まで駆動信号 p R E S (n) はハイレベルに維持され、n 行目の画素 1 0 0 のリセットトランジスタ 1 1 7 がオンされている。n 行目の画素 1 0 0 のノード B の電圧は、リセット電圧 V r e s にリセットされている。その後、時刻 t 3において、駆動信号 p R E S (n) がローレベルになり、リセットトランジスタ 1 1 7 がオフする。20

【 0 1 3 5 】

次に、駆動信号 p T N (n) が、時刻 t 4においてハイレベルになり、時刻 t 5においてローレベルになる。これにより、リセットノイズ (図 6 の k T C) を含むノイズ信号 N が、列回路 2 0 4 の容量 C T N に保持される。

【 0 1 3 6 】

時刻 t 6において、駆動信号 p V D (n) が第 1 の電圧 V d 1 (= 2 V) から第 2 の電圧 V d 2 (= 8 V) に遷移する。続いて、時刻 t 7において、駆動信号 p V D (n) が第 2 の電圧 V d 2 から第 1 の電圧 V d 1 に遷移する。時刻 t 6 から時刻 t 7 の動作によって、電荷保持領域 1 0 3 に保持されていた信号電荷の排出が行われ、ノード B には保持されていた信号電荷の量に応じた電圧 V s i g が生じる。30

【 0 1 3 7 】

駆動信号 p T S (n) が、時刻 t 8においてハイレベルになり、時刻 t 9においてローレベルになる。これにより、電圧 V p h とリセットノイズとを含む光信号 S が、列回路 2 0 4 の容量 C T S に保持される。

【 0 1 3 8 】

続いて、時刻 t 10において、駆動信号 p V D (n) が第 1 の電圧 V d 1 から第 2 の電圧 V d 2 に遷移する。これにより半導体層 1 0 8 に残留する電荷が全て排出され、受光領域 1 0 1 のリセット (膜リセット) が行われる。これにより前のフレームの残留電荷などが次のフレームの光信号 S に影響を与えることを防ぐことができる。40

【 0 1 3 9 】

時刻 t 11において、駆動信号 p P R E S (n) がローレベルになり、かつ、駆動信号 p V D (n) が第 2 の電圧 V d 2 から初期の電圧 V d 0 に遷移する。これにより、n 行目の画素 1 0 0 のノード B の電圧が、再びリセット電圧 V r e s にリセットされる (F D リセット)。駆動信号 p P R E S (n) は次のフレームの t 3 までハイレベルに維持され、ノード B はリセット電圧 V r e s に固定される。この後、n 行目の画素 1 0 0 は、次のフレームの信号電荷の蓄積を開始する。

【 0 1 4 0 】

時刻 t 11において、列回路 2 0 4 に読みだされたノイズ信号 N と光信号 S は、駆動信50

号 C S E L に基づいて、列ごとに出力アンプ 122 に出力される。出力アンプ 122 は光信号 S とノイズ信号 N の差分を増幅して、アナログ - デジタル変換部 205 に出力する。

【0141】

以降、図 9 に示すように $n + 1$ 行目の画素 100 からの信号の読み出しが行われる。この動作は時刻 t_1 から時刻 t_{11} と同様なので、説明を省略する。

【0142】

以上に説明した通り、本実施例においては、半導体層 108 の連続する部分に受光領域 101 および電荷保持領域 103 が配される。このような構成によれば、ノイズを低減することができる。

【実施例 2】

10

【0143】

本発明に係る別の実施例を説明する。本実施例は、電荷転送領域 102、転送電極 T111、および、転送電極 T111 に接続された電源 VT114 が省略されている点で、実施例 1 と異なる。以下では実施例 1 と相違している部分について説明する。

【0144】

図 10 に本実施例の撮像装置の画素 100 の概略図を示す。図 1(a) と同じ機能を有する部分には同じ符号を付してある。図 10 に示された通り、画素 100 が電荷転送領域 102、転送電極 T111、および、電源 VT114 を含まない。

【0145】

本実施例の画素 100においては、電極 P110 に接続された電源 VP150 が、複数の異なる電圧を電極 P110 に供給する。電源 VP150 の供給する電圧 Vp と、電源 VD115 の供給する電圧 Vd を制御することで、受光領域 101 から電荷保持領域 103 への電荷の転送を行うことができる。信号電荷がホールの場合、電極 P110 の電圧 Vp と電極 M112 の電圧Vm の関係を、 $Vp > Vm$ とすることで、受光領域 101 から電荷保持領域 103 へ、電荷が転送される。なお、受光領域 101 が電荷を蓄積している期間には、電極 P110 の電圧 Vp と電極 M112 の電圧Vm の関係が、 $Vp < Vm$ に設定される。信号電荷が電子の場合、電極 P110 の電圧 Vp と電極 M112 の電圧Vm の関係を、 $Vp < Vm$ とすることで、受光領域 101 から電荷保持領域 103 へ、電荷が転送される。なお、受光領域 101 が電荷を蓄積している期間には、電極 P110 の電圧 Vp と電極 M112 の電圧Vm の関係が、 $Vp > Vm$ に設定される。

20

【0146】

以上に説明した通り、本実施例においては、画素 100 が電荷転送領域 102 を含まない。このような構成によれば、画素サイズを小さくすることができる。

【実施例 3】

【0147】

本発明に係る別の実施例を説明する。本実施例は、転送電極 T111 の電圧 Vt が固定され、電極 P110 に複数の異なる電圧が供給される点で、実施例 1 と異なる。以下では実施例 1 と相違している部分について説明する。

【0148】

図 11 に本実施例の撮像装置の画素 100 の概略図を示す。図 1(a) と同じ機能を有する部分には同じ符号を付してある。転送電極 T111 に供給される電圧 Vt は固定される。電極 P110 に接続された電源 VP150 が、複数の異なる電圧を電極 P110 に供給する。

40

【0149】

本実施例においては、電源 VP150 の供給する電圧 Vp と、電源 VD115 の供給する電圧 Vd を制御することで、受光領域 101 から電荷保持領域 103 への電荷の転送を行うことができる。信号電荷がホールの場合、電極 P110 の電圧 Vp、転送電極 T111 の電圧 Vt、および、電極 M112 の電圧Vm の関係を、 $Vp > Vt > Vm$ とすることで、受光領域 101 から電荷保持領域 103 へ、電荷が転送される。なお、受光領域 101 が電荷を蓄積している期間には、電圧 Vp と転送電圧 Vt の関係が、 $Vp < Vt$ に設

50

定される。信号電荷が電子の場合、電極 P 1 1 0 の電圧 V_p 、転送電極 T 1 1 1 の電圧 V_t 、および、電極 M 1 1 2 の電圧 V_m の関係を、 $V_p < V_t < V_m$ とすることで、受光領域 1 0 1 から電荷保持領域 1 0 3 へ、電荷が転送される。なお、受光領域 1 0 1 が電荷を蓄積している期間には、電圧 V_p と転電圧 V_t との関係が、 $V_p > V_t$ に設定される。

【0150】

本実施例の構成によれば、電荷保持領域 1 0 3 の電荷に基づく信号の読み出し（実施例 1 のステップ m 4）と、受光領域 1 0 1 からの電荷の排出（実施例 1 の膜リセット）とを並行して行うことができる。

【実施例 4】

【0151】

本発明に係る別の実施例を説明する。本実施例は、電極 P 1 1 0 に複数の異なる電圧が供給される点で、実施例 1 と異なる。以下では実施例 1 と相違している部分について説明する。

【0152】

図 1 2 に本実施例の撮像装置の画素 1 0 0 の概略図を示す。図 1 (a) と同じ機能を有する部分には同じ符号を付してある。電極 P 1 1 0 に接続された電源 V P 1 5 0 が、複数の異なる電圧を電極 P 1 1 0 に供給する。

【0153】

本実施例においては、電源 V P 1 5 0 の供給する電圧 V_p と、電源 V T 1 1 4 の供給する電圧 V_t と、電源 V D 1 1 5 の供給する電圧 V_d とを制御することで、受光領域 1 0 1 から電荷保持領域 1 0 3 への電荷の転送を行うことができる。信号電荷がホールの場合、電極 P 1 1 0 の電圧 V_p 、転送電極 T 1 1 1 の電圧 V_t 、および、電極 M 1 1 2 の電圧 V_m の関係を、 $V_p > V_t > V_m$ とすることで、受光領域 1 0 1 から電荷保持領域 1 0 3 へ、電荷が転送される。なお、受光領域 1 0 1 が電荷を蓄積している期間には、電圧 V_p と転電圧 V_t との関係が、 $V_p < V_t$ に設定される。信号電荷が電子の場合、電極 P 1 1 0 の電圧 V_p 、転送電極 T 1 1 1 の電圧 V_t 、および、電極 M 1 1 2 の電圧 V_m の関係を、 $V_p < V_t < V_m$ とすることで、受光領域 1 0 1 から電荷保持領域 1 0 3 へ、電荷が転送される。なお、受光領域 1 0 1 が電荷を蓄積している期間には、電圧 V_p と転電圧 V_t との関係が、 $V_p > V_t$ に設定される。

【0154】

本実施例の構成によれば、電荷を転送する時のポテンシャルの制御が容易になる。また、本実施例の構成によれば、電荷保持領域 1 0 3 の電荷に基づく信号の読み出し（実施例 1 のステップ m 4）と、受光領域 1 0 1 からの電荷の排出（実施例 1 の膜リセット）とを並行して行うことができる。

【実施例 5】

【0155】

本発明に係る別の実施例を説明する。本実施例と実施例 1 との相違点は、電極 P 1 1 0 、転送電極 T 1 1 1 、および、電極 M 1 1 2 の平面視における形状である。以下では実施例 1 と相違している部分について説明する。

【0156】

本実施例の撮像装置の平面構造について説明する。図 1 3 は、撮像装置の平面構造を模式的に示している。図 1 と同じ部分には、同じ符号を付してある。

【0157】

図 1 3 (a) に示される通り、電極 P 1 1 0 は矩形の形状を有する。転送電極 T 1 1 1 は平面視において電極 P 1 1 0 を囲んでいる。さらに、電極 M 1 1 2 は平面視において転送電極 T 1 1 1 を囲んでいる。このような構成によれば、受光領域 1 0 1 への開口を矩形にすることができる。結果として、感度を増加させることができる。

【0158】

本実施例の変形例を説明する。図 1 3 (b) に示される通り、電極 P 1 1 0 と電極 M 1 1 2 との間には、転送電極 T 1 1 1 と分離電極 1 2 6 とが配される。分離電極 1 2 6 には

固定の電圧が供給される。分離電極 126 により、電荷の拡散を抑えることができる。結果として、感度を向上させることができる。

【0159】

以上に説明した通り、本実施例によれば、感度を向上させることができる。

【実施例6】

【0160】

本発明に係る別の実施例を説明する。本実施例は、複数の受光領域 101 が電荷保持領域 103 を共有している点で、実施例 1 と異なる。以下では実施例 1 と相違している部分について説明する。

【0161】

図 14 (a) は撮像装置の平面構造を模式的に示す。図 14 (b) に本実施例の撮像装置の画素 100 の概略図を示す。図 14 において、複数の受光領域 101 を区別するためには、符号の後にアルファベットを付与している。複数の電極 P110、複数の転送電極 T111 についても同様である。

【0162】

本実施例では、受光領域 101a の電荷と、受光領域 101b の電荷とが、いずれも、電荷保持領域 103 に転送される。別の観点で言えば、画素回路および電荷保持領域 103 の一組に対して、複数の受光領域 101 が配される。したがって、複数の受光領域 101 の複数の信号を、共通の画素回路から読み出さすことができる。あるいは、複数の受光領域 101 からの電荷を電荷保持領域 103 で加算することができる。

【実施例7】

【0163】

本発明に係る別の実施例を説明する。本実施例は、半導体層 108 の上に分離された複数の電極が配された点で、実施例 1 と異なる。以下では実施例 1 と相違している部分について説明する。

【0164】

図 15 は、本実施例の撮像装置の画素 100 の概略図を示す。図 1 (a) と同様の機能を有する部分には同じ符号を付した。電荷転送領域 102 の上には、上部電極 S106、ブロッキング層 107 が配されない。また、電荷保持領域 103 の上には、上部電極 S106 が配されず、ブロッキング層 107 と遮光層 105 とが配される。そして、遮光層 171 が金属などの導電部材で構成される。そのため、遮光層 171 が、電荷保持領域 103 にバイアス電圧を印加する電極（第 3 の電極）として機能する。

【0165】

本実施例では、受光領域 101 の上に配された上部電極 S106 に対する光の透過率が、遮光層 171 に対する光の透過率より高い。このような構成により、半導体層 108 に光を受ける受光領域 101 と遮光された電荷保持領域 103 とを設けることができる。また、上部電極 S106 と遮光層 171 とが電気的に接続されてもよい。このような構成により、上部電極 S106 の抵抗を実効的に下げるため、動作を高速化することができる。

【0166】

本実施例の変形例を図 16 に示す。図 16 は、本実施例の撮像装置の画素 100 の概略図を示す。図 1 (a) と同様の機能を有する部分には、同じ符号が付されている。図 16 に示された撮像装置においては、上部電極 S106 は、互いに分離された、受光領域 101 の上に配された部分（第 1 の電極）と、電荷保持領域 103 の上に配された部分（第 3 の電極）とを含む。受光領域 101 の 2 つの分離された部分の間には、遮光層 171 が配されていない。受光領域 101 の 2 つの分離された部分を、それぞれ、第 1 の電極 106-1、および、第 3 の電極 106-2 と呼ぶ。

【0167】

第 1 の電極 106-1 と電極 P（第 2 の電極）110との間に受光領域 101 が配される。第 3 の電極 106-2 と電極 M（第 4 の電極）112との間に電荷保持領域 103 が

10

20

30

40

50

配される。第1の電極106-1には、実施例1の上部電極S106と同様に、電源V S 104が接続される。第3の電極106-2には電源V S B 180が接続される。電源V S B 180は、第3の電極106-2に複数の電圧V s bを供給する。

【0168】

受光領域101から電荷保持領域103へ信号電荷であるホールを転送する際に、第1の電極106-1の電圧V sと第3の電極106-2の電圧V s bとが、 $V_s > V_{s b}$ の関係を満たす。これにより、電極P110、転送電極T111および電極M112による電荷の転送をサポートすることができる。結果として、電荷の転送をより高速に行うことができる。信号電荷が電子の場合は、電荷の転送の際に、第1の電極106-1の電圧V sと第3の電極106-2の電圧V s bとが、 $V_s < V_{s b}$ の関係を満たす。これにより、電極P110、転送電極T111および電極M112による電荷の転送をサポートすることができる。結果として、電荷の転送をより高速に行うことができる。10

【0169】

また、電荷保持領域103に保持された信号電荷を読み出す動作は、半導体層108の垂直方向への電荷排出動作を含む。第3の電極106-2に供給される電圧V s bを制御することにより、より確実に電荷排出動作を実現することができる。

【0170】

さらに、第1の電極106-1と第3の電極106-2との間に、両者と分離された別の電極が配されてもよい。つまり、電荷転送領域102の上に、独立して制御できる電極が配置されてもよい。この場合、転送電極T111と別の電極とが形成する電界によって、受光領域101に蓄積させた電荷が外部に漏れ出することを抑制することができる。20

【0171】

図17は、第1の電極106-1と第3の電極106-2の平面構造を模式的に示している。図4(a)に示された電極P110、転送電極T111、および、電極M112の形状が破線で示されている。

【0172】

以上に説明した通り、本実施例では、上部電極S106が、互いに分離された、受光領域101の上に配された部分(第1の電極)と、電荷保持領域103の上に配された部分(第3の電極)とを含む。このような構成によれば、電荷の転送効率を向上させることができる。30

【実施例8】

【0173】

本発明に係る別の実施例を説明する。本実施例は、半導体層108と電極M112とが接している点で、実施例1と異なる。以下では実施例1と相違している部分について説明する。

【0174】

図18は、本実施例の撮像装置の画素100の概略図を示す。電荷転送領域102の上、および、電荷保持領域103の上には、上部電極S106およびブロッキング層107が配されていない。本実施例において、電荷転送領域102における電荷転送は半導体層108と絶縁層109との界面で行われる。よって、電荷転送領域102においては、上部電極S106およびブロッキング層107を省略することができる。また、電荷保持領域103と電極M112とが接している。そのため、電荷保持領域103の電荷を、電極M112を介して、増幅トランジスタ118のゲートに入力することができる。このような構成にすることで、電荷保持領域103においては、上部電極S106およびブロッキング層107を省略することができる。40

【0175】

また、本実施例においては、電荷転送領域102と電荷保持領域103とにおける半導体層108の厚さが、受光領域101における半導体層108の厚さより薄い。そして、電荷転送領域102と電荷保持領域103の上に遮光層105を配置することで、電荷転送領域102と電荷保持領域103への光の進入を低減することができる。50

【0176】

本実施例の構成によれば、電荷転送領域102または電荷保持領域103へ入射した光によるノイズを低減することができる。

【実施例9】**【0177】**

本発明に係る別の実施例を説明する。本実施例は、1つのマイクロレンズ401に対して受光領域101と電荷保持領域103との組が2つ配された点で、実施例1と異なる。本実施例によれば、画素100に位相差AFの機能を持たせることができる。以下では、実施例1との相違点を説明する。

【0178】

10

本実施例の撮像装置の平面構造、および、断面構造について図面を用いて説明する。図19(a)は、撮像装置の平面構造を模式的に示している。図4と同じ部分には、同じ符号を付してある。図19(a)は2行2列の画素100を示す。画素回路の配された基板の表面と平行な面における電極P110、転送電極T111、および、電極M112の配置を模式的に示している。図19(b)は、撮像装置の断面構造を模式的に示している。図19(b)に示された断面は、図19(a)における一点破線A-Bに沿った断面に対応する。図4と同じ部分には、同じ符号を付してある。

【0179】

20

本実施形態においては、1つの画素100が2個のサブ画素PC1およびPC2を含む。1つのマイクロレンズ401に対応して、2つのサブ画素PC1、PC2が配される。つまり、1つのマイクロレンズ401により集光された光が、2つのサブ画素PC1、PC2に入射する構造となっている。

【0180】

各サブ画素PC1、PC2は、実施例1の画素100と同じ構成である。そのため、サブ画素PC1、PC2の構成および動作については、実施例1と同様であるので、説明を省略する。

【0181】

30

同一のマイクロレンズに対応して設けられた2個のサブ画素PC1、PC2は、所定の距離d1だけ離れて配置される。図では示していないが、隣接する画素100の画素電極どうしは、距離d1よりも大きい距離d2だけ離れて配置してもよい。このように画素電極を配置することで、ある画素に入射した光に応じて生成された電荷が、隣接する画素の光電変換部に蓄積されることを抑制できる。

【0182】

図19(b)には、マイクロレンズ401、平坦化層402、カラーフィルタ403、遮光層105、上部電極S106、半導体層108、絶縁層109、層間膜404が示されている。半導体層108に配された受光領域101、電荷転送領域102、および、電荷保持領域103が、それぞれ破線で示されている。

【0183】

図19(a)および図19(b)には、受光領域101に対応する電極P110、電荷転送領域102に対応する転送電極T111、電荷保持領域103に対応する電極M112が示されている。電極P110、転送電極T111、電極M112の形状は、同心の半円状に形成する。本実施例において、2つのサブ画素PC1およびPC2は、画素回路の配された基板の表面に平行な線に対して線対称に配置される。

40

【0184】

本実施例においては、平面視において、マイクロレンズ401の中心に近い位置から順に、電荷保持領域103、電荷転送領域102、および、受光領域101が並ぶ。このような構成によれば、図19(b)の光線LAおよび光線LBが示すように、2つのサブ画素PC1およびPC2における入射光の分離性能を向上させることができる。結果として精度の高い焦点検出を行うことが可能である。

【0185】

50

以上で説明したように、本実施例では、1つのマイクロレンズ401に対応して2つのサブ画素P C 1およびP C 2が設けられる。このような構成によれば、時間差のない位相差検出用信号を読み出すことができる。そのため、動画撮像においてリアルタイムに正確な被写体の距離情報を得ることができる。

【0186】

なお、画素100の動作は、上述した動作に限定されず、通常の撮像画像を取得する動作を行ってもよい。

【実施例10】

【0187】

本発明に係る別の実施例を説明する。本実施例は、転送電極T111が電極P110および電極M112とは異なる高さに配されている点で、実施例1乃至実施例4と異なる。以下では実施例1乃至実施例4と相違している部分について説明する。

【0188】

図20に本実施例の撮像装置の画素100の概略図を示す。図1(a)または図12と同じ機能を有する部分には同じ符号を付してある。

【0189】

本変形例では、電極P110と電極M112とは同じ層に形成される。一方で、転送電極T111は、電極P110および電極M112とは異なる層により形成される。画素回路の配された基板の表面を基準にすると、転送電極T111は、電極P110および電極M112とは異なる高さに配されている。また、転送電極T111の一部が、電極P110および電極M112にオーバーラップしている。

【0190】

このような構成によれば、電極P110と電極M112との間のギャップgを小さくすることができる。このギャップgは電荷転送特性に影響し、ギャップgが小さいと電荷転送特性が向上する。したがって、本実施例によれば、電荷の転送効率を向上させることができる。

【実施例11】

【0191】

本発明に係る撮像システムの実施例について説明する。撮像システムとして、デジタルスチルカメラ、デジタルカムコーダ、カメラヘッド、複写機、ファックス、携帯電話、車載カメラ、観測衛星などがあげられる。図21に、撮像システムの例としてデジタルスチルカメラのブロック図を示す。

【0192】

図21において、1001はレンズの保護のためのバリア、1002は被写体の光学像を撮像装置1004に結像させるレンズ、1003はレンズ1002を通った光量を可変するための絞りである。1004は上述の各実施例で説明した撮像装置であって、レンズ1002により結像された光学像を画像データとして変換する。ここで、撮像装置1004の半導体基板にはA D変換部が形成されているものとする。1007は撮像装置1004より出力された撮像データに各種の補正やデータを圧縮する信号処理部である。そして、図21において、1008は撮像装置1004および信号処理部1007に、各種タイミング信号を出力するタイミング発生部、1009はデジタルスチルカメラ全体を制御する全体制御部である。1010は画像データを一時的に記憶する為のフレームメモリ部、1011は記録媒体に記録または読み出しを行うためのインターフェース部、1012は撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体である。そして、1013は外部コンピュータ等と通信する為のインターフェース部である。ここで、タイミング信号などは撮像システムの外部から入力されてもよく、撮像システムは少なくとも撮像装置1004と、撮像装置1004から出力された撮像信号を処理する信号処理部1007とを有すればよい。

【0193】

本実施例では、撮像装置1004とA D変換部とが別の半導体基板に設けられた構成を

10

20

30

40

50

説明した。しかし、撮像装置 1004 と A/D 変換部とが同一の半導体基板に形成されていてもよい。また、撮像装置 1004 と信号処理部 1007 とが同一の半導体基板に形成されていてもよい。

【0194】

また、それぞれの画素 100 が第 1 の光電変換部 101A と、第 2 の光電変換部 101B を含むように構成されてもよい。信号処理部 1007 は、第 1 の光電変換部 101A で生じた電荷に基づく信号と、第 2 の光電変換部 101B で生じた電荷に基づく信号とを処理し、撮像装置 1004 から被写体までの距離情報を取得するように構成されてもよい。

【0195】

撮像システムの実施例において、撮像装置 1004 には、実施例 1 の撮像装置が用いられる。このように、撮像システムにおいて本発明に係る実施例を適用することにより、ノイズの低減された画像を取得することができる。

【符号の説明】

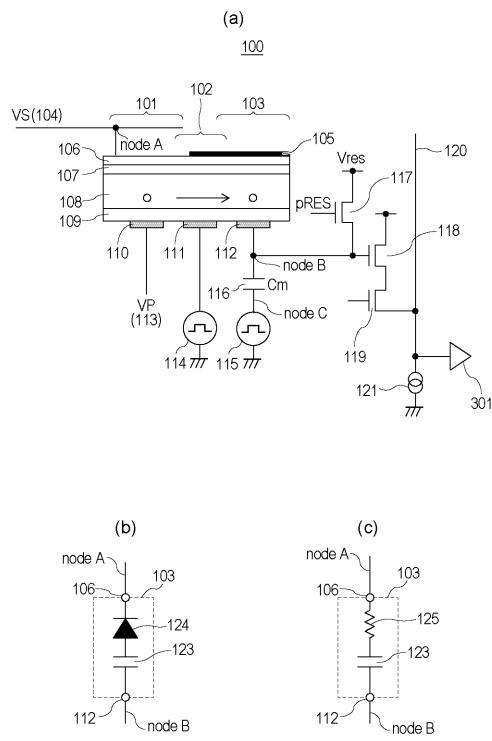
【0196】

- | | |
|-----|------------|
| 101 | 受光領域 |
| 102 | 電荷転送領域 |
| 103 | 電荷保持領域 |
| 106 | 上部電極 S |
| 108 | 半導体層 108 |
| 109 | 絶縁層 |
| 110 | 電極 P |
| 111 | 電極 T |
| 112 | 電極 M |
| 117 | リセットトランジスタ |
| 118 | 増幅トランジスタ |
| 119 | 選択トランジスタ |

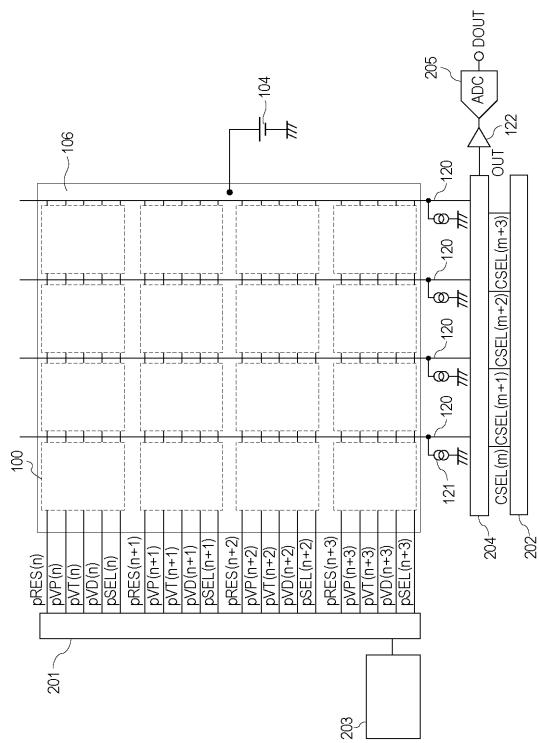
10

20

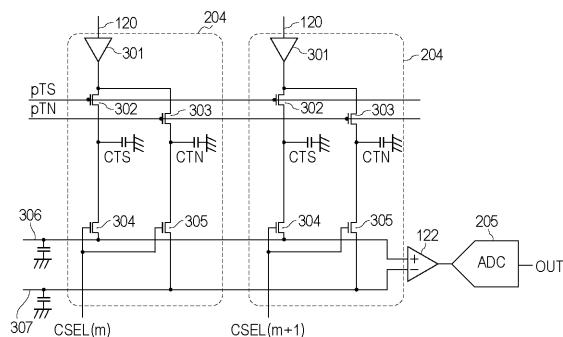
【図1】



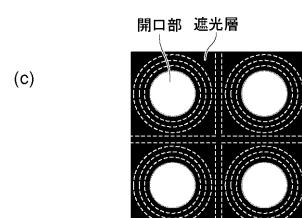
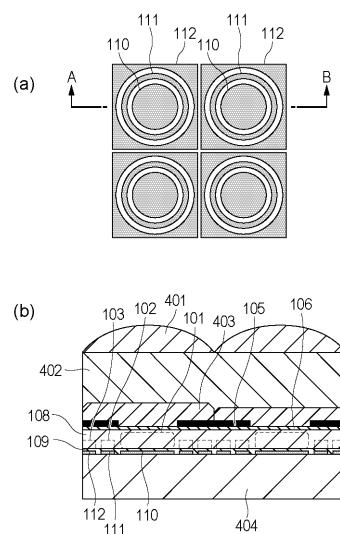
【図2】



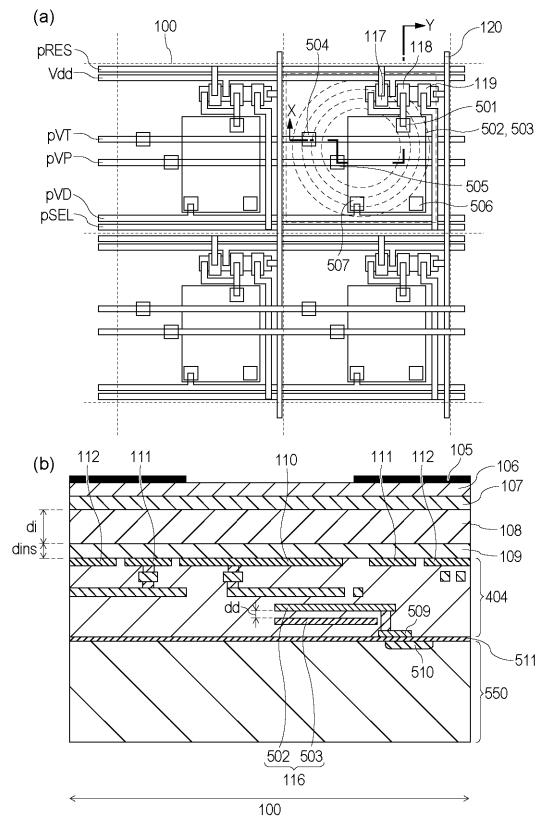
【図3】



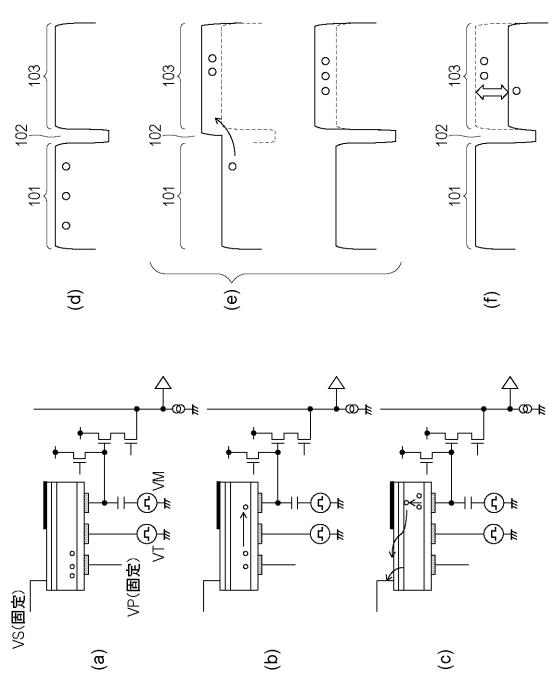
【図4】



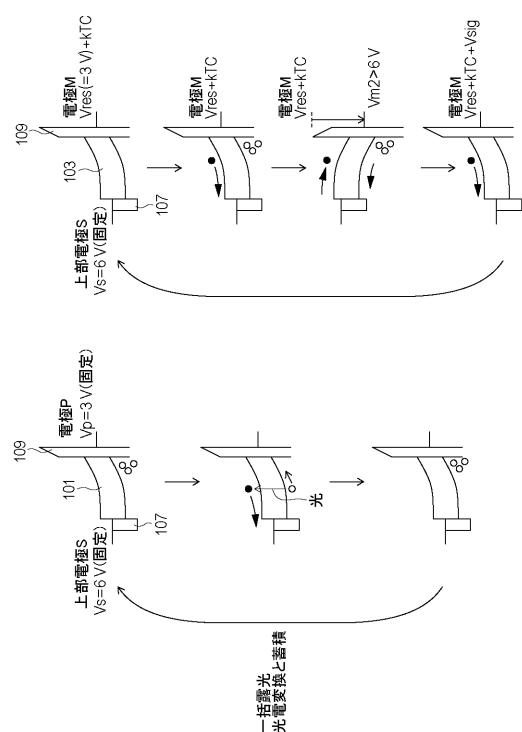
【 図 5 】



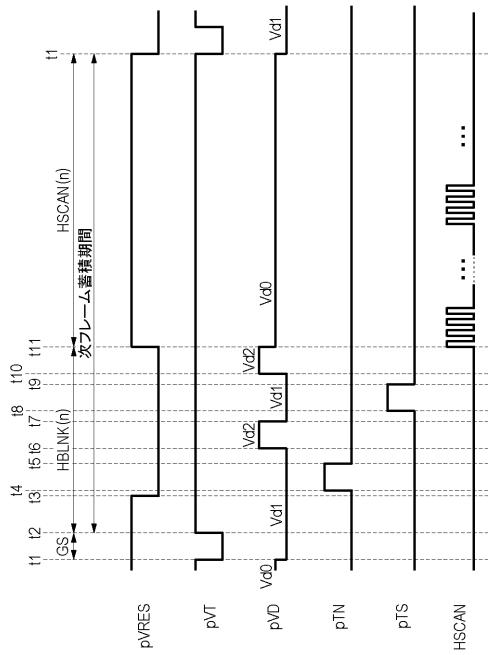
【 四 6 】



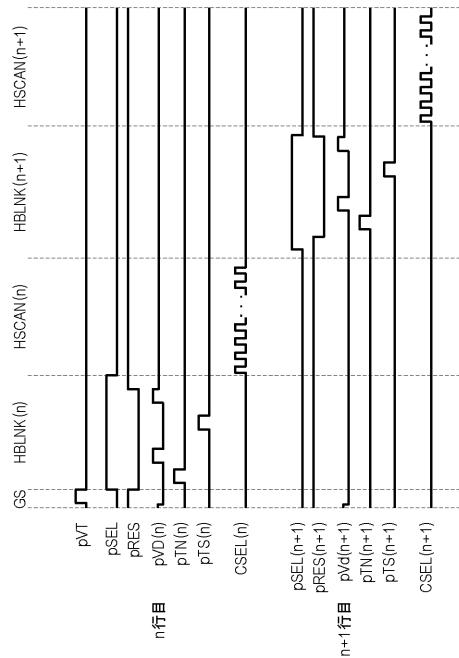
【 四 7 】



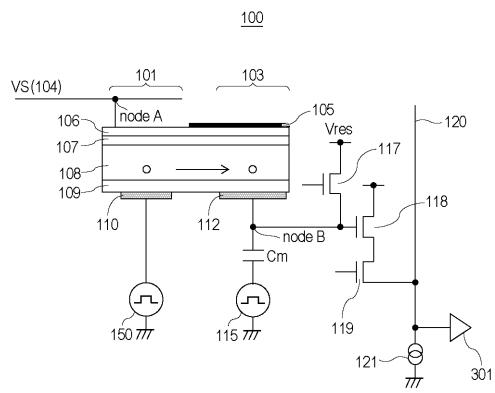
【 四 8 】



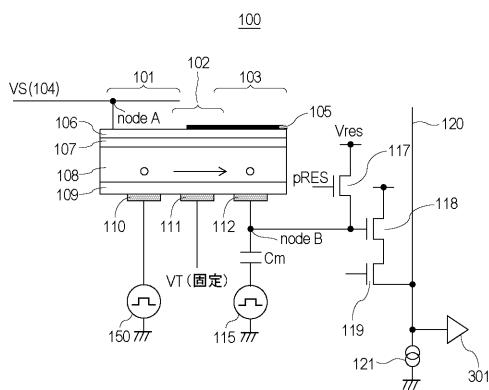
【図9】



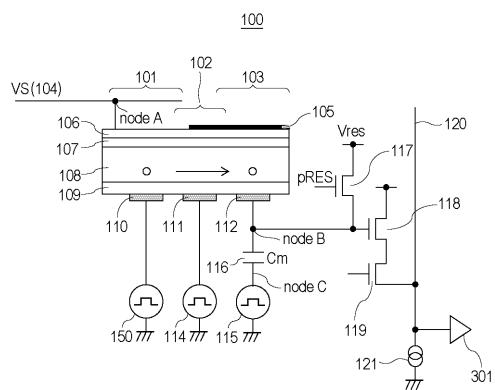
【図10】



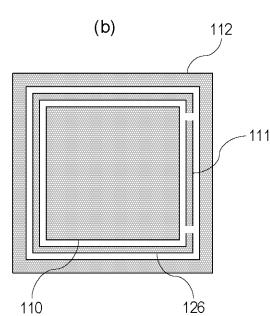
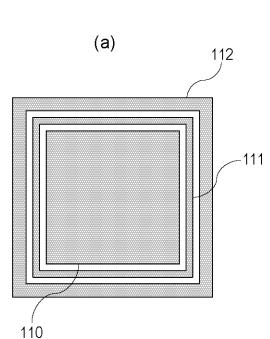
【図11】



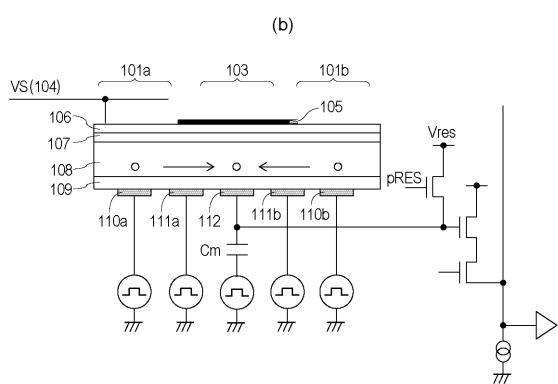
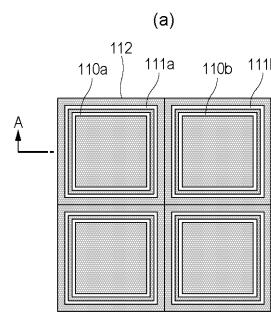
【図12】



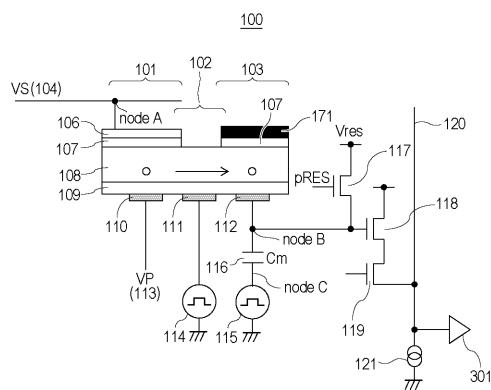
【図13】



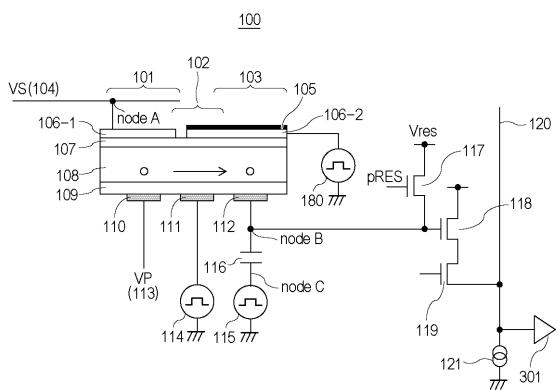
【図14】



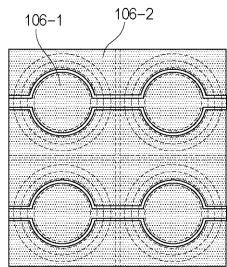
【図15】



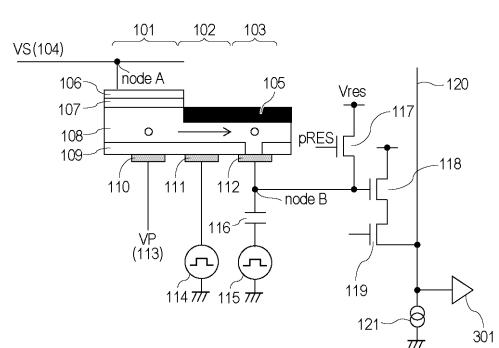
【図16】



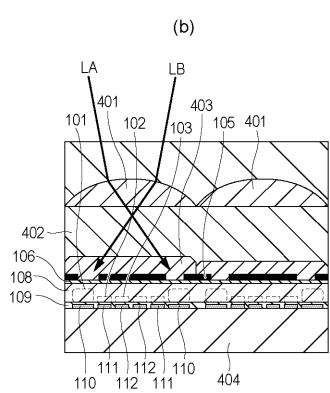
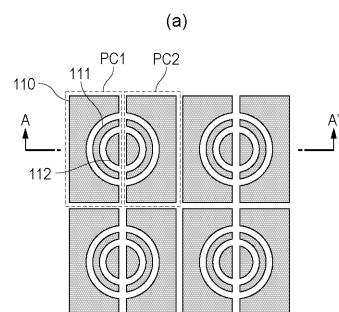
【図17】



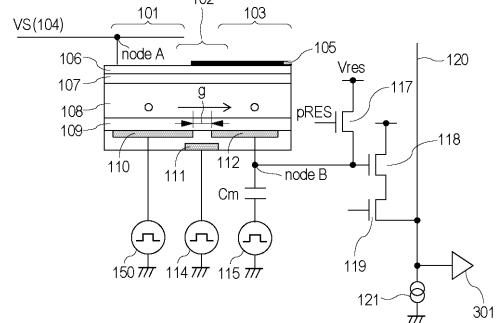
【図18】



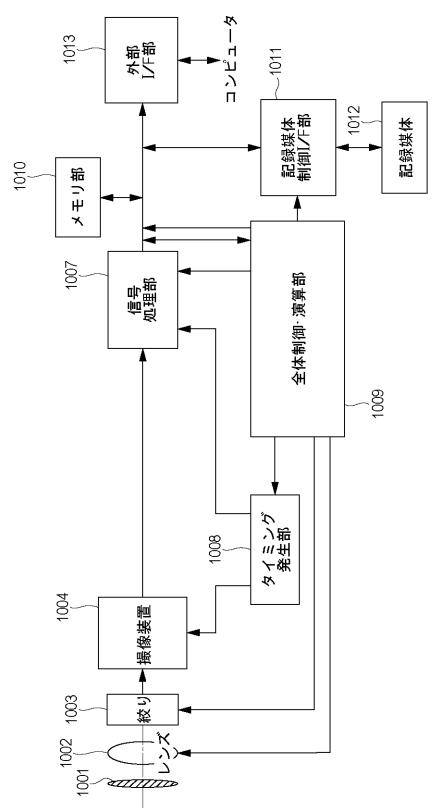
【図19】



【図20】



【図 2 1】



フロントページの続き

(56)参考文献 国際公開第2010/116974 (WO, A1)
特開2015-037154 (JP, A)
特開平08-116046 (JP, A)
国際公開第2012/004923 (WO, A1)
特開平09-275201 (JP, A)
特表2015-507841 (JP, A)
特開2002-158340 (JP, A)
特開2003-078124 (JP, A)
特開2012-084644 (JP, A)
国際公開第2015/068668 (WO, A1)
米国特許出願公開第2013/0093932 (US, A1)
特表2010-521816 (JP, A)
特開平10-189932 (JP, A)
特開2015-198361 (JP, A)
特開2013-258315 (JP, A)
特開2014-003282 (JP, A)
特開2011-187544 (JP, A)
特開2005-326403 (JP, A)
特開2013-225734 (JP, A)
特開2011-204878 (JP, A)
米国特許出願公開第2016/0037098 (US, A1)
特開2016-086407 (JP, A)
特開2016-063156 (JP, A)
特開2016-058559 (JP, A)
特開2016-021445 (JP, A)
特開2017-103428 (JP, A)
特開2017-108101 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146
H04N 5/341
H04N 5/369