(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2020 年 1 月 2 日 (02.01.2020)

WIPO | PCT

(10) 国际公布号
WO 2020/001033 A1

(51) 国际专利分类号:
H01L 29/78 (2006.01) *H01L 29/423* (2006.01)
H01L 29/08 (2006.01) *H01L 21/336* (2006.01)
H01L 29/10 (2006.01)

(21) 国际申请号: PCT/CN2019/074710

(22) 国际申请日: 2019 年 2 月 3 日 (03.02.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810689312.6 2018年6月28日 (28.06.2018) CN

(71) 申请人: 华 为 技 术 有 限 公 司 (**HUAWEI TECHNOLOGIES CO., LTD.**) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 王 怀 锋 (**WANG, Huaifeng**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) **Title:** SEMICONDUCTOR DEVICE AND TERMINAL DEVICE

(54) 发明名称: 一种半导体器件及终端设备

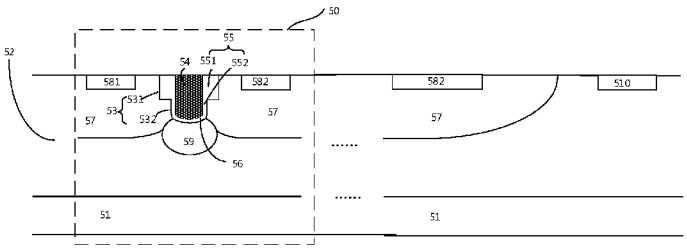


图 5

(57) **Abstract:** A semiconductor device and a terminal device. The semiconductor device comprises: a substrate (51); an epitaxial layer (52) located on one side of the substrate (51); a trench (53) located in the epitaxial layer (52), the trench (53) having a gate (54), and an oxide layer (55, 56) being provided between the inner wall of the trench (53) and the outer wall of the gate (54); drift regions (57) located at both sides of the trench (53); a first drain (581) and a second drain (582) respectively located in the drift regions (57) at the both sides of the trench (53); and a channel (59) located between the bottom wall of the trench (53) and the substrate (51) and adjacent to the bottom of the trench (53). The doping type of the substrate (51), the epitaxial layer (52) and the channel (59) is a first type, and the doping type of the drift regions (57), the first drain (581) and the second drain (582) is a second type. In the first type and the second type, one is a P type and the other is an N type.

(57) 摘要: 一种半导体器件及终端设备。半导体器件包括: 衬底 (51); 位于衬底 (51) 一侧的外延层 (52); 位于外延层 (52) 中的沟槽 (53), 沟槽 (53) 内具有栅极 (54), 沟槽 (53) 的内壁与栅极 (54) 的外壁之间具有氧化层 (55、56); 位于沟槽 (53) 两侧的漂移区 (57); 分别位于沟槽 (53) 两侧的漂移区 (57) 内的第一漏极 (581) 和第二漏极 (582); 以及沟道 (59), 沟道 (59) 位于沟槽 (53) 底壁与衬底 (51) 之间且邻近沟槽 (53) 的槽底; 其中, 衬底 (51)、外延层 (52) 和沟道 (59) 的掺杂类型为第一类型, 漂移区 (57)、第一漏极和 (581) 第二漏极 (582) 的掺杂类型为第二类型; 第一类型和第二类型中, 其中一个为P型, 另一个为N型。

WO 2020/001033 A1

[见续页]

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种半导体器件及终端设备

本申请要求于2018年06月28日提交中国国家知识产权局、申请号为201810689312.6、发明名称为“一种功率半导体器件及制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体器件及半导体工艺技术领域，尤其涉及一种功率半导体器件及制造方法。

背景技术

功率半导体器件以功率金属氧化物半导体场效应晶体管(功率 MOSFET，常简写为功率MOS)、绝缘栅双极晶体管(IGBT)以及功率集成电路(power IC，常简写为 PIC)为主。这些器件或集成电路能在很高的频率下工作，而电路在高频工作时能更节能、节材，能大幅减少设备体积和重量。尤其是集成度很高的单片片上功率系统(power system on a chip，简写 PSOC)，它能把传感器件与电路、信号处理电路、接口电路、功率器件和电路等集成在一个硅芯片上，使其具有按照负载要求精密调节输出和按照过热、过压以及过流等情况进行自我保护的功能。

功率半导体器件技术领域一直致力于在满足一定耐压下，减小功率半导体器件的单位面积导通电阻，减少芯片面积，降低器件功率损耗。

发明内容

有鉴于此，本申请提供了一种半导体器件及其制造方法，以减小半导体器件的单位面积导通电阻，减少芯片面积，降低器件功率损耗。

可选的，该半导体器件为功率半导体器件。应当知道的是，该半导体器件的具体产品形态还可以是功率半导体器件之外的其他形态，此处不再限定。

为了达到上述发明目的，本申请采用了如下技术方案：

本申请的第一方面提供了一种功率半导体器件，包括：

衬底；

位于所述衬底一侧的外延层；

位于所述外延层中的沟槽，所述沟槽内具有栅极，所述沟槽的内壁与所述栅极的外壁之间具有氧化层，

位于所述沟槽两侧的漂移区；

分别位于所述沟槽两侧的漂移区内的第一漏极和第二漏极；

以及沟道，所述沟道位于所述沟槽底壁与所述衬底之间且邻近所述沟槽的槽底；

其中，所述衬底、所述外延层和所述沟道的掺杂类型为第一类型，所述漂移区、所述第一漏极和所述第二漏极的掺杂类型为第二类型；

所述第一类型和所述第二类型中，其中一个为P型，另一个为N型。

可选的，该半导体器件包括多个并联的元胞。其中，每一个元胞的结构可以参见前述限定。也即该元胞可以包括衬底和外延层，以及位于该外延层内的沟槽、沟道和漂移区，

进而还包括位于漂移区内的第一漏极和第二漏极。可以说，前述实施例限定的是位于该半导体器件内的一个元胞的结构。

本申请第一方面提供的功率半导体器件为横向 MOS 型器件，该功率半导体器件为无源极的 MOS 结构，该源极区域的去除，有利于减小元胞尺寸，元胞尺寸的减小，有利于降低功率半导体器件的单位面积导通电阻。

而且，该功率半导体器件为单沟道结构，该单沟道的设置，有利于减少沟道电阻，降低元胞导通电阻。

此外，在该功率半导体器件中，场氧化层设置在外延层（器件本体）内部，形成体内纵向场板（纵向场氧化层），而且，功率半导体器件中的漂移区和外延层形成体内纵向 PN 结（体内纵向二极管）。因此，本申请采用体内纵向场板以及体内纵向 P/N 结的双 RESURF（Reduced Surface Field，降低表面电场）技术，极大地减少了芯片面积。

而且，相比常规 LDMOS（Laterally Diffused Metal Oxide Semiconductor，横向扩散金属氧化物半导体）技术，该器件体内纵向二极管的形成，使得该器件无表面强电场问题，无需表面场板技术，有利于减小漂移区的横向尺寸，进而减小元胞尺寸。此外，该器件采用纵向栅极场氧化层，利用电荷平衡机理，有利于提高漂移区的浓度，进而减小漂移区电阻，从而减小元胞导通电阻。

综上，本申请第一方面提供的功率半导体器件能够减小功率半导体器件的单位面积导通电阻，减少芯片面积，降低器件功率损耗。

可选的，所述沟槽的内侧壁与所述栅极的外侧壁之间具有第一氧化层，所述沟槽的槽底与所述栅极的底面之间具有第二氧化层。值得解释的是，所述栅极的底面朝向所述沟槽的槽底。具体的，所述第一氧化层为场氧化层、栅氧化层或既包括场氧化层又包括栅氧化层。进一步地，所述第二氧化层为栅氧化层。

结合本申请的第一方面，在第一种可能的实现方式中，沿所述外延层的厚度方向（或沿所述沟槽的深度方向），所述沟槽包括主体部和自所述主体部延伸出的且朝所述衬底凸出的凸出部。

基于上述第一种可能的实现方式，能够在保证耐压阻断的前提下，降低元胞的导通电阻。

结合本申请的第一方面的第一种可能的实现方式，在第二种可能的实现方式中，所述场氧化层包括位于所述主体部侧壁的的第一场氧化层和位于所述凸出部侧壁的第二场氧化层，所述第一场氧化层的厚度大于所述第二场氧化层的厚度。

基于上述第二种可能的实现方式，能够在保证耐压阻断的前提下，降低元胞的导通电阻。

结合本申请的第一方面的第二种可能的实现方式，在第三种可能的实现方式中，所述第一场氧化层厚度在 350Å 至 1000Å 之间。

基于上述第三种可能的实现方式，能够保证器件的耐压性能。

结合本申请的第一方面的第一种至第三种任一可能的实现方式，在第四种可能的实现方式中，沿所述外延层的厚度方向，所述栅极包括第一部分和从所述第一部分向所述沟槽的底壁延伸的第二部分，所述第一部分的宽度大于所述第二部分的宽度。

基于上述第四种可能的实现方式，可以提高半导体器件的性能。

结合本申请的第一方面或上述任一可能的实现方式，在第五种可能的实现方式中，所述器件还包括本体电极，所述本体电极位于所述外延层内且靠近所述外延层的外表面，至少一个所述元胞位于所述本体电极围合的区域内。

基于上述第五种可能的实现方式，能够提高功率半导体器件的元胞密度，进而提高其功率。

结合本申请的第一方面或第一种至第四种任一可能的实现方式，在第六种可能的实现方式中，所述器件还包括本体电极和位于所述沟槽内且呈孤岛状的阱区，所述本体电极位于所述阱区内且靠近所述阱区的外表面，所述阱区的掺杂类型为所述第一类型。

结合本申请的第一方面或上述任一可能的实现方式，在第七种可能的实现方式中，所述栅极、所述第一漏极和所述第二漏极的电极均引出到所述器件的外表面。

基于上述第七种可能的实现方式，能够有利于半导体器件的小型化。

结合本申请的第一方面或上述任一可能的实现方式，在第八种可能的实现方式中，所述第一漏极和所述第二漏极对称分布在所述沟槽的两侧。

基于上述第八种可能的实现方式，能够提高半导体器件的双向耐压性能。

结合本申请的第一方面的第六种可能的实现方式，在第九种可能的实现方式中，所述阱区的侧壁具有场氧化层。

基于上述第九种可能的实现方式，能够提高半导体器件的耐压性能。

结合本申请的第一方面或上述任一可能的实现方式，在第十种可能的实现方式中，所述栅极为多晶硅栅极。

基于上述第八种可能的实现方式，能够提高半导体器件的性能，并降低制造成本。

本申请的第二方面提供了一种终端设备，包括功率半导体器件和控制器，所述功率半导体器件为如上述任一种可能的实现方式所述的功率半导体器件，所述控制器用于控制所述功率半导体器件的导通和/或关断。

本申请第二方面提供的终端设备具有上述功率半导体器件所述的相应的效果。

本申请的第三方面提供了一种功率半导体器件的制造方法，包括：

在衬底的一侧形成外延层；

在所述外延层中形成沟槽，所述沟槽内具有栅极，所述沟槽的侧壁覆盖有场氧化层，所述沟槽底壁的特定区域覆盖有栅氧化层，所述特定区域为所述栅极的底面在所述沟槽底壁的正投影所覆盖的区域；

在所述沟槽的两侧形成漂移区，并分别在所述沟槽两侧的漂移区内形成第一漏极和第二漏极；以及，

在所述沟槽底壁与所述衬底之间且邻近所述沟槽底壁的区域形成沟道；

其中，所述衬底、所述外延层和所述沟道的掺杂类型为第一类型，所述漂移区、所述第一漏极和所述第二漏极的掺杂类型为第二类型；

所述第一类型和所述第二类型中，其中一个为P型，另一个为N型。

基于上述第三方面提供的制造方法，可以基于传统的分离槽栅MOS工艺或者单片集成BCD工艺技术实现，制造工艺简单，制造成本低。

结合本申请的第三方面，在第一种可能的实现方式中，所述在所述外延层中形成沟槽，具体包括：

在所述外延层中形成第一阱区，所述第一阱区的掺杂类型为所述第二类型；

刻蚀所述第一阱区，以形成所述沟槽的主体部；

自所述主体部的底部向所述衬底方向刻蚀，以形成所述沟槽的凸出部，所述主体部和所述凸出部构成所述沟槽；

相应的，所述在所述沟槽的两侧形成漂移区，具体包括：

位于所述主体部和所述凸出部外围的第一阱区形成为漂移区。

基于上述第一种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面的第一种可能的实现方式中，在第二种可能的实现方式中，所述在所述沟槽底壁与所述衬底之间且邻近所述沟槽底壁的区域形成沟道，具体包括：

向所述凸出部的底壁注入掺杂离子，以在所述凸出部底壁与所述衬底之间且邻近所述沟槽凸出部底壁的区域形成沟道，所述掺杂离子的导电类型为所述第一类型。

基于上述第二种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面的第一种可能的实现方式中，在第三种可能的实现方式中，在刻蚀所述第一阱区形成所述主体部之后，以及自所述主体部的底部向所述衬底方向刻蚀形成所述沟槽的凸出部之前，所述方法还包括：

在所述主体部的侧壁上形成第一场氧化层；

所述自所述主体部的底部向所述衬底方向刻蚀，以形成所述沟槽的凸出部，具体为：

自侧壁形成有第一场氧化层的主体部的底部向所述衬底方向刻蚀，以形成所述沟槽的凸出部。

基于上述第三种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面的第三种可能的实现方式中，在第四种可能的实现方式中，所述自侧壁形成有第一场氧化层的主体部的底部向所述衬底方向刻蚀，以形成所述沟槽的凸出部之后，所述方法还包括：

在所述凸出部的侧壁上形成第二场氧化层，以及，在所述凸出部的底壁上形成栅氧化层。

基于上述第四种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面的第三种可能的实现方式中，在第五种可能的实现方式中，所述在所述主体部的侧壁上形成第一场氧化层，具体包括：

向所述主体部内填满二氧化硅；

刻蚀位于所述主体部中间区域的二氧化硅，以在所述沟槽主体部的侧壁上形成第一场氧化层。

基于上述第五种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面或上述任一种可能的实现方式中，在第六种可能的实现方式中，所述方法还包括：

在所述外延层内且靠近所述外延层的外表面形成本体电极，至少一个所述元胞位于所述本体电极围合的区域内。

基于上述第六种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面，在第七种可能的实现方式中，所述在所述外延层中形成沟槽，具体包括：

在所述外延层的第一区域和第二区域分别形成第二阱区和第三阱区；所述外延层的第二区域位于所述外延层的第一区域的两侧；所述第二阱区包括第一部分和从所述第一部分向所述第二阱区底部延伸的第二部分；所述第二阱区包括第一区域和包围所述第一区域的第二区域；所述第二阱区的掺杂类型为所述第一类型，所述第三阱区的掺杂类型为所述第二类型；

刻蚀所述第二阱区第二区域的第一部分及其侧面预设范围内的第三阱区，以形成沟槽；

相应的，所述在所述沟槽的两侧形成漂移区，具体包括：

位于所述沟槽外围的第三阱区形成为漂移区；

相应的，在所述沟槽底壁与所述衬底之间且邻近所述沟槽底壁的区域形成沟道，具体包括：

所述第二阱区的第二部分形成为所述沟道。

基于上述第七种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面的第七种可能的实现方式，在第八种可能的实现方式中，所述在所述外延层中形成沟槽后，所述方法还包括：

在所述沟槽的侧壁上形成场氧化层。

基于上述第八种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面的第八种可能的实现方式，在第九种可能的实现方式中，所述在所述沟槽的侧壁上形成场氧化层后，所述方法还包括：

在所述沟槽底壁的特定区域形成栅氧化层，所述沟槽底壁的特定区域为待形成栅极的底面在所述沟槽底壁的正投影所覆盖的区域。

基于上述第九种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面的第九种可能的实现方式，在第十种可能的实现方式中，所述在所述沟槽底壁的特定区域形成栅氧化层后，所述方法还包括：

向所述沟槽内填充栅电极材料，形成所述栅极。

基于上述第十种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面的第七种可能的实现方式，在第十一种可能的实现方式中，所述刻蚀所述第二阱区第二区域的第一部分及其侧面预设范围内的第三阱区，以形成沟槽，具体包括：

刻蚀所述第二阱区第二区域的第一部分的第一子部分及其侧面预设范围内的第三阱区，以形成沟槽的主体部；所述第二阱区的第一部分包括第一子部分和从所述第一子部分向所述第二阱区底部延伸的第二子部分；

自所述主体部的底部向所述衬底方向刻蚀所述第二阱区第二区域的第一部分的第二子部分，以形成所述沟槽的凸出部，所述主体部和所述凸出部构成所述沟槽；

相应的，位于所述沟槽外围的第三阱区形成为漂移区，具体为：

位于所述主体部和所述凸出部外围的第三阱区形成为漂移区。

基于上述第十一种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面的第十一种可能的实现方式，在第十二种可能的实现方式中，形成沟槽的主体部之后，形成所述沟槽的凸出部之前，所述方法还包括：

在所述主体部的侧壁上形成第一场氧化层；

所述自所述主体部的底部向所述衬底方向刻蚀所述第二阱区第二区域的第一部分的第二子部分，以形成所述沟槽的凸出部，具体包括：

自侧壁形成有第一场氧化层的主体部的底部向所述衬底方向刻蚀所述第二阱区第二区域的第一部分的第二子部分，以形成所述沟槽的凸出部。

基于上述第十二种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面的第十二种可能的实现方式，在第十三种可能的实现方式中，形成所述沟槽的凸出部之后，所述方法还包括：

在所述凸出部的侧壁上形成第二场氧化层，以及，在所述凸出部的底壁的特定区域形成栅氧化层，所述特定区域为所述栅极的底面在所述凸出部的底壁的正投影所覆盖的区域。

基于上述第十三种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面的第十二种可能的实现方式，在第十四种可能的实现方式中，所述在所述主体部的侧壁上形成第一场氧化层，具体包括：

向所述主体部内填满二氧化硅；

刻蚀位于所述主体部中间区域的二氧化硅，以在所述沟槽主体部的侧壁上形成第一场氧化层。

基于上述第十四种可能的实现方式，能够简化制造工艺，降低制造成本。

结合本申请的第三方面的第十一种至第十四种任一可能的实现方式，在第十五种可能的实现方式中，所述方法还包括：

在所述第二阱区的第一区域内部形成本体电极，所述本体电极靠近所述第二阱区的外表面。

基于上述第十种可能的实现方式，能够简化制造工艺，降低制造成本，并且能够提高元胞的均流性。

相较于现有技术，本申请具有以下有益效果：

基于以上技术方案可知，本申请提供的功率半导体器件为横向 MOS 型器件，该功率半导体器件为无源极的 MOS 结构，该源极区域的去除，有利于减小元胞尺寸，元胞尺寸的减小，有利于降低功率半导体器件的单位面积导通电阻。

而且，该功率半导体器件为单沟道结构，该单沟道的设置，有利于减少沟道电阻，降低元胞导通电阻。

此外，在该功率半导体器件中，场氧化层设置在外延层（器件本体）内部，形成体内纵向场板（纵向场氧化层），而且，功率半导体器件中的漂移区和外延层形成体内纵向 PN 结（体内纵向二极管）。因此，本申请采用体内纵向场板以及体内纵向 P/N 结的双 RESURF

（Reduced Surface Field，降低表面电场）技术，极大地减少了芯片面积。

而且，相比常规 LDMOS（Laterally Diffused Metal Oxide Semiconductor，横向扩散金属氧化物半导体）技术，该器件体内纵向二极管的形成，使得该器件无表面强电场问题，无需表面场板技术，有利于减小漂移区的横向尺寸，进而减小元胞尺寸。此外，该器件采用纵向栅极场氧化层，利用电荷平衡机理，有利于提高漂移区的浓度，进而减小漂移区电阻，从而减小元胞导通电阻。

综上，本申请提供的功率半导体器件，能够减小功率半导体器件的单位面积导通电阻，减少芯片面积，降低器件功率损耗。

附图说明

图 1 是业界常用的功率半导体器件的剖面结构示意图；

图 2 是业界常用的功率半导体器件的器件符号示意图；

图 3A 和图 3B 是现有技术中一种功率半导体器件的剖面结构和器件符号示意图；

图 4 为本申请实施例一提供的一种功率半导体器件的俯视图；

图 5 是本申请实施例一提供的功率半导体器件的剖面结构示意图；

图 6 是本申请实施例一提供的功率半导体器件的元胞的器件符号示意图；

图 7 是本申请实施例一提供的器件产品正面示意图；

图 8 是本申请实施例提供的采用晶圆级芯片封装方式形成的最终器件产品立体示意图；

图 9 是本申请实施例一的仿真实验采用的器件元胞结构参数示意图；

图 10A 和图 10B 为本申请实施例一提供的功率半导体器件的击穿电压仿真曲线图，其中图 10A 为正向击穿电压仿真曲线图，图 10B 为反向击穿电压仿真曲线图；

图 11 是本申请实施例一提供的功率半导体器件的阈值电压的仿真曲线图；

图 12 是本申请实施例提供的功率半导体器件的导通电阻的仿真结果图；

图 13 是本申请实施例一提供的功率半导体器件制造方法流程示意图；

图 14A 至图 14I 是本申请实施例一提供的功率半导体器件的制造方法中一系列制程对应的剖面结构示意图；

图15为本申请实施例二提供的一种功率半导体器件的俯视示意图；

图16是本申请实施例二提供的一种功率半导体器件沿图15中的I-I方向的剖面结构示意图；

图17为本申请实施例二提供的一种功率半导体器件沿图15中的II-II方向的剖面结构示意图；

图18为本申请实施例二提供的另一种功率半导体器件的俯视示意图；

图19是本申请实施例二提供的另一种功率半导体器件沿图18中的I-I方向的剖面结构示意图；

图20为本申请实施例二提供的另一种功率半导体器件沿图18中的II-II方向的剖面结构示意图；

图 21 是本申请实施例二的仿真实验采用的器件元胞结构参数示意图；

图 22A 和图 22B 为本申请实施例二提供的功率半导体器件的击穿电压仿真曲线图，其中图 22A 为正向击穿电压仿真曲线图，图 22B 为反向击穿电压仿真曲线图；

图 23 是本申请实施例二提供的功率半导体器件的阈值电压的仿真曲线图；

图24是本申请实施例二提供的功率半导体器件的导通电阻的仿真结果图；

图 25 是本申请实施例二提供的一种功率半导体器件制造方法流程示意图；

图 26A 至图 26I 是本申请实施例二提供的功率半导体器件的制造方法中一系列制程对应的结构示意图；

图 27 是本申请实施例二提供的另一种功率半导体器件制造方法流程示意图；

图 28A 至图 28F 为本申请实施例二提供的功率半导体器件的制造方法中一系列制程对应的剖面结构示意图。

图 29A 为本申请提供的一种类似矩形的沟槽的示意图。

图 29B 为本申请提供的一种类似凸字形的沟槽的示意图。

图 30A 为本申请提供的一种栅极的示意图。

图 30B 为本申请提供的另一种栅极的示意图。

图 31A 为本申请提供的一种内有一个栅极的类似矩形的沟槽示意图。

图 31B 为本申请提供的一种内有一个栅极的类似凸字形的沟槽示意图。

图 32A 为本申请提供的一种内有两个栅极的类似矩形的沟槽示意图。

图 32B 为本申请提供的一种内有两个栅极的类似凸字形的沟槽示意图。

图 33 是本申请提供的器件产品正面示意图。

图 34 是本申请提供的终端设备的示意图。

具体实施方式

在介绍本申请具体实施方式之前，首先介绍描述本申请具体实施方式时用到的缩略语、中英文对照以及关键术语定义。

表1：缩略语、中英文对照表

英文缩略语	完整的英文表述/英文标准用语	中文表述/中文术语
MOS	Metal Oxide Semiconductor	金属氧化物半导体
BCD	Bipolar CMOS DMOS	双极晶体管 互补金属氧化半导体 双扩散金属氧化物半导体
LDMOS	Laterally Diffused Metal Oxide Semiconductor	横向扩散金属氧化物半导体
RESURF	Reduced Surface Field	降低表面电场
USB	Universal Serial Bus	通用串行总线
OVP	Over Voltage Protection	过电压保护
WLCSP	Wafer Level Chip Scale Packaging	晶圆级芯片封装

关键术语定义

沟道：是指场效应晶体管中源区和漏区之间的一薄半导体层。

元胞：构成功率半导体器件的最小单元，功率半导体器件包括多个并联的元胞。

N-阱区：低浓度N型掺杂区域。

漂移区：是指在漂移运动和扩散作用的双重影响下，PN结中载流子数量非常少的一个高电阻区域。

外延层：是指生长沉积在衬底上的半导体层。

场板：是半导体终端技术的常用方法之一，它通过改变表面电势分布使曲面结的曲率半径增大，抑制表面电场集中。

耗尽层：是在PN结附近,其中的载流子因扩散而耗尽，只留下不能移动的正负离子的区域，又称空间电荷区。

RESURF技术：降低表面电场(Reduced Surface Field)的技术,是在设计横向高压、低导通电阻器件中最为广泛使用的技术。

随着手持电子设备的发展，由于设备空间的限制，对电子元器件提出了高密度，高集成度，小型化，以及高性能低成本等方面的要求。其使用的功率半导体器件主要包括两种类型：分立方案器件和集成方案器件。分立方案器件存在的问题是集成度低，芯片高度过高，以及成本高。集成方案器件存在的问题是导通电阻过大，损耗严重，或者芯片面积过大，成本难以接受。

业界常见的一种功率半导体器件的结构是将两个相同结构的MOS器件串联在一起。该结构对应的器件元胞剖面结构图和符号图分别如图1和图2所示。

两个 MOS 器件的源级 11 短接在一起，栅级 121 和 122 短接在一起，两个漏极 131 和 132 分别作为器件的输入端和输出端，控制信号通过栅极 121 和 122 控制两个 MOS 器件沟道同时开通或者关闭。关断情况下，两个 MOS 的漏极 131 和 132 实现双向阻断耐压（双向阻断耐压是指，两个漏极 131 和 132 中，无论哪一个接电源正极，哪一个接电源负极，都能实现阻断耐压），在开通的情况下，电流从一个 MOS 的漏极 131 流向另外一个 MOS 的漏极 132，电流路径如图 1 中箭头所示。器件的总导通电阻是单个 MOS 器件的 2 倍（单个 MOS 的导通电阻=漂移区导通电阻 R_{drift}+沟道电阻 R_{ch}+源极电阻 R_{source}）。这种功率半导体器件的明显缺点有：1，导通的情况下，电流流经路线上通过两个 MOS 沟道，沟道电阻大；2，器件源级区域的面积不但增加了器件的导通电阻，而且浪费了芯片面积；3，表面场板技术，漂移区横向宽度受击穿电压的限制，占整个元胞尺寸的比例很大。

为了降低器件导通电阻，缩小芯片面积，在业界常见的功率半导体器件的基础上，优化了器件结构。该优化后的器件结构的元胞剖面示意图如图3A所示，该优化后的器件结构的器件符号示意图如图3B所示。该方案根据双向耐压MOS器件的特性，针对业界常见的功率半导体器件的明显缺点，把两个栅级合并为单个栅级31，从而实现单个沟道，同时去除源区结构，减除源区面积。降低器件的导通电阻，缩小芯片面积。

这种方案采用常规的LDMOS结构，缺点是为了减少表面电场强度，提高器件的耐压能力，必须采用表面场板技术，场板的长度、漂移区32长度和浓度决定器件的耐压能力。要实现较高的耐压，必需采用低掺杂且较长的漂移区，这样将会增加了器件元胞尺寸，且会

增加了漂移区的电阻。应当知道的是，器件导通电阻较高，会导致电流密度较低。图3A所示的耐压器件双边漂移区长度之和占元胞尺寸的80%，漂移区电阻占导通电阻60%左右。

为了减小功率半导体器件单位面积的导通电阻，减少芯片面积。本申请通过沟槽栅结构，在沟槽的底部设置沟道，通过纵向场板以及纵向P-N结构的双纵向RESURF技术，以实现减少元胞漂移区尺寸和增加漂移区浓度的目的，进而达到缩小元胞尺寸和减少漂移区电阻的效果。换句话说，本申请利用传统低成本制造技术，实现具有低导通电阻和高可靠性的双向耐压的MOS型开关器件。

下面结合附图描述本申请实施例提供的功率半导体器件的具体实现方式。首先参见实施例一。

实施例一

请参见图4至图6，其中，图4为本申请实施例一提供的一种功率半导体器件的俯视图，图5是本申请实施例一提供的功率半导体器件的剖面结构示意图，图6是本申请实施例一提供的功率半导体器件的元胞的器件符号示意图。

如图5所示，所述功率半导体器件包括：

P 型衬底 51；

位于衬底 51 一侧的 P 型外延层 52；

位于外延层 52 中的沟槽 53；该沟槽 53 内部具有栅极 54，沟槽的侧壁上覆盖有场氧化层 55，沟槽 53 底壁的特定区域覆盖有栅氧化层 56，该特定区域为栅极 54 的底面在沟槽 53 底壁的正投影所覆盖的区域；

位于沟槽 53 两侧的 N 型漂移区 57，其中，场氧化层 55 与漂移区 57 在元胞的横向方向上存在交叠；

位于沟槽 53 两侧的漂移区 57 内的第一漏极 581 和第二漏极 582；

以及 P 型沟道 59，P 型沟道 59 位于沟槽 53 底壁与衬底 51 之间且邻近沟槽 53 底壁的区域。

需要说明，在本申请实施例中，沟槽 53 位于外延层 52 中且靠近外延层 52 的外表面区域，且该沟槽 53 的开口朝向外延层 52 的外表面。

作为示例，沟槽 53 的具体结构可以如下：沿外延层 52 的厚度方向，沟槽 53 可以包括主体部 531 和自主体部 531 延伸出的且朝衬底 51 凸出的凸出部 532。应当理解，主体部 531 的宽度大于凸出部 532 的宽度。也可以按照以下方式理解该沟槽 53 的结构：该沟槽为凸形槽，该凸形槽的凸出部朝向衬底方向凸出，且该凸形槽的开口朝向外延层的上表面。

当沟槽 53 为凸形槽时，相应地，场氧化层 55 可以包括沿主体部 531 侧壁的第一场氧化层 551 和沿凸出部 532 侧壁的第二场氧化层 552；而且，为了在保证耐压的前提下，减小半导体器件的导通电阻，该第一场氧化层 551 的厚度大于第二场氧化层 552 的厚度。

此外，当沟槽 53 为凸形槽时，相应地，N 型漂移区 57 位于凹槽主体部 531 和凸出部 532 的外围。

需要说明，在本申请实施例中，第一场氧化层 551 可以采用氧化物沉积工艺沉积二氧化硅形成。第二场氧化层 552 可以采用热氧化方式生成。

作为进一步示例，第二场氧化层 552 可以与栅氧化层 56 同时形成。

为了提高功率半导体器件的耐压性能，第一场氧化层 551 的厚度可以在 350Å 至 1000Å 之间。

在本申请实施例中，P 型沟道 59 可以通过向沟槽 53 的凸出部 532 的底部以离子注入的方式注入 P 型掺杂离子形成。

作为示例，栅极 54 沿外延层厚度方向的宽度可以一致。作为另一示例，栅极沿外延层厚度方向的宽度也可以不一致，如此，沿外延层厚度方向，栅极 54 可以包括第一部分和从第一部分向沟槽 53 的底壁延伸的第二部分，第一部分的宽度大于所述第二部分的宽度。并且栅极的第一部分位于沟槽的主体部 531 内，栅极的第二部分位于沟槽的凸出部 532 内。

作为另一示例，栅极 54 可以为多晶硅栅极。

此外，为了实现功率半导体器件的双向耐压，作为一示例，第一漏极 581 和第二漏极 582 对称分布在沟槽 53 的两侧。

如图 5 所示，本体电极 510 位于外延层 52 内且靠近外延层 52 的外表面。该本体电极 510 可以通过向外延层 52 内离子注入 P 型掺杂杂质形成。该本体电极 510 也可以理解为通过离子注入形成在外延层 52 中的 P 型浅阱。

如图4和图5所示，本申请实施例一提供的一种功率半导体器件包括多个并联的的元胞50和本体电极510，其中，本体电极510位于元胞50的外围区域。也就是说，元胞50位于本体电极510的围合区域内。需要说明，在本申请实施例中，可以一个元胞50位于本体电极510的围合区域内，也可以多个元胞50位于本体电极510的围合区域内。另外，被本体电极510围合的元胞50共用一个本体电极。为了提高功率半导体器件的元胞密度，进而提高功率半导体器件的功率，作为一可选实施例，本体电极510位于所有元胞50的外围区域，也就是说，所有元胞50被一个本体电极510包围，该所有元胞50共用一个本体电极510。

需要说明，在图4中，示出该功率半导体器件包括N个并联的元胞50，N为大于或等于2的整数。

值得注意的是，本发明实施例对功率半导体器件限定，比如该功率半导体包括衬底和外延层，该外延层具有沟槽、沟道和漂移区，该漂移区具有第一漏极和第二漏极，以及，该沟槽内具有栅极，且该沟槽的内壁和该栅极的外壁之间具有氧化层，可以理解为是对位于该功率半导体器件内的元胞的结构的限定。

需要说明的是，在本实施例中，所述衬底、所述外延层和所述沟道的掺杂类型均为 P 型，且所述漂移区、所述第一漏极和所述第二漏极的掺杂类型均为 N 型。

可选的，所述衬底、所述外延层和所述沟道的掺杂类型均为 N 型，且所述漂移区、所述第一漏极和所述第二漏极的掺杂类型均为 P 型。

作为本申请的另一示例，为了实现器件的小型化，如图 7 或图 33 所示的器件产品正面示意图，器件的栅极 54、第一漏极 581、第二漏极 582、本体电极 510 的电极均引出到器件的上表面，通过表面植球的方式实现信号传输。然后，采用晶圆级芯片封装(WLCSP)实现最终器件产品。

需要说明的是，图 7 或图 33 中的附图标记用于表示对应电极的外部管脚，例如附图标记 510 用于表示本体电极 510 的外部管脚，附图标记 54 用于表示栅极 54 的外部管脚，

附图标记 581 用于表示第一漏极 581 的外部管脚，附图标记 582 用于表示第二漏极 582 的外部管脚。

值得注意的是，如图 7 或图 33 所示，一列第一漏极 581 之后是一列第二漏极 582，也即，多个第一漏极 581 形成的列和多个第二漏极 582 形成的列是交替排列的。相对于传统的，一列或多列第一漏极 581 位于栅极 54 的一侧，一列或多列第二漏极 582 位于栅极 54 的另一侧。图 7 或图 33 中所示的这种排列方式，由于第一漏极 581 和第二漏极 582 的管脚之间的距离变小，因此能够减小金属走线的寄生电阻。

作为示例，本申请采用晶圆级芯片封装方式形成的最终器件产品立体示意图如图 8 所示。

如图 8 所示，该封装结构包括芯片 81 以及位于芯片 81 背面的背面涂层 82。该芯片 81 的正面上设置有多个焊球 811，用于与外部实现信号传输。

WLCSP 器件高度约为 0.5mm（其中背面图层约为 0.04mm，硅片厚度约为 0.25mm，焊球高度 0.2mm），只有塑封器件高度的一半。WLCSP 器件的散热效果也优于同等尺寸的塑封器件，如 2mmx2mm 25 球的 WLCSP 器件热阻 Rja 约为 30° C/W，仅为同大小塑封封装的一半。

以上为本申请实施例一提供的一种功率半导体器件的具体实现方式。在该具体实现方式中，该功率半导体器件为无源极的 MOS 结构，该源极区域的去除，有利于减小元胞尺寸，元胞尺寸的减小，有利于降低功率半导体器件的单位面积导通电阻。

而且，该功率半导体器件为单沟道（如图 5 所示的沟道 59）结构，该单沟道的设置，有利于减少沟道电阻，降低元胞导通电阻。

此外，在该功率半导体器件中，场氧化层设置在外延层（器件本体）内部，形成体内纵向场板（纵向场氧化层），而且，功率半导体器件中的漂移区 57 和外延层 52 形成体内纵向 PN 结（体内纵向二极管）。因此，本申请采用体内纵向场板以及体内纵向 P/N 结的双 RESURF 技术，极大地减少了芯片面积。

需要说明的是，前一段所谓的纵向是指所述衬底的厚度方向，或所述外延层的厚度方向，或所述沟槽的深度方向。

而且，相比常规 LDMOS 技术，该器件体内纵向二极管的形成，使得该器件无表面强电场问题，无需表面场板技术，有利于减小漂移区的横向尺寸，进而减小元胞尺寸。此外，该器件采用纵向栅极场氧化层，利用电荷平衡机理，有利于提高漂移区的浓度，进而减小漂移区电阻，从而减小元胞导通电阻。

综上，本申请提供的功率半导体器件，能够减小功率半导体器件的单位面积导通电阻，减少芯片面积，降低器件功率损耗。

所述沟槽的剖面形状可以为矩形，也可以为凸字形，自然也可以是其他形状。需要说明的是，所述沟槽的剖面所在的平面与所述沟槽的长度方向是垂直的。为了便于理解下文所描述的内容，此处先对下文将会出现的名词进行解释。

所述沟槽的长度方向是指所述沟槽的延伸方向。

所述沟槽的深度方向垂直于所述沟槽的宽度方向。其中，所述沟槽的深度和所述沟槽的宽度都是基于所述沟槽的剖面的概念。需要说明的是，所述沟槽的深度方向和所述沟槽的宽度方向均位于所述沟槽的剖面所在的平面内。自然地，所述沟槽的深度方向和所述沟

槽的宽度方向均垂直于所述沟槽的长度方向。

应当知道的是，所述沟槽的剖面形状可以为矩形，也可以是接近矩形（或类似矩形）的其他形状。常见的，如图 29A 所示，该沟槽的剖面形状与矩形相似，值得注意的是，所述沟槽的槽底的宽度沿所述沟槽的深度方向是收缩的（或者逐渐变小的）。可选的，所述沟槽内除了槽底之外的其他部分的宽度是相等或者大致相等的。参见图 29A 所示的沟槽的剖面图，也可以认为槽底是一条接近弧线的曲线。值得注意的是，下文在提及所述沟槽的剖面形状为矩形或者接近矩形时，均可以参见本段的限定，为了使表述更简洁，下文再提及矩形或者接近矩形（类似矩形）时不再重复解释。

可选的，如图 29B 所示，所述沟槽的剖面的形状接近一个凸字，简称为凸字形。该凸字形包括主体部和凸出部。需要解释的是，主体部的宽度大于凸出部的宽度。其中，如图 29B 所示，主体部的的宽度是相等（或大致相等）的，凸出部的底部（或称为沟槽的槽底）的宽度是沿所述沟槽的深度方向收缩的。参见图 29B，容易看出，该凸出部内除了底部之外的其他部分的宽度是相等或者大致相等的。值得注意的是，下文在提及所述沟槽的剖面形状为凸字形或者接近凸字形（类似凸字形）时，均可以参见本段的限定，为了使表述更简洁，下文再提及凸字形或者接近凸字形（类似凸字形）时不再重复解释。

作为本发明的一种实现方式，无论该沟槽的剖面形状是怎样的，该沟槽内可以只有一个栅极。该栅极的外侧壁与该沟槽的内侧壁之间以及该栅极的底面与该沟槽的槽底之间均具有氧化层。通常，该氧化层的材料是二氧化硅。值得注意的是，该栅极的底面是朝向该沟槽的槽底的。

具体的，该栅极的外侧壁与该沟槽的内侧壁之间的氧化层为第一氧化层（或者说，该栅极的外侧壁与该沟槽的内侧壁之间具有第一氧化层），且该栅极的底面与该沟槽的槽底之间的氧化层为第二氧化层（或者说，该栅极的底面与该沟槽的槽底之间具有第二氧化层）。需要说明的是，所述第二氧化层为栅氧化层。

可选的，所述第一氧化层为栅氧化层或者场氧化层。

可选的，所述第一氧化层可以既包括栅氧化层又包括场氧化层。

值得注意的是，若所述第一氧化层的厚度与所述第二氧化层的厚度相等或大致相等，则所述第一氧化层为栅氧化层。所谓的大致相等应当遵循本领域技术人员的常规理解。若所述第一氧化层的厚度明显大于所述第二氧化层的厚度，例如它们的差距是肉眼可以判断的，则所述第一氧化层为场氧化层。

所述栅极的底面的形状与所述沟槽的槽底的形状是相同或者大致相同的。在所述栅极的底面为曲面的时候，参见图 30A 所示的栅极的剖面图，所述栅极的底面的宽度是逐渐收缩的（或逐渐变小的）。应当知道的是，在该栅极位于该沟槽内的时候，所述栅极的底面的宽度是沿着所述沟槽的深度方向逐渐收缩的（或逐渐变小的）。

值得关注的是，该栅极可以全部位于该沟槽内，也可以部分位于该沟槽内（或该栅极的部分凸出于该沟槽之外）。

可选的，该栅极全部位于该沟槽内，则所谓“该栅极的外侧壁与该沟槽的内侧壁之间具有第一氧化层”，是指，沿该沟槽的宽度方向，该沟槽的内侧壁中与该栅极的外侧壁正对的区域与该栅极的外侧壁之间具有第一氧化层。

可选的，该栅极部分位于该沟槽内，另一部分位于该沟槽外（可以理解为该栅极的部

分是凸出于该沟槽之外的），则所谓“该栅极的外侧壁与该沟槽的内侧壁之间具有第一氧化层”，是指，沿该沟槽的宽度方向，该沟槽的内侧壁中与该栅极位于该沟槽内的部分的外侧壁正对的区域与该栅极位于该沟槽内的部分的外侧壁之间具有第一氧化层。

在所述沟槽内只有一个栅极时，所述栅极的顶面可以与所述沟槽的槽口齐平或者凸出于所述沟槽的槽口之外，也可以位于所述沟槽内。

作为本申请的第一个实施例，所述栅极的顶面与所述沟槽的槽口齐平或凸出于所述沟槽的槽口之外。所述沟槽的内侧壁与所述栅极的外侧壁之间具有第一氧化层。需要解释的是，所述沟槽的内侧壁的上边缘即为所述外延层的外表面所在的平面，所述沟槽的内侧壁的下边缘为所述栅极的底面的边缘。

可选的，所述沟槽的剖面形状接近于矩形，则所述第一氧化层为栅氧化层或者场氧化层，另外，所述第一氧化层还可以既包括栅氧化层又包括场氧化层。

需要说明的是，在所述第一氧化层既包括栅氧化层又包括场氧化层的情况下，沿从所述沟槽的槽口到所述沟槽的槽底的方向，假设所述沟槽的槽口位于所述沟槽的槽底之上（或者说，假设所述沟槽的槽底位于所述沟槽的槽口之下），则所述场氧化层位于所述栅氧化层之上，或者说，所述场氧化层位于所述沟槽的内侧壁的上部分，所述栅氧化层位于所述沟槽的内侧壁的下部分。值得注意的是，下文提到上或下的概念的时候，也请按照本段的定义理解，为了简化描述，后文相关部分将不再解释。

可选的，所述沟槽的剖面形状接近于凸字形，则所述第一氧化层位于所述主体部的部分为场氧化层，位于所述凸出部的部分为栅氧化层。

作为本申请的第二个实施例，所述栅极的顶面位于所述沟槽内。所述沟槽的至少部分内侧壁与所述栅极的外侧壁之间具有第一氧化层。所述至少部分内侧壁的上边缘与所述栅极的顶面的边缘是对齐的，所述至少部分内壁侧的下边缘与所述栅极的底面的边缘是对齐的。应当知道的是，所述至少部分内侧壁的上边缘与至少部分内侧壁的下边缘是相对的。

可选的，所述沟槽的剖面形状接近于矩形，则所述第一氧化层为栅氧化层或者场氧化层。另外，所述第一氧化层还可以既包括栅氧化层又包括场氧化层。

需要说明的是，在所述第一氧化层既包括栅氧化层又包括场氧化层的情况下，所述场氧化层位于所述沟槽的内侧壁的上部分，所述栅氧化层位于所述沟槽的内侧壁的下部分。

可选的，所述沟槽的剖面形状接近于凸字形，则所述第一氧化层位于所述主体部的部分为场氧化层，位于所述凸出部的部分为栅氧化层。

在本实施例中，沿所述沟槽的深度方向，该栅极的顶面的延伸面与所述外延层的外表面所在的平面之间的区域内具有绝缘层。值得解释的是，该栅极的顶面的延伸面包括该栅极的边缘沿所述沟槽的宽度方向延伸后得到的面和该栅极的顶面。

值得注意的是，在本申请中，该绝缘层可以为氧化层。可选的，该绝缘层为二氧化硅。后文再出现绝缘层时均可以参见此处的解释，后文不再赘述。

在所述沟槽内具有多个栅极时，该多个栅极是电连通的，且所述多个栅极沿所述沟槽的深度方向排布。另外，该多个栅极之间是不连续的。为了简化描述，可以将所述多个栅极中距离所述沟槽的槽底最远的栅极称为顶栅极，则该顶栅极的顶面可以与所述沟槽的槽口齐平或者凸出于所述沟槽的槽口之外，也可以位于所述沟槽内。类似的，还可以将所述多个栅极中距离所述沟槽的槽底最近的栅极称为底栅极，则该底栅极的底面与所述沟槽的

槽底之间具有第二氧化层。结合前文可知，该第二氧化层为栅氧化层。

需要说明的是，在所述沟槽内具有多个栅极的时候，前文提及的“所述沟槽的槽底与所述栅极的底面之间”中的“所述栅极的底面”，具体是指该底栅极的底面。相应的，“所述栅极的底面朝向所述槽底”中的“所述栅极的底面”也是指所述底栅极的底面。

作为本申请的第三个实施例，该顶栅极的顶面与所述沟槽的槽口齐平或者凸出于所述沟槽的槽口之外。值得注意的是，在本实施例中，该底栅极的外侧壁与该沟槽的内侧壁之间具有的第一氧化层为栅氧化层。应当知道的是，假设该沟槽的内侧壁中与该底栅极的外侧壁正对的区域为底区域，则该底栅极的外侧壁与该沟槽的内侧壁之间具有的第一氧化层为栅氧化层，具体为，该底栅极的外侧壁与该底区域之间具有的第一氧化层为栅氧化层。本申请中其他地方提及的类似描述，也请按照此处的解释进行理解。所述多个栅极中除了该底栅极之外的其他每一栅极的外侧壁与该沟槽的内侧壁之间具有的第一氧化层均为场氧化层。

另外，沿从所述沟槽的槽底到所述沟槽的槽口的方向，所述多个栅极的宽度是逐渐变小的。其中，栅极的宽度所在的方向垂直于所述沟槽的深度方向。

可选的，在所述沟槽内，相邻两个栅极之间的区域（上栅极的底面与下栅极的顶面之间的区域）沿所述沟槽的宽度方向延伸后得到的区域内具有绝缘层。

作为本申请的第四个实施例，该顶栅极的顶面位于所述沟槽内。在这种实施例中，该顶栅极的顶面的延伸面与所述外延层的外表面所在的平面之间的区域内具有绝缘层。值得解释的是，该顶栅极的顶面的延伸面包括该顶栅极的边缘沿所述沟槽的宽度方向延伸后得到的面和该顶栅极的顶面。

作为本申请的第五个实施例，所述沟槽的剖面形状接近矩形（或类似矩形），且所述沟槽内具有两个栅极，这两个栅极是电连通的，且这两个栅极沿沟槽的深度方向排布。另外，这两个栅极之间是不连续的。这两个栅极可以分别为上栅极和下栅极。为了方便描述，还可以将所述沟槽的内侧壁中与所述上栅极的外侧壁正对的区域称为上区域，将将所述沟槽的内侧壁中与所述下栅极的外侧壁正对的区域称为下区域。

值得注意的是，在所述沟槽内具有两个栅极的时候，前文所述的“所述沟槽的槽底与所述栅极的底面之间”中的“所述栅极的底面”是指所述下栅极的底面。相应的，“所述栅极的底面朝向所述槽底”中的“所述栅极的底面”也是指所述下栅极的底面。

可选的，所述下区域和所述下栅极的外侧壁之间的所述第一氧化层为栅氧化层，所述上区域和所述上栅极的外侧壁之间的所述第一氧化层为场氧化层。

可选的，所述下区域和所述下栅极的外侧壁之间的所述第一氧化层为场氧化层，所述上区域和所述上栅极的外侧壁之间的所述第一氧化层为场氧化层。

另外，这两个栅极之间的区域沿该沟槽的宽度方向延伸后得到的位于所述沟槽内的区域内具有绝缘层。

作为本申请的第六个实施例，所述沟槽的剖面形状接近凸字形（或与凸字形类似），且所述沟槽内具有上栅极和下栅极两个栅极。该上栅极位于所述沟槽的主体部，该下栅极位于所述沟槽的凸出部。

可实现的，该下栅极的外侧壁和所述凸出部的内侧壁之间的第一氧化层为栅氧化层，该上栅极的外侧壁和所述主体部的内侧壁之间的第一氧化层为场氧化层。

另外，这两个栅极之间的区域（上栅极的底面与下栅极的顶面之间的区域）沿该沟槽的宽度方向延伸后得到的位于所述沟槽内的区域中具有绝缘层。

作为本申请的第七个实施例，上栅极的顶面位于所述沟槽内。相对于前述第五个以及第六个实施例来说，所述沟槽内还具有绝缘层。该绝缘层位于顶部区域内，所述顶部区域是指上栅极的顶面的延伸面与所述外延层的外表面所在的平面之间的区域。上栅极的顶面的延伸面包括该上栅极的边缘沿所述沟槽的宽度方向延伸后得到的面和该上栅极的顶面。

此外，本申请提供的功率半导体器件基于纵向场板和体内纵向二极管结构的双 RESURF 技术，极大地缩小了芯片面积。在性能上，开关速度快，作为过压保护器件，安全性高；在可靠性上，本发明的功率级和栅极的耐压与器件正反向耐压相同，无栅氧化层退化或者击穿的可靠性风险。

为了验证本申请实施例一的功率半导体器件的技术效果，通过半导体 TCAD（technology computer aided design，半导体器件及工艺模拟工具）仿真对本申请实施例的器件结构及性能参数进行了仿真。

该仿真实验采用的是一种双向阻断电压为有 28V 沟槽栅横向 MOS 型半导体器件。器件元胞结构参数如图 9 和表 2 所示：在浓度为 $7*10^{19}$ 的 P 型衬底上，设置掺杂浓度为 $8*10^{15}$ 且厚度“3”（此处的 3 是指表 2 中的标号 3）为 2um 的 P 型外延层形成器件本体。在器件本体表面形成浓度为 $1.1*10^{17}$ 的 N 型漂移区，深度“4”（此处的 4 是指表 2 中的标号 4）为 0.5um，横向宽度“1”（此处的 1 是指表 2 中的标号 1）为 1.3um，沟槽第一部分宽度“6”（此处的 6 是指表 2 中的标号 6）为 0.3um，深度“9”（此处的 9 是指表 2 中的标号 9）为 0.25um，第二部分的宽度“7”（此处的 7 是指表 2 中的标号 7）为 0.2um，深度“8”（此处的 8 是指表 2 中的标号 8)为 0.3um，第一掺杂类型 P 型阱区的浓度为 $1.6*10^{17}$，深度“10”（此处的 10 是指表 2 中的标号 10）为 0.4um，场氧化层厚度“11”（此处的 11 是指表 2 中的标号 11）设置为 500Å，栅氧化层设置为 120 Å。器件的沟道长度基本等于沟槽的第二部分宽度，为 0.2um，器件的阈值电压取决于栅氧化层厚度和第一掺杂类型 P 型阱区的浓度。器件的击穿电压和导通电阻分别由 N 型漂移区浓度、深度和长度，场氧化层厚度，沟槽深度等因素共同决定。

表2：本申请实施例一提供的功率半导体器件的元胞结构参数

标号	结构名称	参数值	标号	结构名称（单位）	参数值
1	元胞尺寸	1.3um	7	第二分部沟槽宽度	0.2um
2	P 型衬底厚度	1um	8	第二部分沟槽深度	0.3um
3	P 型外延层厚度	2um	9	第一部分沟槽深度	0.25um
4	第二掺杂 N 型阱深度	0.5um	10	P 型第二阱区深度	0.4um
5	N 型重掺杂阱区宽度	0.4um	11	场氧化层厚度	500Å
6	第一部分沟槽宽度	0.3um	12	N 型重掺杂阱区深度	0.2um

图10A和图10B所示为本申请实施例一提供的功率半导体器件的击穿电压仿真曲线图。其中， 图10A为器件从第一漏极581到第二漏极582的击穿电压仿真曲线图，图10B为器件从第二漏极582到第一漏极581的击穿电压仿真曲线图。

在栅极54电位、沟道59（本体）和第二漏极582电位同为低电平时，第一漏极581的电压从0V逐步升高，逐步读取第一漏极581的电流，第一漏极581电流突变增加对应的第一漏极581电压为器件第一漏极581到第二漏极582的击穿电压，如图10A所示，器件正向耐压即第一漏极581到第二漏极582的击穿电压为30V，同理，器件反向耐压即第二漏极582到第一漏极581的击穿电压为30V，如图10B所示。

此外，本申请实施例一还提供了一种28V双向阻断沟槽横向MOS型半导体器件的阈值电压仿真实验，该仿真曲线如图11所示。仿真实验条件为：沟道区域59、第二漏极582同时接电平底，第一漏极581接固定电压1V，栅极电压从0V逐步增加，逐步读取第一漏极581的电流，第一漏极581电流突变增加对应的栅极电压为器件的开启阈值电压，阈值电压仿真结果为1.5V。

本发明实施例一还提供了一种28V双向阻断沟槽横向MOS型半导体器件的导通电阻的测量（计算）实验。该测量（计算）实验的仿真条件为：沟道、第二漏极582同时接电平底，栅极电压为固定值3.6V或者5V，仿真第一漏极581电压和电流的I-V特性，利用公式R=V/I计算器件从第一漏极581到第二漏极582的导通电阻。仿真计算结果如图12所示，器件单位面积导通电阻在5V栅极电压下为8.5mΩ.mm2，在3.6V的栅极电压下为10 mΩ.mm2。

基于上述仿真实验结果可知，本申请实施例一提供的功率半导体器件的单位面积导通电阻大大降低。通过以下实验数据可以进一步验证该效果：业界商用最优的传统30V双向阻断横向MOS器件，其单位面积导通电阻为19 mΩ.mm2 @栅极驱动电压=3.6V，本申请实施例的功率半导体器件的单位面积的导通电阻为10 mΩ.mm2，相比业界最优商用器件减少50%。

以上为本申请实施例一提供的一种功率半导体器件的具体实现方式。基于该具体实现方式，本申请实施例一还提供了该功率半导体器件的制造方法的具体实现方式。

需要说明，本申请实施例一提供的功率半导体器件可以基于传统的分立槽MOS工艺或者单片集成BCD工艺技术实现，制造工艺简单且制造成本低。

请参见图13以及图14A至图14I。图13是本申请实施例一提供的功率半导体器件的制造方法流程示意图。图14A至图14I为本申请实施例一提供的功率半导体器件的制造方法中一系列制程对应的剖面结构示意图。

如图13所示，该功率半导体器件的制造方法包括：

S131：提供P型衬底。

在本申请实施例中，P型衬底51可以为硅衬底。

P型衬底的剖面结构示意图如图14A所示。

S132：在 P 型衬底上方形成 P 型外延层；外延层包括第一区域以及位于第一区域外围的第二区域。

本步骤可以具体为：在 P 型衬底 51 上生长一定掺杂浓度的 P 型外延层 52。

需要说明的是，所述的第一区域是指元胞所在的区域，所述第二区域是指本体电极的

接触区域。如图 4 所示，元胞 50 所在的区域为所述第一区域，本体电极 510 的接触区域为所述第二区域。

该 P 型外延层 52 可以作为器件本体。该 P 型外延层 52 包括第一区域 I 和第二区域 II。该步骤执行完对应的剖面结构示意图如图 14B 所示。

S133：在外延层的第一区域内部且靠近外延层上表面形成 N 阱。

本步骤可以具体为：通过离子注入方式向外延层 52 上的第一区域 I 内部且靠近外延层上表面注入 N 型掺杂杂质离子，形成 N 阱 57’，以在外延层 52 的第一区域 I 内部且靠近外延层上表面上形成 N 型漂移区。

该步骤执行完对应的剖面结构示意图如图 14C 所示。

S134：刻蚀 N 阱，以形成沟槽的主体部。

采用硅刻蚀工艺刻蚀 N 阱 57’，以在 N 阱 57’内形成沟槽的主体部 531，该步骤执行完对应的剖面结构示意图如图 14D 所示。

S135：在主体部的侧壁上形成第一场氧化层；

作为一示例，S135 可以通过以下实现方式实现，其包括以下步骤：

S1351：向主体部内填满二氧化硅；

采用热生长或二氧化硅沉积工艺向主体部 531 内填满二氧化硅 150，该步骤执行完对应的剖面结构示意图如图 14E 所示。

S1352：刻蚀位于所述主体部中间区域的二氧化硅，以在所述沟槽主体部的侧壁上形成第一场氧化层。

本步骤可以具体为：根据第一场氧化层厚度刻蚀位于主体部 531 中间区域的二氧化硅 150，以在主体部 531 的侧壁上形成第一场氧化层 551。

需要说明，第一场氧化层厚度决定了功率半导体器件的耐压性能，因此，该第一场氧化层厚度可以根据制成的功率半导体器件的耐压性能决定。作为示例，该第一场氧化层厚度可以为 0.1μm。

S136：自侧壁形成有第一场氧化层的主体部的底部向衬底方向刻蚀，以形成沟槽的凸出部。

本步骤可以具体为：采用硅刻蚀工艺自侧壁形成有第一场氧化层的主体部的底部向所述衬底方向刻蚀，从而形成沟槽的凸出部 532。需要说明，该沟槽的凸出部 532 可以延伸至外延层 52 内。

需要说明，在本申请实施例中，主体部 531 和凸出部 532 构成了沟槽 53。

相应地，位于沟槽主体部 531 和凸出部 532 外围的 N 阱 57’形成为漂移区 57。

步骤 S136 执行完对应的剖面结构示意图如图 14F 所示。

S137：在沟槽底壁与衬底之间且邻近沟槽底壁的区域形成沟道。

本步骤可以具体为：向凸出部 532 底壁注入 P 型掺杂离子，以在凸出部 532 底壁与衬底 51 之间且邻近所述沟槽凸出部 532 底壁的区域形成 P 型阱区 59，该 P 型阱区作为功率半导体器件的沟道 59。

该步骤执行完对应的剖面结构示意图如图 14G 所示。

S138：在沟槽凸出部的内表面上形成氧化层，以在凸出部的侧壁上形成第二场氧化层，

以及在凸出部的底壁上形成栅氧化层。

因形成在凸出部 532 底表面上的氧化层的功能为栅氧化层。而栅氧化层的质量和厚度对栅极的阈值电压起着关键性作用。因此，为了提高生成的氧化层的薄膜质量，本步骤可以具体为：通过热生长工艺在凸出部 532 的内表面上形成氧化层。通过热生长工艺可以在凸出部 532 的底部以及侧壁上形成氧化层。其中，形成于所述凸出部 532 底表面上的氧化层为栅氧化层 56，形成于凸出部 532 侧壁上的氧化层为第二场氧化层 552。

需要说明，在本申请实施例中，因栅氧化层的厚度较薄，所以，形成在凸出部 532 内表面上的氧化层为薄层氧化层。一般情况下，该氧化层的厚度小于形成于主体部 531 侧壁上的第一场氧化层的厚度。如此，第二场氧化层的厚度小于第一场氧化层的厚度。如此，可以在保证功率半导体器件阈值电压和耐压的情况下，也能具有较小的导通电阻。

该步骤执行完对应的剖面结构示意图如图 14H 所示。

S139：向沟槽内填充栅电极材料，形成栅电极。

本步骤可以具体为：向沟槽 53 内沉积填充多晶硅，以在沟槽 53 槽内形成多晶硅栅电极 54。需要说明，会在填充多晶硅后，为减少掩膜板，还可以在填充多晶硅后，通过化学机械研磨工艺来研磨多晶硅。

需要说明，在本申请实施例中，形成的栅电极 54 沿外延层厚度方向的宽度可以一致。作为另一示例，栅极沿外延层厚度方向的宽度也可以不一致，如此，沿外延层厚度方向，栅极 54 可以包括第一部分和从第一部分向沟槽 53 的底壁延伸的第二部分，第一部分的宽度大于所述第二部分的宽度。并且栅极的第一部分位于沟槽的主体部 531 内，栅极的第二部分位于沟槽的凸出部 532 内。

该步骤执行完对应的剖面结构示意图如图 14I 所示。

S1310：分别在沟槽两侧的漂移区内形成第一 N 型漏极和第二 N 型漏极。

本步骤可以具体为：分别向沟槽两侧的漂移区的表面内注入重掺杂 N 型掺杂离子，从而在沟槽两侧漂移区内形成第一 N 型漏极 581 和第二 N 型漏极 582。需要说明，作为一具体示例，第一 N 型漏极 581 和第二 N 型漏极 582 可以对称分布在沟槽两侧，以形成双向耐压的 MOS 型开关器件。

S1311：在外延层的第二区域内形成 P 型本体电极。

为了实现器件的小型化，作为本申请的一可选实施例，可以向外延层52的第二区域内的表面内注入P型掺杂离子，形成P型重掺杂阱，该P型重掺杂阱作为P型本体电极510。需要说明，在本申请实施例中，所有元胞位于本体电极510的围合区域内。

该步骤执行完对应的剖面结构示意图如图 5 所示。

以上为本申请实施例一提供的一种功率半导体器件制造方法的具体实现方式。在该具体实现方式中，可以基于传统的分离槽栅MOS工艺或者单片集成BCD工艺技术实现，制造工艺简单，制造成本低。

以上为本申请实施例一提供的功率半导体器件及其制造方法的具体实现方式。此外，为了提高元胞间的电流均匀性，本申请还提供了功率半导体器件及其制造方法的另一种具体实现方式，详见实施例二。

实施例二

请参见图15至图17。图15为本申请实施例二提供的一种功率半导体器件的俯视示意图，图16是本申请实施例二提供的一种功率半导体器件沿图15中的I-I方向的剖面结构示意图，图17为本申请实施例二提供的一种功率半导体器件沿图15中的II-II方向的剖面结构示意图。

需要说明，实施例二中的功率半导体器件的器件符号示意图与实施例一中的器件符号示意图相同，为了简要起见，在本申请实施例中，不再展示该符号示意图，具体请参见实施例一中的器件符号示意图。

如图15至图17所示，本申请实施例二提供的一种功率半导体器件包括：

P 型衬底 171；

设置于衬底 171 一侧的 P 型外延层 172；

设置于外延层 172 中的沟槽 173，该沟槽 173 内部包括呈孤岛状的 P 型阱区 174 和栅极 175，所述沟槽 173 的侧壁上覆盖有场氧化层 176，沟槽 173 底壁的特定区域覆盖有栅氧化层 177，该特定区域为栅极 174 的底面在沟槽 173 底壁的正投影所覆盖的区域；

设置于沟槽 173 两侧的 N 型漂移区 178，其中，场氧化层 176 与漂移区 178 在元胞的横向方向上存在交叠；

设置于沟槽 173 两侧的漂移区 178 内的第一漏极 1791 和第二漏极 1792；第一漏极 1791 和第二漏极 1792 均为 N 型；

以及设置于沟槽 173 下方的 P 型沟道 1710。

为了形成较多的本体电极，进而提高元胞的电流均流性，在本申请实施例中，所述器件还可以包括形成于 P 型阱区 174 中的本体电极 1711。该本体电极 1711 形成于 P 型阱区 174 中且靠近 P 型阱区 174 的外表面。该本体电极 1711 的掺杂类型为 P 型。如此，在每个元胞上均形成有一个本体电极，形成具有本体电极的元胞，如此，会提高元胞间内的电流均流性。

而且，为了提高器件的耐压性能，作为本申请的一可选实施例，在 P 型阱区 174 的周围可以设置有场氧化层 176。

需要说明，在本申请实施例中，P 型沟道 1710 和 P 型阱区 174 可以同时形成，两者可以为一体成型结构，其可以通过从外延层表面的部分区域注入掺杂离子形成。可以认为，P 型沟道 1710 和 P 型阱区 174 分别是通过从外延层表面的部分区域注入 P 型掺杂离子形成的 P 型阱区的不同部分。该具体实现方式会在该功率半导体器件的制造方法中详细描述。

栅极 175 沿外延层厚度方向的宽度可以一致。作为另一示例，栅极 175 沿外延层厚度方向的宽度也可以不一致，如此，沿外延层厚度方向，栅极 175 可以包括第一部分和从第一部分向沟槽 173 的底壁延伸的第二部分，第一部分的宽度大于所述第二部分的宽度。并且栅极的第一部分位于沟槽的主体部 1731 内，栅极的第二部分位于沟槽的凸出部 1732 内。作为另一示例，栅极 175 可以为多晶硅栅极。

此外，为了实现功率半导体器件的双向耐压，作为一示例，第一漏极 1791 和第二漏极 1792 对称分布在沟槽 173 的两侧。

在本申请实施例中，沟槽 173 沿外延层厚度方向的宽度可以一致。如此，在该示例下，

沟槽 173 的纵向剖面形状为矩形。如此，沟槽的形成通过依次刻蚀工艺即可形成，制造工艺较为简单，制造成本也相对较低。

此外，为了在保证器件耐压的前提下，进一步减小器件单位面积的导通电阻，作为本申请的一可选实施例，沟槽 173 沿外延层厚度方向的宽度也可以不一致。如此，在该示例下，沟槽 173 为凸形槽。该可选实施例的半导体器件的结构如图 18 至图 20 所示。

请参见图 18 至图 20，其中，图 18 为本申请实施例二提供的另一种功率半导体器件的俯视示意图，图 19 是本申请实施例二提供的另一种功率半导体器件沿图 18 中的 I-I 方向的剖面结构示意图，图 20 为本申请实施例二提供的另一种功率半导体器件沿图 18 中的 II-II 方向的剖面结构示意图。

需要说明，图 18 至图 20 所示的功率半导体器件的结构与图 15 至图 17 所述的功率半导体器件的结构有诸多相似之处，其不同之处，仅在于沟槽的形状不同。为了简要起见，在此仅描述其不同之处。

如图 18 至图 20 所示的功率半导体器件的结构示意图，沟槽 173 可以包括主体部 1731 和自主体部 1731 延伸出的且朝衬底 171 凸出的凸出部 1732。应当理解，主体部 1731 的宽度大于凸出部 1732 的宽度。也可以按照以下方式理解该沟槽 173 的结构：该沟槽为凸形槽，该凸形槽的凸出部朝向衬底方向凸出，且该凸形槽的开口朝向外延层的上表面。

当沟槽 173 为凸形槽时，相应地，场氧化 176 可以包括沿主体部 1731 侧壁的第一场氧化层 1761 和沿凸出部 1732 侧壁的第二场氧化层 1762；而且，为了减小半导体器件的导通电阻，该第一场氧化层 1761 的厚度大于第二场氧化层 1762 的厚度。

此外，当沟槽 173 为凸形槽时，相应地，N 型漂移区 178 位于凹槽主体部 1731 和凸出部 1732 的外围。

需要说明，在本申请实施例中，第一场氧化层 1761 可以采用氧化物沉积工艺沉积二氧化硅形成。第二场氧化层 1762 可以采用热氧化方式生成。

作为进一步示例，第二场氧化层 1762 可以与栅氧化层 177 同时形成。

以上为本申请实施例二提供的功率半导体器件的具体实现方式。在该具体实现方式中，功率半导体器件除了具有实施例一提供的功率半导体器件的有益效果外，还具有较好的元胞间的电流均流性。

为了验证本申请实施例二提供的功率半导体器件的技术效果，本申请通过半导体 TCAD 仿真对本申请实施例的器件结构及性能参数进行了仿真。

该仿真实验采用的是一种双向阻断电压为有 28V 沟槽栅横向 MOS 型半导体器件。器件元胞结构参数如图 21 和表 3 所示：

在浓度为$7*10^{19}$的P型衬底上，设置掺杂浓度为$8*10^{15}$厚度“3”（此处的3是指表3中的标号3）为2um的P型外延层形成器件本体。沟槽第一部分宽度“7”（此处的7是指表3中的标号7）为0.4um，深度“9”（此处的9是指表3中的标号9）为0.2um，第二部分的宽度“6”（此处的6是指表3中的标号6）为0.3um，深度“8”（此处的8是指表3中的标号8）为0.2um，在器件本体表面，沟槽两侧分别设置浓度为$8*10^{16}$的N型漂移区，深度“4”（此处的5是指表3中的标号5）为0.5um，横向宽度“5”（此处的5是指表5中的标号7）分别为0.5um。第一掺杂类型P型阱区的浓度为$1.7*10^{17}$，深度“10”（此处的10是指表3中的标号10）为

0.9um，场氧化层厚度“11”（此处的11是指表3中的标号11）为500 Å，栅氧化层厚度为120 Å。器件的沟道长度基本等于沟槽的第二部分宽度，为0.3um，器件的阈值电压取决于栅氧化层厚度和第一掺杂类型P型阱区的浓度。器件的击穿电压和导通电阻由N型漂移区浓度、深度和长度，场氧化层厚度，沟槽深度等因素共同决定。

表3：实施例二器件元胞结构参数

标号	结构名称	参数值	标号	结构名称（单位）	参数值
1	第二掺杂 N 阱宽度	0.5um	7	第一分部沟槽宽度	0.4um
2	P 型衬底厚度	1um	8	第二部分沟槽深度	0.2um
3	P 型外延层厚度	2um	9	第一部分沟槽深度	0.2um
4	第二掺杂 N 阱深度	0.5um	10	P 型第二阱区深度	0.9um
5	N 型重掺杂阱区宽度	0.4um	11	场氧化层厚度	500Å
6	第二部分沟槽宽度	0.3um	12	N 型重掺杂阱区深度	0.15um

图22A和图22B所示为实施例二器件击穿电压仿真曲线图。在栅极电位、沟道（本体）和第二漏极电位同为低电平时，第一漏极的电压从0V逐步升高，逐步读取第一漏极1791的电流，第一漏极1791的电流突变增加对应的第一漏极1791电压为器件第一漏极1791到第二漏极1792的击穿电压，如图22A所示，器件正向耐压即第一漏极1791到第二漏极1792的击穿电压为29V，同理，器件反向耐压即第二漏极1792到第一漏极1791的击穿电压为29V，如图22B所示。

本发明实施例二器件的阈值电压仿真曲线如图23所示，沟道1710、第二漏极1792同时接电平底，第一漏极1791接固定电压1V，栅极电压从0V逐步增加，逐步读取第一漏极1791的电流，第一漏极1791电流突变增加对应的栅极电压为器件的开启阈值电压，阈值电压仿真结果为1.5V。

本发明实施例二还提供了一种28V双向阻断沟槽横向MOS型半导体器件的导通电阻的测量（仿真计算）实验。该测量（仿真计算）实验的仿真条件为：沟道、第二漏极1792同时接电平底，栅极电压为固定值3.6V或者5V，仿真第一漏极1791电压和电流的I-V特性，利用公式R=V/I计算器件第一漏极1791到第二漏极1792的导通电阻。仿真计算结果如图24所示，器件单位面积导通电阻在5V栅极驱动电压下为9.5mΩ.mm2，在3.6V栅极驱动电压下为12 mΩ.mm2。

基于上述仿真实验结果可知，本申请实施例二提供的功率半导体器件的单位面积导通电阻大大降低。通过以下实验数据可以进一步验证该效果：业界商用最优的传统30V双向阻断横向MOS器件，其单位面积导通电阻为19 mΩ.mm2 @栅极驱动电压=3.6V，本申请实施例二单位面积的导通电阻为12mΩ.mm2，相比业界商用最优器件减少37%。

此外，本申请实施例二提供的功率半导体器件的开关速度也较快。

基于上述实施例二提供的功率半导体器件的具体结构，本申请实施例还提供了该功率半导体器件的制造方法的具体实现方式。

请参见图 25 以及图 26A 至图 26I，其中，图 25 为本申请实施例二提供的功率半导体器件制造方法流程示意图。图 26A 至图 26I 是本申请实施例二提供的功率半导体器件制造

方法一系列制程对应的结构示意图。

如图 25 所示，本申请实施例二提供的功率半导体器件制造方法包括以下步骤：

S251：提供 P 型衬底。

在本申请实施例中，P型衬底171可以为硅衬底。P型衬底的剖面结构示意图如图26A所示。

S252：在衬底上方形成 P 型外延层；外延层包括第一区域以及位于第一区域两侧的第二区域。

本步骤可以具体为：在 P 型衬底 171 上生长一定掺杂浓度的 P 型外延层 172。

该 P 型外延层 172 可以作为器件本体。该 P 型外延层 172 包括第一区域 I 以及位于第一区域两侧的第二区域 II。该步骤执行完对应的剖面结构示意图如图 26B 所示。

S253：分别向外延层的第一区域和第二区域内离子注入 P 型掺杂杂质和 N 型掺杂杂质，以分别形成 P 型阱区和 N 型阱区；P 型阱区包括包括第一部分和从所述第一部分向所述第二阱区底部延伸的第二部分；P 型阱区的第一部分包括第一区域和包围第一区域的第二区域。

本步骤可以具体为：先向外延层 172 的第一区域 I 的表面内离子注入 P 型掺杂杂质，形成 P 型阱区 271，然后再向外延层 172 的第二区域 II 内离子注入 N 型掺杂杂质，以形成 N 型阱区 178’。P 型阱区 271 包括上下相对的第一部分 2711 和第二部分 2712，其中，第一部分 2711 位于第二部分 2712 的上方。其中，第一部分 2711 包括第一区域 S1 和包围第一区域 S1 的第二区域 S2。

该步骤执行完对应的剖面结构示意图如图 26C 所示，该步骤执行完对应的俯视结构示意图如图 26D 所示。

S254：在 P 型阱区的第一部分的第二区域及其侧面预设范围内的 N 型阱区内形成沟槽。

为了简化制造工艺，降低制造成本，作为一可选示例，S254 的具体实现方式可以具体包括：

刻蚀P型阱区的第一部分2711的第二区域S2及其侧面预设范围内的N型阱区178’，以在 P 型阱区的第一部分 2711 的第二区域 S2 及其侧面预设范围内的 N 型阱区 178’内形成沟槽 173。

相应的，位于沟槽 173 外围的 N 型阱区 178’形成为漂移区 178。P 型阱区 271 的第二部分 2712 形成为沟道 1710。

该步骤执行完对应的剖面结构示意图如图 26E 所示。

S255：在沟槽的侧壁上形成场氧化层。

作为一示例，S255 可以通过以下实现方式实现，其包括以下步骤：

S2551：向沟槽 173 内填满二氧化硅；

采样热生长或二氧化硅沉积工艺向主体部 531 内填满二氧化硅 272，该步骤执行完对应的剖面结构示意图如图 26F 所示。

S2552：根据场氧化层的厚度刻蚀位于沟槽 173 靠近中间区域的二氧化硅 272，从而在沟槽 173 的侧壁上形成场氧化层 176。

本步骤可以具体为：根据场氧化层厚度刻蚀位于沟槽 173 中间区域的二氧化硅 272，以在沟槽 173 的侧壁上形成场氧化层 176。该步骤执行完对应的剖面结构示意图如图 26G 所示。

需要说明，场氧化层厚度决定了功率半导体器件的耐压性能，作为示例，该一场氧化层厚度可以为 0.1μm。

S256：在沟槽底壁的特定区域形成栅氧化层，所述沟槽底壁的特定区域为待形成栅极的底面在所述沟槽底壁的正投影所覆盖的区域。

为了提高栅氧化层 177 的质量，本步骤可以通过热氧化工艺在沟槽 173 底部形成栅氧化层 177。该步骤执行完对应的剖面结构示意图如图 26H 所示。

S257：向底部形成有栅氧化层 177 的沟槽 173 内填充栅电极材料，形成栅电极 175。

作为示例，可以向底部形成有栅氧化层的第二沟槽内填充多晶硅材料，形成多晶硅栅极 175。

该步骤执行完对应的剖面结构示意图如图 26I 所示。

S258：分别在沟槽两侧的漂移区内形成第一漏极和第二漏极，第一漏极和第二漏极的掺杂类型为 N 型。

本步骤可以具体为：分别向沟槽 173 两侧的漂移区 178 的表面内注入重掺杂 N 型掺杂离子，从而在沟槽 173 两侧漂移区 178 内形成第一 N 型漏极 1791 和第二 N 型漏极 1792。需要说明，作为一具体示例，第一 N 型漏极 1791 和第二 N 型漏极 1792 可以对称分布在沟槽两侧，以形成双向耐压的 MOS 型开关器件。该步骤执行完对应的剖面结构示意图如图 16 所示。

S259：在 P 型阱区的第一部分的第一区域形成本体电极。

为了实现器件的小型化，以及增加器件的均流性，作为本申请的一可选实施例，可以向P型阱区271的第一部分2711的第一区域s1的表面内注入P型掺杂离子，形成P型重掺杂阱，该P型重掺杂阱作为P型本体电极1711。

该步骤执行完对应的剖面结构示意图如图 17 所示。

以上为本申请实施例二提供的一种功率半导体器件制造方法的具体实现方式。

作为本申请的一可选实施例，为了进一步降低器件的导通电阻，本申请还提供了功率半导体器件制造方法的另一种可选实现方式。请参见图 27 至图 28F。

如图 27 所示，本申请实施例提供的功率半导体器件制造方法的另一种可选实现方式包括以下步骤：

S271 至 S273 与 S251 至 S253 相同，为了简要起见，在此不再详细描述。

其中，P 型阱区 271 的第一部分 2711 可以包括第一子部分 27111 和从所述第一子部分 27111 向所述第二阱区底部延伸的第二子部分 27112；P 型阱区 271 的第一部分 2711 的第一子部分 27111 包括第一区域和包围所述第一区域的第二区域。其中，形成 P 型阱区后对应的剖面结构示意图如图 28A 所示。

S274：刻蚀 P 型阱区的第一部分的第一子部分 27111 的第二区域及其侧面预设范围内的 N 型阱区 178’，以在 P 型阱区的第一部分的第一子部 27111 的第二区域及其侧面预设范围内的 N 型阱区 178’内形成沟槽的主体部 1731。

该步骤执行完对应的剖面结构示意图如图 28B 所示。

S275：在主体部的侧壁上形成第一场氧化层。

作为一示例，S275 可以通过以下实现方式实现，其包括以下步骤：

S2751：向沟槽的主体部 1731 内填满二氧化硅 281。

该步骤执行完对应的剖面结构示意图如图 28C 所示。

S2752：刻蚀位于所述主体部中间区域的二氧化硅，以在所述沟槽主体部的侧壁上形成第一场氧化层。

S276：自侧壁形成有第一场氧化层的主体部的底部向所述衬底方向刻蚀，以形成所述沟槽的凸出部。

本步骤可以具体为：采用硅刻蚀工艺自侧壁形成有第一场氧化层的主体部的底部向所述衬底方向刻蚀，从而形成沟槽的凸出部 1732。需要说明，该沟槽的凸出部 1732 可以延伸至外延层 172 内。

需要说明，在本申请实施例中，主体部 1731 和凸出部 1732 构成了沟槽 173。

相应地，位于沟槽主体部 1731 和凸出部 1732 外围的 N 型阱区 178’形成为漂移区 178。

该步骤执行完对应的剖面结构示意图如图 28D 所示。

S277：在沟槽凸出部 1732 的内表面上形成氧化层，以在凸出部 1732 的侧壁上形成第二场氧化层 1762，以及在凸出部 1732 的底壁上形成栅氧化层 177。

因形成在凸出部 1732 底表面上的氧化层的功能为栅氧化层。而栅氧化层的质量和厚度对栅极的阈值电压起着关键性作用。因此，为了提高生成的氧化层的薄膜质量，本步骤可以具体为：通过热生长工艺在凸出部 1732 的内表面上形成氧化层。通过热生长工艺可以在凸出部 1732 的底部以及侧壁上形成氧化层。其中，形成于所述凸出部 1732 底表面上的氧化层为栅氧化层 177，形成于凸出部 1732 侧壁上的氧化层为第二场氧化层 1762。

需要说明，在本申请实施例中，因栅氧化层的厚度较薄，所以，形成在凸出部 1732 内表面上的氧化层为薄层氧化层。一般情况下，该氧化层的厚度小于形成于主体部 1731 侧壁上的第一场氧化层 1761 的厚度。如此，第二场氧化层 1762 的厚度小于第一场氧化层 1761 的厚度。如此，可以在保证功率半导体器件阈值电压和耐压的情况下，也能具有较小的导通电阻。

该步骤执行完对应的剖面结构示意图如图 28E 所示。

S278：向形成有栅氧化层的沟槽内填充栅电极材料，形成栅电极。

作为示例，可以向形成有栅氧化层的沟槽 173 内填充多晶硅材料，形成多晶硅栅极 175。

该步骤执行完对应的剖面结构示意图如图 28F 所示。

S279 至 S2710 与上述 S257 至 S248 相同，为了简要器件，在此不再详细描述。

通过该示例形成的功率半导体器件的结构如图 18 至图 20 所示。

以上为本申请实施例二提供的功率半导体器件的两种可选示例的具体实现方式。

需要说明，在上述实施例一和实施例二提供的功率半导体器件及其制造方法的具体实现方式中，是以衬底的掺杂类型为P型为例说明的。实际上，本申请实施例不限定衬底的掺杂类型，作为本申请的替换实施例，衬底的掺杂类型也可以为N型。当衬底为N型衬底

时，其上的外延层、漂移区、第一、第二漏极、沟道以及本体电极的掺杂类型也要相应地发生变化。

此外，实施例二可以采用与实施例一相同的封装结构，因此，实施例二的功率半导体器件最终的器件产品封装结构也可以如图7和图8所示。

以上为本申请实施例提供的半导体器件及其制造方法的具体实现方式。

基于上述实施例提供的半导体器件，如图34所示，本申请还提供了一种终端设备900，其包括半导体器件 901 和控制器 902，所述半导体器件 901 为如上述任一种可能的实现方式所述的901半导体器件，所述控制器902用于控制所述半导体器件901的导通和/或关断。以上本申请实施例提供的具体实现方式。

权 利 要 求

1、一种半导体器件，其特征在于，包括：

衬底；

位于所述衬底一侧的外延层；

位于所述外延层中的沟槽，

所述沟槽内具有栅极，所述沟槽的内壁与所述栅极的外壁之间具有氧化层；

位于所述沟槽两侧的漂移区；

分别位于所述沟槽两侧的漂移区内的第一漏极和第二漏极；

以及沟道，所述沟道位于所述沟槽底壁与所述衬底之间且邻近所述沟槽的槽底；

其中，所述衬底、所述外延层和所述沟道的掺杂类型为第一类型，所述漂移区、所述第一漏极和所述第二漏极的掺杂类型为第二类型；

所述第一类型和所述第二类型中，其中一个为P型，另一个为N型。

2、根据权利要求1所述的器件，其特征在于，

所述沟槽的内侧壁与所述栅极的外侧壁之间具有第一氧化层，所述沟槽的槽底与所述栅极的底面之间具有第二氧化层，所述栅极的底面朝向所述沟槽的槽底，其中，所述第二氧化层为栅氧化层；

所述第一氧化层为场氧化层或栅氧化层，或，所述第一氧化层既包括场氧化层又包括栅氧化层。

3、根据权利要求1或2所述的器件，其特征在于，沿所述沟槽的深度方向，所述沟槽包括主体部和自所述主体部延伸出的且朝所述衬底凸出的凸出部。

4、根据权利要求3所述的器件，其特征在于，所述沟槽内具有一个栅极，所述栅极包括位于所述凸出部的第一部分和位于所述主体部的第二部分，所述第一部分的外侧壁和所述凸出部的内侧壁之间的所述第一氧化层为栅氧化层，且所述第二部分的外侧壁和所述主体部的内侧壁之间的所述第一氧化层为场氧化层。

5、根据权利要求4所述的器件，其特征在于，所述第一部分的宽度大于所述第二部分的宽度。

6、根据权利要求3所述的器件，其特征在于，所述沟槽内具有两个相互电连通的栅极，其中一个栅极为上栅极，另一个栅极为下栅极，所述上栅极位于所述主体部，所述下栅极位于所述凸出部，所述下栅极的外侧壁与所述凸出部的内侧壁之间的所述第一氧化层为栅氧化层，所述上栅极的外侧壁和所述主体部的内侧壁之间的所述第一氧化层为场氧化层。

7、根据权利要求6所述的器件，其特征在于，在所述沟槽内，所述上栅极和所述下栅极之间的区域沿所述沟槽的宽度方向延伸后对应的区域为夹持区域，所述夹持区域内具有绝缘层，所述沟槽的宽度方向垂直于所述沟槽的深度方向。

8、根据权利要求1至3任一项所述的器件，其特征在于，所述沟槽内具有多个栅极，所述多个栅极之间是电连通的，所述多个栅极沿所述沟槽的深度方向排布的，所述多个栅极中与所述沟槽的槽底距离最近的栅极的底面与所述沟槽的槽底之间具有第二氧化层，所述多个栅极中与所述沟槽的槽底距离最近的栅极的外侧壁与所述沟槽的内侧壁之间的第一

氧化层为栅氧化层，其他每一栅极的外侧壁与所述沟槽的内侧壁之间的第一氧化层均为场氧化层。

9、根据权利要求 8 所述的器件，其特征在于，沿所述沟槽的槽底到所述沟槽的槽口的方向，所述多个栅极的宽度逐渐变小，所述宽度所在的方向垂直于所述沟槽的深度方向。

10、根据权利要求 8 或 9 所述的器件，其特征在于，在所述沟槽内，相邻两个栅极之间的区域沿所述沟槽的宽度方向的延伸后得到的区域内具有绝缘层，所述沟槽的宽度方向垂直于所述沟槽的深度方向。

11、根据权利要求 1-10 任一项所述的器件，其特征在于，所述器件还包括本体电极，所述本体电极位于所述外延层内且靠近所述外延层的外表面，至少一个所述元胞位于所述本体电极围合的区域内。

12、根据权利要求 1-10 任一项所述的器件，其特征在于，所述器件还包括本体电极和位于所述沟槽内且呈孤岛状的阱区，所述本体电极位于所述阱区内且靠近所述阱区的外表面，所述阱区的掺杂类型为所述第一类型。

13、根据权利要求 1-12 任一项所述的器件，其特征在于，所述栅极、所述第一漏极和所述第二漏极的电极均引出到所述器件的外表面。

14、根据权利要求 1-13 任一项所述的器件，其特征在于，所述第一漏极和所述第二漏极对称分布在所述沟槽的两侧。

15、一种终端设备，其特征在于，包括半导体器件和控制器，所述半导体器件为如权利要求 1 至 14 任一项所述的半导体器件，所述控制器用于控制所述半导体器件的导通和/或关断。

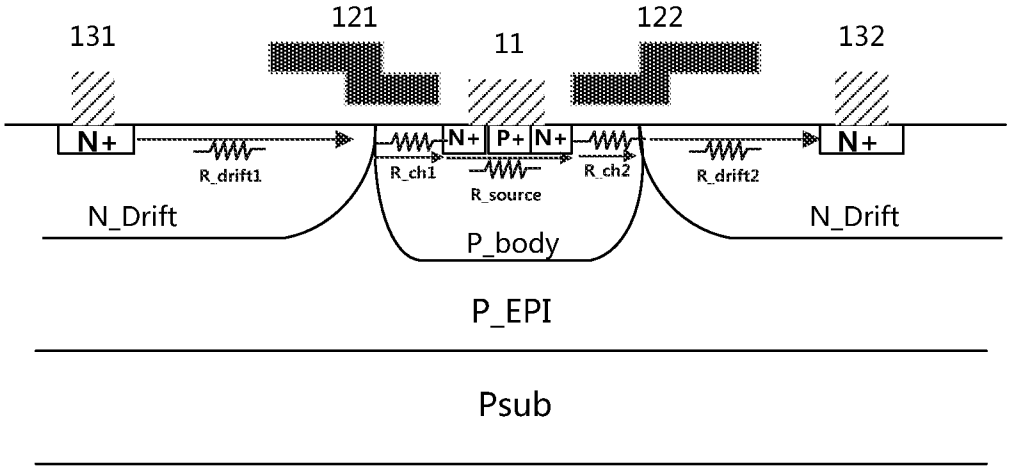

131
121
11
122
132
N+
R_drift1
N+
P+
N+
R_ch1
R_source
R_ch2
R_drift2
N+
N_Drift
P_body
N_Drift
P_EPI
Psub

图 1

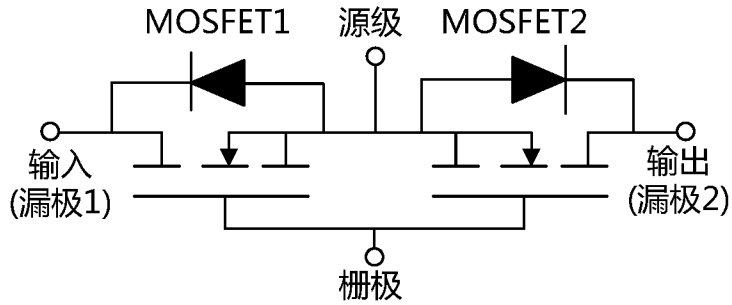

MOSFET1
源级
MOSFET2
输入
(漏极1)
输出
(漏极2)
栅极

图 2

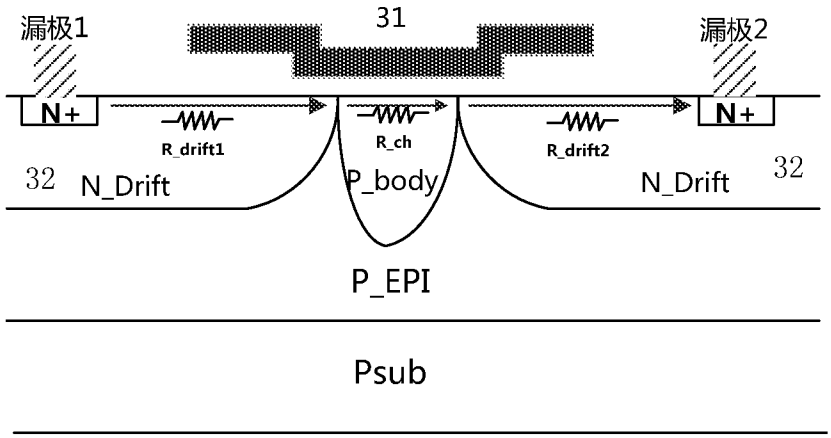

漏极1
31
漏极2
N+
R_drift1
R_ch
R_drift2
N+
32
N_Drift
P_body
N_Drift
32
P_EPI
Psub

图 3A

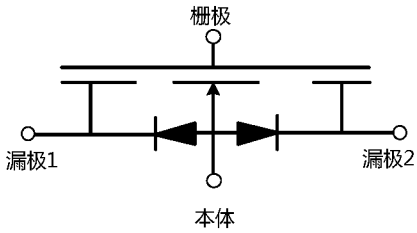

栅极
漏极1
漏极2
本体

图 3B

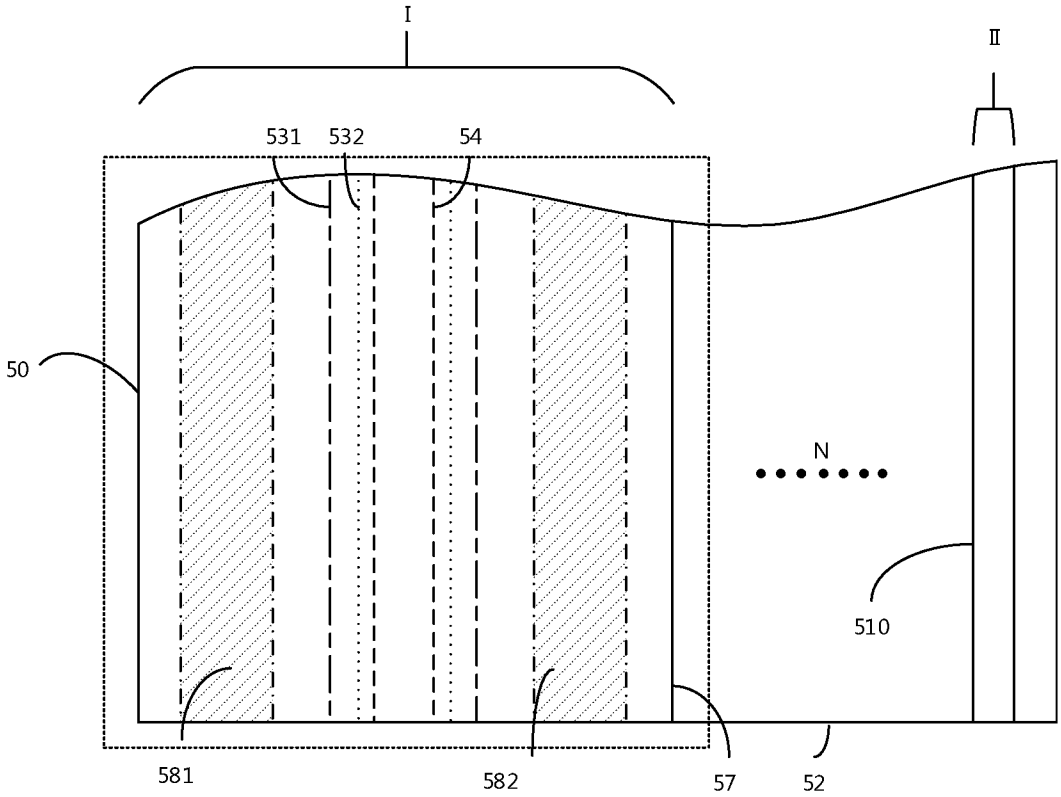

I
II
531
532
54
50
N
510
581
582
57
52

图 4

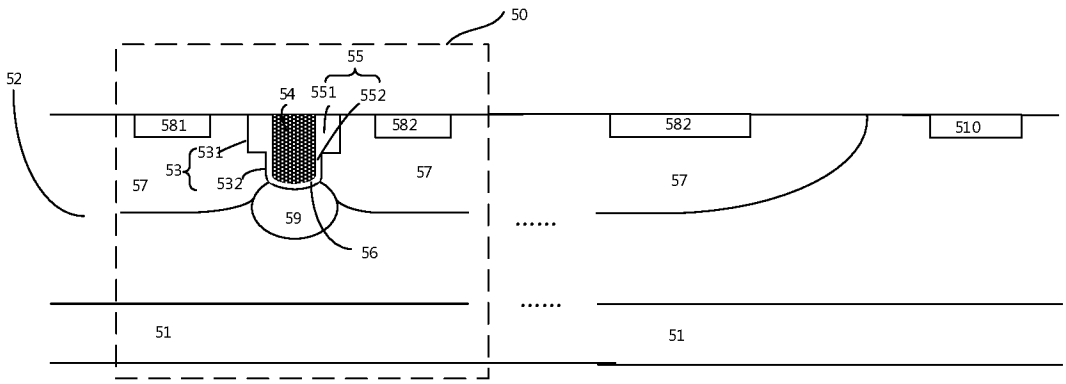

50
55
52
54
551
552
581
582
582
510
531
53
57
532
57
57
59
56
51
51

图 5

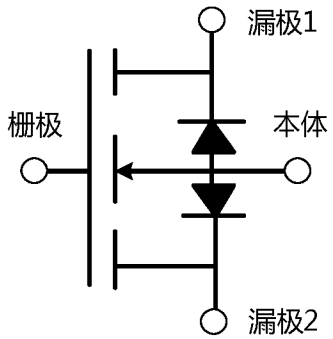

漏极1
栅极
本体
漏极2

图 6

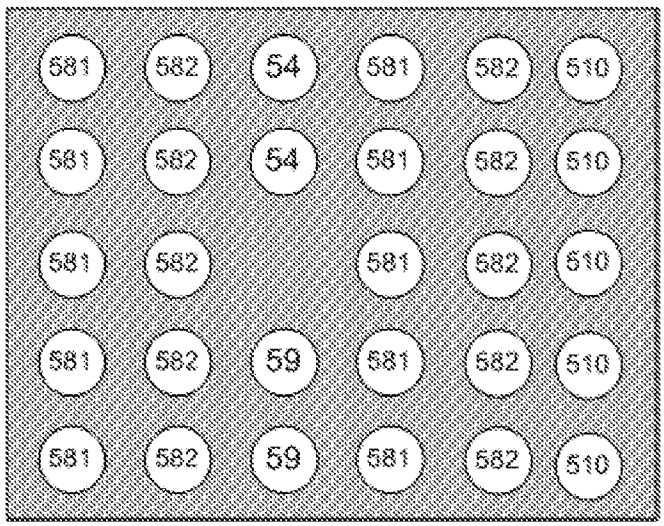

581
582
54
581
582
510
581
582
54
581
582
510
581
582
581
582
510
581
582
59
581
582
510
581
582
59
581
582
510

图 7

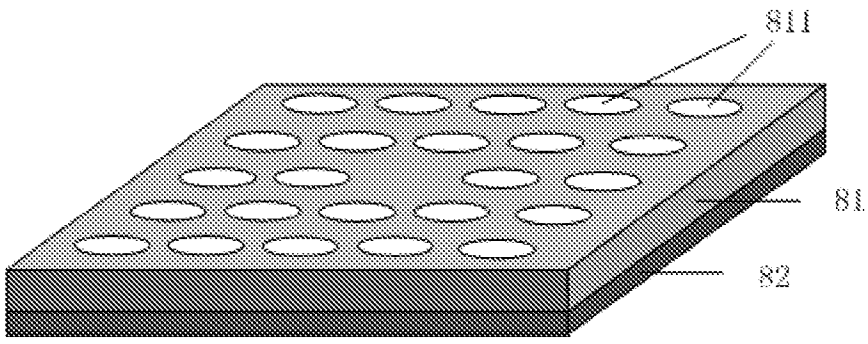

811
81
82

图 8

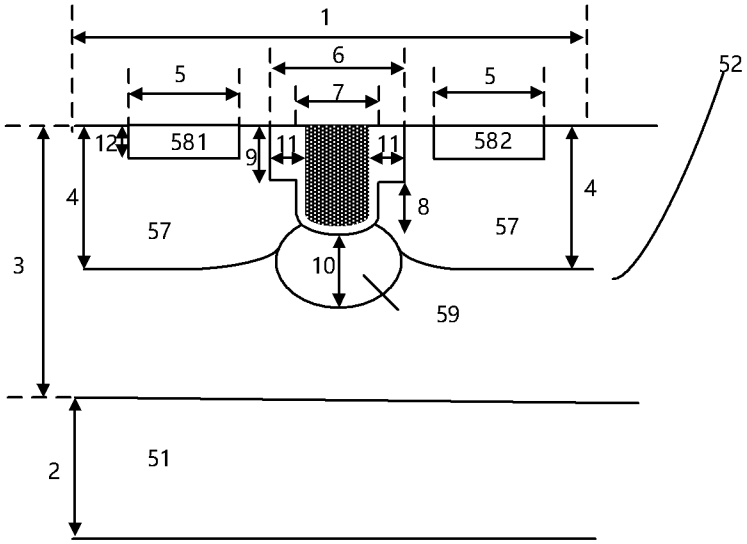

1
6
5
7
5
52
12
581
9
11
11
582
4
8
4
57
57
3
10
59
2
51

图 9

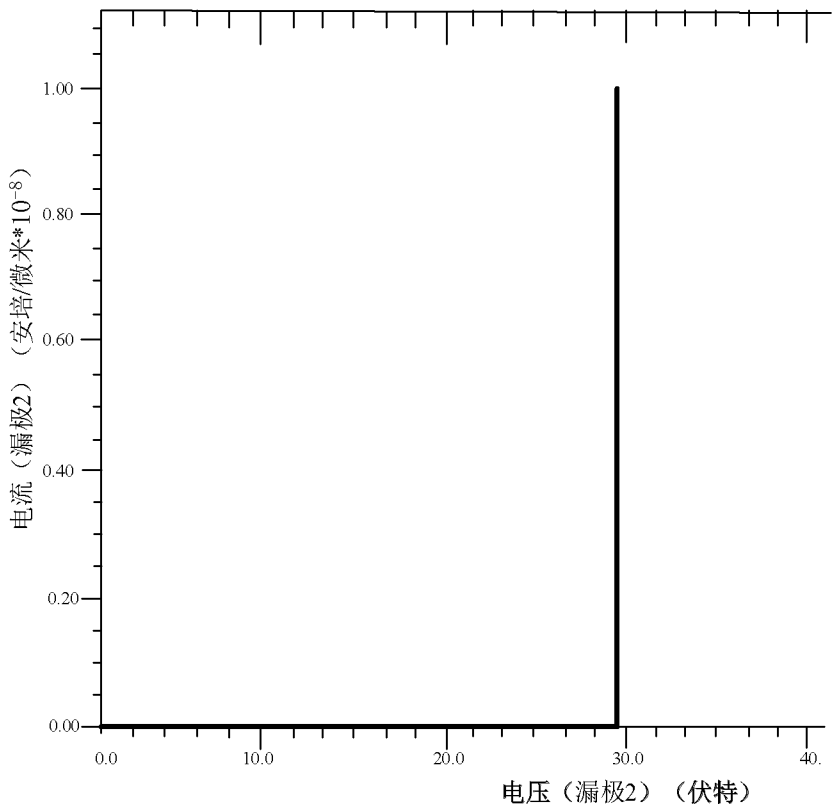

1.00
0.80
0.60
0.40
0.20
0.00
电流（漏极2）（安培/微米*10-8）
0.0
10.0
20.0
30.0
40.
电压（漏极2）（伏特）

图 10A

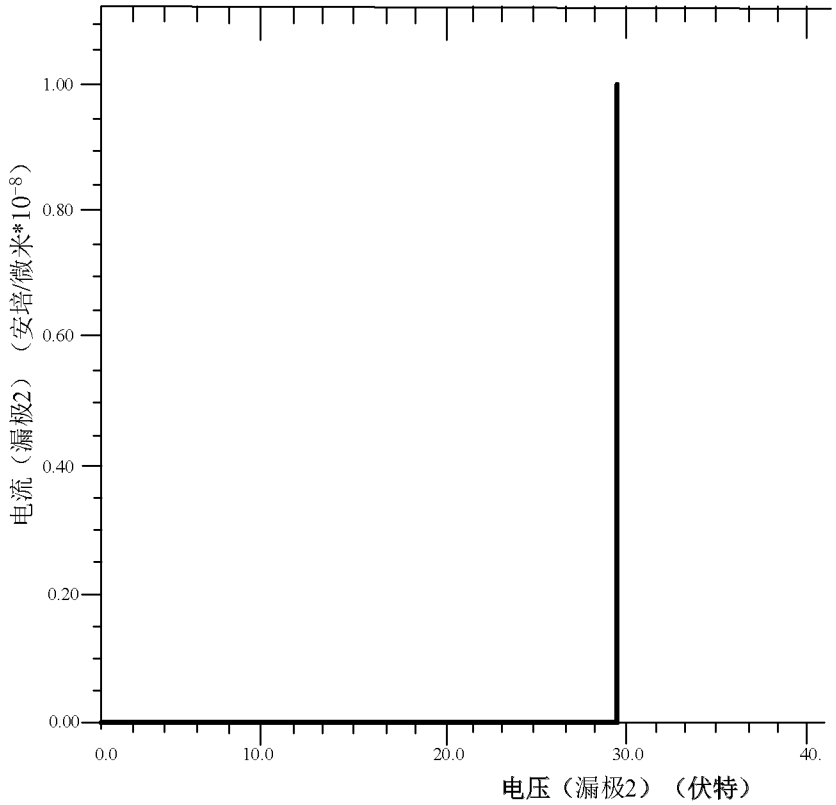

1.00
0.80
0.60
0.40
0.20
0.00
电流（漏极2）（安培/微米*10-8）
0.0
10.0
20.0
30.0
40.
电压（漏极2）（伏特）

图 10B

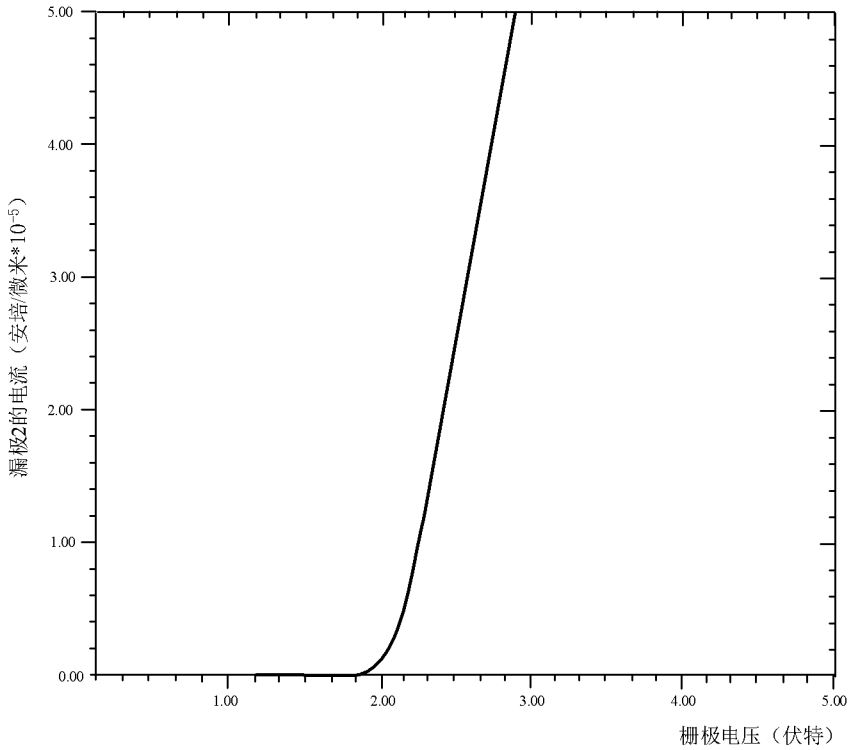

5.00
4.00
3.00
2.00
1.00
0.00
漏极2的电流（安培/微米*10-5）
1.00
2.00
3.00
4.00
5.00
栅极电压（伏特）

图 11

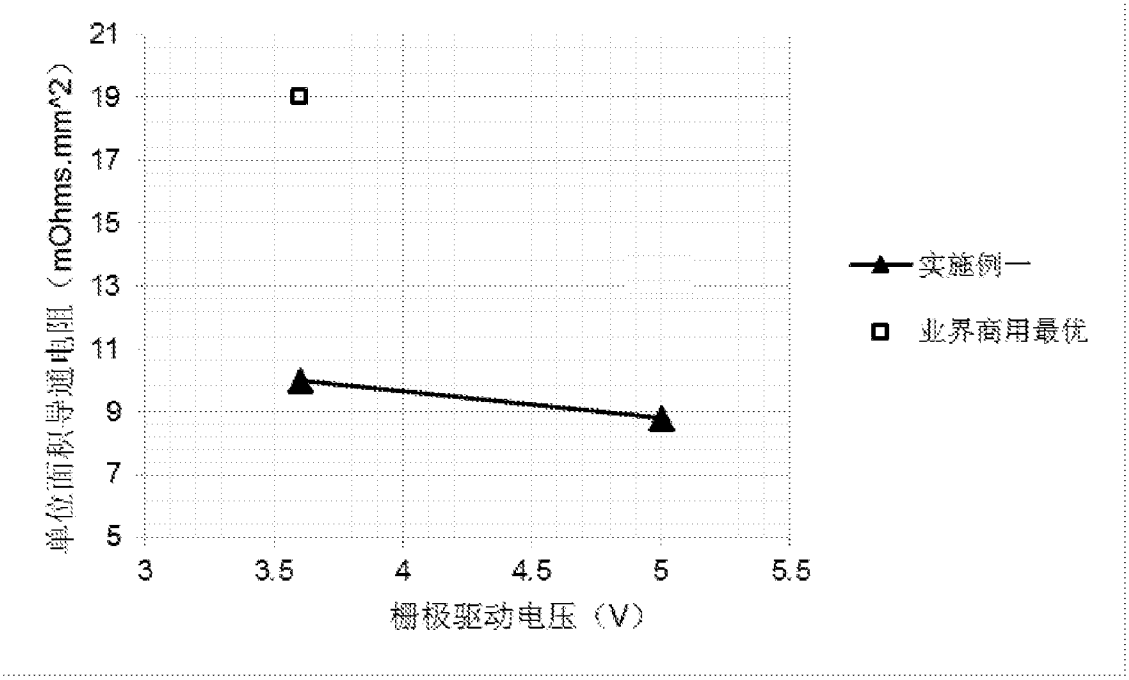

单位面积导通电阻（mOhms.mm^2）
21
19
17
15
13
11
9
7
5
3
3.5
4
4.5
5
5.5
栅极驱动电压（V）
实施例一
业界商用最优

图 12

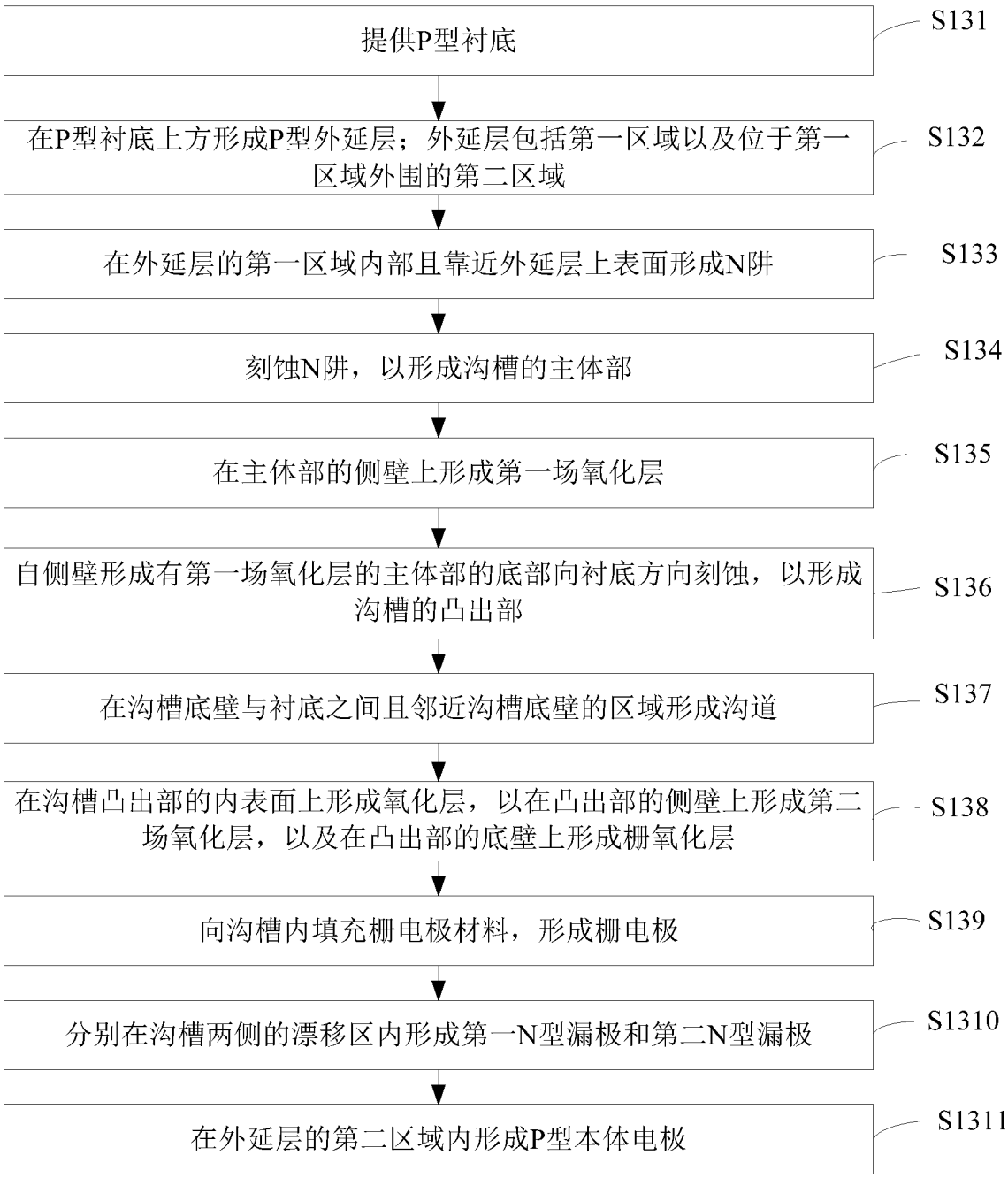

提供P型衬底
S131
在P型衬底上方形成P型外延层；外延层包括第一区域以及位于第一区域外围的第二区域
S132
在外延层的第一区域内部且靠近外延层上表面形成N阱
S133
刻蚀N阱，以形成沟槽的主体部
S134
在主体部的侧壁上形成第一场氧化层
S135
自侧壁形成有第一场氧化层的主体部的底部向衬底方向刻蚀，以形成沟槽的凸出部
S136
在沟槽底壁与衬底之间且邻近沟槽底壁的区域形成沟道
S137
在沟槽凸出部的内表面上形成氧化层，以在凸出部的侧壁上形成第二场氧化层，以及在凸出部的底壁上形成栅氧化层
S138
向沟槽内填充栅电极材料，形成栅电极
S139
分别在沟槽两侧的漂移区内形成第一N型漏极和第二N型漏极
S1310
在外延层的第二区域内形成P型本体电极
S1311

图 13


51

图 14A

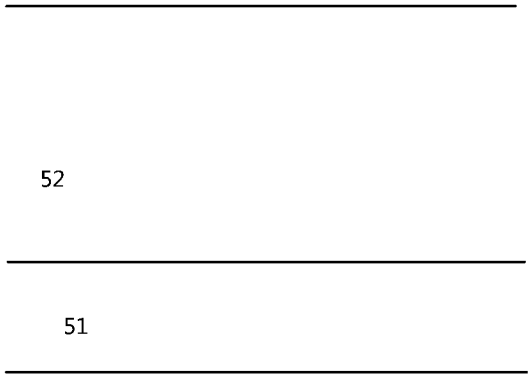


图 14B

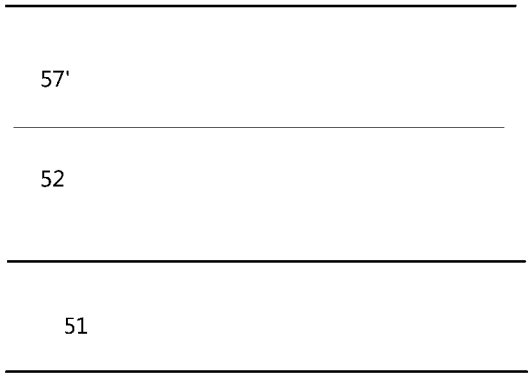


图 14C

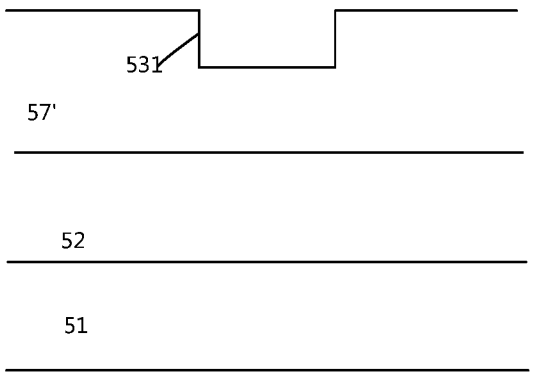


图 14D

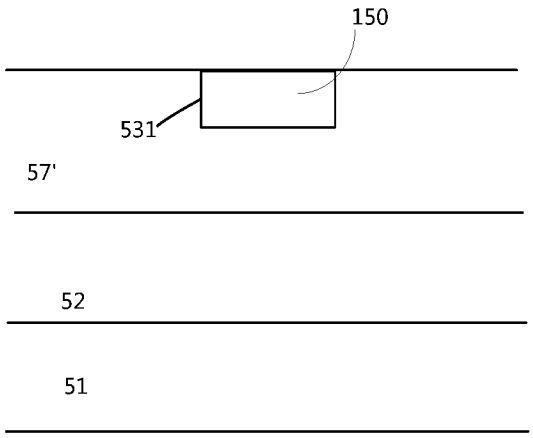


图 14E

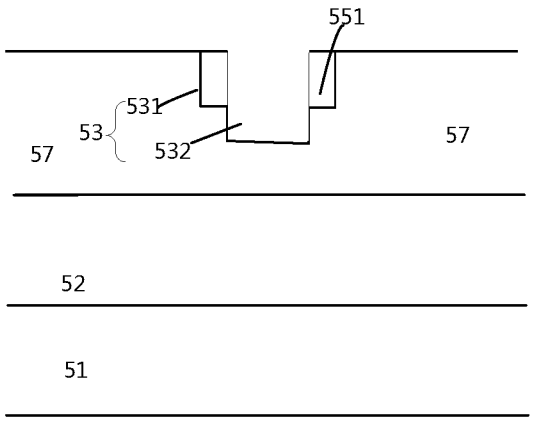


图 14F

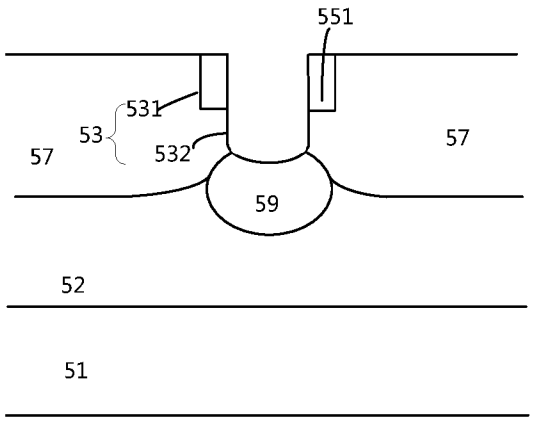


图 14G

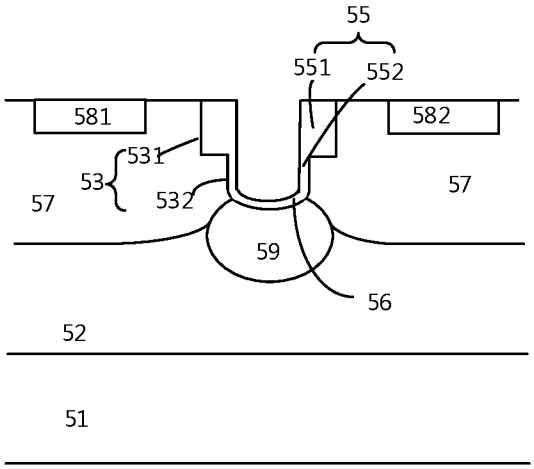

55
551
552
581
582
531
53
57
532
57
59
56
52
51

图 14H

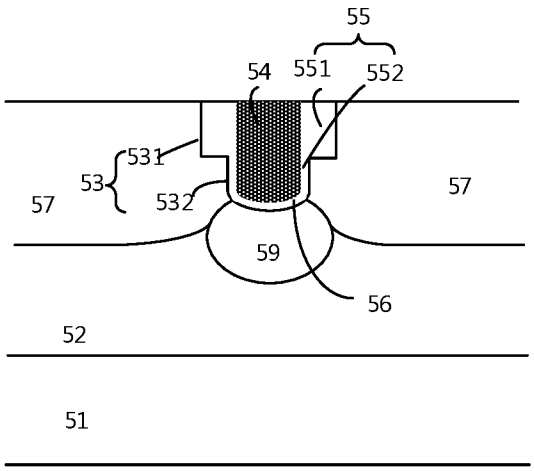

55
54
551
552
531
53
57
532
57
59
56
52
51

图 14I

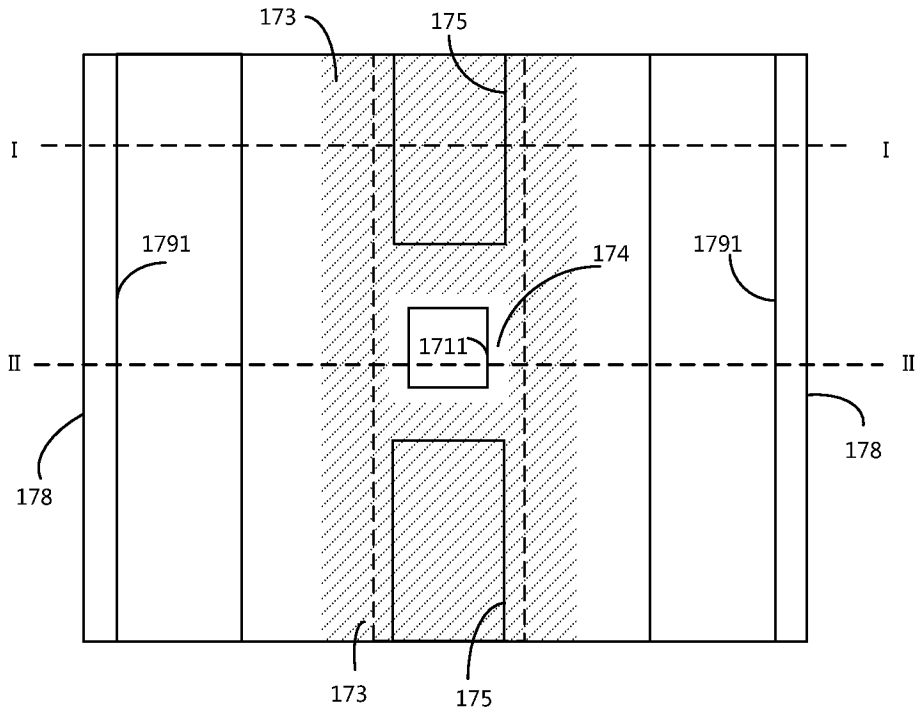

173
175
I
I
1791
174
1791
1711
II
II
178
178
173
175

图 15

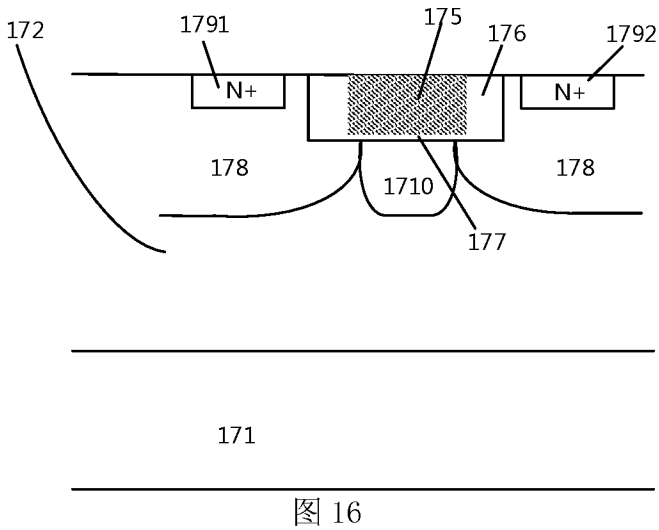

172
1791
175
176
1792
N+
N+
178
178
1710
177
171

图 16

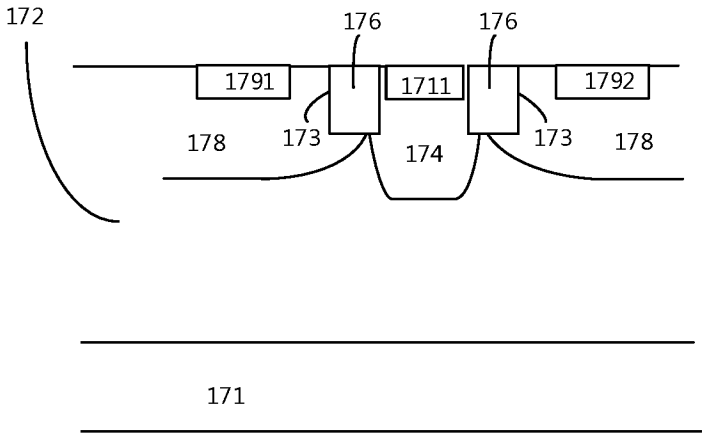

172
176
176
1791
1711
1792
178
173
173
178
174
171

图 17

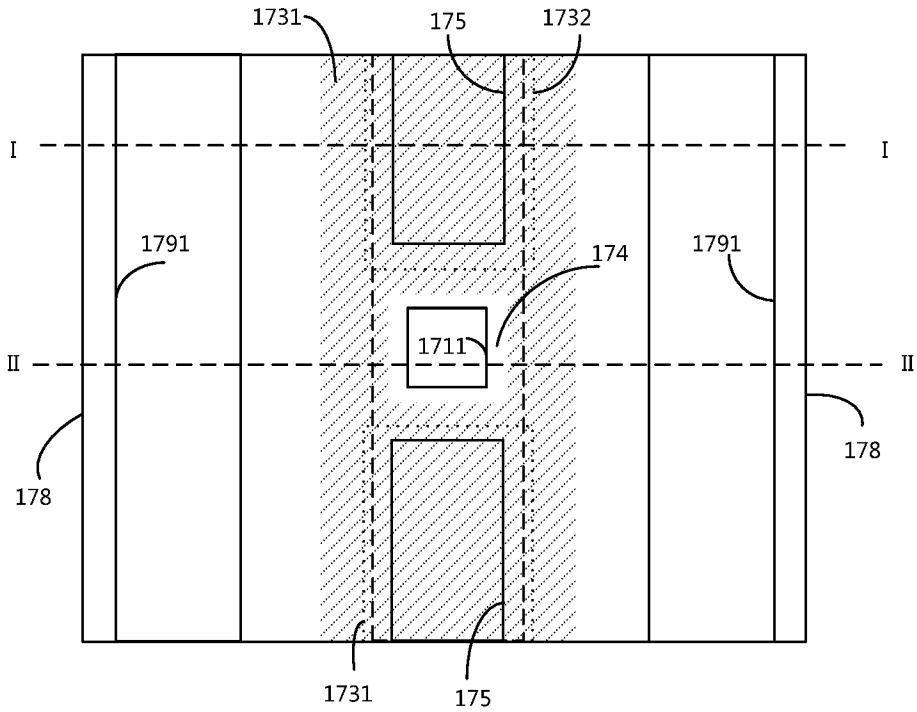

1731
175
1732
I
I
1791
174
1791
1711
II
II
178
178
1731
175

图 18

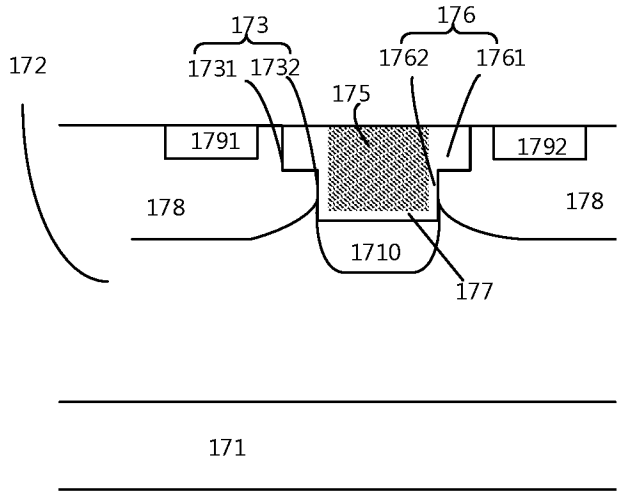

173
176
172
1731
1732
1762
1761
175
1791
1792
178
178
1710
177
171

图 19

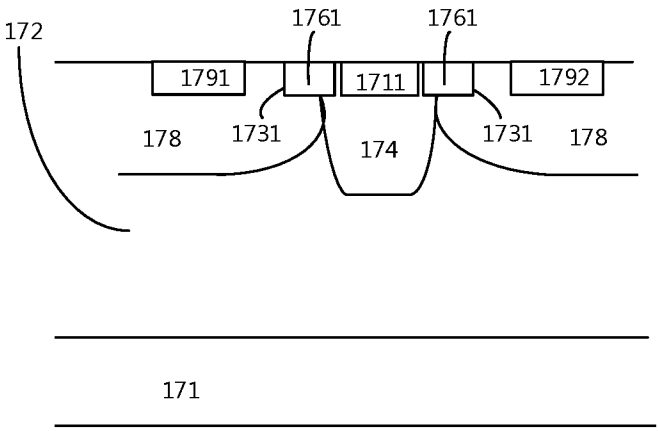

1761
1761
172
1791
1711
1792
178
1731
1731
178
174
171

图 20

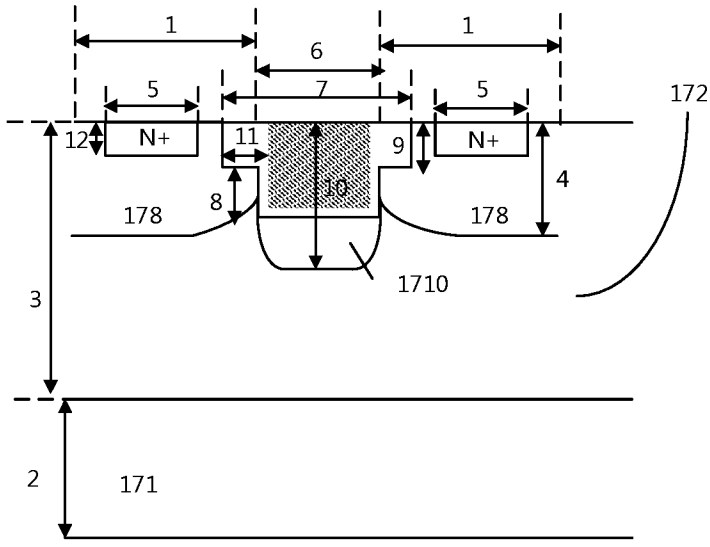


图 21

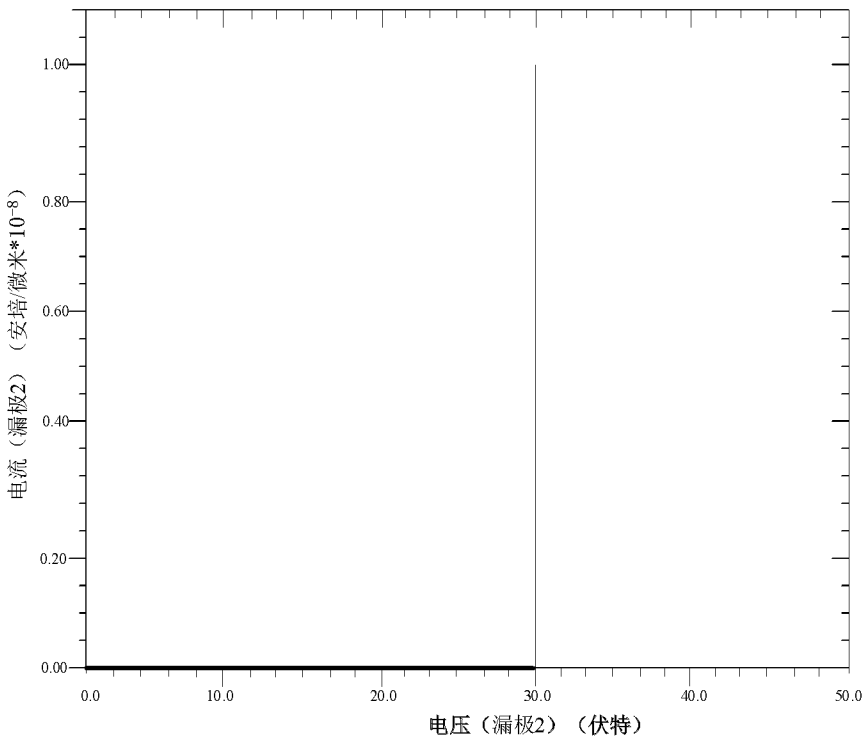

1.00
0.80
0.60
0.40
0.20
0.00
电流（漏极2）（安培/微米*10-8）
0.0
10.0
20.0
30.0
40.0
50.0
电压（漏极2）（伏特）

图 22A

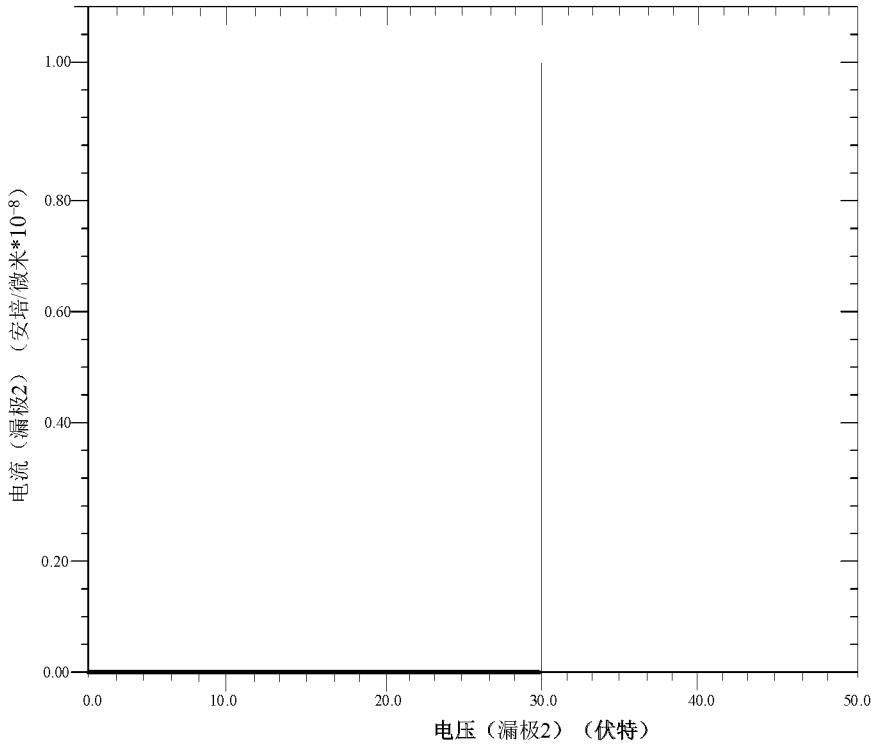

1.00
0.80
0.60
0.40
0.20
0.00
电流（漏极2）（安培/微米*10-8）
0.0
10.0
20.0
30.0
40.0
50.0
电压（漏极2）（伏特）

图 22B

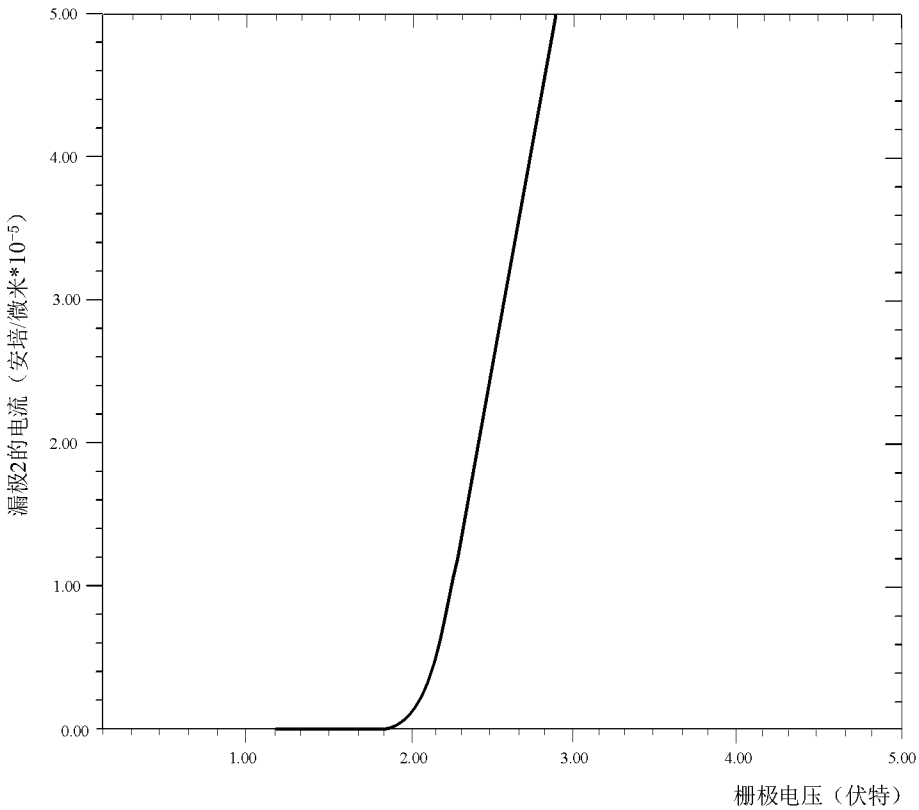

5.00
4.00
3.00
2.00
1.00
0.00
漏极2的电流（安培/微米*10-5）
1.00
2.00
3.00
4.00
5.00
栅极电压（伏特）

图 23

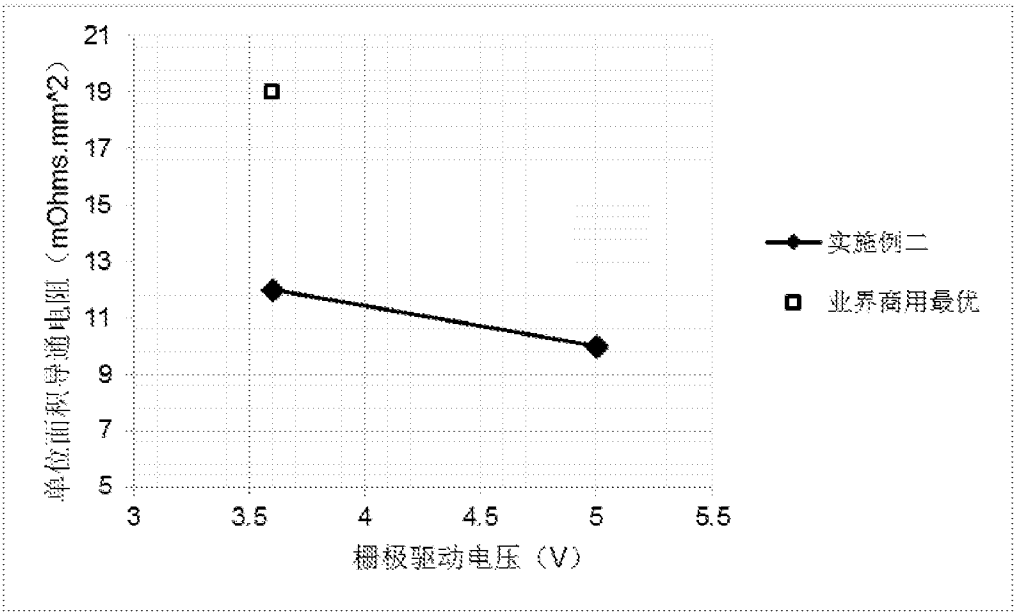

单位面积导通电阻（mOhms.mm^2）
21
19
17
15
13
11
9
7
5
3
3.5
4
4.5
5
5.5
栅极驱动电压（V）
实施例二
业界商用最优

图 24

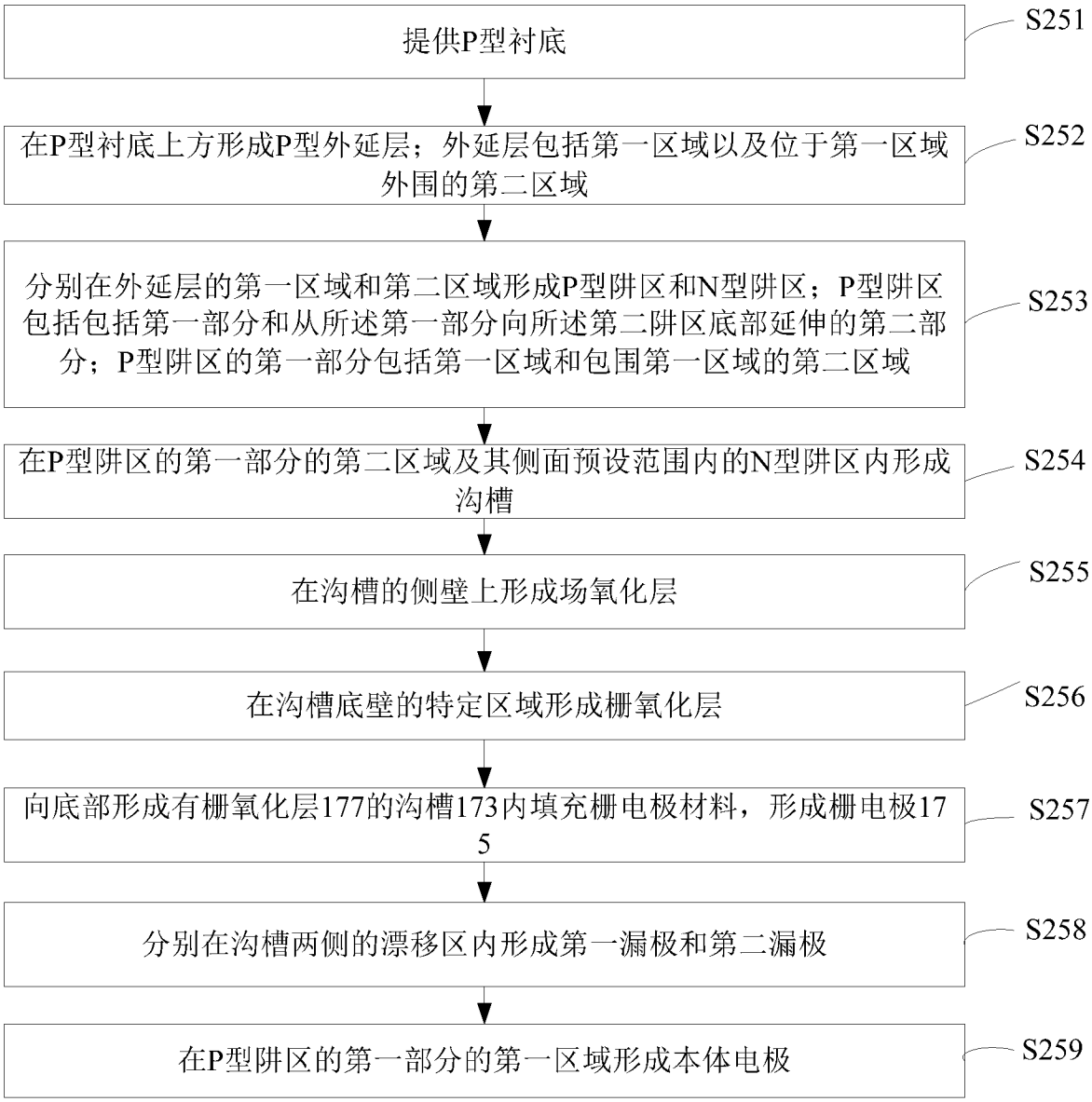

提供P型衬底
S251
在P型衬底上方形成P型外延层；外延层包括第一区域以及位于第一区域外围的第二区域
S252
分别在外延层的第一区域和第二区域形成P型阱区和N型阱区；P型阱区包括包括第一部分和从所述第一部分向所述第二阱区底部延伸的第二部分；P型阱区的第一部分包括第一区域和包围第一区域的第二区域
S253
在P型阱区的第一部分的第二区域及其侧面预设范围内的N型阱区内形成沟槽
S254
在沟槽的侧壁上形成场氧化层
S255
在沟槽底壁的特定区域形成栅氧化层
S256
向底部形成有栅氧化层177的沟槽173内填充栅电极材料，形成栅电极175
S257
分别在沟槽两侧的漂移区内形成第一漏极和第二漏极
S258
在P型阱区的第一部分的第一区域形成本体电极
S259

图 25


171

图 26A

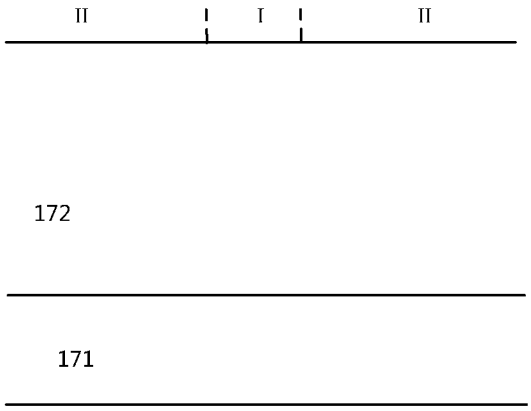


图 26B

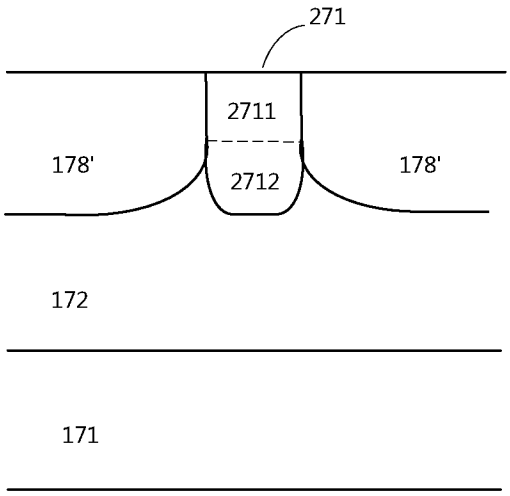


图 26C

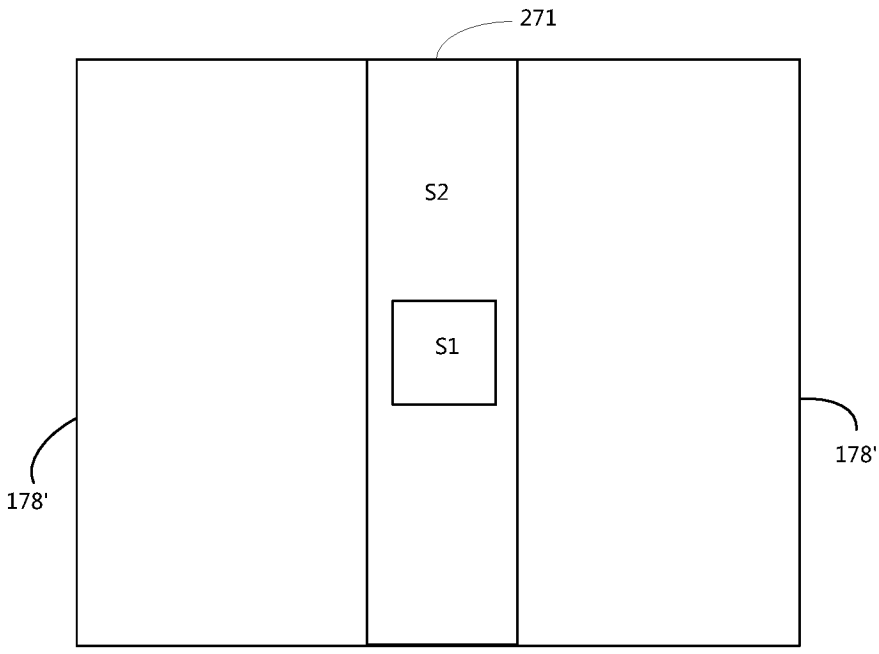


图 26D

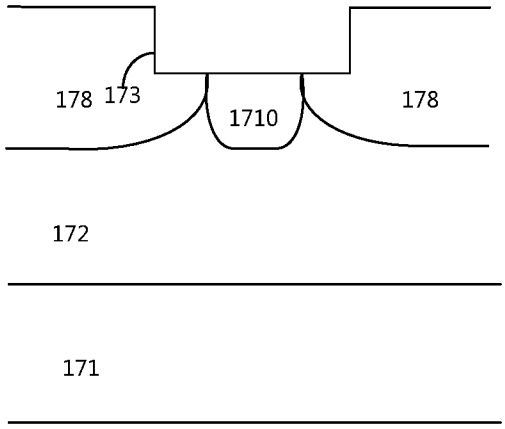


图 26E

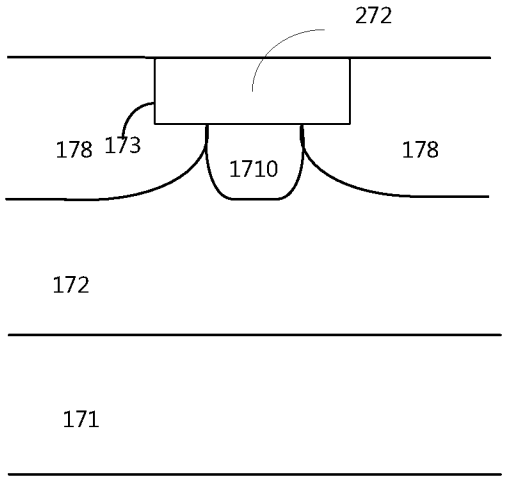


图 26F

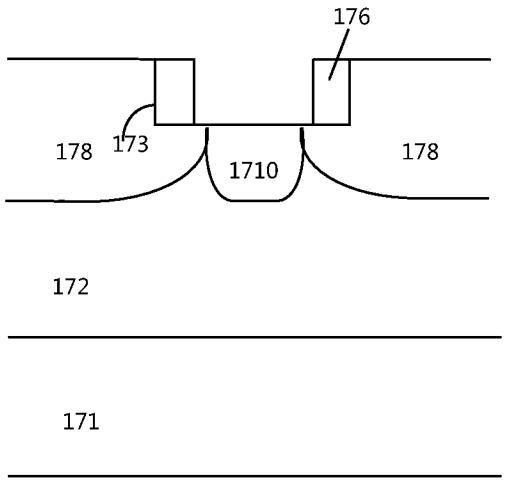


图 26G

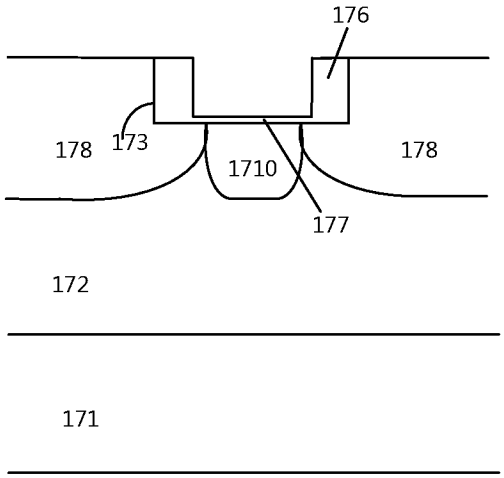

176
178
173
1710
178
177
172
171

图 26H

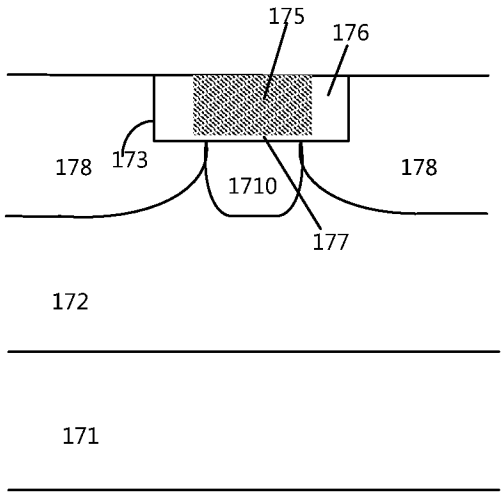

175
176
178
173
1710
178
177
172
171

图 26I


提供P型衬底
S271
在P型衬底上方形成P型外延层；外延层包括第一区域以及位于第一区域外围的第二区域
S272
分别在外延层的第一区域和第二区域形成P型阱区和N型阱区；P型阱区包括包括第一部分和从所述第一部分向所述第二阱区底部延伸的第二部分；P型阱区的第一部分包括第一区域和包围第一区域的第二区域，P型阱区的第一部分包括第一子部分和第二子部分
S273
刻蚀P型阱区的第一部分的第一子部分的第二区域及其侧面预设范围内的N型阱区，以在P型阱区的第一部分的第一子部的第二区域及其侧面预设范围内的N型阱区内形成沟槽的主体部
S274
在主体部的侧壁上形成第一场氧化层
S275
自侧壁形成有第一场氧化层的主体部的底部向所述衬底方向刻蚀，以形成所述沟槽的凸出部
S276
在沟槽凸出部的内表面上形成氧化层，以在凸出部的侧壁上形成第二场氧化层，以及在凸出部的底壁上形成栅氧化层
S277
向形成有栅氧化层的沟槽内填充栅电极材料，形成栅电极
S278
分别在沟槽两侧的漂移区内形成第一漏极和第二漏极
S279
在P型阱区的第一部分的第一区域形成本体电极
S2710

图 27

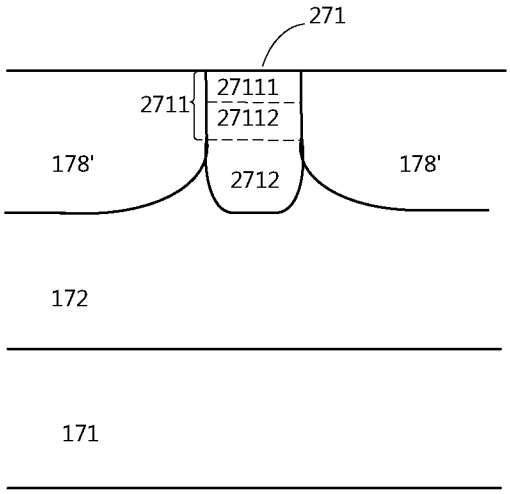


图 28A

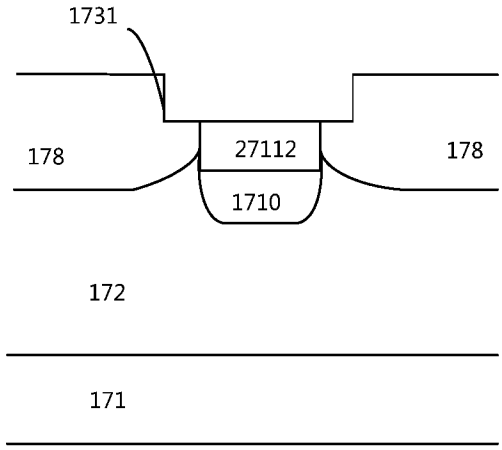


图 28B

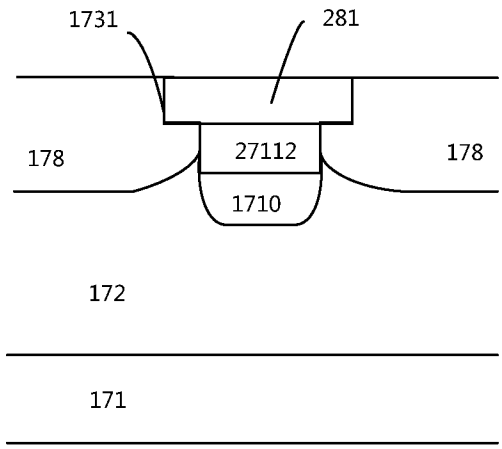


图 28C

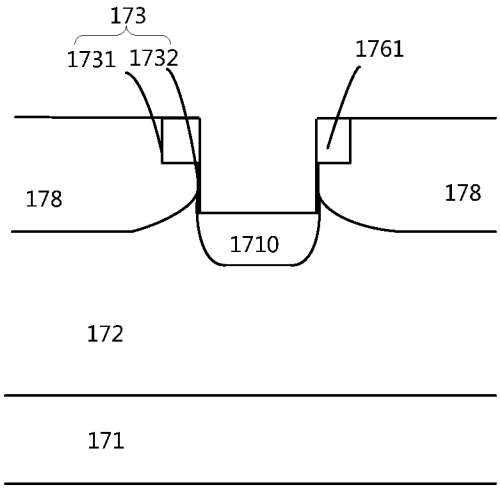

173
1731
1732
1761
178
178
1710
172
171

图 28D

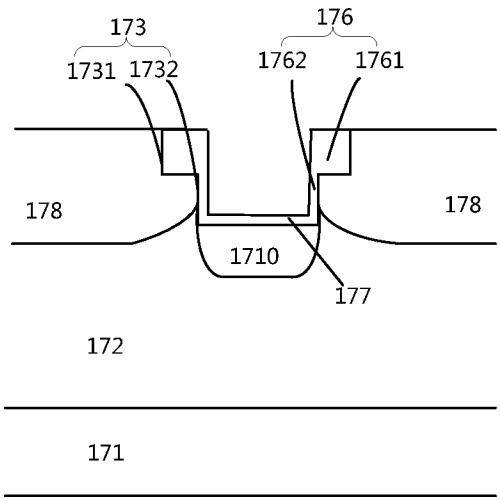

176
173
1762
1731
1732
1761
178
178
1710
177
172
171

图 28E

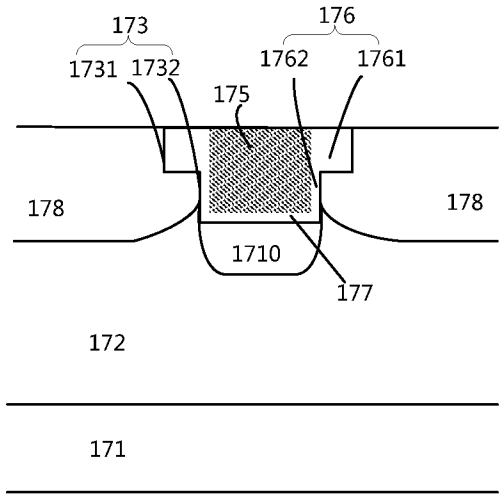

173
1731
1732
176
1762
1761
175
178
178
1710
177
172
171

图 28F

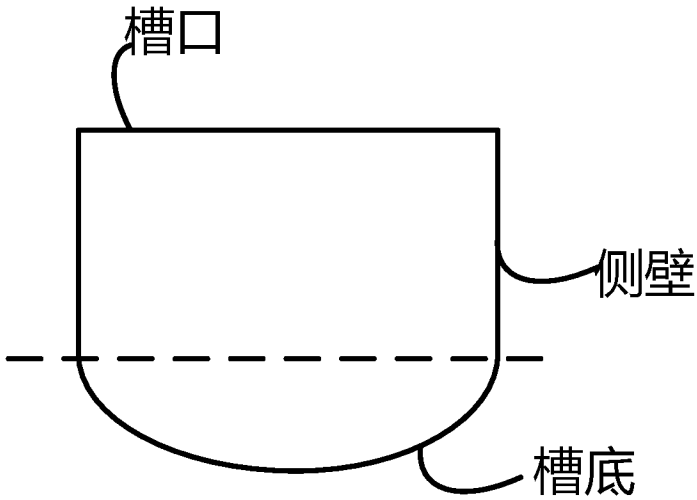

槽口
侧壁
槽底

图 29A

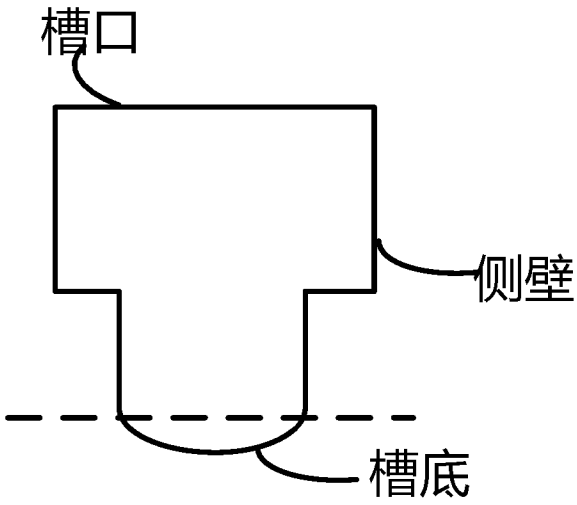


图 29B

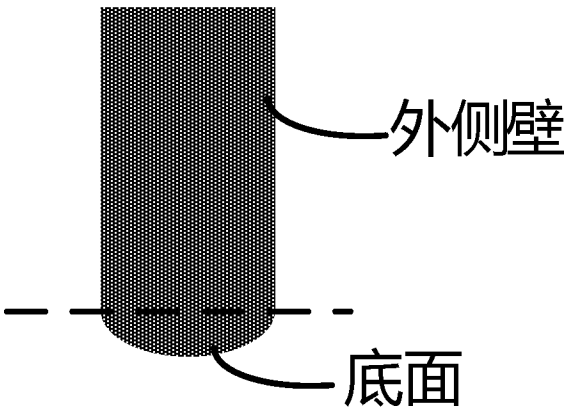


图 30A

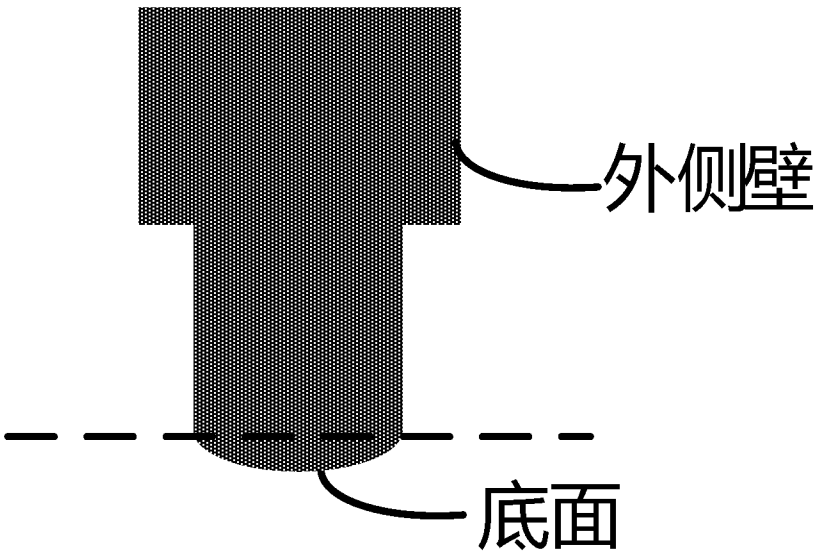


图 30B

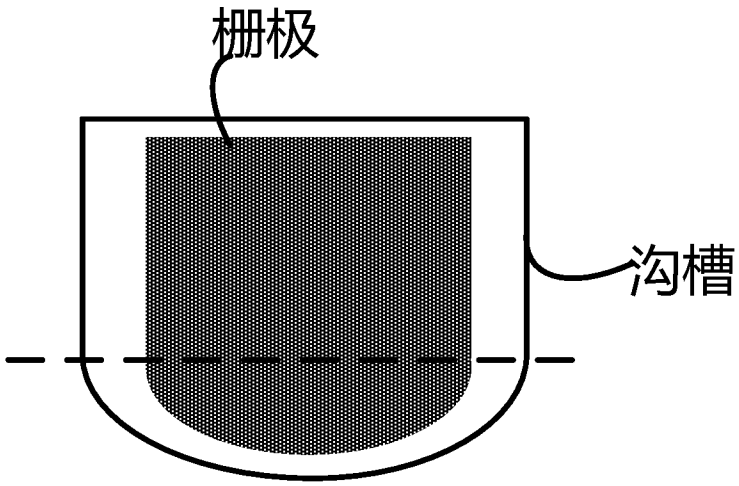


图 31A

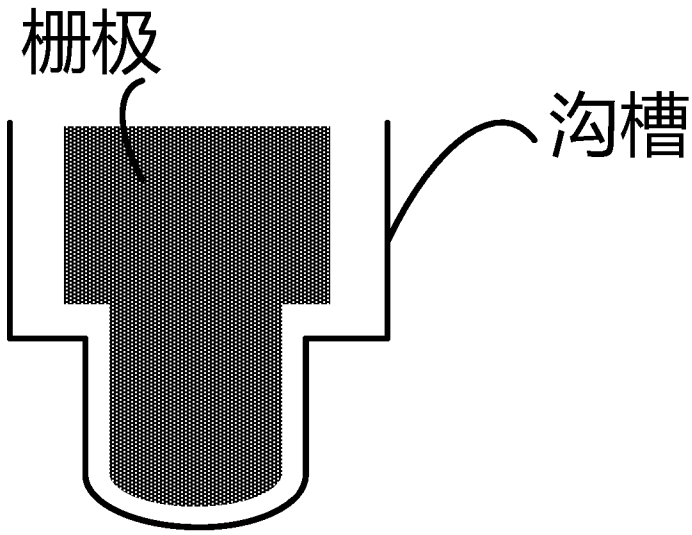


图 31B

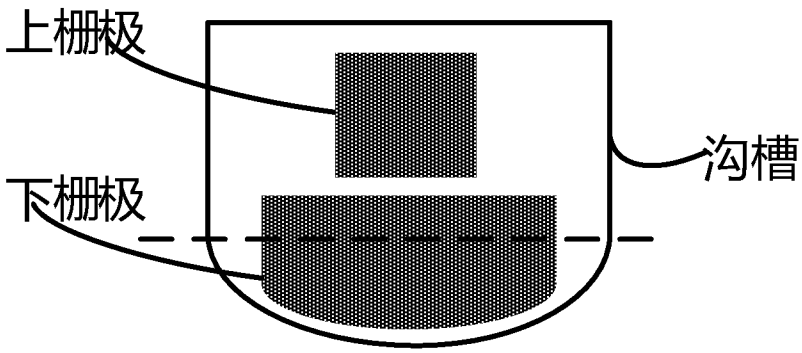


图 32A

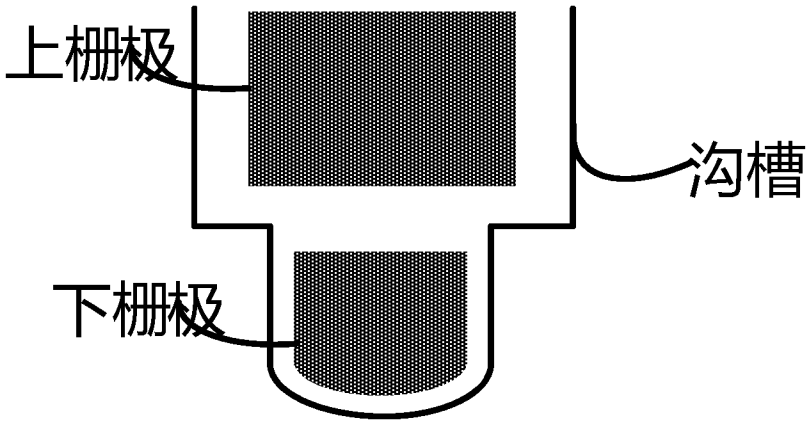

上栅极
沟槽
下栅极

图 32B

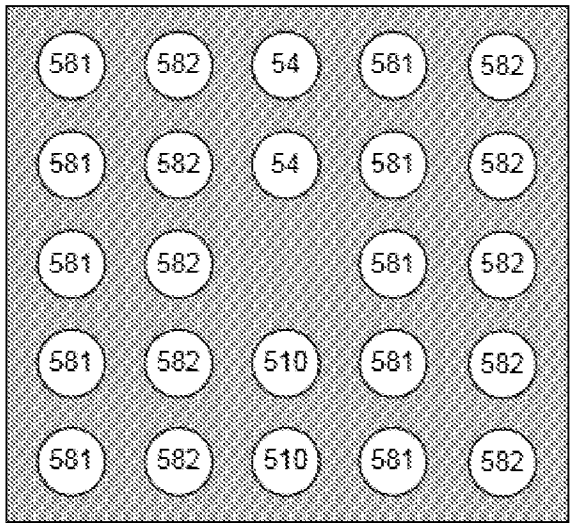

581
582
54
581
582
581
582
54
581
582
581
582
581
582
581
582
581
582
510
581
582
581
582
510
581
582

图 33

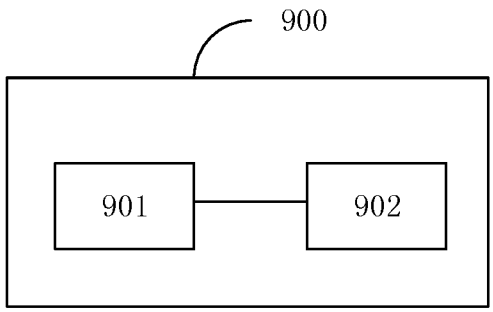

900
901
902

图 34

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/074710

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; H01L 29/08(2006.01)i; H01L 29/10(2006.01)i; H01L 29/423(2006.01)i; H01L 21/336(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI; CNABS; SIPOABS; CNKI: 源, 漏, 栅, 沟道, 槽, 绝缘, 氧化, 掺杂, 漂移, source, drain, gate, channel, trench, dielectric, oxide, dope, drift

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 109037337 A (HUAWEI TECHNOLOGIES CO., LTD.) 18 December 2018 (2018-12-18) entire document	1-15
Y	CN 1763969 A (INTERNATIONAL RECTIFIER CORP.) 26 April 2006 (2006-04-26) description, page 5, line 18 to page 6, line 28, and figures 3-6	1-15
Y	CN 1581486 A (KABUSHIKI KAISHA TOSHIBA) 16 February 2005 (2005-02-16) description, page 6, paragraph 6 to page 7, paragraph 3, and figure 2	1-15
A	US 2005173741 A1 (INTERNATIONAL RECTIFIER CORP.) 11 August 2005 (2005-08-11) entire document	1-15
A	CN 101208803 A (VISHAY SILICONIX) 25 June 2008 (2008-06-25) entire document	1-15
A	CN 101236989 A (ALPHA & OMEGA SEMICONDUCTOR, LTD.) 06 August 2008 (2008-08-06) entire document	1-15

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 April 2019	**05 May 2019**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing** **100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/074710

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109037337	A	18 December 2018	None			
CN	1763969	A	26 April 2006	CN	100416854	C	03 September 2008
CN	1581486	A	16 February 2005	US	2005029586	A1	10 February 2005
				CN	1327524	C	18 July 2007
				US	2006138535	A1	29 June 2006
				US	7061047	B2	13 June 2006
				JP	2005056912	A	03 March 2005
				CN	101093856	A	26 December 2007
				JP	3954541	B2	08 August 2007
US	2005173741	A1	11 August 2005	None			
CN	101208803	A	25 June 2008	KR	20080025041	A	19 March 2008
				DE	112005003584	B4	16 June 2011
				WO	2006126998	A1	30 November 2006
				DE	112005003584	T5	30 April 2008
				KR	101047945	B1	12 July 2011
				JP	2008543046	A	27 November 2008
				CN	101208803	B	30 May 2012
				JP	5350783	B2	27 November 2013
CN	101236989	A	06 August 2008	US	8058687	B2	15 November 2011
				TW	200832709	A	01 August 2008
				CN	101236989	B	10 August 2011
				US	8524558	B2	03 September 2013
				US	2012028427	A1	02 February 2012
				TW	I423440	B	11 January 2014
				US	2008179668	A1	31 July 2008

国际检索报告

国际申请号
PCT/CN2019/074710

A. 主题的分类

H01L 29/78(2006.01)i; H01L 29/08(2006.01)i; H01L 29/10(2006.01)i; H01L 29/423(2006.01)i; H01L 21/336(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

DWPI;CNABS;SIPOABS; CNKI: 源，漏，栅，沟道，槽，绝缘，氧化，掺杂，漂移，source， drain，gate，channel，trench，dielectric，oxide，dope，drift

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 109037337 A (华为技术有限公司) 2018年 12月 18日 (2018-12-18) 全文	1-15
Y	CN 1763969 A (国际整流器公司) 2006年 4月 26日 (2006-04-26) 说明书第5页第18行至第6页第28行、图3-6	1-15
Y	CN 1581486 A (株式会社东芝) 2005年 2月 16日 (2005-02-16) 说明书第6页第6段至第7页第3段、图2	1-15
A	US 2005173741 A1 (INT RECTIFIER CORP) 2005年 8月 11日 (2005-08-11) 全文	1-15
A	CN 101208803 A (维税一希力康克斯公司) 2008年 6月 25日 (2008-06-25) 全文	1-15
A	CN 101236989 A (万国半导体股份有限公司) 2008年 8月 6日 (2008-08-06) 全文	1-15

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 4月 23日	2019年 5月 5日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 刘国梁 电话号码 86-(010)-62411893

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/074710

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	109037337	A	2018年 12月 18日	无			
CN	1763969	A	2006年 4月 26日	CN	100416854	C	2008年 9月 3日
CN	1581486	A	2005年 2月 16日	US	2005029586	A1	2005年 2月 10日
				CN	1327524	C	2007年 7月 18日
				US	2006138535	A1	2006年 6月 29日
				US	7061047	B2	2006年 6月 13日
				JP	2005056912	A	2005年 3月 3日
				CN	101093856	A	2007年 12月 26日
				JP	3954541	B2	2007年 8月 8日
US	2005173741	A1	2005年 8月 11日	无			
CN	101208803	A	2008年 6月 25日	KR	20080025041	A	2008年 3月 19日
				DE	112005003584	B4	2011年 6月 16日
				WO	2006126998	A1	2006年 11月 30日
				DE	112005003584	T5	2008年 4月 30日
				KR	101047945	B1	2011年 7月 12日
				JP	2008543046	A	2008年 11月 27日
				CN	101208803	B	2012年 5月 30日
				JP	5350783	B2	2013年 11月 27日
CN	101236989	A	2008年 8月 6日	US	8058687	B2	2011年 11月 15日
				TW	200832709	A	2008年 8月 1日
				CN	101236989	B	2011年 8月 10日
				US	8524558	B2	2013年 9月 3日
				US	2012028427	A1	2012年 2月 2日
				TW	I423440	B	2014年 1月 11日
				US	2008179668	A1	2008年 7月 31日