



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년06월18일
G11C 5/14 (2006.01)	(11) 등록번호	10-0729140
	(24) 등록일자	2007년06월11일

(21) 출원번호	10-2005-0125036	(65) 공개번호
(22) 출원일자	2005년12월19일	(43) 공개일자
심사청구일자	2005년12월19일	

(73) 특허권자 고려대학교 산학협력단
 서울 성북구 안암동5가1 고려대학교 내

(72) 발명자 김수원
 서울특별시 성북구 돈암동 636번지 15/7 브라운스톤 돈암아파트104-401호

 김형주
 서울특별시 성북구 종암2동 28-36 104호

(74) 대리인 현종철

(56) 선행기술조사문헌
 KR 1020020020252 A

심사관 : 이선택

전체 청구항 수 : 총 6 항

(54) 반도체 메모리 장치의 기관 전압을 발생하는 전하 펌프

(57) 요약

본 발명은 반도체 메모리 장치의 기관 전압을 발생하는 전하 펌프에 관한 것이다. 본 발명의 전하 펌프는 클럭 신호를 받아서 이를 반전시키는 인버터, 상기 클럭 신호와 제1 노드 사이에 연결된 제1 캐패시터, 상기 인버터의 출력단과 제2 노드 사이에 연결된 제2 캐패시터, 상기 제1 노드와 상기 제2 노드에 연결되며 상기 제2 노드에 접지 전압이 발생할 때 비활성화되고 상기 제2 노드에 마이너스 전원전압이 발생할 때 완전히 활성화되는 제1 PMOS 트랜지스터, 및 상기 제1 노드와 제2 노드에 연결되며 상기 제1 노드에 접지 전압이 발생할 때 비활성화되고 상기 제1 노드에 마이너스 전원전압이 발생할 때 완전히 활성화되는 제2 PMOS 트랜지스터를 구비하고, 상기 제2 노드로부터 출력이 발생하는 전하 펌프를 제공한다. 따라서, 전하 펌프의 펌핑 효율이 향상되며, 전력 소모도 감소된다.

대표도

도 1

특허청구의 범위

청구항 1.

클럭 신호를 받아서 이를 반전시키는 인버터;

상기 클럭 신호와 제1 노드 사이에 연결된 제1 캐패시터;

상기 인버터의 출력단과 제2 노드 사이에 연결된 제2 캐패시터;

상기 제1 노드와 상기 제2 노드에 연결되며, 상기 제2 노드에 접지 전압이 발생할 때 비활성화되고, 상기 제2 노드에 마이너스 전원전압이 발생할 때 완전히 활성화되는 제1 PMOS 트랜지스터; 및

상기 제1 노드와 제2 노드에 연결되며, 상기 제1 노드에 접지 전압이 발생할 때 비활성화되고, 상기 제1 노드에 마이너스 전원전압이 발생할 때 완전히 활성화되는 제2 PMOS 트랜지스터를 구비하고,

상기 제2 노드로부터 출력이 발생하는 것을 특징으로 하는 전하 펌프.

청구항 2.

제1항에 있어서, 상기 제2 노드에 연결된 드레인과, 상기 제1 노드에 연결된 게이트를 갖는 NMOS 트랜지스터를 더 구비하며, 상기 NMOS 트랜지스터의 소오스를 통해 제2 노드의 출력이 전하 펌프 외부로 출력되는 것을 특징으로 하는 전하 펌프.

청구항 3.

제2항에 있어서, 상기 NMOS 트랜지스터는 게이트에 상기 접지 전압이 인가될 때 활성화되고, 게이트에 마이너스 전원전압이 인가될 때 비활성화되는 것을 특징으로 하는 전하 펌프.

청구항 4.

제1항에 있어서, 상기 전하 펌프는 반도체 메모리 장치에 구비되며, 상기 전하 펌프의 출력 전압은 상기 반도체 메모리 장치의 기판 전압으로 이용되는 것을 특징으로 하는 전하 펌프.

청구항 5.

제1항에 있어서, 상기 제1 PMOS 트랜지스터의 드레인은 상기 제1 노드에 연결되고, 상기 제1 PMOS 트랜지스터의 게이트는 상기 제2 노드에 연결되며, 상기 제1 PMOS 트랜지스터의 소오스는 접지되며,

상기 제2 PMOS 트랜지스터의 드레인은 상기 제2 노드에 연결되고, 상기 제2 PMOS 트랜지스터의 게이트는 상기 제1 노드에 연결되며, 상기 제2 PMOS 트랜지스터의 소오스는 접지된 것을 특징으로 하는 전하 펌프.

청구항 6.

제1항에 있어서, 상기 클럭 신호가 논리 하이일 때, 상기 제1 노드에 접지전압이 발생하고, 상기 클럭 신호가 논리 로우일 때 상기 제1 노드에 마이너스 전원전압이 발생하는 것을 특징으로 하는 전하 펌프.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치의 기관 전압을 발생하는 전하 펌프에 관한 것으로서, 특히 1.5볼트 이하의 낮은 전원전압에서도 펌핑 효율이 좋은 전하 펌프에 관한 것이다.

반도체 장치는 데이터를 저장하는 기능을 갖는 반도체 메모리 장치와 데이터를 제어하는 기능을 갖는 비메모리 장치로 구분된다. 이 중에서 반도체 메모리 장치는 자료 저장 기능을 요하는 제품에는 어디에나 사용되며, 특히 핸드폰과 같은 이동 통신 단말기에는 필수적으로 사용되고 있다. 핸드폰은 휴대용이므로 전력을 제공하는 배터리의 용량이 한정되어 있다. 때문에, 핸드폰의 전력 소모를 줄이고자하는 노력이 계속되고 있다. 핸드폰의 전력 소모를 줄이기 위해서는 핸드폰에 사용되는 반도체 메모리 장치의 전력 소모를 줄여야 하며, 이를 위해 반도체 메모리 장치의 전원 전압은 점차 낮아져서 지금은 1.5볼트 이하로 낮아지는 추세이다.

이처럼 반도체 메모리 장치의 전원 전압이 낮아져도 반도체 메모리 장치의 기관 전압은 (-1)볼트 정도로 유지되어야 한다. 기관 전압이 낮으면 낮을수록 반도체 메모리 장치에 구비되는 메모리 셀들의 누설 전류가 감소되고, 그에 따라 메모리 셀들에 저장된 데이터의 보존 시간이 증가된다. 또한, 기관 전압이 낮으면 비트 라인 커패시턴스가 감소되어 비트라인 커패시턴스-셀 커패시턴스의 비가 증가되는 이점이 있다.

따라서, 이동 통신 단말기에 사용되는 반도체 메모리 장치의 전원 전압이 1.5볼트 이하로 낮은 경우에, 높은 펌핑 효율을 갖는 기관 전압 발생용 전하 펌프가 필요하다. 이 때, 전하 펌프의 전력 소모는 적어야만 한다. 왜냐하면, 이동 통신 단말기는 휴대용 배터리를 사용하기 때문에 전력 소모가 적어야 이동 통신 단말기의 작동 시간이 길어지기 때문이다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 낮은 전원 전압에서도 펌핑 효율이 좋은 전하 펌프를 제공하는데 있다.

발명의 구성

상기 기술적 과제를 이루기 위하여 본 발명은

클럭 신호를 받아서 이를 반전시키는 인버터; 상기 클럭 신호와 제1 노드 사이에 연결된 제1 캐패시터; 상기 인버터의 출력단과 제2 노드 사이에 연결된 제2 캐패시터; 상기 제1 노드와 상기 제2 노드에 연결되며, 상기 제2 노드에 접지 전압이 발생할 때 비활성화되고, 상기 제2 노드에 마이너스 전원전압이 발생할 때 완전히 활성화되는 제1 PMOS 트랜지스터; 및 상기 제1 노드와 제2 노드에 연결되며, 상기 제1 노드에 접지 전압이 발생할 때 비활성화되고, 상기 제1 노드에 마이너스 전원전압이 발생할 때 완전히 활성화되는 제2 PMOS 트랜지스터를 구비하고, 상기 제2 노드로부터 출력이 발생하는 전하 펌프를 제공한다.

바람직하기는, 상기 제2 노드에 연결된 드레인과, 상기 제1 노드에 연결된 게이트를 갖는 NMOS 트랜지스터를 더 구비하며, 상기 NMOS 트랜지스터는 게이트에 상기 접지 전압이 인가될 때 활성화되고, 게이트에 마이너스 전원전압이 인가될 때 비활성화되며, 상기 NMOS 트랜지스터의 소오스로부터 상기 전하 펌프의 출력이 발생한다.

바람직하기는 또한, 상기 전하 펌프는 반도체 메모리 장치에 구비되며, 상기 전하 펌프의 출력 전압은 상기 반도체 메모리 장치의 기관 전압으로 이용된다.

바람직하기는 또한, 상기 제1 PMOS 트랜지스터의 드레인은 상기 제1 노드에 연결되고, 상기 제1 PMOS 트랜지스터의 게이트는 상기 제2 노드에 연결되며, 상기 제1 PMOS 트랜지스터의 소오스는 접지되며, 상기 제2 PMOS 트랜지스터의 드레인은 상기 제2 노드에 연결되고, 상기 제2 PMOS 트랜지스터의 게이트는 상기 제1 노드에 연결되며, 상기 제2 PMOS 트랜지스터의 소오스는 접지된다.

바람직하기는 또한, 상기 클럭 신호가 논리 하이일 때, 상기 제1 노드에 접지전압이 발생하고, 상기 클럭 신호가 논리 로우일 때 상기 제1 노드에 마이너스 전원전압이 발생한다.

상기 본 발명에 의하여 전하 펌프는 1.5볼트 이하의 낮은 전원전압에서도 높은 펌핑 효율로 동작한다.

상기 본 발명에 의하여 전하 펌프의 펌핑 효율이 향상되며, 전력 소모도 감소된다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 1은 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치의 기관 전압을 발생하는 전하 펌프의 회로도이다. 도 1을 참조하면, 전하 펌프(101)는 인버터(111), 제1 캐패시터(121), 제2 캐패시터(122), 제1 PMOS 트랜지스터(131), 제2 PMOS 트랜지스터(132), NMOS 트랜지스터(141), 제1 노드(N1) 및 제2 노드(N2)를 구비한다.

인버터(111)는 클럭 신호(CLK)를 입력하고, 이를 반전시켜서 출력한다. 인버터(111)는 논리 게이트, 예컨대 낸드 게이트를 이용하여 구성될 수도 있다.

제1 캐패시터(121)의 일단에 클럭 신호(CLK)가 인가되며, 제1 캐패시터(121)의 타단은 제1 노드(N1)에 연결된다.

제2 캐패시터(122)는 인버터(111)의 출력단과 제2 노드(N2) 사이에 연결된다.

제1 PMOS 트랜지스터(131)의 드레인은 제1 노드(N1)에 연결되고, 제1 PMOS 트랜지스터(131)의 게이트는 제2 노드(N2)에 연결되며, 제1 PMOS 트랜지스터(131)의 소오스는 접지된다.

제2 PMOS 트랜지스터(132)의 드레인은 제2 노드(N2)에 연결되고, 제2 PMOS 트랜지스터(132)의 게이트는 제1 노드(N1)에 연결되며, 제2 PMOS 트랜지스터(132)의 소오스는 접지된다.

NMOS 트랜지스터(141)의 드레인은 제2 노드(N2)에 연결되고, NMOS 트랜지스터(141)의 게이트는 제1 노드(N1)에 연결되며, NMOS 트랜지스터(141)의 소오스로부터 전하 펌프(101)의 출력 즉, 반도체 메모리 장치(미도시)의 기관 전압(VBB)이 출력된다.

도 2는 도 1에 도시된 신호(CLK)와 제1 및 제2 노드들(N1, N2)에 인가되는 전압들의 파형도이다. 도 2를 참조하여 도 1에 도시된 전하 펌프(101)의 동작을 설명하기로 한다.

클럭 신호(CLK)가 논리 하이(logic high)이면, 인버터(111)의 출력은 접지 전압(GND) 즉, 0(제로)볼트로 된다. 그러면, 제2 노드(N2)는 마이너스 전원전압($-V_{DD}$)으로 낮아진다. 제2 노드(N2)가 마이너스 전원전압($-V_{DD}$)으로 낮아지면, 제1 PMOS 트랜지스터(131)가 활성화되고, 그에 따라 제1 노드(N1)의 전압은 0볼트로 된다. 제1 노드(N1)의 전압이 0볼트이면 제2 PMOS 트랜지스터(132)는 비활성화되므로, 제2 노드(N2)는 마이너스 전원전압($-V_{DD}$)으로 유지된다. 또한, 제1 노드(N1)의 전압이 0볼트이면 NMOS 트랜지스터(141)가 활성화되어 제2 노드(N2)의 전압 즉, 마이너스 전원전압($-V_{DD}$)이 NMOS 트랜지스터(141)의 소오스를 통해 출력되어 반도체 메모리 장치의 기관 전압(VBB)으로서 사용된다.

클럭 신호(CLK)가 논리 하이에서 논리 로우(logic low)로 천이되면, 인버터(111)의 출력은 0볼트에서 전원 전압 레벨로 상승하고, 그에 따라 제2 노드(N2)의 전압도 마이너스 전원전압($-V_{DD}$)에서 0볼트로 상승한다. 제2 노드(N2)의 전압이 0볼트로 상승하면, 제1 PMOS 트랜지스터(131)는 비활성화된다. 이에 따라, 제1 노드(N1)의 전압은 제1 캐패시터(121)의 커플링(coupling)에 의해 0볼트에서 마이너스 전원전압($-V_{DD}$)으로 낮아진다. 제1 노드(N1)의 전압이 마이너스 전원전압($-V_{DD}$)으로 낮아지면 제2 PMOS 트랜지스터(132)가 완전하게 활성화된다. 그러면, 제2 노드(N2)의 전압은 0볼트로 높아진다. 또한, 제1 노드(N1)의 전압이 마이너스 전원전압($-V_{DD}$)으로 낮아지면 NMOS 트랜지스터(141)는 비활성화되며, 그로 인하여, 제2 노드(N2)의 전압은 NMOS 트랜지스터(141)의 소오스로 전달되지 않는다.

여기서, 제1 노드(N1)의 전압이 제2 PMOS 트랜지스터(132)를 완전히 활성화시키기 위해서는 아래 수학적 식 1이 만족되어야 한다.

$$\text{수학식 1} \\ -V_{DD} < -|V_{thp}|$$

여기서, V_{thp} 는 제2 PMOS 트랜지스터(132)의 문턱 전압이다.

이와 같이, 제1 노드(N1)의 전압이 제2 PMOS 트랜지스터(132)를 완전히 활성화시키기 위해서는 $(-|V_{thp}|)$ 보다 작아야 한다. 즉, 전원전압(V_{DD})은 V_{thp} 보다 커야 한다. 결과적으로, 전하 펌프(101)의 최소 동작 전원 전압은 V_{thp} 임을 알 수 있다. 제2 PMOS 트랜지스터(132)의 문턱전압(V_{thp})은 0.4볼트 정도이므로, 전하 펌프(101)는 전원전압이 1.5볼트로 낮아지더라도 동작하는 데는 전혀 지장이 없음을 알 수 있다.

도면과 명세서에서 최적 실시예가 개시되었으며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위에 기재된 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 제1 노드(N1)에 연결된 제2 PMOS 트랜지스터(132)를 구비함으로써, 제1 노드(N1)에 마이너스 전원전압($-V_{DD}$)이 인가될 때 제2 PMOS 트랜지스터(132)가 완전히 활성화되어 전하 펌프(101)의 펌핑 효율이 향상된다. 따라서, 전하 펌프(101)는 1.5볼트 이하의 전원전압에서도 높은 펌핑 효율을 가지게 되어 마이너스 전원전압($-V_{DD}$)을 반도체 메모리 장치의 기관 전압(VBB)으로써 출력할 뿐만 아니라 전력 소모도 매우 적게 한다.

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 바람직한 실시예에 따른 반도체 메모리 장치의 기관 전압을 발생하는 전하 펌프의 회로도이다.

도 2는 도 1에 도시된 신호와 제1 및 제2 노드들에 인가되는 전압들의 파형도이다.

<도면의 주요 부분에 대한 부호의 설명>

101; 전하 펌프,

111; 인버터

121,122; 제1 및 제2 캐패시터들,

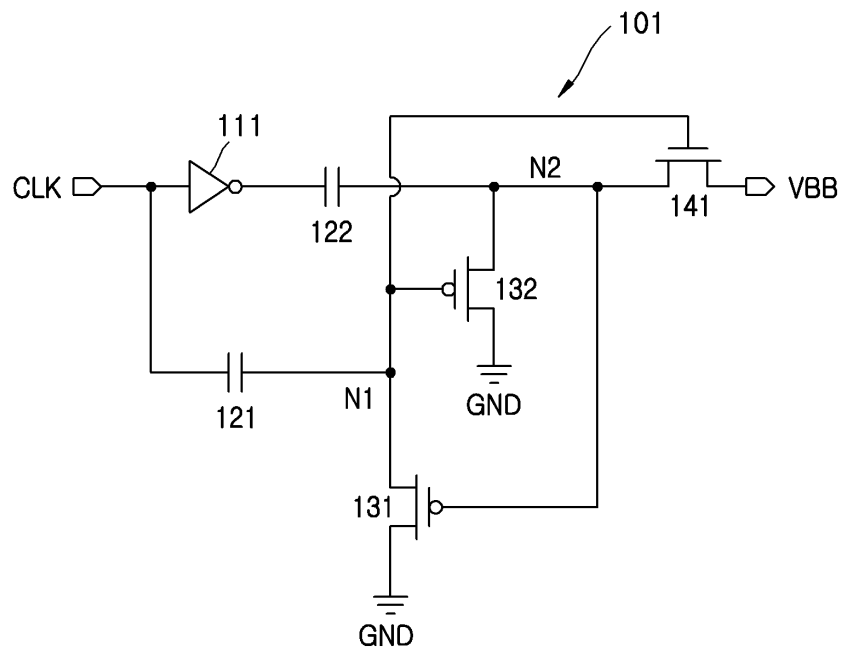
131,132; 제1 및 제2 PMOS 트랜지스터들

141; NMOS 트랜지스터, CLK; 클럭 신호

VBB; 반도체 메모리 장치의 기관 전압

도면

도면1



도면2

