

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-49399

(P2010-49399A)

(43) 公開日 平成22年3月4日(2010.3.4)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 17/50 (2006.01)	G06F 17/50 660M	5B046
H01L 21/82 (2006.01)	G06F 17/50 658P	5F064
	G06F 17/50 658N	
	H01L 21/82 C	

審査請求 未請求 請求項の数 8 O L (全 27 頁)

(21) 出願番号	特願2008-211735 (P2008-211735)	(71) 出願人	303046277
(22) 出願日	平成20年8月20日 (2008.8.20)		旭化成エレクトロニクス株式会社
			東京都千代田区神田神保町一丁目105番地
		(74) 代理人	100066980
			弁理士 森 哲也
		(74) 代理人	100075579
			弁理士 内藤 嘉昭
		(74) 代理人	100103850
			弁理士 崔 秀▲てつ▼
		(72) 発明者	伊藤 充男
			神奈川県厚木市岡田3050番地 旭化成
			エレクトロニクス株式会社内
		Fターム(参考)	5B046 AA08 BA03 BA04 GA01 JA01
			最終頁に続く

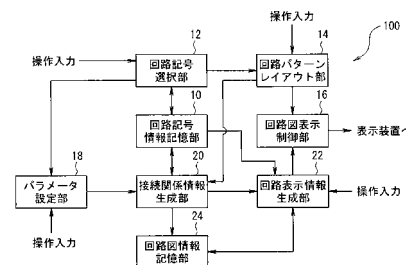
(54) 【発明の名称】 回路図設計装置、回路図設計プログラム及び回路図設計方法

(57) 【要約】

【課題】 MOSトランジスタなどの回路素子を共有部分を介して連続接続してなるマルチ素子回路を含む半導体集積回路に係る回路図を設計するのに好適な回路図設計装置、回路図設計プログラム及び回路図設計方法を提供する。

【解決手段】 回路図設計装置100を、レイアウトされた回路図や選択画面から回路記号を選択する回路記号選択部12と、表示情報に基づき回路図の表示制御を行う回路図表示制御部16と、パラメータ設定可能な回路記号に対してマルチ素子回路を生成するためのパラメータを設定するパラメータ設定部18と、予め設定されたルールと回路記号に対して設定されたパラメータとに基づきマルチ素子回路の接続関係情報を生成する接続関係情報生成部20と、予め設定された表示方法のルールに基づきマルチ素子回路の回路記号の表示情報を生成する回路表示情報生成部22とを含んだ構成とした。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

表示装置の画面上に表示されるレイアウト領域に、半導体集積回路を構成する各種回路素子に対応する回路記号と配線パターンとをレイアウトすることで、前記半導体集積回路に係る回路図を設計することが可能な回路図設計装置であって、

前記回路図の設計に係る所定の前記回路記号を選択する回路記号選択手段と、

前記回路記号選択手段で選択された前記所定の回路記号に対して、該回路記号の示す回路素子の連続形成数と、該連続形成数の回路素子を連続して一繋がりに形成することによって生じる回路素子特性のバラツキを低減するためのダミー素子の形成数とを含むパラメータを設定するパラメータ設定手段と、

前記レイアウト領域にレイアウトされた回路記号及び配線パターンの情報に基づき、前記レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報を生成する接続関係情報生成手段と、

前記接続関係情報に基づき、前記回路記号及び前記配線パターンを含んで構成される回路図を表示する回路図表示手段と、を備え、

前記接続関係情報生成手段は、前記回路記号選択手段で選択された前記所定の回路記号に対して前記パラメータが設定されたときに、該設定されたパラメータに基づき、前記一繋がりに形成される本体部分と、該本体部分に接続される前記形成数分のダミー素子とを含んで構成されるマルチ素子回路の各回路素子の接続関係を示す接続関係情報を生成することを特徴とする回路図設計装置。

【請求項 2】

前記回路図表示手段は、前記接続関係情報に基づき、前記半導体集積回路のマスクパターンのレイアウトを示すパターンレイアウト図を表示することを特徴とする請求項 1 に記載の回路図設計装置。

【請求項 3】

前記回路図表示手段は、前記回路記号選択手段で選択された回路記号に対して前記パラメータが設定されたときに、該パラメータの設定された回路記号を、前記パラメータの設定されていない回路記号とは異なる色で表示するようになっていないことを特徴とする請求項 1 又は請求項 2 に記載の回路図設計装置。

【請求項 4】

前記回路図表示手段は、前記回路記号選択手段で選択された回路記号に対して前記パラメータが設定されたときに、該パラメータの設定された回路記号を、前記パラメータの設定されていない回路記号とは異なる形状の回路記号で表示するようになっていないことを特徴とする請求項 1 乃至請求項 3 のいずれか 1 項に記載の回路図設計装置。

【請求項 5】

前記接続関係情報生成手段は、前記パラメータの設定された回路素子が MOS トランジスタであるときに、前記ダミー素子となる MOS トランジスタにおける、前記本体部分を構成する MOS トランジスタのソース又はドレインに接続されない方の端子をフローティングにする構成の接続関係情報を生成することを特徴とする請求項 1 乃至請求項 4 のいずれか 1 項に記載の回路図設計装置。

【請求項 6】

前記接続関係情報生成手段は、前記パラメータの設定された回路素子が P チャンネル型の MOS トランジスタであるときに、前記ダミー素子となる P チャンネル型の MOS トランジスタにおけるゲート端子を電源端子に接続する構成の接続関係情報を生成し、前記パラメータの設定された回路素子が N チャンネル型の MOS トランジスタであるときに、前記ダミー素子となる N チャンネル型の MOS トランジスタにおけるゲート端子を接地端子に接続する構成の接続関係情報を生成することを特徴とする請求項 1 乃至請求項 5 のいずれか 1 項に記載の回路図設計装置。

【請求項 7】

表示装置の画面上に表示されるレイアウト領域に、半導体集積回路を構成する各種回路

10

20

30

40

50

素子に対応する回路記号と配線パターンとをレイアウトして、前記半導体集積回路に係る回路図を設計するために、コンピュータを、

前記回路図の設計に係る所定の前記回路記号を選択する回路記号選択手段、

前記回路記号選択手段で選択された前記所定の回路記号に対して、該回路記号の示す回路素子の連続形成数と、該連続形成数の回路素子を連続して一繋がりに形成することによって生じる回路素子特性のバラツキを低減するためのダミー素子の形成数とを含むパラメータを設定するパラメータ設定手段、

前記レイアウト領域にレイアウトされた回路記号及び配線パターンの情報に基づき、前記レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報を生成する接続関係情報生成手段、及び

前記接続関係情報に基づき、前記回路記号及び前記配線パターンを含んで構成される回路図を表示する回路図表示手段として機能させるためのプログラムを含み、

前記接続関係情報生成手段は、前記回路記号選択手段で選択された前記所定の回路記号に対して前記パラメータが設定されたときに、該設定されたパラメータに基づき、前記一繋がりに形成される本体部分と、該本体部分に接続される前記形成数分のダミー素子とを含んで構成されるマルチ素子回路の各回路素子の接続関係を示す接続関係情報を生成することを特徴とする回路図設計プログラム。

【請求項 8】

回路記号選択手段、パラメータ設定手段、接続関係情報生成手段及び回路図表示手段を備えた回路図設計装置を利用して、表示装置の画面上に表示されるレイアウト領域に、半導体集積回路を構成する各種回路素子に対応する回路記号と配線パターンとをレイアウトして、前記半導体集積回路に係る回路図を設計する回路図設計方法であって、

前記回路記号選択手段に、前記回路図の設計に係る所定の前記回路記号を選択させる回路記号選択ステップと、

前記パラメータ設定手段に、前記回路記号選択ステップで選択された前記所定の回路記号に対して、該回路記号の示す回路素子の連続形成数と、該連続形成数の回路素子を連続して一繋がりに形成することによって生じる回路素子特性のバラツキを低減するためのダミー素子の形成数とを含むパラメータを設定させるパラメータ設定ステップと、

前記接続関係情報生成手段に、前記レイアウト領域にレイアウトされた回路記号及び配線パターンの情報に基づき、前記レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報を生成させる接続関係情報生成ステップと、

前記回路図表示手段に、前記接続関係情報に基づき、前記回路記号及び前記配線パターンを含んで構成される回路図を表示させる回路図表示ステップとを含み、

前記接続関係情報生成ステップにおいて、前記回路記号選択ステップで選択された前記所定の回路記号に対して前記パラメータが設定されたときに、該設定されたパラメータに基づき、前記一繋がりに形成される本体部分と、該本体部分に接続される前記形成数分のダミー素子とを含んで構成されるマルチ素子回路の各回路素子の接続関係を示す接続関係情報を生成することを特徴とする回路図設計方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路のマスクパターンを生成するための回路図を設計する装置に係り、特に、MOSトランジスタなどの回路素子を共有部分を介して連続接続してなるマルチ素子回路を含む半導体集積回路に係る回路図を設計するのに好適な回路図設計装置、回路図設計プログラム及び回路図設計方法に関する。

【背景技術】

【0002】

半導体集積回路の微細化プロセス技術において、例えば、半導体ウェハに形成される回路素子の1つであるMOSトランジスタを複数、共有部分（ドレイン及びソース）を介して連続して接続した構成のマルチMOS回路の形成プロセスがある。このマルチMOS回

10

20

30

40

50

路において、 V_{th} が場所によって異なる現象が発生するという問題がある。この現象は、マルチMOS回路における連続接続されたMOSトランジスタの両端のゲートの形状と、その内側のMOSトランジスタのゲートの形状とが異なることが原因で生じることが判明している。図12に、そのイメージを示す(マルチ数=4のマルチMOS回路)。図12を見ると、両端のゲートの形状が内側のゲートの形状と異なっている様子が解る。この問題に対して、マルチMOS回路の両端にダミーMOSを付加する設計手法(図12の下図)が採用されている。この設計手法を用いることで、内側のMOSのマッチングが取れ、上記問題を回避することができる(例えば、特許文献1参照。)。

【0003】

特許文献1の半導体装置は、中央部の内部セル領域を取り囲むように配線チャネル領域を設け、さらにその周囲を外部との信号の入出力等を行う回路配置されたI/Oセル領域が取り囲む構成の半導体装置において、内部セル領域の内部に設けられた多数のMOSトランジスタと寸法および配置密度がほぼ同一なダミーMOSトランジスタを配線チャネル領域に形成し、内部セル領域における辺縁部のMOSトランジスタの配置密度環境が、中央部のMOSトランジスタ群と等価になるようにして、製造時における拡散層パターンやゲートパターンの寸法ばらつきを防止するものである。

【0004】

図12の下図は、長破線で囲まれる部分が本体部、すなわち本来のMOSトランジスタの部分を示し、短破線で囲まれる部分がダミーとして付加されたMOSトランジスタ、すなわちダミーMOS部を示す。図12中の大文字のS、Dはそれぞれソース、ドレインを示し、小文字dで示した部分はダミーMOSのゲートを示し、S、Dに挟まれた何も無い縦長の長方形が本体部のゲートを示す。

【特許文献1】特開平7-335844号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来の設計手法を採用した場合に、半導体集積回路に係る回路図を設計するCADや、半導体集積回路のマスクパターンを設計するCADなどを用いて、ダミーMOSを本体のMOSに1つずつ手入力で付加しなければならない。更に、ダミーMOSを1つ付加する毎に、付加した後のマルチMOS回路に対して、その検証(LVS: Layout Versus Schematic)を行わなくてはならない。そのため、設計者は、非効率で確実性の無い作業を強いられているのが現状である。

【0006】

そこで、本発明は、このような従来の技術の有する未解決の課題に着目してなされたものであって、MOSトランジスタなどの回路素子を連続接続してなるマルチ素子回路を含む半導体集積回路に係る回路図を設計するのに好適な回路図設計装置、回路図設計プログラム及び回路図設計方法を提供することを目的としている。

【課題を解決するための手段】

【0007】

〔発明1〕 上記目的を達成するために、発明1の回路図設計装置は、表示装置の画面上に表示されるレイアウト領域に、半導体集積回路を構成する各種回路素子に対応する回路記号と配線パターンとをレイアウトすることで、前記半導体集積回路に係る回路図を設計することが可能な回路図設計装置であって、前記回路図の設計に係る所定の前記回路記号を選択する回路記号選択手段と、前記回路記号選択手段で選択された前記所定の回路記号に対して、該回路記号の示す回路素子の連続形成数と、該連続形成数の回路素子を連続して一繋がり形成することによって生じる回路素子特性のバラツキを低減するためのダミー素子の形成数とを含むパラメータを設定するパラメータ設定手段と、前記レイアウト領域にレイアウトされた回路記号及び配線パターンの情報に基づき、前記レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報を生成する接続関係情報生成手段と、前記接続関係情報に基づき、前記回路記号及び前記配線パターンを含んで構成さ

10

20

30

40

50

れる回路図を表示する回路図表示手段と、を備え、前記接続関係情報生成手段は、前記回路記号選択手段で選択された前記所定の回路記号に対して前記パラメータが設定されたときに、該設定されたパラメータに基づき、前記一繋がりに形成される本体部分と、該本体部分に接続される前記形成数分のダミー素子とを含んで構成されるマルチ素子回路の各回路素子の接続関係を示す接続関係情報を生成する。

【0008】

このような構成であれば、レイアウト領域に回路記号及び配線パターンがレイアウトされると、接続関係情報生成手段によって、これらレイアウトされた回路記号及び配線パターンの情報に基づき、レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報が生成される。

10

一方、回路記号選択手段によって、例えば、選択画面に表示された回路記号のうち、所定の回路記号としてパラメータが設定可能な回路記号、又はレイアウト領域にレイアウトされた回路記号のうち所定の回路記号としてパラメータが設定可能な回路記号が選択されると、パラメータ設定手段によって、選択された所定の回路記号に対して、回路素子の連続形成数及びダミー素子の形成数を含むマルチ素子回路を生成するためのパラメータが設定される。パラメータが設定されると、接続関係情報生成手段によって、設定されたパラメータに基づき、設定された連続形成数の回路素子から構成される本体部分と、該本体部分に接続される設定された形成数のダミー素子とを含んで構成されるマルチ素子回路の各回路素子の接続関係を示す接続関係情報が生成される。

【0009】

20

更に、接続関係情報が生成されると、該生成された接続関係情報に基づき、回路記号及び配線パターンを含んで構成される回路図を表示することができる。

従って、半導体基板（半導体ウェーハ）に形成される、能動素子（例えば、ダイオード、トランジスタなど）や、受動素子（例えば、抵抗、キャパシタ、インダクタなど）などの回路素子を、同じ回路素子同士で複数を連続接続（例えば、各回路素子の一部を他と共有させてひと繋がりに形成）した構成のマルチ素子回路含む半導体集積回路を設計（作成）するときに、例えば、手作業で同じ回路記号を1つずつ選択して形成することなく、選択した回路記号に対して連続形成数をパラメータ設定するだけで、該回路記号の回路素子を連続接続した構成のマルチ素子回路を生成することができる。更に、このマルチ素子回路において、例えば、該マルチ素子回路を構成する回路素子の一部の形状の違いなどから生じる回路素子特性のバラツキを低減するためのダミー素子についても、選択した回路記号に対してダミー素子の形成数をパラメータ設定するだけで、手作業でダミー素子の回路記号を1つずつ選択して形成することなく、連続接続された回路素子にダミー素子が付加接続された構成のマルチ素子回路を生成することができる。

30

【0010】

これによって、選択した回路記号に対してパラメータを設定するといった簡単な作業で、任意のダミー素子を含むマルチ素子回路を含む回路の接続関係情報を生成することができるという効果が得られる。

また、回路素子のマルチ数やダミー素子の数をパラメータで管理することができるので、レイアウト検証（LVS）を、より確実に行うことができるという効果が得られる。

40

【0011】

また、選択した回路記号に対してパラメータを設定するので、本来の回路素子の連続接続数の情報とこの回路素子に付加的に接続されるダミー素子の情報とが関連付けられるので、この情報を、半導体集積回路のマスクパターンの生成に利用することで、マスクパターンの生成においても、ダミー素子を1つ1つ手作業で付加するといった労力を軽減することができるという効果が得られる。

【0012】

ここで、上記回路記号は、例えば、JIS C 0301、JIS C 0617、JIS C 9309、JIS B 8601に準拠した回路記号や、これらの回路記号を基準にして作成されたもの、また、マスクパターンの生成にも対応させる場合は、マスクパターンのセル、ブロックなどが該当する

50

。

また、上記半導体集積回路に係る回路図は、例えば、上記JISに準拠した回路記号で表された回路図や、セル、ブロックなどで表されたマスクパターンのレイアウト図であるパターンレイアウト図などが該当する。以下、発明6の回路図設計プログラム、発明7の回路図設計方法において同じである。

【0013】

また、上記回路記号選択手段は、例えば、表示装置の画面上に回路記号の一覧を表示し、その中から任意の回路記号を選択したり、レイアウト領域にレイアウトされた回路図を構成する回路記号を選択したりする構成などが該当する。また、選択処理は、例えば、入力デバイス（マウス、タブレット、キーボードなど）を用いた利用者の操作入力に応じて行われ、利用者の任意の回路記号が選択される。また、回路記号の一覧表示は、例えば、回路素子の種類毎に一覧を表示（一覧できないときは、ページ分けして表示）する。以下、発明6の回路図設計プログラム、発明7の回路図設計方法において同じである。

10

【0014】

また、上記マルチ素子回路は、例えば、半導体基板に形成されるMOSトランジスタなどの能動素子、抵抗、コンデンサなどの受動素子などの回路素子を、同じものを複数連続して形成することで構成されるものである。このとき、例えば、MOSトランジスタであれば、隣り合う素子同士でソースやドレインを共有するように連続形成される。

更に、複数の回路素子を連続形成したときに、各回路素子の形状などの違いによって生じる回路特性のバラツキを低減するために、例えば、連続形成部分の両端にダミー素子として同じ回路素子を付加する。以下、発明6の回路図設計プログラム、発明7の回路図設計方法において同じである。

20

【0015】

また、上記接続関係情報生成手段は、例えば、レイアウト領域にレイアウトされた回路記号及び配線パターンから構成される回路図の各回路記号の示す回路素子の識別情報と、各回路素子、各ダミー素子の各端子の接続情報とを含む、接続関係情報（例えば、SPICE（Simulation Program with Integrated Circuit Emphasis）のネットリストなど）を生成する。更に、所定の回路記号に対してパラメータが設定されたときは、連続形成する各回路素子の識別情報と、各ダミー素子の識別情報と、各回路素子、各ダミー素子の各端子の接続情報とを含む、マルチ素子回路の接続関係情報を生成する。以下、発明6の回路図設計プログラム、発明7の回路図設計方法において同じである。

30

【0016】

〔発明2〕 更に、発明2の回路図設計装置は、発明1に記載の回路図設計装置において、前記回路図表示手段は、前記接続関係情報に基づき、前記半導体集積回路のマスクパターンのレイアウトを示すパターンレイアウト図を表示する。

このような構成であれば、JISに準拠する回路記号をレイアウト領域にレイアウトして構成された回路図に対して、回路図表示手段によって、接続関係情報に基づき、パターンレイアウト図を表示するための表示情報を生成し、該生成した表示情報に基づきパターンレイアウト図を表示することができる。

【0017】

40

〔発明3〕 更に、発明3の回路図設計装置は、発明1又は2に記載の回路図設計装置において、前記回路図表示手段は、前記回路記号選択手段で選択された回路記号に対して前記パラメータが設定されたときに、該パラメータの設定された回路記号を、前記パラメータの設定されていない回路記号とは異なる色で表示するようになっている。

このような構成であれば、利用者は、表示された回路記号の色から、ダミー素子を含むマルチ素子回路が形成されていかなるかを視覚的に容易に判断することができるという効果が得られる。

【0018】

〔発明4〕 更に、発明4の回路図設計装置は、発明1乃至3のいずれか1に記載の回路図設計装置において、前記回路図表示手段は、前記回路記号選択手段で選択された回路

50

記号に対して前記パラメータが設定されたときに、該パラメータの設定された回路記号を、前記パラメータの設定されていない回路記号とは異なる形状の回路記号で表示するようになっている。

【 0 0 1 9 】

このような構成であれば、利用者は、表示された回路記号の形状から、ダミー素子を含むマルチ素子回路が形成されていか否かを視覚的に容易に判断することができるという効果が得られる。

【 0 0 2 0 】

〔 発明 5 〕 更に、発明 5 の回路図設計装置は、発明 1 乃至 4 のいずれか 1 に記載の回路図設計装置において、前記接続関係情報生成手段は、前記パラメータの設定された回路素子が MOS (metal-oxide-semiconductor) トランジスタであるときに、前記ダミー素子となる MOS トランジスタにおける、前記連続接続された MOS トランジスタのソース又はドレインに接続されない方の端子をフローティングにする構成の接続関係情報を生成する。

10

【 0 0 2 1 】

このような構成であれば、MOS トランジスタの回路記号に対して、その連続形成数及びダミー MOS トランジスタの形成数を含むパラメータを設定するだけで、ダミー MOS トランジスタのソース又はドレイン端子の、本来の MOS トランジスタのソース又はドレイン端子に接続されない方の端子をフローティングの状態としたマルチ素子回路の接続関係情報を自動的に生成することができるという効果が得られる。

20

【 0 0 2 2 】

〔 発明 6 〕 更に、発明 6 の回路図設計装置は、発明 1 乃至 5 のいずれか 1 に記載の回路図設計装置において、前記接続関係情報生成手段は、前記パラメータの設定された回路素子が P チャンネル型の MOS トランジスタであるときに、前記ダミー素子となる P チャンネル型 MOS トランジスタにおけるゲート端子を電源端子に接続する構成の接続関係情報を生成し、前記パラメータの設定された回路素子が N チャンネル型の MOS トランジスタであるときに、前記ダミー素子となる N チャンネル型 MOS トランジスタにおけるゲート端子を接地端子に接続する構成の接続関係情報を生成する。

【 0 0 2 3 】

このような構成であれば、選択された回路素子が P チャンネル型の MOS トランジスタ (以下、P 型 MOS と略称する) のときは、この P 型 MOS の回路記号に対してパラメータを設定することで、そのダミー素子となる P 型 MOS のゲート端子が電源端子に接続された構成のマルチ素子回路の接続関係情報を自動的に生成することができるという効果が得られる。

30

【 0 0 2 4 】

更に、選択された回路素子が N チャンネル型の MOS トランジスタ (以下、N 型 MOS と略称する) のときは、この N 型 MOS の回路記号に対してパラメータを設定することで、そのダミー素子となる N 型 MOS のゲート端子が接地端子に接続された構成のマルチ素子回路の接続関係情報を自動的に生成することができるという効果が得られる。

【 0 0 2 5 】

〔 発明 7 〕 一方、上記目的を達成するために、発明 7 の回路図設計プログラムは、表示装置の画面上に表示されるレイアウト領域に、半導体集積回路を構成する各種回路素子に対応する回路記号と配線パターンとをレイアウトして、前記半導体集積回路に係る回路図を設計するために、コンピュータを、前記回路図の設計に係る所定の前記回路記号を選択する回路記号選択手段、前記回路記号選択手段で選択された前記所定の回路記号に対して、該回路記号の示す回路素子の連続形成数と、該連続形成数の回路素子を連続して一繋がり形成することによって生じる回路素子特性のバラツキを低減するためのダミー素子の形成数とを含むパラメータを設定するパラメータ設定手段、前記レイアウト領域にレイアウトされた回路記号及び配線パターンの情報に基づき、前記レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報を生成する接続関係情報生成手段、及び

40

50

前記接続関係情報に基づき、前記回路記号及び前記配線パターンを含んで構成される回路図を表示する回路図表示手段として機能させるためのプログラムを含み、前記接続関係情報生成手段は、前記回路記号選択手段で選択された前記所定の回路記号に対して前記パラメータが設定されたときに、該設定されたパラメータに基づき、前記一繋がりに形成される本体部分と、該本体部分に接続される前記形成数分のダミー素子とを含んで構成されるマルチ素子回路の各回路素子の接続関係を示す接続関係情報を生成する。

【 0 0 2 6 】

このような構成であれば、コンピュータによってプログラムが読み取られ、読み取られたプログラムに従ってコンピュータが処理を実行すると、上記発明 1 に記載の回路図設計装置と同等の作用および効果が得られる。

10

【 0 0 2 7 】

〔発明 8〕 また、上記目的を達成するために、発明 8 の回路図設計方法は、回路記号選択手段、パラメータ設定手段、接続関係情報生成手段及び回路図表示手段を備えた回路図設計装置を利用して、表示装置の画面上に表示されるレイアウト領域に、半導体集積回路を構成する各種回路素子に対応する回路記号と配線パターンとをレイアウトして、前記半導体集積回路に係る回路図を設計する回路図設計方法であって、前記回路記号選択手段に、前記回路図の設計に係る所定の回路記号を選択させる回路記号選択ステップと、前記パラメータ設定手段に、前記回路記号選択ステップで選択された前記所定の回路記号に対して、該回路記号の示す回路素子の連続形成数と、該連続形成数の回路素子を連続して一繋がりに形成することによって生じる回路素子特性のバラツキを低減するためのダミー素子の形成数とを含むパラメータを設定させるパラメータ設定ステップと、前記接続関係情報生成手段に、前記レイアウト領域にレイアウトされた回路記号及び配線パターンの情報に基づき、前記レイアウトされた各回路記号の示す回路素子の接続関係を示す接続関係情報を生成させる接続関係情報生成ステップと、前記回路図表示手段に、前記接続関係情報に基づき、前記回路記号及び前記配線パターンを含んで構成される回路図を表示させる回路図表示ステップとを含み、前記接続関係情報生成ステップにおいて、前記回路記号選択ステップで選択された前記所定の回路記号に対して前記パラメータが設定されたときに、該設定されたパラメータに基づき、前記一繋がりに形成される本体部分と、該本体部分に接続される前記形成数分のダミー素子とを含んで構成されるマルチ素子回路の各回路素子の接続関係を示す接続関係情報を生成する。

20

30

このような構成であれば、上記発明 1 に記載の回路図設計装置と同等の作用及び効果が得られる。

【発明を実施するための最良の形態】

【 0 0 2 8 】

以下、本発明の実施の形態を図面に基づき説明する。図 1 ~ 図 1 1 は、本発明に係る回路図設計装置、回路図設計プログラム及び回路図設計方法の実施の形態を示す図である。

まず、本発明に係る回路図設計装置の機能構成を図 1 に基づき説明する。図 1 は、本発明に係る回路図設計装置 1 0 0 の機能構成を示すブロック図である。

回路図設計装置 1 0 0 は、図 1 に示すように、回路記号情報記憶部 1 0 と、回路記号選択部 1 2 と、回路パターンレイアウト部 1 4 と、回路図表示制御部 1 6 とを含んで構成される。

40

【 0 0 2 9 】

回路記号情報記憶部 1 0 は、記憶装置（後述）の所定の記憶領域に構成されており、回路図を生成するための各種回路素子に対応した複数種類の回路記号の情報が記憶される。

回路記号選択部 1 2 は、マウス、キーボード、タブレットなどの入力装置を介した利用者からの操作入力に応じて、回路素子の情報選択画面や、回路記号の選択画面を表示装置の表示画面上に画像表示すると共に、画像表示された複数種類の回路記号の中から操作入力に応じた回路記号を選択する機能を有している。更に、操作入力に応じて、既にレイアウトされた回路記号や配線パターンなどの回路の任意の構成要素を選択する機能も有している。

50

【 0 0 3 0 】

回路パターンレイアウト部 1 4 は、入力装置を介した利用者からの操作入力に応じて、回路記号選択部 1 2 で選択された回路記号を表示画面上に画像表示されたレイアウト領域の指定位置にレイアウトする機能を有している。また、配線パターンを、操作入力に応じた指定位置にレイアウトする機能も有している。

回路図表示制御部 1 6 は、回路表示情報生成部 2 2 から入力される表示情報に基づき、表示装置の表示画面上に、回路記号から構成される回路図を表示したり、マスクパターンのレイアウトを示すパターンレイアウト図を表示したり、警告メッセージを表示したりする機能を有している。

【 0 0 3 1 】

更に、回路図表示制御部 1 6 は、表示色や表示形状などの回路記号の表示方法のルールが設定されている場合に、該ルールに基づき、例えば、パラメータの設定された回路記号の色を、パラメータの設定されていない回路記号の色とは異なる色で表示させたり、パラメータの設定された回路記号の形状を、パラメータの設定されていない回路記号の形状とは異なる形状で表示させる制御を行う機能を有している。

【 0 0 3 2 】

回路図設計装置 1 0 0 は、更に、パラメータ設定部 1 8 と、接続関係情報生成部 2 0 と、回路表示情報生成部 2 2 と、回路図情報記憶部 2 4 とを含んで構成される。

パラメータ設定部 1 8 は、ダイオード、トランジスタなどの能動素子、抵抗、キャパシタンス（コンデンサ）、インダクタンス（コイル）などの受動素子に対応する回路記号を選択したときに、選択した回路記号がマルチ素子回路を構成可能な場合に、入力装置を介した利用者からの操作入力に応じて、選択した回路記号に対して、各種パラメータを設定する機能を有している。

【 0 0 3 3 】

具体的なパラメータとしては、マルチ素子回路の本体部分を構成する回路素子の連続形成数と、連続形成したときに生じる回路特性のバラツキを低減するために本体部分に接続するダミー素子の形成数とがある。

例えば、回路素子が MOS トランジスタの場合は、N チャンネル型の MOS トランジスタ（NMOS）又は P チャンネル型の MOS トランジスタ（PMOS）の連続形成数（Multi=<Multi>）と、チャンネルサイズ（ W （チャンネル幅）/ L （チャンネル長）=<W>/<L>）と、該 NMOS 又は PMOS と同じ回路素子のダミー MOS の本体部分の端部ドレイン側への形成数（DDM=<DDM>）と、ダミー MOS の本体部分の端部ソース側への形成数（SDM=<SDM>）などがパラメータとして設定できる。

【 0 0 3 4 】

ここで、図 2 は、パラメータ設定可能な NMOS の回路記号の一例と、パラメータ設定後の回路図の一例とを示す図である。

本実施の形態において、パラメータ設定が可能な NMOS の回路記号は、図 2 の左図に示すように、JIS で標準化されている NMOS の回路記号の各端子部の傍に端子名 G（Gate）、D（Drain）、S（Source）がそれぞれ表示され、更に、D 端子の右側にパラメータ名「DDM（ドレイン側形成数）=<DDM>」と、S 端子の右側にパラメータ名「SDM（ソース側形成数）=<SDM>」と、DDM と SDM の上下間に、パラメータ名「 W （チャンネル幅）/ L （チャンネル長）=<W>/<L>」と、パラメータ名「Multi（連続形成数）=<Multi>」とが表示されたものとなる。これらパラメータ DDM、SDM、Multi、 W/L にそれぞれ任意の数値を設定することで、マルチ素子回路を生成するためのパラメータ設定が行われる。

【 0 0 3 5 】

接続関係情報生成部 2 0 は、回路パターンレイアウト部 1 4 でレイアウトされて構成された回路の接続関係情報を生成する機能と、予め設定されたルールに基づきパラメータ設定部 1 8 で設定されたパラメータに基づきマルチ素子回路の接続関係情報を生成する機能とを有している。生成された接続関係情報は、回路図情報記憶部 2 4 に記憶される。本実施の形態においては、更に、生成された接続関係情報のうちマルチ素子回路の接続関係情

10

20

30

40

50

報は、回路表示情報生成部 22 に出力される。ここで、接続関係情報は、各回路素子（セル）の接続関係をテキストなどで表現した情報（ネットリストなど）である。

【0036】

例えば、MOSトランジスタの回路記号に対してパラメータが設定された場合、予め設定されたルールに基づき、設定パラメータに応じた複数のMOSトランジスタとダミーMOSトランジスタとによって構成されるマルチ素子回路の各MOSトランジスタのゲート端子、ソース端子、ドレイン端子と他の回路素子（電源端子、接地端子などを含む）との接続関係が記述された接続関係情報が生成される。

【0037】

なお、本実施の形態においては、NMOSのマルチ素子回路については、そのダミーNMOSのゲート端子を接地端子に接続すると共に、ダミーNMOSのNMOS本体部に接続されていない端子をフローティングにする接続関係情報を自動的に生成するルールが設定されている。更に、PMOSのマルチ素子回路については、そのダミーPMOSのゲート端子を電源端子に接続すると共に、ダミーPMOSのPMOS本体部に接続されていない端子をフローティングにする接続関係情報を自動的に生成するルールが設定されている。

10

【0038】

回路表示情報生成部 22 は、接続関係情報生成部 20 から入力された接続関係情報に基づき、回路記号から構成されたマルチ素子回路の回路図又は、セル、ブロックなどの各回路素子のパターンレイアウトから構成されるマルチ素子回路のパターンレイアウト図のいずれか指定された方の表示情報を生成して、該表示情報を表示要求と共に回路図表示制御部 16 に出力する機能を有している。

20

【0039】

これによって、回路図表示制御部 16 は、表示情報に基づき表示装置の表示制御を行ない、回路記号による回路図又はパターンレイアウト図を表示装置の表示画面上に表示する。

例えば、NMOSの回路記号に対してパラメータ設定をした場合のマルチ素子回路を示す回路記号は、図 2 の左図に示すように、本体NMOSの回路記号に対して、そのドレイン端子にダミーNMOSが接続されていることを示す■記号と、そのソース端子にダミーNMOSが接続されていることを示す■記号とが付加された記号が表示装置の表示画面上に表示される。

30

【0040】

なお、図 2 の右図は、左図の回路記号に設定されたパラメータに基づき生成された接続関係情報をJISに準拠した回路記号によってイメージ化した回路図である。NMOSのマルチ素子回路は、本体NMOSの回路記号と、そのドレイン端子に接続されたダミーNMOSの回路記号と、そのソース側に接続されたダミーNMOSの回路記号と、接地端子の回路記号とを含んで構成される回路図となる。具体的に、本体NMOSのドレイン及びソースにそれぞれダミーNMOSのドレイン及びソースがそれぞれ接続され、ダミーNMOSの本体NMOSに接続されていない端子はフローティング状態となり、ダミーNMOSのゲート端子は接地端子に接続されている。

40

【0041】

一方、NMOSの回路記号に対してパラメータ設定をした場合のマルチ素子回路のパターンレイアウト図は、図 3 に示すように、本体NMOS（Multi=3）とダミーNMOS（DDM=1、SDM=1）のパターンレイアウトから構成されるパターンレイアウト図が表示装置の画面上に表示される。

ここで、図 3 は、NMOSで構成されたマルチ素子回路のレイアウトパターン図の一例を示す図である。

【0042】

具体的に、ダミーも含めたNMOS 5 つ分のソースとドレインが同じ階層に交互に連続して形成され（隣り合う素子でソースとドレインを共有）、更に、この階層よりも 1 つ上

50

の階層におけるドレインとソースとの間の位置に各N M O Sのゲートが形成された構成となっている。本体N M O S部は、中央の3つ分のN M O Sから構成され、本体N M O S部の両端のN M O Sが、それぞれダミーN M O Sとなる。本実施の形態では、マルチ素子回路のパターンレイアウト図においてダミーN M O Sが目視ですぐ判別できるようにするために、表示形状に関するルールに従って、そのゲート(図3中の「d」の付されたゲート)の形状を本体N M O S部のゲートの形状と異なる形状で表示している。

【0043】

更に、回路表示情報生成部22は、入力装置を介した利用者からの操作入力に応じて、指定された接続関係情報を回路図情報記憶部24から読み出し、該読み出した接続関係情報に対応する回路記号から構成された回路図又は、パターンレイアウト図のいずれか指定された方の表示情報を生成して、該表示情報を表示要求と共に回路図表示制御部16に出力する機能を有している。更に、接続関係情報生成部20から入力された、マルチ素子回路に対する接続関係情報に基づき、回路記号から構成されたマルチ素子回路の回路図又は、マルチ素子回路のパターンレイアウト図のいずれか指定された方の表示情報を生成して、該表示情報を表示要求と共に回路図表示制御部16に出力する機能を有している。

10

【0044】

回路図情報記憶部24は、記憶装置(後述)の所定の記憶領域に構成されており、回路パターンレイアウト部14によってレイアウトされた回路の情報や、接続関係情報生成部20で生成された接続関係情報などが記憶される。

ここで、回路図設計装置100は、半導体集積回路に係る回路図の設計のための各種制御や前記回路記号選択部12、回路パターンレイアウト部14、回路図表示制御部16、パラメータ設定部18、接続関係情報生成部20、回路表示情報生成部22などの各機能をソフトウェア上で、すなわち専用のプログラムを実行することで実現するためのコンピュータシステムを備えており、そのハードウェア構成は、図4に示すように、各種制御や演算処理を担う中央演算処理装置であるCPU(Central Processing Unit)60と、主記憶装置(Main Storage)を構成するRAM(Random Access Memory)62と、読み出し専用の記憶装置であるROM(Read Only Memory)64とを含み、これらの間をPCI(Peripheral Component Interconnect)バス等からなる各種内外バス68で接続すると共に、このバス68に入出力インターフェース(I/F)66を介して、HDD(Hard Disk Drive)などの記憶装置(Secondary Storage)70や、LCDモニター等の表示装置72、マウス、キーボード、タブレットなどの入力装置74などを接続した構成となっている。

20

30

【0045】

そして、電源を投入すると、ROM64などに記憶されたBIOSなどのシステムプログラムが、ROM64に、予め記憶された各種専用のコンピュータプログラムを、あるいは、CD-ROMやDVD-ROM、フレキシブルディスク(FD)などの記録媒体を介して、またはインターネットなどの通信ネットワークLを介して、記憶装置70にインストールされた各種専用のコンピュータプログラムを、同じくRAM62にロードし、そのRAM62にロードされたプログラムに記述された命令に従ってCPU60が各種リソースを駆使して回路図の設計を実際に行うための各種制御及び演算処理を行うことで前述したような各部の機能をソフトウェア上で実現できるようになっている。

40

【0046】

次に、図5に基づき、回路図設計装置100における回路記号のレイアウト処理及び接続関係情報の生成処理の流れを説明する。

ここで、図5は、回路記号のレイアウト処理及び接続関係情報の生成処理を示すフローチャートである。

CPU60によって、専用のコンピュータプログラムの実行が開始されると、図5に示すように、まず、ステップS100に移行し、回路記号選択部12において、入力装置74を介した利用者からの操作入力に基づき、回路記号の選択画面又はレイアウト領域にレ

50

アウト（表示）された回路図から、回路記号が選択されたか否かを判定し、選択されたと判定した場合(Yes)は、ステップ S 1 0 2 に移行し、そうでない場合(No)は、選択されるまで判定処理を繰り返す。

【 0 0 4 7 】

ステップ S 1 0 2 に移行した場合は、パラメータ設定部 1 8 において、選択された回路記号がマルチ素子回路対応の回路記号か否かを判定し、対応の回路記号であったと判定した場合(Yes)は、ステップ S 1 0 4 に移行し、そうでない場合(No)は、ステップ S 1 0 0 に移行する。

ステップ S 1 0 4 に移行した場合は、パラメータ設定部 1 8 において、入力装置 7 4 を介した利用者からの操作入力に基づき、選択された回路記号に対してパラメータの入力指示があったか否かを判定し、入力指示があったと判定した場合(Yes)は、ステップ S 1 0 6 に移行し、そうでない場合(No)は、ステップ S 1 0 0 に移行する。

【 0 0 4 8 】

ステップ S 1 0 6 に移行した場合は、パラメータ設定部 1 8 において、表示装置にパラメータの入力画面を表示させて、ステップ S 1 0 8 に移行する。

このパラメータの入力画面は、例えば、選択された回路記号が MOS トランジスタであれば、本体 MOS のマルチ数（連続形成数）、ダミー MOS のマルチ数（形成数）、各 MOS のチャンネルサイズなどのパラメータ設定項目と、各項目に対する数値入力用のボックスとが表示された画面となる。

【 0 0 4 9 】

ステップ S 1 0 8 では、接続関係情報生成部 2 0 において、パラメータの入力が完了したか否かを判定し、完了したと判定した場合(Yes)は、ステップ S 1 1 0 に移行し、そうでない場合(No)は、パラメータの入力が完了するまで判定処理を繰り返す。

ステップ S 1 1 0 に移行した場合は、接続関係情報生成部 2 0 において、入力値判定処理を実行して、ステップ S 1 1 2 に移行する。

【 0 0 5 0 】

ステップ S 1 1 2 では、接続関係情報生成部 2 0 において、ステップ S 1 1 0 の処理結果に基づき、パラメータ設定部 1 8 において入力された各パラメータの値は妥当か否かを判定し、妥当であると判定した場合(Yes)は、ステップ S 1 1 4 に移行し、そうでない場合(No)は、ステップ S 1 2 2 に移行する。

ステップ S 1 1 4 に移行した場合は、接続関係情報生成部 2 0 において、選択された回路記号に対して設定されたパラメータに基づき、該回路記号の回路素子によって構成されるマルチ素子回路の接続関係情報を生成して、ステップ S 1 1 6 に移行する。

【 0 0 5 1 】

ステップ S 1 1 6 では、回路表示情報生成部 2 2 において、マルチ素子回路の表示方法の決定処理を実行して、ステップ S 1 1 8 に移行する。

ステップ S 1 1 8 では、回路表示情報生成部 2 2 において、ステップ S 1 1 4 で生成された接続関係情報と、ステップ S 1 1 6 で決定された表示方法とに基づき、マルチ素子回路を示す回路記号の表示情報を生成し、これを表示要求と共に回路図表示制御部 1 6 に出力して、ステップ S 1 2 0 に移行する。

【 0 0 5 2 】

ステップ S 1 2 0 では、回路図表示制御部 1 6 において、表示情報に基づき、表示装置に、選択した回路記号に対するマルチ素子回路を示す回路記号を表示させて、ステップ S 1 0 0 に移行する。

なお、本実施の形態においては、回路表示情報生成部 2 2 に対して、選択した回路記号に対するマルチ素子回路を示すパターンレイアウト図の表示指示を行うことができる。この表示指示を行うことによって、回路表示情報生成部 2 2 は、ステップ S 1 1 4 で生成された接続関係情報と、ステップ S 1 1 6 で決定された表示方法とに基づき、マルチ素子回路のパターンレイアウト図の表示情報を生成し、回路図表示制御部 1 6 は、この表示情報に基づき、レイアウト領域内又は別ウィンドウにマルチ素子回路のパターンレイアウト図

10

20

30

40

50

を表示する。

【 0 0 5 3 】

一方、ステップ S 1 1 2 において、入力されたパラメータの値が妥当ではなく、ステップ S 1 2 2 に移行した場合は、接続関係情報生成部 2 0 において、表示装置に、妥当ではない旨のメッセージを表示させて、ステップ S 1 0 2 に移行する。

次に、図 6 に基づき、回路図設計装置 1 0 0 の接続関係情報生成部 2 0 におけるステップ S 1 1 0 の入力値判定処理の流れを説明する。

【 0 0 5 4 】

ここで、図 6 は、接続関係情報生成部 2 0 における M O S トランジスタに対する入力値判定処理を示すフローチャートである。なお、図 6 のフローチャートの処理は、パラメータ「SDM」の妥当性を判断する処理であり、パラメータ「DDM」についても同様の処理が行われる。

10

ステップ S 1 1 0 に移行し、入力値判定処理が開始されると、図 6 に示すように、まず、ステップ S 2 0 0 に移行し、接続関係情報生成部 2 0 において、パラメータ「SDM」の値は「0」か否かを判定し、「0」であると判定した場合(Yes)は、ステップ S 2 0 2 に移行し、そうでない場合(No)は、ステップ S 2 0 4 に移行する。

【 0 0 5 5 】

ステップ S 2 0 2 に移行した場合は、接続関係情報生成部 2 0 において、入力された値は妥当であると判定して、一連の処理を終了し元の処理に復帰する。

一方、ステップ S 2 0 4 に移行した場合は、接続関係情報生成部 2 0 において、パラメータ「SDM」の値は正の整数か否かを判定し、正の整数であると判定した場合(Yes)は、ステップ S 2 0 6 に移行し、そうでない場合(No)は、ステップ S 2 1 4 に移行する。

20

【 0 0 5 6 】

ステップ S 2 0 6 に移行した場合は、接続関係情報生成部 2 0 において、本体 M O S 部の両端が両方ともソースとなっているか否かを判定し、両方ともソースになっていると判定した場合(Yes)は、ステップ S 2 0 8 に移行し、そうでない場合(No)は、ステップ S 2 1 0 に移行する。

ステップ S 2 0 8 に移行した場合は、接続関係情報生成部 2 0 において、パラメータ「SDM」の値は、「1」又は「2」か否かを判定し、「1」又は「2」であると判定した場合(Yes)は、ステップ S 2 0 2 に移行し、そうでない場合(No)は、ステップ S 2 1 4 に移行する。この場合は、本体 M O S 部の両端がソースとなっているため、「SDM」の値が「1」であれば、両端のソースのいずれか一方にダミー M O S が付加され、「2」であれば、両端のソースに1つずつダミー M O S が付加されることになる。

30

【 0 0 5 7 】

また、ステップ S 2 0 6 において、本体 M O S 部の両端が両方ともソースとはなっており、ステップ S 2 1 0 に移行した場合は、接続関係情報生成部 2 0 において、本体 M O S 部の両端が両方ともドレインとなっているか否かを判定し、両方ともドレインになっていると判定した場合(Yes)は、ステップ S 2 1 4 に移行し、そうでない場合(No)は、ステップ S 2 1 2 に移行する。

【 0 0 5 8 】

40

ステップ S 2 1 2 に移行した場合は、接続関係情報生成部 2 0 において、パラメータ「SDM」は「1」か否かを判定し、「1」であると判定した場合(Yes)は、ステップ S 2 0 2 に移行し、そうでない場合(No)は、ステップ S 2 1 4 に移行する。

ここで「SDM」が「1」ではない場合は、「SDM」の値が「2」以上となっている。また、本体 M O S 部の片側がソース、他方の側がドレインとなっており、本実施の形態においては、ダミー M O S は、最大でも本体 M O S 部の両端に1つずつというルールが予め定められているため、妥当な値では無いと判定する。なお、両端に1つとする構成に限定する必要は無い。

一方、ステップ S 2 1 4 に移行した場合は、接続関係情報生成部 2 0 において、入力された値は妥当ではないと判定して、一連の処理を終了し元の処理に復帰する。

50

【 0 0 5 9 】

次に、図 7 に基づき、回路図設計装置 1 0 0 の接続関係情報生成部 2 0 におけるステップ S 1 1 4 の接続関係情報生成処理の流れを説明する。

ここで、図 7 は、接続関係情報生成部 2 0 における、M O S トランジスタに対する接続関係情報生成処理を示すフローチャートである。

【 0 0 6 0 】

ステップ S 1 1 4 に移行し、接続関係情報生成処理が開始されると、図 7 に示すように、まず、ステップ S 3 0 0 に移行し、接続関係情報生成部 2 0 において、パラメータ「DDM」が「0」で且つパラメータ「SDM」が「0」であるか否かを判定し、双方が「0」であると判定した場合(Yes)は、ステップ S 3 0 2 に移行し、そうでない場合(No)は、ステップ S 3 0 6 に移行する。 10

【 0 0 6 1 】

ステップ S 3 0 2 に移行した場合は、接続関係情報生成部 2 0 において、パラメータ「Multi」の値に基づき、ダミー M O S 無しの本体 M O S 部のみのマルチ素子回路の接続関係情報を生成して R A M 6 2 に記憶し、ステップ S 3 0 4 に移行する。

ステップ S 3 0 4 では、接続関係情報生成部 2 0 において、生成した接続関係情報を、回路表示情報生成部 2 2 に出力すると共に回路図情報記憶部 2 4 に保存して、一連の処理を終了し元の処理に復帰する。

【 0 0 6 2 】

一方、ステップ S 3 0 0 において、「SDM」及び「DDM」の双方が「0」でなく、ステップ S 3 0 6 に移行した場合は、接続関係情報生成部 2 0 において、選択された回路記号が、P M O S か否かを判定し、P M O S であると判定した場合(Yes)は、ステップ S 3 0 8 に移行し、そうでない場合(No)は、ステップ S 3 2 2 に移行する。 20

ステップ S 3 0 8 に移行した場合は、接続関係情報生成部 2 0 において、パラメータ「Multi」の値「M」に基づき、ダミー P M O S を付加していない状態の、M 個の P M O S が連続して接続された構成の本体 P M O S 部分だけのマルチ素子回路の接続関係情報を生成して R A M 6 2 に記憶し、ステップ S 3 1 0 に移行する。

【 0 0 6 3 】

ステップ S 3 1 0 では、接続関係情報生成部 2 0 において、パラメータ「DDM」は「1」以上か否かを判定し、「1」以上であると判定した場合(Yes)は、ステップ S 3 1 2 に移行し、そうでない場合(No)は、ステップ S 3 1 4 に移行する。 30

ステップ S 3 1 2 に移行した場合は、接続関係情報生成部 2 0 において、「DDM」の値に基づき、本体 P M O S 部分のドレイン端部にダミー P M O S を接続する情報を、R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 3 1 4 に移行する。

【 0 0 6 4 】

ステップ S 3 1 4 では、接続関係情報生成部 2 0 において、パラメータ「SDM」は「1」以上か否かを判定し、「1」以上であると判定した場合(Yes)は、ステップ S 3 1 6 に移行し、そうでない場合(No)は、ステップ S 3 1 8 に移行する。

ステップ S 3 1 6 に移行した場合は、接続関係情報生成部 2 0 において、本体 P M O S 部分のソース端部にダミー P M O S を接続する情報を、R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 3 1 8 に移行する。 40

【 0 0 6 5 】

ステップ S 3 1 8 では、接続関係情報生成部 2 0 において、ダミー P M O S のゲートを電源端子に接続する情報を、R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 3 2 0 に移行する。

ステップ S 3 2 0 では、接続関係情報生成部 2 0 において、ダミー P M O S 又はダミー N M O S の接続されていない端子をフローティングにする情報を、R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 3 0 4 に移行する。

【 0 0 6 6 】

一方、ステップ S 3 0 6 において、選択された回路記号が P M O S でなく N M O S 50

であり、ステップ S 3 2 2 に移行した場合は、接続関係情報生成部 2 0 において、パラメータ「Multi」の値「M」に基づき、ダミー N M O S を付加していない状態の、M 個の N M O S が連続して接続された構成の本体 N M O S 部分だけのマルチ素子回路の接続関係情報を生成して R A M 6 2 に記憶し、ステップ S 3 2 4 に移行する。

【 0 0 6 7 】

ステップ S 3 2 4 では、接続関係情報生成部 2 0 において、パラメータ「DDM」は「1」以上か否かを判定し、「1」以上であると判定した場合(Yes)は、ステップ S 3 2 6 に移行し、そうでない場合(No)は、ステップ S 3 2 8 に移行する。

ステップ S 3 2 6 に移行した場合は、接続関係情報生成部 2 0 において、「DDM」の値に基づき、本体 N M O S 部分のドレイン端部にダミー N M O S を接続する情報を、R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 3 2 8 に移行する。

10

【 0 0 6 8 】

ステップ S 3 2 8 では、接続関係情報生成部 2 0 において、パラメータ「SDM」は「1」以上か否かを判定し、「1」以上であると判定した場合(Yes)は、ステップ S 3 3 0 に移行し、そうでない場合(No)は、ステップ S 3 3 2 に移行する。

ステップ S 3 3 0 に移行した場合は、接続関係情報生成部 2 0 において、本体 N M O S 部分のソース端部にダミー N M O S を接続する情報を、R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 3 3 2 に移行する。

【 0 0 6 9 】

ステップ S 3 3 2 では、接続関係情報生成部 2 0 において、ダミー N M O S のゲートを接地端子に接続する情報を、R A M 6 2 に記憶された接続関係情報に追加して、ステップ S 3 2 0 に移行する。

20

なお、上記生成されたマルチ素子回路の接続関係情報は、最終的に、レイアウト領域にレイアウトされた回路全体の接続関係情報における、対応する回路記号に対応付けられて回路図情報記憶部 2 4 に保存されるか、回路全体の接続関係情報における、対応する回路記号の接続関係情報を置き換えて回路図情報記憶部 2 4 に保存される。

【 0 0 7 0 】

次に、図 8 に基づき、回路図設計装置 1 0 0 の回路表示情報生成部 2 2 におけるステップ 1 1 6 の、回路記号の表示方法を決定する処理である表示方法決定処理の流れを説明する。

30

ここで、図 8 は、回路表示情報生成部 2 2 における表示方法決定処理を示すフローチャートである。

【 0 0 7 1 】

ステップ S 1 1 6 に移行し、表示方法決定処理が開始されると、図 8 に示すように、まず、ステップ S 4 0 0 に移行し、回路表示情報生成部 2 2 において、表示形状に関するルールがあるか否かを判定し、表示形状に関するルールがあると判定した場合(Yes)は、ステップ S 4 0 2 に移行し、そうでない場合(No)は、ステップ S 4 0 4 に移行する。

ステップ S 4 0 2 に移行した場合は、回路表示情報生成部 2 2 において、表示形状に関するルールに基づきマルチ素子回路の回路記号の表示形状を決定して、ステップ S 4 0 4 に移行する。

40

【 0 0 7 2 】

ステップ S 4 0 4 では、回路表示情報生成部 2 2 において、表示色に関するルールがあるか否かを判定し、表示色に関するルールがあると判定した場合(Yes)は、ステップ S 4 0 6 に移行し、そうでない場合(No)は、一連の処理を終了し元の処理に復帰する。

ステップ S 4 0 6 に移行した場合は、回路表示情報生成部 2 2 において、表示色に関するルールに基づき、マルチ素子回路の回路記号の表示色を決定して、一連の処理を終了し元の処理に復帰する。

【 0 0 7 3 】

次に、図 9 ~ 図 1 1 に基づき、本実施の形態の回路図設計装置 1 0 0 のより具体的な動作を説明する。

50

ここで、図 9 (a) は、N M O S の回路記号の一例を示す図であり、(b) は、(a) の回路記号に対するパラメータ入力画面の一例を示す図であり、(c) は、「R O W」の値を「2」にしたときのマルチ素子回路のパターンレイアウト図の一例を示す図である。また、図 10 (a) ~ (d) は、パラメータ設定が可能な回路記号の表示形状の例を示す図である。また、図 11 (a) は、パラメータ設定が可能な P M O S の回路記号の一例を示す図であり、(b) は、(a) の回路記号に対するマルチ素子回路の回路構成の一例を示す図である。

【 0 0 7 4 】

回路図設計装置 1 0 0 に電源が投入され、専用のプログラムが実行されると半導体集積回路に係る回路図の設計処理が開始される。これにより、利用者は、入力装置 7 4 を介して各種指示を与えることで、半導体集積回路に係る新規回路図の作成、既に作成した回路図の変更、修正などの処理を行うことができる。

いま、入力装置 7 4 を介して利用者からの、既に作成された接続関係情報に対する回路図の表示指示があったとする。回路表示情報生成部 2 2 は、表示指示（接続関係情報の指定及び表示形式の指定を含む）に応じて、回路図情報記憶部 2 4 から、指定された接続関係情報を読み出し、指示に応じた表示形態の回路図（回路記号で表された回路図、又はレイアウトパターン図）の表示情報を生成する。

【 0 0 7 5 】

回路表示情報生成部 2 2 は、生成した表示情報を表示要求と共に回路図表示制御部 1 6 に出力する。これによって、表示装置 7 2 の表示画面上に表示されたレイアウト領域に、指定された接続関係情報に対する指定された表示形態の回路図が表示される。

ここでは、M O S トランジスタの回路記号を含む複数種類の回路記号及び配線パターンによって表された回路図が表示されたとする。

【 0 0 7 6 】

そして、入力装置 7 4 を介した操作入力に基づき、表示された回路図を構成する回路記号の中から、図 9 (a) に示す、N M O S の回路記号が選択されると（ステップ S 1 0 0 の「Y e s」の分岐）、パラメータ設定部 1 8 において、該選択された N M O S の回路記号がマルチ素子回路に対応しているか否かを判定する。

ここで、N M O S の回路記号は、図 9 (a) に示すように、N M O S 本体部 0 8 0 0 と、第 1 ~ 第 4 パラメータ表示領域 0 8 0 4 ~ 0 8 0 7 とを含んで構成されている。

【 0 0 7 7 】

N M O S 本体部 0 8 0 0 は、ゲート端子 0 8 0 1 と、ドレイン端子 0 8 0 2 と、ソース端子 0 8 0 3 とを含んで構成されている。

第 1 のパラメータ表示領域 0 8 0 4 は、N M O S 本体部のドレインに付加するダミー N M O S の数を示すパラメータ情報「DDM=<DDM>」を表示する領域であり、第 4 パラメータ表示領域 0 8 0 7 は、N M O S 本体部のソースに付加するダミー N M O S の数を示すパラメータ情報「SDM=<SDM>」を表示する領域である。ここで、<DDM>、<SDM>には入力装置 7 4 を介して入力された数値が入る。

【 0 0 7 8 】

第 2 のパラメータ表示領域 0 8 0 5 は、N M O S のチャンネルサイズ（チャンネル幅 W / チャンネル長 L）を示すパラメータ情報「W/L=<W>/<L>」を表示する領域であり、第 3 パラメータ表示領域 0 8 0 6 は、N M O S 本体部の連続形成数を示すパラメータ情報「Multi=<Multi>」を表示する領域である。ここで、<W>、<L>、<Multi>には入力装置 7 4 を介して入力された数値が入る。

【 0 0 7 9 】

このように N M O S の回路記号は、マルチ素子回路に対応しているので（ステップ S 1 0 2 の「Y e s」の分岐）、パラメータ設定部 1 8 は、次に、入力装置 7 4 を介した操作入力に基づき、この N M O S の回路記号に対してパラメータの入力指示があったか否かを判定する処理に移行する（ステップ S 1 0 4）。そして、選択された N M O S の回路記号に対してパラメータの入力指示があった場合（ステップ S 1 0 4 の「Y e s」の分岐）に

、パラメータ設定部 18 は、表示装置 72 の表示画面上に、図 9 (b) に示すパラメータ入力画面を表示する (ステップ S 106) 。

【 0080 】

パラメータ入力画面は、図 9 (b) に示すように、パラメータ項目 0821 ~ 0826 と、パラメータ値入力ボックス 0831 ~ 0836 を含んで構成されている。

NMOS の回路記号の場合に、パラメータ項目 0821 は、チャンネル幅「W」、同 0822 はチャンネル長「L」、同 0823 は、NMOS 本体部の連続形成数「Multi」、同 0824 は、ドレイン側のダミー NMOS の形成数「DDM」、同 0825 は、ソース側のダミー NMOS の形成数「SDM」、同 0826 は、NMOS の段数「ROW」となる。

10

【 0081 】

ここで、段数「ROW」とは、例えば、マルチ素子回路を構成する複数の回路素子の連続形成方向を行方向 (Column) とした場合に、列方向 (ROW) にマルチ素子回路を連続形成する数である。本実施の形態では、例えば、「DDM」及び「SDM」の値を共に「2」と設定し、「Multi」の値を「6」と設定したときは、図 9 (c) のパターンレイアウト図に示すように、MOS 本体部の連続形成数が「3」で、ダミー MOS が MOS 本体部の両端に 1 つずつ形成された構成のマルチ素子回路が、列方向に連続して 2 つ形成された構成となる。

【 0082 】

但し、段数「ROW」の値を「2」以上としたときは、「DDM」、「SDM」及び「Multi」の値を必ず「ROW」の値で割り切れる正の整数に設定する。

20

以下、説明の便宜上、「ROW」の値を「1」に固定して説明を行う。

そして、パラメータ値入力ボックス 0831 は、チャンネル幅の入力ボックス、同 0832 は、チャンネル長の入力ボックス、同 0833 は、NMOS 本体部の連続形成数の入力ボックス、同 0834 は、ドレイン側のダミー NMOS の形成数の入力ボックス、同 0835 は、ソース側のダミー NMOS の形成数の入力ボックス、同 0836 は、NMOS の段数の入力ボックスとなる。

【 0083 】

図 9 (b) の例では、入力ボックス 0831 にチャンネル幅「10 μ 」が、同 0832 にチャンネル長「1 μ 」が、同 0833 に連続形成数「6」が、同 0834 にドレイン側のダミー NMOS の形成数「3」が、同 0835 にソース側のダミー NMOS の形成数「3」が、同 0836 に NMOS の段数「1」がそれぞれ入力されている。

30

このようにして、パラメータ入力画面において、入力装置 74 を介して、各パラメータを入力し、該入力処理が全て完了すると (ステップ S 108 の「Yes」の分岐)、次に、接続関係情報生成部 20 において、入力されたパラメータ値におけるダミー NMOS の入力値が妥当であるか否かを判定する入力値判定処理を実行する (ステップ S 110) 。

【 0084 】

入力値判定処理が開始されると、まず、「SDM」の入力ボックス 0825 の入力値が「0」か否かを判定する (ステップ S 200)、ここでは「3」となっているため (ステップ S 200 の「No」の判定)、次に、SDM の値は正の整数であるか否かを判定する (ステップ S 204)。「3」は正の整数であるため (ステップ S 204 の「Yes」の分岐)、次に、本体 NMOS 部の両端が両方ともソースになっているか否かを判定する (ステップ S 206) 。

40

【 0085 】

本実施の形態では、本体 NMOS 部の連続形成数が「2 の倍数」であり「SDM」の入力値が 1 以上のときに、必ず両端が両方ともソースとなるように NMOS を連続形成するようになっており、本体 NMOS 部の連続形成数が「奇数」のときに、必ず一端がドレインで他端ソースとなるように NMOS を連続形成するようになっている。従って、「SDM」の入力値が「1」以上であるため、まず、「Multi」の入力ボックス 0833 の入力値が「2 の倍数」であるか否かを判定することで、両端がソースとなっているか否か

50

を判定する。「6」は「2の倍数」であるため(ステップS206の「Yes」)、次に、「SDM」の入力ボックス0825の入力値が「1」または「2」であるか否かを判定する(ステップS208)、ここでは「3」となっているため(ステップS208の「No」の分岐)、「SDM」の入力値「3」は妥当な値では無いと判定される(ステップS214)。

【0086】

同様の判定処理を「DDM」の入力ボックス0824の入力値に対しても行う。

具体的に、「SDM」の入力値が「0」のとき、「Multi」の入力ボックス0833の入力値が「2の倍数」であり「DDM」の入力値が1以上であるときは、本体NMOS部の両端が両方ともドレインとなるので、このときは、DDMの入力値が「1」~「2」であれば妥当な値であると判定され、「0」以下の値や「3」以上の値であるときは、妥当な値ではないと判定される。更に、入力値「Multi」の値が奇数のときは、必ず本体NMOS部の一端がソースに他端がドレインとなるので、このときは、DDMの入力値が「1」のときは妥当な値であると判定され、それ以外の数値であるときは妥当な値ではないと判定される。ここでは、「Multi」の入力値が「6」で、「DDM」の入力値が「3」となっているため、妥当な値ではないと判定される。

10

【0087】

従って、入力値判定処理によって、「DDM」及び「SDM」の入力値は、妥当ではないと判定され(ステップS112の「No」の分岐)、妥当ではないことを示すメッセージが表示装置の画面上に表示される(ステップS122)。

20

従って、パラメータの入力値が妥当ではないため、マルチ素子回路を形成するためには入力値を修正する必要がある。

【0088】

ここでは、「Multi」の入力ボックス0833の入力値を「5」に、「DDM」の入力ボックス0834の入力値を「1」に、「SDM」の入力ボックス「0835」の入力値を「1」にそれぞれ変更する。

本体NMOS部の連続形成数が「5」の場合は奇数となるので、本体NMOS部の一端がドレインに他端がソースとなる(ステップS210の「No」の分岐)。更に、「SDM」の入力値が「1」(ステップS212の「Yes」の分岐)で、且つ「DDM」の入力値が「1」となるので、これら入力値は両方とも妥当な値であると判定される(ステップS112の「Yes」の分岐)。

30

【0089】

パラメータの入力値が妥当であると判定されると、次に、接続関係情報生成部20において、設定されたパラメータに基づき、選択されたNMOSの回路記号に対するマルチ素子回路の接続関係情報の生成処理が実行される(ステップS114)。

接続関係情報生成処理が実行されると、まず、「DDM」の入力ボックス0834の入力値が「0」で、且つ「SDM」の入力ボックス0835の入力値が「0」か否かを判定する。先ほどの修正によって、「DDM」及び「SDM」の値は共に「1」となっているため(ステップS300の「No」の分岐)、次に、選択したMOSトランジスタがPMOSか否かを判定する(ステップS306)。ここでは、選択した回路記号はNMOSの回路記号であるため(ステップS306の「No」の分岐)、接続関係情報生成部20は、まず、ダミーNMOS無しのマルチ素子回路の接続関係情報を生成し、該生成した接続関係情報をRAM62に記憶する(ステップS322)。更に、「DDM」の値が「1」であるため(ステップS324の「Yes」の分岐)、RAM62に記憶された接続関係情報に、本体NMOS部の端部ドレイン側(以下、ドレイン端部と称す)にダミーNMOSを1つ接続する情報を追加する(ステップS326)。次に、「SDM」の値は「1」であるため(ステップS328の「Yes」の分岐)、RAM62に記憶された接続関係情報に、本体NMOS部の端部ソース側(以下、ソース端部と称す)にダミーNMOSを1つ接続する情報を追加する(ステップS330)。更に、RAM62に記憶された接続関係情報に、本体NMOS部のドレイン端部及びソース端部に接続したダミーNMOSの

40

50

ゲート端子を接地端子 (VSS) に接続する情報を追加する (ステップ S 3 3 2)。更にまた、RAM 6 2 に記憶された接続関係情報に、ダミー NMOS におけるドレイン端部又はソース端部に接続されていない側のソース端子又はドレイン端子をフローティングにする情報を追加し (ステップ S 3 2 0)、追加後の接続関係情報を、回路表示情報生成部 2 2 に出力すると共に、回路図情報記憶部 2 4 に、元の接続関係情報に追加する形で保存する (ステップ S 3 0 4)。

【0090】

NMOS の回路記号に対するマルチ素子回路の接続関係情報が入力されると、回路表示情報生成部 2 2 は、まず、予め設定された表示方法のルールと、パラメータの設定内容とに基づき、マルチ素子回路の回路記号の表示方法を決定する表示方法決定処理を実行する (ステップ S 1 1 6)。

10

表示方法決定処理が開始されると、まず、回路表示情報生成部 2 2 において、表示形状に関するルールがあるか否かを判定する (ステップ S 4 0 0)。ここでは、表示形状に関するルールがあることとし (ステップ S 4 0 0 の「Yes」の分岐)、この表示形状のルールとパラメータの設定内容とに基づき、パラメータの設定された NMOS の回路記号の表示形状を決定する (ステップ S 4 0 2)。

【0091】

表示形状のルールとしては、「SDM」及び「DDM」の入力値が共に「0」である場合は、マルチ素子回路の生成された NMOS の回路記号の表示形状は、図 1 0 (a) に示すように、JIS に準拠した NMOS の回路記号に、チャンネルサイズ「 $W/L = 10\mu / 1\mu$ 」、本体 NMOS 部の連続形成数「 $Mult i = 6$ 」といったパラメータ名及びその数値が付加された表示形状とする表示形状ルール 1 がある。

20

【0092】

更に、「SDM」の入力値が「0」で、「DDM」の入力値が「1」の場合は、マルチ素子回路の生成された NMOS の回路記号の形状は、図 1 0 (b) に示すように、JIS に準拠した NMOS の回路記号に、チャンネルサイズ「 $W/L = 10\mu / 1\mu$ 」、本体 NMOS 部の連続形成数「 $Mult i = 6$ 」、及びドレイン端部のダミー NMOS の形成数「 $DDM = 1$ 」といったパラメータ名及びその数値が付加されると共に、NMOS の回路記号のドレイン端子の左横に ■ が付加された表示形状とする表示形状ルール 2 がある。

30

【0093】

更に、「SDM」の入力値が「1」で、「DDM」の入力値が「0」の場合は、マルチ素子回路の生成された NMOS の回路記号の形状は、図 1 0 (c) に示すように、JIS に準拠した NMOS の回路記号に、チャンネルサイズ「 $W/L = 10\mu / 1\mu$ 」、本体 NMOS 部の連続形成数「 $Mult i = 6$ 」、及びソース端部のダミー NMOS の形成数「 $SDM = 1$ 」といったパラメータ名及びその数値が付加されると共に、NMOS の回路記号のソース端子の左横に ■ が付加された表示形状とする表示形状ルール 3 がある。

【0094】

更に、「SDM」及び「DDM」の入力値が共に「1」の場合は、マルチ素子回路の生成された NMOS の回路記号の形状は、図 1 0 (d) に示すように、JIS に準拠した NMOS の回路記号に、チャンネルサイズ「 $W/L = 10\mu / 1\mu$ 」、本体 NMOS 部の連続形成数「 $Mult i = 6$ 」、ドレイン端部のダミー NMOS の形成数「 $DDM = 1$ 」、及びソース端部のダミー NMOS の形成数「 $SDM = 1$ 」といったパラメータ名及びその数値が付加されると共に、NMOS の回路記号のドレイン端子及びソース端子の左横にそれぞれ ■ が付加された表示形状とする表示形状ルール 4 がある。

40

【0095】

これらの表示形状ルール 1 ~ 4 は PMOS についても同様に適用される。但し、上記の JIS に準拠した NMOS の回路記号が PMOS の回路記号となる。

ここでは、「SDM」及び「DDM」の入力値が共に「1」となっているので、表示形状ルール 4 に従って、図 1 0 (d) に示す表示形状に決定される。

なお、本実施の形態においては、マルチ素子回路のパターンレイアウト図についても表

50

示形状に関する表示形状ルールがあり、図3に示すように、ダミーNMOSのゲートの形状を本体NMOS部のゲートの形状と異なる形状にするルールがある。図3の例は、表示形状ルール4に対応した形状となる。このことは、PMOSについても同様である。

【0096】

また、図10(a)~(d)の表示形状の例においては、パラメータ名及びその数値を表示する例を示したが、上記表示形状ルール1~4に基づき、パラメータ名及びその数値の表示/非表示を切り替えられるようにしてもよい。

回路表示情報生成部22は、表示形状が決定すると、次に、NMOSの回路記号に対する表示色に関するルール、又はマルチ素子回路のレイアウトパターン図の表示色に関するルールがあるか否かを判定する(ステップS404)。

10

【0097】

ここでは、回路記号及びレイアウトパターン図の双方に表示色に関するルールがあることとし(ステップS404の「Yes」の分岐)、この表示色のルールとパラメータの設定内容とに基づき、パラメータの設定されたNMOSの回路記号及びレイアウトパターン図の表示色を決定する(ステップS406)。

具体的に、表示色に関するルールとして、パラメータの設定されたNMOSの回路記号を黄色表示し、パラメータの設定されていない回路記号を緑色表示する表示色ルール1と、マルチ素子回路のレイアウトパターン図における、本体NMOS部のゲートを黄色表示し、ダミーNMOS部のゲートを紫色表示する表示色ルール2とが設定されているとする。

20

【0098】

ここでは、パラメータが設定されマルチ素子回路が生成されているので、表示色ルール1に従って回路記号を黄色表示し、表示色ルール2に従ってマルチ素子回路のレイアウトパターン図における、本体NMOS部のゲートを黄色表示し、ダミーNMOS部のゲートを紫色表示することが決定される。

このようにして、表示方法が決定されると、次に、選択した回路記号に対するマルチ素子回路の回路記号を、決定された表示方法で表示する表示情報を生成し、この表示情報を表示要求と共に回路図表示制御部16に出力する(ステップS118)。

【0099】

回路図表示制御部16は、回路表示情報生成部22から入力された表示情報に基づき、選択された回路記号に対するマルチ素子回路を示す回路記号を、図10(d)に示す形状で且つ黄色で表示する。

30

更に、この黄色表示された回路記号に対するマルチ素子回路のレイアウトパターン図の表示指示があった場合は、回路表示情報生成部22は、該回路記号に設定されたパラメータと上記表示形状ルール及び表示色ルール2とに基づき、レイアウトパターン図の表示方法を決定すると共に、該決定された表示方法と接続関係情報とに基づきレイアウトパターン図の表示情報を生成する。そして、該表示情報を表示要求と共に回路図表示制御部16に出力する。

これにより、NMOSのマルチ素子回路のレイアウトパターン図が表示装置の表示画面に表示される。

40

【0100】

次に、入力装置74を介した操作入力に基づき、表示された回路図を構成する回路記号の中から、PMOSの回路記号が選択された場合について動作を説明する。

ここで、PMOSの回路記号は、図11(a)に示すように、PMOS本体部1000と、第1~第4パラメータ表示領域1004~1007とを含んで構成されている。

【0101】

NMOS本体部1000は、ゲート端子1001と、ドレイン端子1002と、ソース端子1003とを含んで構成されている。

第1のパラメータ表示領域1004は、PMOS本体部のソースに付加するダミーPMOSの数を示すパラメータ情報「SDM=<SDM>」を表示する領域であり、第4パラメータ

50

表示領域 1 0 0 7 は、P M O S 本体部のドレインに付加するダミー P M O S の数を示すパラメータ情報「DDM=<DDM>」を表示する領域である。ここで、<SDM>、<DDM>には入力装置 7 4 を介して入力された数値が入る。

【0 1 0 2】

第 2 のパラメータ表示領域 1 0 0 5 は、P M O S のチャンネルサイズ（チャンネル幅 W / チャンネル長 L ）を示すパラメータ情報「W/L=<W>/<L>」を表示する領域であり、第 3 パラメータ表示領域 1 0 0 6 は、P M O S 本体部の連続形成数を示すパラメータ「Multi=<Multi>」情報を表示する領域である。ここで、<W>、<L>、<Multi>には入力装置 7 4 を介して入力された数値が入る。

【0 1 0 3】

P M O S の回路記号に対するパラメータの設定方法、入力値判定処理については、上記 N M O S の回路記号の処理と同様となるので、以下、接続関係情報生成処理の動作から説明する。

ここでは、N M O S と同様に、P M O S のパラメータ入力画面における「Multi」の入力ボックスの入力値を「5」に、「DDM」の入力ボックスの入力値を「1」に、「SDM」の入力ボックスの入力値を「1」に設定した場合の動作を説明する。

【0 1 0 4】

接続関係情報生成処理が実行されると、まず、「DDM」の値が「0」で、且つ「SDM」の値が「0」か否かを判定する。「DDM」及び「SDM」の値は共に「1」となっているので（ステップ S 3 0 0 の「No」の分岐）、次に、選択した M O S トランジスタが P M O S か否かを判定する（ステップ S 3 0 6）。ここでは、選択した回路記号は P M O S の回路記号であるので（ステップ S 3 0 6 の「Yes」の分岐）、接続関係情報生成部 2 0 は、まず、「Multi」の値「5」に基づき、ダミー P M O S 無しのマルチ素子回路の接続関係情報を生成し、該生成した接続関係情報を R A M 6 2 に記憶する（ステップ S 3 0 8）。更に、「DDM」の値が「1」であるので（ステップ S 3 1 0 の「Yes」の分岐）、R A M 6 2 に記憶された接続関係情報に、本体 P M O S 部のドレイン端部にダミー P M O S を 1 つ接続する情報を追加する（ステップ S 3 1 2）。次に、「SDM」の値は「1」であるので（ステップ S 3 1 4 の「Yes」の分岐）、R A M 6 2 に記憶された接続関係情報に、本体 P M O S 部のソース端部にダミー P M O S を 1 つ接続する情報を追加する（ステップ S 3 1 6）。更に、R A M 6 2 に記憶された接続関係情報に、本体 P M O S 部のドレイン端部及びソース端部に接続したダミー P M O S のゲート端子を電源端子（VDD）に接続する情報を追加する（ステップ S 3 1 8）。更にまた、R A M 6 2 に記憶された接続関係情報に、ダミー P M O S におけるドレイン端部又はソース端部に接続されていない側のソース端子又はドレイン端子をフローティングにする情報を追加し（ステップ S 3 2 0）、追加後の接続関係情報を、回路図情報記憶部 2 4 に、元の接続関係情報に追加する形で保存する（ステップ S 3 0 4）。

【0 1 0 5】

このようにして生成された接続関係情報を、JISに準拠した回路記号によってイメージ化すると、図 1 1（b）に示すような回路図が構成される。図 1 1（b）に示すように、P M O S のマルチ素子回路は、本体 P M O S の回路記号 1 0 3 0 と、そのドレイン端子 1 0 3 3 に接続されたダミー P M O S の回路記号 1 0 2 1 と、そのソース端子 1 0 3 2 に接続されたダミー P M O S の回路記号 1 0 1 1 と、電源端子（VDD）の回路記号 1 0 4 0 とを含んで構成される回路図となる。より具体的に、本体 P M O S のドレイン端子 1 0 3 3 にダミー P M O S 1 0 2 1 のソース端子 1 0 2 2 が接続され、本体 P M O S のソース端子 1 0 3 2 にダミー P M O S 1 0 1 1 のドレイン端子 1 0 1 3 が接続され、ダミー P M O S の回路記号 1 0 1 1 の本体 P M O S に接続されていない側のソース端子 1 0 1 2 と、ダミー P M O S の回路記号 1 0 2 1 の本体 P M O S に接続されていない側のドレイン端子 1 0 2 3 とはフローティング状態となり、ダミー P M O S の回路記号 1 0 1 1 及び 1 0 2 1 のゲート端子は電源端子 1 0 4 0 にそれぞれ接続されている。

【0 1 0 6】

10

20

30

40

50

また、本体PMOSの回路記号1032の回路部分の右横の1035は、チャンネルサイズ(W/L)の情報であり、1036は、連続形成数(Multi)の情報である。

同様に、ダミーPMOSの回路記号1011、1021の回路部分の右横の1015、1025は、チャンネルサイズ(W/L)の情報であり、1014、1027は、連続形成数(Multi)の情報である。

【0107】

以降の、表示方法の決定処理、及び決定された表示方法に基づく表示処理は、上記NMOSの回路記号の処理と同様となるので、説明を省略する。

以上、本実施の形態の回路図設計装置100は、マルチ素子回路を構成可能な回路素子に対して、回路素子の連続形成数やダミー素子の形成数などを含むパラメータを設定することで、その設定されたパラメータ値とそれに対応付けて予め設定されたルールとに基づき、付加的な回路素子(ダミー素子、電源端子、接地端子など)および配線パターンを含むマルチ素子回路の接続関係情報(ネットリスト)を生成することができる。

【0108】

つまり、回路素子の回路記号に対してパラメータを設定することによって、該回路素子によって構成されるマルチ素子回路の回路構成を変更することができる。このため、例えば寄生素子の付加を考慮する場合や、あるいは応力による電気特性劣化対策のためのダミー素子の付加を考慮する場合に、付加する回路素子の回路記号を1つ1つ選択してレイアウトするといった労力を低減することができる。

【0109】

更に、1つの回路記号に対してパラメータを設定することで複数の回路構成の接続関係情報を生成できるため、回路記号のライブラリ(回路記号情報記憶部10)に登録するシンボルの種類を削減することができる。これにより、ライブラリに必要な記憶容量を低減できると共に、ライブラリから所望の回路記号を選択する労力を低減できる。

更に、表示方法のルールに従って、パラメータの設定された回路記号の表示形状及び表示色を、パラメータの設定されていない回路記号の表示形状及び表示色と異なる表示形状及び表示色で表示することができる。

【0110】

これにより、似たような構成のマルチ素子回路を1種類の回路記号で表すことができるため、レイアウトした回路記号を探す手間を軽減できる。

更に、回路記号のパラメータの変更に伴い回路図上で表示される回路記号の形状および色が変わるため、その回路記号の表す回路構成を視覚的に確認でき、回路設計におけるミスを低減することができる。

【0111】

更に、パラメータの設定内容次第で、回路素子に他の素子および配線を付加しないシンプルな接続関係情報を生成することもできるため、必要な場合にのみ、かつ、必要な回路素子にのみ、付加的な回路素子および配線を接続することができる。

上記実施の形態において、回路記号選択部12は、発明1、3、4、7及び8のいずれか1に記載の回路記号選択手段に対応し、パラメータ設定部18は、発明1、7及び8のいずれか1に記載のパラメータ設定手段に対応し、接続関係情報生成部20は、発明1、5、6、7及び8のいずれか1に記載の接続関係情報生成手段に対応し、回路図表示制御部16及び回路表示情報生成部22は、発明1、2、3、4、7及び8に記載の回路図表示手段に対応する。

【0112】

なお、上記実施の形態においては、パラメータの設定可能な回路素子とし、MOSトランジスタを例に挙げて説明したが、これに限らず、本発明は、他の種類のトランジスタ(CMOSトランジスタなど)や、抵抗、コンデンサなどの他のマルチ素子回路を構成可能な回路素子にも適用することができる。

また、上記実施の形態においては、パラメータの設定された(マルチ素子回路の生成された)回路記号を、表示形状及び表示色に関するルールに従って、パラメータの設定され

10

20

30

40

50

ていない回路記号とは異なる表示形状及び表示色で表示する構成としたが、これに限らず、表示形状及び表示色のいずれか一方のみをパラメータの設定されていない回路記号とは異なる表示形状及び表示色で表示する構成としてもよい。

【 0 1 1 3 】

また、上記実施の形態では、説明の便宜上、マルチ素子回路の本体部の両端部に付加するダミー素子の数を片端毎に１つずつと限定する構成としたが、これに限らず、ダミー素子についても本体部と同様に複数を連続形成したものを付加する構成としてもよい。

また、上記実施の形態においては、マルチ素子回路に対応する回路記号の表示形状を、図 1 0 (a) ~ (d) に示す形状とし、マルチ素子回路のパターンレイアウト図におけるダミー M O S のゲートの表示形状を、図 3 に示す形状としたが、これらに限らず、他の形状で表現するようにしてもよい。

【 0 1 1 4 】

また、上記実施の形態においては、マルチ素子回路の回路記号の表示色を黄色とし、マルチ素子回路のパターンレイアウト図の表示色を紫色としたが、これに限らず、通常の表示色と異なる色であれば、他の色で表示するようにしてもよい。

【 図面の簡単な説明 】

【 0 1 1 5 】

【 図 1 】 本発明に係る回路図設計装置 1 0 0 の機能構成を示すブロック図である。

【 図 2 】 パラメータ設定可能な N M O S の回路記号の一例と、パラメータ設定後の回路図の一例とを示す図である。

【 図 3 】 N M O S で構成されたマルチ素子回路のレイアウトパターン図の一例を示す図である。

【 図 4 】 回路図設計装置 1 0 0 のコンピュータシステムのハードウェア構成を示すブロック図である。

【 図 5 】 回路記号のレイアウト処理及び接続関係情報の生成処理を示すフローチャートである。

【 図 6 】 接続関係情報生成部 2 0 における M O S トランジスタに対する入力値判定処理を示すフローチャートである。

【 図 7 】 接続関係情報生成部 2 0 における、 M O S トランジスタに対する接続関係情報生成処理を示すフローチャートである。

【 図 8 】 回路表示情報生成部 2 2 における表示方法決定処理を示すフローチャートである。

【 図 9 】 (a) は、 N M O S の回路記号の一例を示す図であり、 (b) は、 (a) の回路記号に対するパラメータ入力画面の一例を示す図であり、 (c) は、「 R O W 」の値を「 2 」にしたときのマルチ素子回路のパターンレイアウト図の一例を示す図である。

【 図 1 0 】 (a) ~ (d) は、パラメータ設定が可能な回路記号の表示形状の例を示す図である。

【 図 1 1 】 (a) は、パラメータ設定が可能な P M O S の回路記号の一例を示す図であり、 (b) は、 (a) の回路記号に対するマルチ素子回路の回路構成の一例を示す図である。

【 図 1 2 】 マルチ M O S 回路のゲートの形状が異なる例と、マルチ M O S 回路にダミー M O S を付加した例とを示す図である。

【 符号の説明 】

【 0 1 1 6 】

1 0 0	回路図設計装置
1 0	回路記号情報記憶部
1 2	回路記号選択部
1 4	回路パターンレイアウト部
1 6	回路図表示制御部
1 8	パラメータ設定部

10

20

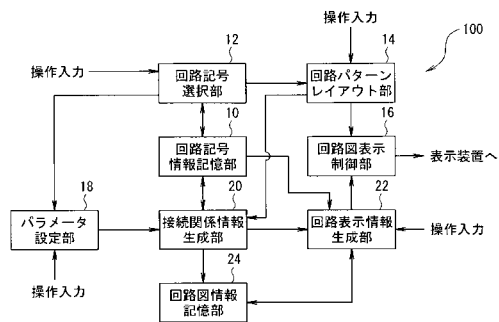
30

40

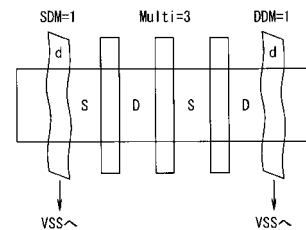
50

2 0	接続関係情報生成部
2 2	回路表示情報生成部
6 0	C P U
6 2	R A M
6 4	R O M
6 6	I / F
6 8	バス
7 0	記憶装置
7 2	表示装置
7 4	入力装置

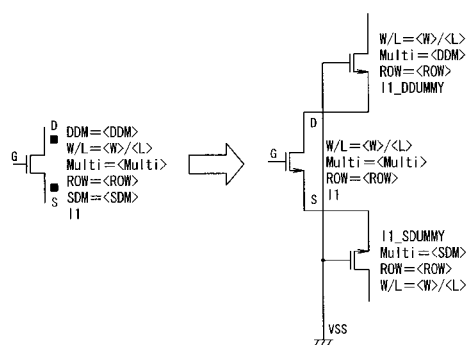
【図 1】



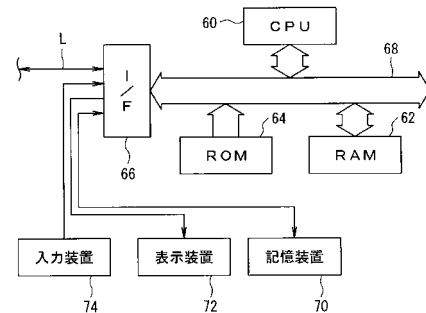
【図 3】



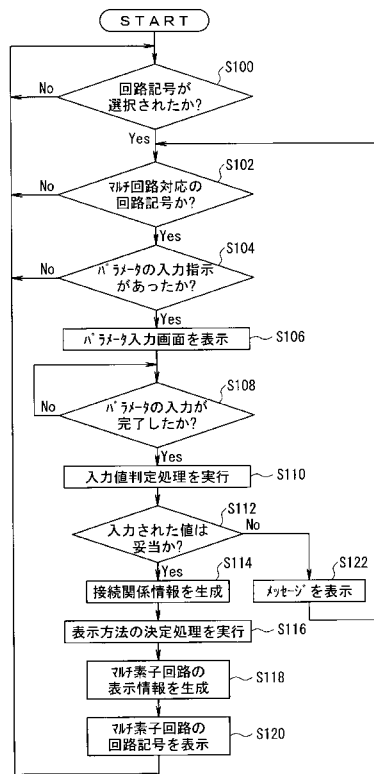
【図 2】



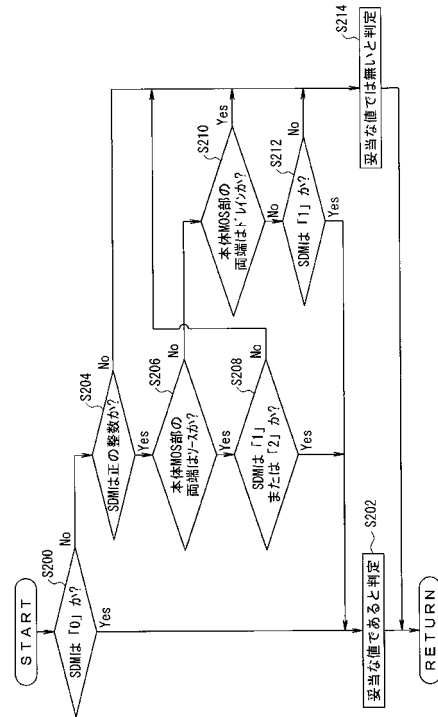
【図 4】



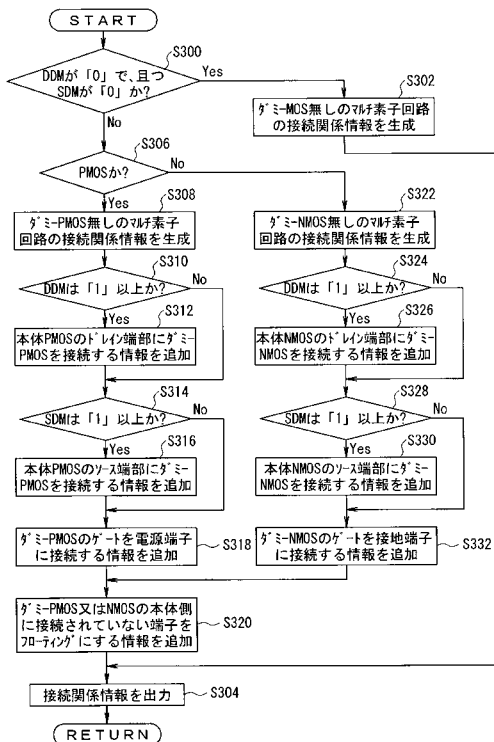
【図 5】



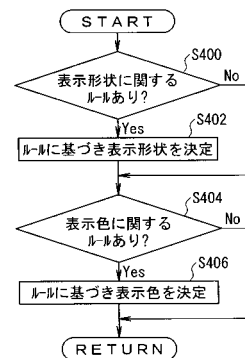
【図 6】



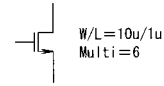
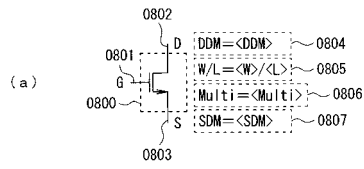
【図 7】



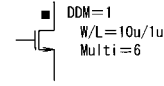
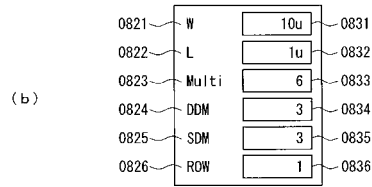
【図 8】



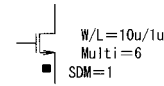
【図 9】



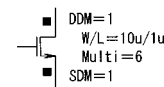
(a) SDM=0, DDM=0



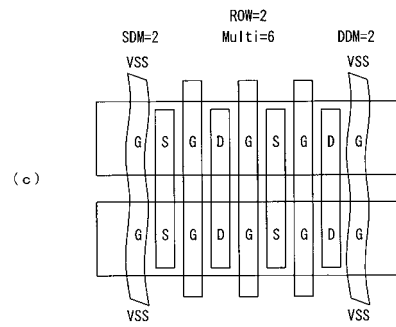
(b) SDM=0, DDM=1



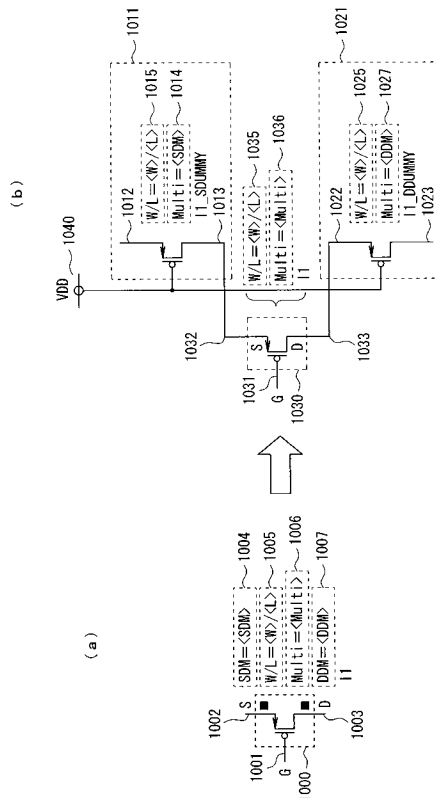
(c) SDM=1, DDM=0



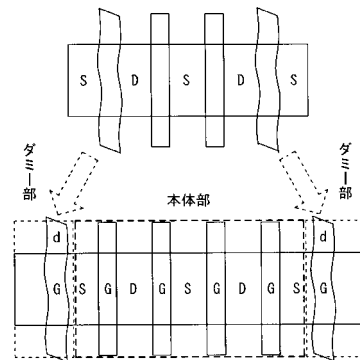
(d) SDM=1, DDM=1



【図 11】



【図 12】



フロントページの続き

F ターム(参考) 5F064 BB35 CC12 CC21 CC22 CC23 DD03 DD09 DD31 EE52 HH01
HH06 HH12 HH13 HH14 HH15 HH17