



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0113632
(43) 공개일자 2016년09월30일

(51) 국제특허분류(Int. Cl.)
H03L 7/085 (2006.01) H03K 3/037 (2006.01)
H03K 5/22 (2006.01) H03L 7/081 (2006.01)
H03L 7/087 (2006.01) H03L 7/099 (2006.01)
(52) CPC특허분류
H03L 7/085 (2013.01)
H03K 3/037 (2013.01)
(21) 출원번호 10-2016-7022601
(22) 출원일자(국제) 2015년01월05일
심사청구일자 없음
(85) 번역문제출일자 2015년08월18일
(86) 국제출원번호 PCT/US2015/010086
(87) 국제공개번호 WO 2015/112321
국제공개일자 2015년07월30일
(30) 우선권주장
61/932,088 2014년01월27일 미국(US)
14/268,120 2014년05월02일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
첸, 지아-이
미국 92121 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤드남

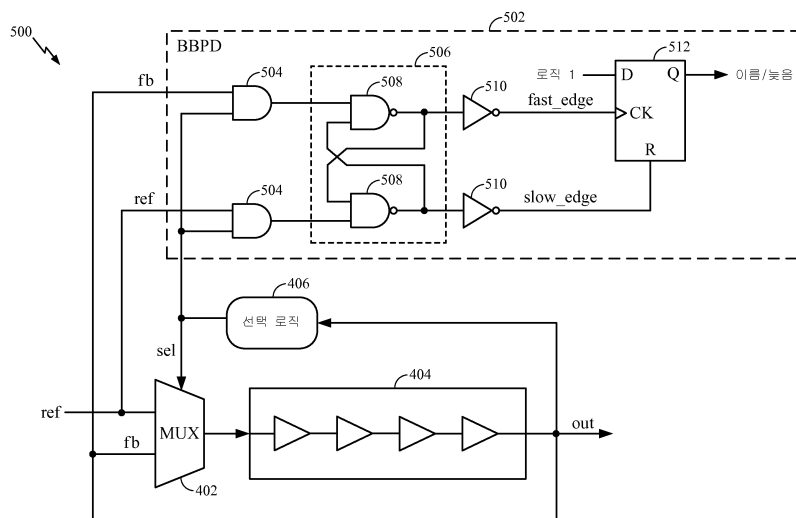
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 표준 디지털 셀들을 이용한 차동 뱅-뱅 위상 검출기

(57) 요약

본 개시의 특정 양상들은 예를 들어, 지연-로킹 루프들에서 이용하기 위한 완전 차동 위상 검출기들을 제공한다. 일 예시적인 위상 검출 회로는 일반적으로, 기준 신호에 대한 제 1 입력; 상기 기준 신호와 비교되는 입력 신호에 대한 제 2 입력; 세트 입력, 리셋 입력, 제 1 출력 및 제 2 출력을 갖는 세트-리셋(S-R) 래치; 및 로직 입력, 클록 입력, 리셋 입력 및 로직 출력을 갖는 지연(D) 플립-플롭을 포함한다 제 1 입력은 S-R 리셋 입력에 연결되고, 제 2 입력은 S-R 세트 입력에 연결되고, 제1 S-R 출력은 D 클록 입력에 연결되고, 제 2 S-R 출력은 D 리셋 입력에 연결된다. D 플립-플롭의 로직 출력은 지연된 신호가 기준 신호에 앞서는지 또는 뒤처지는지를 표시할 수 있다.

대표도 - 도5



(52) CPC특허분류

H03K 5/22 (2013.01)
H03L 7/0816 (2013.01)
H03L 7/0818 (2013.01)
H03L 7/087 (2013.01)
H03L 7/0995 (2013.01)
H04L 7/0041 (2013.01)
H04L 7/0045 (2013.01)
H04L 7/0332 (2013.01)

명세서

청구범위

청구항 1

위상 검출 회로로서,

기준 신호에 대한 제 1 입력;

상기 기준 신호와 비교되는 입력 신호에 대한 제 2 입력;

세트 입력, 리셋 입력, 제 1 출력 및 제 2 출력을 갖는 세트-리셋(S-R) 래치; 및

로직 입력, 클록 입력, 리셋 입력 및 로직 출력을 갖는 지연(D) 플립-플롭

을 포함하고,

상기 제 1 입력은 상기 S-R 래치의 리셋 입력에 연결되고, 상기 제 2 입력은 상기 S-R 래치의 세트 입력에 연결되고, 상기 S-R 래치의 제 1 출력은 상기 D 플립-플롭의 클록 입력에 연결되고, 상기 S-R 래치의 제 2 출력은 상기 D 플립-플롭의 리셋 입력에 연결되어서, 상기 D 플립-플롭의 로직 출력은 상기 입력 신호가 상기 기준 신호에 앞서는지 또는 뒤처지는지 여부를 표시하는,

위상 검출 회로.

청구항 2

제 1 항에 있어서,

상기 D 플립-플롭의 로직 입력은 로직 하이 레벨(logic high level)로 유지되는,

위상 검출 회로.

청구항 3

제 1 항에 있어서,

상기 D 플립-플롭의 클록 입력과 상기 S-R 래치의 제 1 출력 간에 연결되는 제 1 인버터

를 더 포함하는,

위상 검출 회로.

청구항 4

제 3 항에 있어서,

상기 D 플립-플롭의 리셋 입력과 상기 S-R 래치의 제 2 출력 간에 연결되는 제 2 인버터

를 더 포함하는,

위상 검출 회로.

청구항 5

제 1 항에 있어서,

상기 제 1 입력과 상기 S-R 래치의 리셋 입력 간에 연결되는 제 1 로직 AND 게이트

를 더 포함하는,

위상 검출 회로.

청구항 6

제 5 항에 있어서,
상기 제 2 입력과 상기 S-R 래치의 세트 입력 간에 연결되는 제 2 로직 AND 게이트
를 더 포함하는,
위상 검출 회로.

청구항 7

제 6 항에 있어서,
상기 제 1 로직 AND 게이트에서 제 1 입력과 논리적으로 AND연산되고 상기 제 2 로직 AND 게이트에서 제 2 입력
과 논리적으로 AND연산되는 인에이블링 입력(enabling input)
을 더 포함하는,
위상 검출 회로.

청구항 8

제 1 항에 있어서,
상기 S-R 래치는, 상기 위상 검출 회로가 완전 차동(fully differential)이 되도록 상기 제 1 및 제 2 입력들에
연결되는,
위상 검출 회로.

청구항 9

제 1 항에 있어서,
상기 S-R 래치는 상기 입력 신호 및 상기 기준 신호의 상승 에지들에 응답하도록 구성되는,
위상 검출 회로.

청구항 10

제 1 항에 있어서,
상기 S-R 래치는 2개의 교차-커플링되는 로직 NAND 게이트들을 포함하는,
위상 검출 회로.

청구항 11

지연-로킹 루프(delay-locked loop; DLL)로서,
기준 신호에 대한 입력;
상기 기준 신호에 관하여 지연되는 신호에 대한 출력;
지연된 신호를 생성하기 위한 하나 또는 그 초과와 지연 게이트들을 포함하는 지연 체인 — 상기 지연 게이트들
의 마지막 지연 게이트는 상기 DLL의 출력에 연결됨 — ;
상기 DLL의 출력에 연결되고 상기 지연된 신호에 기초하여 선택 신호를 출력하도록 구성되는 선택 로직;
상기 지연 체인에서 상기 지연 게이트들의 제 1 지연 게이트에 출력하기 위해 상기 지연된 신호와 상기 기준 신
호 사이에서 선택하도록 상기 선택 신호에 의해 제어되는 멀티플렉서; 및
상기 지연된 신호와 상기 기준 신호를 비교하기 위한 위상 검출 회로
를 포함하고, 상기 위상 검출 회로는,
세트 입력, 리셋 입력, 제 1 출력 및 제 2 출력을 갖는 세트-리셋(S-R) 래치; 및
로직 입력, 클록 입력, 리셋 입력 및 로직 출력을 갖는 지연(D) 플립-플롭을 포함하고, 상기 DLL의 입력은 상기

S-R 래치의 리셋 입력에 연결되고, 상기 DLL의 출력은 상기 S-R 래치의 세트 입력에 연결되고, 상기 S-R 래치의 제 1 출력은 상기 D 플립-플롭의 클럭 입력에 연결되고, 상기 S-R 래치의 제 2 출력은 상기 D 플립-플롭의 리셋 입력에 연결되어서, 상기 D 플립-플롭의 로직 출력은 상기 지연된 신호가 상기 기준 신호에 앞서는지 또는 뒤처지는지 여부를 표시하는,

DLL.

청구항 12

제 11 항에 있어서,

상기 DLL은, 상기 DLL의 출력의 지연된 신호가 배율(multiplying factor)로 곱해지는 기준 신호의 주파수와 동일한 주파수를 갖도록 구성되는 MDLL(multiplying DLL)인,

DLL.

청구항 13

제 12 항에 있어서,

상기 선택 로직은 상기 지연 신호의 각각의 하강 에지마다 1씩 값을 증분시키는 카운터를 포함하고, 상기 선택 로직은 상기 카운터의 값이 상기 배율과 동일한 이후 로직 하이 레벨을 갖는 선택 신호를 출력하고, 상기 지연된 신호의 다음 상승 에지에, 상기 카운터의 값은 0으로 리셋되고, 상기 선택 로직은 로직 로우 레벨을 갖는 선택 신호를 출력하는,

DLL.

청구항 14

제 11 항에 있어서,

상기 D 플립-플롭의 로직 입력은 로직 하이 레벨로 유지되는,

DLL.

청구항 15

제 11 항에 있어서,

상기 D 플립-플롭의 클럭 입력과 상기 S-R 래치의 제 1 출력 간에 연결되는 제 1 인버터; 및

상기 D 플립-플롭의 리셋 입력과 상기 S-R 래치의 제 2 출력 간에 연결되는 제 2 인버터

를 더 포함하는,

DLL.

청구항 16

제 11 항에 있어서,

상기 DLL의 입력과 상기 S-R 래치의 리셋 입력 간에 연결되는 제 1 로직 AND 게이트; 및

상기 DLL의 출력과 상기 S-R 래치의 세트 입력 간에 연결되는 제 2 로직 AND 게이트

를 더 포함하는,

DLL.

청구항 17

제 16 항에 있어서,

상기 선택 신호는 상기 제 1 로직 AND 게이트에서 DLL의 입력과 논리적으로 AND연산되고 상기 제 2 로직 AND 게이트에서 DLL의 출력과 논리적으로 AND연산되는,

DLL.

청구항 18

제 11 항에 있어서,

상기 S-R 래치는, 상기 위상 검출 회로가 완전 차동이 되도록 상기 DLL의 입력과 상기 DLL의 출력에 연결되는,
DLL.

청구항 19

제 11 항에 있어서,

상기 S-R 래치는 상기 지연된 신호 및 상기 기준 신호의 상승 에지들에 응답하도록 구성되는,
DLL.

청구항 20

무선 통신들을 위한 장치로서,

적어도 하나의 안테나; 및

상기 적어도 하나의 안테나를 통해 신호를 수신하기 위한 수신기 또는 송신하기 위한 송신기 중 적어도 하나
를 포함하고,

상기 수신기 또는 송신기 중 적어도 하나는 지연-로킹 루프(delay-locked loop; DLL)를 포함하고,

상기 DLL은,

기준 신호에 대한 입력;

상기 기준 신호에 관하여 지연되는 신호에 대한 출력;

지연된 신호를 생성하기 위한 하나 또는 그 초과와 지연 게이트들을 포함하는 지연 체인 — 상기 지연 게이트들
의 마지막 하나는 상기 DLL의 출력에 연결됨 — ;

상기 DLL의 출력에 연결되고 상기 지연된 신호에 기초하여 선택 신호를 출력하도록 구성되는 선택 로직;

상기 지연 체인에서 상기 지연 게이트들의 제 1 지연 게이트에 출력하기 위해 상기 지연된 신호와 상기 기준 신
호 사이에서 선택하도록 상기 선택 신호에 의해 제어되는 멀티플렉서; 및

상기 지연된 신호와 상기 기준 신호를 비교하기 위한 위상 검출 회로

를 포함하고, 상기 위상 검출 회로는,

세트 입력, 리셋 입력, 제 1 출력 및 제 2 출력을 갖는 세트-리셋(S-R) 래치; 및

로직 입력, 클록 입력, 리셋 입력 및 로직 출력을 갖는 지연(D) 플립-플롭을 포함하고, 상기 DLL의 입력은 상기
S-R 래치의 리셋 입력에 연결되고, 상기 DLL의 출력은 상기 S-R 래치의 세트 입력에 연결되고, 상기 S-R 래치의
제 1 출력은 상기 D 플립-플롭의 클록 입력에 연결되고, 상기 S-R 래치의 제 2 출력은 상기 D 플립-플롭의 리셋
입력에 연결되어서, 상기 D 플립-플롭의 로직 출력은 상기 지연된 신호가 상기 기준 신호에 앞서는지 또는 뒤처
지는지 여부를 표시하는,

무선 통신들을 위한 장치.

발명의 설명

기술 분야

[0001]

35 U.S.C. § 119 하의 우선권 주장

[0002]

[0001] 본 출원은 2014년 1월 27일 출원된 미국 가특허 출원 일련번호 제61/932,088호 및 2014년 5월 2일 출원
된 미국 특허 출원 일련번호 제14/268,120호를 우선권으로 주장하며, 이 둘의 내용은 그 전체가 인용에 의해 본

원에 포함된다.

- [0003] [0002] 본 개시의 특정 양상들은 일반적으로 라디오 주파수(RF) 전자 회로들에 관한 것으로서, 보다 구체적으로는, 완전 차동 위상 검출기들에 관한 것이다.

배경 기술

- [0004] [0003] 무선 통신 네트워크들은 텔레포니, 비디오, 데이터, 메시징, 브로드캐스트들 등과 같은 다양한 통신 서비스들을 제공하도록 폭넓게 전개된다. 통상적으로 다중 액세스 네트워크들인 이러한 네트워크들은 이용 가능한 네트워크 자원들을 공유함으로써 다수의 사용자들에 대한 통신들을 지원한다. 예를 들어, 하나의 네트워크는 EVDO(Evolution-Data Optimized), 1xRTT(1 times Radio Transmission Technology, or simply 1x), W-CDMA(Wideband Code Division Multiple Access), UMTS-TDD(Universal Mobile Telecommunications System - Time Division Duplexing), HSPA(High Speed Packet Access), GPRS(General Packet Radio Service), 또는 EDGE(Enhanced Data rates for Global Evolution)를 포함하는 다양한 3G(모바일 전화 표준들 및 기술의 제 3 세대) 라디오 액세스 기술(RAT)들 중 임의의 하나를 통해 네트워크 서비스를 제공할 수 있는 3G 시스템일 수 있다. 3G 네트워크는 음성 호들 외에도, 고속 인터넷 액세스 및 비디오 텔레포니를 통합하도록 진화되는 광역 셀룰러 전화 네트워크이다. 또한, 3G 네트워크는 다른 네트워크 시스템들보다 더 잘 설정되고 더 큰 커버리지 영역들을 제공할 수 있다. 이러한 다중 액세스 네트워크들은 또한 CDMA(code division multiple access) 시스템들, TDMA(time division multiple access) 시스템들, FDMA(frequency division multiple access) 시스템들, OFDMA(orthogonal frequency division multiple access) 시스템들, SC-FDMA(single-carrier FDMA) 네트워크들, 3GPP(3rd Generation Partnership Project) LTE(Long Term Evolution) 네트워크들, 및 LTE-A(Long Term Evolution Advanced) 네트워크들을 포함할 수 있다.

- [0005] [0004] 무선 통신 네트워크는 다수의 모바일 스테이션들에 대한 통신을 지원할 수 있는 다수의 기지국들을 포함할 수 있다. 모바일 스테이션(MS)은 다운링크 및 업링크를 통해 기지국(BS)과 통신할 수 있다. 다운링크(또는 순방향 링크)는 기지국으로부터 모바일 스테이션으로의 통신 링크를 지칭하고, 업링크(또는 역방향 링크)는 모바일 스테이션으로부터 기지국으로의 통신 링크를 지칭한다. 기지국은 다운링크 상에서 모바일 스테이션에 데이터 및 제어 정보를 송신할 수 있고 및/또는 업링크 상에서 모바일 스테이션으로부터 데이터 및 제어 정보를 수신할 수 있다.

발명의 내용

- [0006] [0005] 본 개시의 특정 양상들은 일반적으로 표준 디지털 셀들을 이용하여 구현될 수 있는 완전 차동 위상 검출기에 관한 것이다. 차동 위상 검출기들은 다양한 목적들을 위해 다양한 통신 디바이스들에서 이용될 수 있다. 그것의 일 예는 기준 신호의 주파수의 정수배인 주파수를 갖는 출력 신호를 생성하는데 이용될 수 있는 MDLL(multiplying delay-locked loop)이다.

- [0007] [0006] 본 개시의 특정 양상들은 위상 검출 회로를 제공한다. 위상 검출 회로는 일반적으로, 기준 신호에 대한 제 1 입력; 기준 신호와 비교되는 입력 신호에 대한 제 2 입력; 세트 입력, 리셋 입력, 제 1 출력 및 제 2 출력을 갖는 세트-리셋(S-R) 래치; 및 로직 입력, 클록 입력, 리셋 입력 및 로직 출력을 갖는 지연(D) 플립-플롭을 포함하고, 제 1 입력은 S-R 래치의 리셋 입력에 연결되고, 제 2 입력은 S-R 래치의 세트 입력에 연결되고, S-R 래치의 제 1 출력은 D 플립-플롭의 클록 입력에 연결되고, S-R 래치의 제 2 출력은 D 플립-플롭의 리셋 입력에 연결되어서, D 플립-플롭의 로직 출력은 입력 신호가 기준 신호에 앞서는지 또는 뒤처지는지 여부를 표시한다.

- [0008] [0007] 특정 양상들에 따라, D 플립-플롭의 로직 입력은 로직 하이 레벨(logic high level)로 유지된다.

- [0009] [0008] 특정 양상들에 따라, 제 1 인버터는 D 플립-플롭의 클록 입력과 S-R 래치의 제 1 출력 간에 연결될 수 있다. 특정 양상들에 따라, 제 2 인버터는 또한 D 플립-플롭의 리셋 입력과 S-R 래치의 제 2 출력 간에 연결될 수 있다.

- [0010] [0009] 특정 양상들에 따라, 제 1 로직 AND 게이트는 제 1 입력과 S-R 래치의 리셋 입력 간에 연결될 수 있다. 특정 양상들에 따라, 제 2 로직 AND 게이트는 제 2 입력과 S-R 래치의 세트 입력 간에 연결될 수 있다. 일부 양상들에서, 위상 검출 회로는 제 1 로직 AND 게이트에서 제 1 입력과 논리적으로 AND연산되고 제 2 로직 AND 게이트에서 제 2 입력과 논리적으로 AND연산될 수 있는 인에이블링 입력(enabling input)을 포함할 수 있다.

- [0011] [0010] 특정 양상들에 따라, S-R 래치는, 위상 검출 회로가 완전 차동(fully differential)이 되도록 제 1 및 제 2 입력들에 연결된다.
- [0012] [0011] 특정 양상들에 따라, S-R 래치는 입력 신호 및 기준 신호의 상승 에지들에만 응답하도록 구성된다.
- [0013] [0012] 특정 양상들에 따라, S-R 래치는 2개의 교차-커플링되는 로직 NAND 게이트들을 포함한다.
- [0014] [0013] 본 개시의 특정 양상들은 지연-로킹 루프(DLL)를 제공한다. DLL은 일반적으로, 기준 신호에 대한 입력; 기준 신호에 관하여 지연되는 신호에 대한 출력; 지연된 신호를 생성하기 위한 하나 또는 그 초과와 지연 게이트들을 포함하는 지연 체인 — 상기 지연 게이트들의 마지막 하나는 DLL의 출력에 연결됨 — ; DLL의 출력에 연결되고 지연된 신호에 기초하여 선택 신호를 출력하도록 구성되는 선택 로직; 지연 체인에서 지연 게이트들의 제 1 지연 게이트에 출력하기 위해 지연된 신호와 기준 신호 사이에서 선택하도록 선택 신호에 의해 제어되는 멀티플렉서; 및 지연된 신호와 기준 신호를 비교하기 위한 위상 검출 회로를 포함한다. 위상 검출 회로는 일반적으로, 세트 입력, 리셋 입력, 제 1 출력 및 제 2 출력을 갖는 S-R 래치; 및 로직 입력, 클럭 입력, 리셋 입력 및 로직 출력을 갖는 D 플립-플롭을 포함하고, DLL의 입력은 S-R 래치의 리셋 입력에 연결되고, DLL의 출력은 S-R 래치의 세트 입력에 연결되고, S-R 래치의 제 1 출력은 D 플립-플롭의 클럭 입력에 연결되고, S-R 래치의 제 2 출력은 D 플립-플롭의 리셋 입력에 연결되어서, D 플립-플롭의 로직 출력은 지연된 신호가 기준 신호에 앞서는지 또는 뒤처지는지 여부를 표시한다.
- [0015] [0014] 특정 양상들에 따라, DLL은 DLL의 출력의 지연된 신호가 배율(multiplying factor)로 곱해지는 기준 신호의 주파수와 동일한 주파수를 갖도록 구성되는 MDLL(multiplying DLL)이다. 특정 양상들에 따라, 선택 로직은 지연 신호의 각각의 하강 에지마다 1씩 값을 증분시키는 카운터를 포함하고, 선택 로직은 카운터의 값이 배율과 동일한 이후 로직 하이 레벨을 갖는 선택 신호를 출력한다. 지연된 신호의 다음 상승 에지에, 카운터의 값은 0으로 리셋되고, 선택 로직은 로직 로우 레벨을 갖는 선택 신호를 출력한다.
- [0016] [0015] 특정 양상들에 따라, D 플립-플롭의 로직 입력은 로직 하이 레벨(logic high level)로 유지된다.
- [0017] [0016] 특정 양상들에 따라, DLL은 D 플립-플롭의 클럭 입력과 S-R 래치의 제 1 출력 간에 연결되는 제 1 인버터; 및 D 플립-플롭의 리셋 입력과 S-R 래치의 제 2 출력 간에 연결되는 제 2 인버터를 더 포함한다.
- [0018] [0017] 특정 양상들에 따라, DLL은 DLL의 입력과 S-R 래치의 리셋 입력 간에 연결되는 제 1 로직 AND 게이트; 및 DLL의 출력과 S-R 래치의 세트 입력 간에 연결되는 제 2 로직 AND 게이트를 더 포함한다. 이 경우에, 선택 신호는 제 1 로직 AND 게이트에서 DLL의 입력과 논리적으로 AND연산되고 제 2 로직 AND 게이트에서 DLL의 출력과 논리적으로 또한 AND연산될 수 있다.
- [0019] [0018] 특정 양상들에 따라, S-R 래치는, 위상 검출 회로가 완전 차동이 되도록 DLL의 입력과 DLL의 출력에 연결된다.
- [0020] [0019] 특정 양상들에 따라, S-R 래치는 지연된 신호 및 기준 신호의 상승 에지들에만 응답하도록 구성된다.
- [0021] [0020] 본 개시의 특정 양상들은 무선 통신을 위한 장치를 제공한다. 장치는 일반적으로 적어도 하나의 안테나; 및 적어도 하나의 안테나를 통해 신호를 수신하기 위한 수신기 또는 송신하기 위한 송신기 중 적어도 하나를 포함하고, 수신기 또는 송신기 중 적어도 하나는 지연-로킹 루프(DLL)를 포함한다. DLL은 통상적으로, 기준 신호에 대한 입력; 기준 신호에 관하여 지연되는 신호에 대한 출력; 지연된 신호를 생성하기 위한 하나 또는 그 초과와 지연 게이트들을 포함하는 지연 체인 — 상기 지연 게이트들의 마지막 하나는 DLL의 출력에 연결됨 — ; DLL의 출력에 연결되고 지연된 신호에 기초하여 선택 신호를 출력하도록 구성되는 선택 로직; 지연 체인에서 지연 게이트들의 제 1 지연 게이트에 출력하기 위해 지연된 신호와 기준 신호 사이에서 선택하도록 선택 신호에 의해 제어되는 멀티플렉서; 및 지연된 신호와 기준 신호를 비교하기 위한 위상 검출 회로를 포함한다. 위상 검출 회로는 일반적으로, 세트 입력, 리셋 입력, 제 1 출력 및 제 2 출력을 갖는 S-R 래치; 및 로직 입력, 클럭 입력, 리셋 입력 및 로직 출력을 갖는 D 플립-플롭을 포함하고, DLL의 입력은 S-R 래치의 리셋 입력에 연결되고, DLL의 출력은 S-R 래치의 세트 입력에 연결되고, S-R 래치의 제 1 출력은 D 플립-플롭의 클럭 입력에 연결되고, S-R 래치의 제 2 출력은 D 플립-플롭의 리셋 입력에 연결되어서, D 플립-플롭의 로직 출력은 지연된 신호가 기준 신호에 앞서는지 또는 뒤처지는지 여부를 표시한다.
- [0022] [0021] 본 개시의 전술된 특징들이 상세히 이해될 수 있는 방식으로, 상기에 간략하게 요약된 더 상세한 설명이 양상들을 참조하여 행해질 수 있는데, 이러한 양상들 중 일부는 첨부된 도면들에서 도시된다. 그러나 이 설명은 다른 동등하게 효과적인 양상들에 대해 허용될 수 있기 때문에, 첨부된 도면들은 본 개시의 특정한 통상적인

양상들을 단지 예시하고, 따라서, 본 개시의 범위에 대한 한정으로 고려되어서는 안됨을 주목해야 한다.

도면의 간단한 설명

[0022] 도 1은 본 개시의 특정 양상들에 따른 예시적인 무선 통신 네트워크를 예시한다.

[0023] 도 2는 본 개시의 특정 양상들에 따른 예시적인 액세스 포인트 및 사용자 단말들의 블록도이다.

[0024] 도 3은 본 개시의 특정 양상들에 따른 예시적인 트랜시버 프론트 엔드의 블록도를 예시한다.

[0025] 도 4는 본 개시의 특정 양상들에 따라 위상 검출기로서 지연(D) 플립-플롭을 이용하는 예시적인 MDLL(multiplying delay-locked loop)의 블록도이다.

[0026] 도 5는 본 개시의 특정 양상들에 따라 완전 차동 BBPD(bang-bang phase detector)를 이용하는 예시적인 MDLL의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 개시의 다양한 양상들이 아래에서 설명된다. 본원에서 교시들은 매우 다양한 형태들로 실현될 수 있고, 본원에서 개시되는 임의의 특정 구조, 기능, 또는 둘 다는 단지 대표적이라는 것이 자명해야 한다. 본원에서 교시들에 기초하여, 당업자는, 본원에서 개시된 양상이 임의의 다른 양상들과 독립적으로 구현될 수 있고, 이들 양상들 중 2개 또는 그 초과가 다양한 방식으로 결합될 수 있다는 것을 인지해야 한다. 예를 들어, 본 명세서에서 기술된 임의의 수의 양상들을 이용하여 장치가 구현될 수 있거나 방법이 실시될 수 있다. 또한, 본원에서 기술된 양상들 중 하나 또는 그 초과에 더하여 또는 그 이외의 다른 구조, 기능성 또는 구조 및 기능성을 이용하여 이러한 장치가 구현될 수 있거나, 또는 이러한 방법이 실시될 수 있다. 또한, 양상은 청구항의 적어도 하나의 엘리먼트를 포함할 수 있다.

[0028] "예시적인"인 이란 단어는, "예, 인스턴스 또는 예시로서 기능하는" 것을 의미하도록 본 명세서에서 사용된다. 본 명세서에서 "예시적인" 것으로 설명되는 임의의 양상은 반드시 다른 양상들에 비해 선호되거나 유리한 것으로 해석될 필요는 없다.

[0029] 본원에서 설명된 기술들은, CDMA(Code Division Multiple Access), OFDM(Orthogonal Frequency Division Multiplexing), TDMA(Time Division Multiple Access), SDMA(Spatial Division Multiple Access), SC-FDMA(Single Carrier Frequency Division Multiple Access), TD-SCDMA(Time Division Synchronous Code Division Multiple Access) 등과 같은 다양한 무선 기술들과 결합하여 이용될 수 있다. 다수의 사용자 단말들은 (1) CDMA의 경우 상이한 직교 코드 채널들, (2) TDMA의 경우 상이한 시간 슬롯들, 또는 (3) OFDM의 경우 상이한 서브-대역들을 통해 데이터를 동시에 송신/수신할 수 있다. CDMA 시스템은 IS-2000, IS-95, IS-856, W-CDMA(Wideband-CDMA) 또는 일부 다른 표준들을 구현할 수 있다. OFDM 시스템은 IEEE(Institute of Electrical and Electronics Engineers) 802.11, IEEE 802.16, (예를 들어, TDD 및/또는 FDD 모드들의) LTE(Long Term Evolution), 또는 일부 다른 표준들을 구현할 수 있다. TDMA 시스템은 GSM(Global System for Mobile Communications) 또는 일부 다른 표준들을 구현할 수 있다. 이들 다양한 표준들은 당 분야에 알려져 있다.

[0027] 예시적인 무선 시스템

[0030] 도 1은 액세스 포인트들 및 사용자 단말들을 갖는 무선 통신 시스템(100)을 예시한다. 단순화를 위해, 오직 하나의 액세스 포인트(110)가 도 1에 도시된다. 액세스 포인트(AP)는 일반적으로 사용자 단말들과 통신하는 고정 스테이션이고, 베이스 스테이션(BS), 이블브드 노드 B(eNB), 또는 일부 다른 용어로서 또한 지칭될 수 있다. 사용자 단말(UT)은 고정식 또는 이동식일 수 있고, 모바일 스테이션(MS), 액세스 단말, 사용자 장비(UE), 스테이션(STA), 클라이언트, 무선 디바이스, 또는 일부 다른 용어로서 또한 지칭될 수 있다. 사용자 단말은 셀룰러 전화, 개인용 디지털 보조기기(PDA), 핸드헬드 디바이스, 무선 모뎀, 랩톱 컴퓨터, 태블릿, 개인용 컴퓨터 등과 같은 무선 디바이스일 수 있다.

[0031] 액세스 포인트(110)는 임의의 주어진 순간에 다운링크 및 업링크를 통해 하나 이상의 사용자 단말들(120)과 통신할 수 있다. 다운링크(즉, 순방향 링크)는 액세스 포인트로부터 사용자 단말들로의 통신 링크이고, 업링크(즉, 역방향 링크)는 사용자 단말들로부터 액세스 포인트로의 통신 링크이다. 사용자 단말은 또한 다른 사용자 단말과 피어-투-피어로 통신할 수 있다. 시스템 제어기(130)는 액세스 포인트들에 커플링되고, 액세스 포인트들에 대한 조정 및 제어를 제공한다.

- [0030] [0032] 시스템(100)은 다운링크 및 업링크를 통한 데이터 송신을 위해 다수의 송신 및 다수의 수신 안테나들을 이용한다. 액세스 포인트(110)에는 다운링크 송신들을 위한 송신 다이버시티 및/또는 업링크 송신들을 위한 수신 다이버시티를 달성하기 위해 다수(N_{ap})의 안테나들이 장착될 수 있다. 선택된 사용자 단말들(120)의 세트(N_u)는 다운링크 송신들을 수신하고 업링크 송신들을 송신할 수 있다. 각각의 선택된 사용자 단말은 액세스 포인트에 사용자-특정 데이터를 송신하고 그리고/또는 AP로부터 사용자-특정 데이터를 수신할 수 있다. 일반적으로, 각각의 선택된 사용자 단말은 하나 또는 다수의 안테나들(즉, $N_{ut} \geq 1$)을 구비할 수 있다. N_u 개의 선택된 사용자 단말들은 동일하거나 상이한 수의 안테나들을 가질 수 있다.
- [0031] [0033] 무선 시스템(100)은 시분할 듀플렉스(TDD) 시스템 또는 주파수 분할 듀플렉스(FDD) 시스템일 수 있다. TDD 시스템의 경우, 다운링크 및 업링크는 동일한 주파수 대역을 공유한다. FDD 시스템의 경우, 다운링크 및 업링크는 상이한 주파수 대역들을 이용한다. MIMO 시스템(100)은 또한 송신을 위해 단일 캐리어 또는 다수의 캐리어들을 활용할 수 있다. 각각의 사용자 단말은 (예를 들어, 비용을 절감하기 위해) 단일 안테나 또는 (예를 들어, 추가적 비용이 지원될 수 있는 경우) 다수의 안테나들을 구비할 수 있다.
- [0032] [0034] 도 2는 무선 시스템(100)에서 액세스 포인트(110) 및 2개의 사용자 단말들(120m 및 120x)의 블록도를 도시한다. 액세스 포인트(110)에는 N_{ap} 개의 안테나들(224a 내지 224ap)이 장착된다. 사용자 단말(120m)에는 $N_{ut,m}$ 개의 안테나들(252ma 내지 252mu)을 장착되고, 사용자 단말(120x)에는 $N_{ut,x}$ 개의 안테나들(252xa 내지 252xu)을 장착된다. 액세스 포인트(110)는 다운링크에 대해서는 송신 엔티티이고 업링크에 대해서는 수신 엔티티이다. 각각의 사용자 단말(120)은 업링크에 대해서는 송신 엔티티이고 다운링크에 대해서는 수신 엔티티이다. 본 명세서에서 사용되는 바와 같이, "송신 엔티티"는 주파수 채널을 통해 데이터를 송신할 수 있는 독립적으로 동작되는 장치 또는 디바이스이고, "수신 엔티티"는 주파수 채널을 통해 데이터를 수신할 수 있는 독립적으로 동작되는 장치 또는 디바이스이다. 하기 설명에서, 아래첨자 "dn"은 다운링크를 나타내고, 아래첨자 "up"은 업링크를 나타내고, N_{up} 개의 사용자 단말들은 업링크를 통한 동시 송신을 위해 선택되고, N_{dn} 개의 사용자 단말들은 다운링크를 통한 동시 송신을 위해 선택되고, N_{up} 는 N_{dn} 과 동일하거나 동일하지 않을 수 있고, N_{up} 및 N_{dn} 은 정적 값들이거나, 또는 각각의 스케줄링 인터벌에 대해 변할 수 있다. 액세스 포인트 및 사용자 단말에서 빔-스터어링(steering) 또는 일부 다른 공간 프로세싱 기술이 이용될 수 있다.
- [0033] [0035] 업링크 상에서, 업링크 송신을 위해 선택된 각각의 사용자 단말(120)에서, TX 데이터 프로세서(288)는 데이터 소스(286)로부터 트래픽 데이터 및 제어기(280)로부터 제어 데이터를 수신한다. TX 데이터 프로세서(288)는 사용자 단말에 대해 선택된 레이트와 연관되는 코딩 및 변조 방식들에 기초하여 사용자 단말에 대한 트래픽 데이터(d_{up})를 프로세싱(예를 들어, 인코딩, 인터리빙 및 변조)하고, $N_{ut,m}$ 개의 안테나들 중 하나에 데이터 심볼 스트림(s_{up})을 제공한다. 트랜시버 프론트 엔드(TX/RX)(254)(라디오 주파수 프론트 엔드(RFFE)로서 또한 알려짐)는 각각의 심볼 스트림을 수신 및 프로세싱(예를 들어, 아날로그로 변환, 증폭, 필터링 및 주파수 상향 변환)하여 업링크 신호를 생성한다. 트랜시버 프론트 엔드(254)는 또한 예를 들어, RF 스위치를 통해 송신 다이버시티를 위해 $N_{ut,m}$ 개의 안테나들 중 하나에 업링크 신호를 라우팅할 수 있다. 제어기(280)는 트랜시버 프론트 엔드(254) 내의 라우팅을 제어할 수 있다. 메모리(282)는 사용자 단말(120)에 대한 데이터 및 프로그램 코드들을 저장할 수 있고, 제어기(280)와 인터페이스할 수 있다.
- [0034] [0036] 다수(N_{up})개의 사용자 단말들이 업링크를 통한 동시 송신을 위해 스케줄링될 수 있다. 이들 사용자 단말들 각각은 업링크 상에서 프로세싱된 심볼 스트림들의 그의 세트를 액세스 포인트로 송신한다.
- [0035] [0037] 액세스 포인트(110)에서, N_{ap} 개의 안테나들(224a 내지 224ap)은 업링크 상에서 송신하는 모든 N_{up} 개의 사용자 단말들로부터 업링크 신호들을 수신한다. 수신 다이버시티를 위해, 트랜시버 프론트 엔드(222)는 프로세싱을 위해 안테나들(224) 중 하나로부터 수신된 신호들을 선택할 수 있다. 본 개시의 특정 양상들에 대해, 다수의 안테나들(224)로부터 수신된 신호들의 결합은 강화된 수신 다이버시티를 위해 결합될 수 있다. 액세스 포인트의 트랜시버 프론트 엔드(222)는 또한 사용자 단말의 트랜시버 프론트 엔드(254)에 의해 수행된 것과 상보적인 프로세싱을 수행하고 복원된 업링크 데이터 심볼 스트림을 제공한다. 복원된 업링크 데이터 심볼 스트림은 사용자 단말에 의해 송신된 데이터 심볼 스트림(s_{up})의 추정이다. RX 데이터 프로세서(242)는 복원된 업링크 데이터 심볼 스트림을 그 스트림에 대해 이용된 레이트에 따라 프로세싱(예를 들어, 복조, 디인터리빙 및 디코딩)하여, 디코딩된 데이터를 획득한다. 각각의 사용자 단말에 대해 디코딩된 데이터는 저장을 위해 데이터

싱크(244)에 제공될 수 있고, 그리고/또는 추가적 프로세싱을 위해 제어기(230)에 제공될 수 있다.

[0036] [0038] 다운로드 상에서, 액세스 포인트(110)에서, TX 데이터 프로세서(210)는, 다운로드 송신을 위해 스케줄링된 N_{dn} 개의 사용자 단말들에 대한 데이터 소스(208)로부터 트래픽 데이터, 제어기(230)로부터 제어 데이터 및 스케줄러(234)로부터 가능한 다른 데이터를 수신한다. 다양한 타입들의 데이터가 상이한 전송 채널들을 통해 전송될 수 있다. TX 데이터 프로세서(210)는 각각의 사용자 단말에 대해 선택된 레이트에 기초하여 각각의 사용자 단말에 대한 트래픽 데이터를 프로세싱(예를 들어, 인코딩, 인터리빙 및 변조)한다. TX 데이터 프로세서(210)는 N_{ap} 개의 안테나들 중 하나로부터 송신되도록 N_{dn} 개의 사용자 단말들 중 하나 또는 그 초과에 대한 다운로드 데이터 심볼 스트림들을 제공할 수 있다. 트랜시버 프론트 엔드(222)는 심볼 스트림을 수신 및 프로세싱(예를 들어, 아날로그로 변환, 증폭, 필터링 및 주파수 상향변환)하여 다운로드 신호를 생성한다. 트랜시버 프론트 엔드(222)는 또한 예를 들어, 송신 다이버시티를 위해, RF 스위치를 통해 N_{ap} 개의 안테나들(224) 중 하나 또는 그 초과에 다운로드 신호를 라우팅할 수 있다. 제어기(230)는 트랜시버 프론트 엔드(222) 내의 라우팅을 제어할 수 있다. 메모리(232)는 액세스 포인트(110)에 대한 데이터 및 프로그램 코드들을 저장할 수 있고, 제어기(230)와 인터페이싱할 수 있다.

[0037] [0039] 각각의 사용자 단말(120)에서, $N_{ut,m}$ 개의 안테나들(252)은 액세스 포인트(110)로부터 다운로드 신호들을 수신한다. 수신 다이버시티를 위해, 사용자 단말(120)에서, 트랜시버 프론트 엔드(254)는 프로세싱을 위해 안테나들(252) 중 하나로부터 수신된 신호들을 선택할 수 있다. 본 개시의 특정 양상들에 대해, 다수의 안테나들(252)로부터 수신된 신호들의 결합은 강화된 수신 다이버시티를 위해 결합될 수 있다. 사용자 단말의 트랜시버 프론트 엔드(254)는 또한 액세스 포인트의 트랜시버 프론트 엔드(222)에 의해 수행된 것과 상보적인 프로세싱을 수행하고 복원된 다운로드 데이터 심볼 스트림을 제공한다. RX 데이터 프로세서(270)는 복원된 다운로드 데이터 심볼 스트림을 프로세싱(예를 들어, 복조, 디인터리빙 및 디코딩)하여, 사용자 단말에 대한 디코딩된 데이터를 획득한다.

[0038] [0040] 본원에서 설명된 기술들은 일반적으로 TDMA, SDMA, OFDMA(Orthogonal Frequency Division Multiple Access), CDMA, SC-FDMA, TD-SCDMA 및 그의 결합들과 같은 다중 액세스 방식들 중 임의의 타입을 활용하는 시스템들에서 적용될 수 있다는 것을 당업자는 인지할 것이다.

[0039] [0041] 도 3은 본 개시의 특정 양상들에 따라 도 2의 트랜시버 프론트 엔드들(222, 254)과 같은 예시적인 트랜시버 프론트 엔드(300)의 블록도이다. 트랜시버 프론트 엔드(300)는 하나 또는 그 초과 안테나들을 통해 신호들을 송신하기 위한 송신(TX) 경로(302)(송신 체인으로서 또한 알려짐) 및 안테나들을 통해 신호들을 수신하기 위한 수신(RX) 경로(304)(수신 체인으로서 또한 알려짐)를 포함한다. TX 경로(302) 및 RX 경로(304)가 안테나(303)를 공유할 때, 경로들은 듀플렉서, 스위치, 다이플렉서 등과 같은 다양한 적합한 RF 디바이스들 중 임의의 것을 포함할 수 있는 인터페이스(306)를 통해 안테나에 연결될 수 있다.

[0040] [0042] 디지털-투-아날로그 변환기(DAC)(308)로부터 동위상(I) 또는 직교위상(Q) 기저대역 아날로그 신호들을 수신하기 위해, TX 경로(302)는 기저대역 필터(BBF)(310), 믹서(312), 구동기 증폭기(DA)(314), 및 전력 증폭기(316)를 포함할 수 있다. BBF(310), 믹서(312), 및 DA(314)는 라디오 주파수 집적 회로(RFIC)에 포함될 수 있는 반면에, PA(316)는 종종 RFIC 외부에 있다. BBF(310)는 DAC(308)로부터 수신된 기저대역 신호들을 필터링하고, 믹서(312)는 관심의 기저대역 신호를 상이한 주파수로 변환(예를 들어, 기저대역으로부터 RF로 상향변환)하기 위해 필터링된 기저대역 신호들을 송신 로컬 오실레이터(LO) 신호와 믹싱한다. 이 주파수 변환 프로세스는 LO 주파수와 관심의 신호의 주파수의 합 및 차(difference) 주파수들을 생성한다. 합 및 차 주파수들은 비트(beat) 주파수들로서 지칭된다. 비트 주파수들은 통상적으로 RF 범위에 있어서, 믹서(312)에 의해 출력된 신호들은 통상적으로 RF 신호들이며, 이는 안테나(303)에 의한 송신 이전에 DA(314)에 의해 그리고 PA(316)에 의해 증폭된다.

[0041] [0043] RF 경로(304)는 LNA(low noise amplifier)(322), 믹서(324), 및 기저대역 필터(BBF)(326)를 포함한다. LNA(322), 믹서(324), 및 BBF(326)는 라디오 주파수 집적 회로(RFIC)에 포함될 수 있으며, 이는 TX 경로 컴포넌트들을 포함하는 동일한 RFIC일 수 있거나 그렇지 않을 수 있다. 안테나(303)를 통해 수신된 RF 신호들은 LNA(322)에 의해 증폭될 수 있고 믹서(324)는 관심의 RF 신호를 상이한 기저대역 주파수로 변환(즉, 하향변환)하기 위해 증폭된 RF 신호들을 수신 로컬 오실레이터(LO) 신호와 믹싱한다. 믹서(324)에 의해 출력된 기저대역 신호들은, 디지털 신호 프로세싱을 위해 아날로그-투-디지털 변환기(ADC)(328)에 의해 디지털 I 또는 Q 신호들로 변환되기 이전에 BBF(326)에 의해 필터링될 수 있다.

- [0042] [0044] L0의 출력이 주파수 면에서 안정된 채로 유지되는 것이 바람직하지만, 상이한 주파수들로의 튜닝은 가변-주파수 오실레이터를 이용하는 것을 나타내며, 이는 안정성과 튜닝성 간의 절충을 수반한다. 현대의 시스템들은 특정 튜닝 범위에 있어서 안정되고 튜닝 가능한 L0를 생성하기 위해 VCO(voltage-controlled oscillator)를 갖는 주파수 합성기들을 이용한다. 따라서, 송신 L0는 통상적으로, 믹서(312)에서 기저대역 신호들과 믹싱되기 이전에 증폭기(320)에 의해 버퍼링되거나 증폭될 수 있는 TX 주파수 합성기(318)에 의해 생성된다. 유사하게, 수신 L0는 통상적으로, 믹서(324)에서 RF 신호들과 믹싱되기 이전에 증폭기(332)에 의해 버퍼링되거나 증폭될 수 있는 RX 주파수 합성기(330)에 의해 생성된다.
- [0043] 예시적인 완전 차동 위상 검출기
- [0044] [0045] MDLL(multiplying delay-locked loop)은 기준 신호의 주파수의 정수배인 주파수를 갖는 출력 신호를 생성하는데 이용될 수 있다. 도 4는 위상 검출기로서 지연(D) 플립-플롭을 이용하는 예시적인 MDLL(400)의 블록도이다. 멀티플렉서(402)는 입력으로서 지연 라인(404)으로부터 기준 신호(ref) 및 피드백 신호(fb)를 수신할 수 있다. 멀티플렉서(402)는, 지연 라인(404)으로 기준 신호 또는 지연 라인 피드백 중 어느 하나를 출력하는 것을 지시하는 선택 로직 블록(406)으로부터의 선택 신호(sel)에 의해 제어될 수 있다. 기준 신호가 선택되는 경우, 지연 라인(404)은 기준 신호의 에지에 의해 트리거될 수 있다. 피드백 신호가 선택되는 경우, 지연 라인(404)은 오실레이터로서 기능할 수 있다. 신호를 MDLL과 주파수 곱하기 위해, M번째 에지는 기준 신호의 에지로 대체되고, M번째 에지는 지연 라인의 지연을 조정하도록 기준 에지와 비교된다.
- [0045] [0046] 기준 신호 및 지연 라인 피드백은, 통상적으로 도시된 바와 같은 지연(D) 플립-플롭으로 구현되는 뱅-뱅(bang-bang) 위상 검출기와 같은 위상 검출기(408)에 제공될 수 있다. 위상 검출기(408)에서, 기준 신호는 D 플립-플롭에 대한 클럭 입력으로서 이용될 수 있고, 지연 라인 피드백은 데이터 입력으로서 이용될 수 있다. 이러한 방식으로, 위상 검출기(408)는 지연 라인 피드백과 기준 신호의 에지들을 효과적으로 비교하고, D 플립-플롭의 Q 출력은, 지연 라인 피드백이 기준 신호에 앞서는지, 뒤처지는지, 또는 동위상인지를 나타낸다. 비교에 기초하여, 지연 라인(404)의 조정이 지연될 수 있다.
- [0046] [0047] D 플립-플롭을 갖는 위상 검출기(408)를 구현하는 것은 완전 차동 설계를 제공하지 않는다. 그러므로 위상 검출기는, 로킹(lock)될 때 유한 위상/지연 에러를 유발할 수 있는 오프셋을 가질 수 있다. 이는 MDLL에서 기준 스퍼 레벨(reference spur level)을 증가시킬 수 있고, DLL의 클럭 지터(clock jitter)에 때때로 상당히 기여할 수 있다.
- [0047] [0048] 이에 따라, 필요한 것은 기준 스퍼 레벨을 감소시키기 위해 그 내부의 클럭 지터를 방지하고 결정적 입력 오프셋(deterministic input offset)을 제거하도록 위상-로킹 루프(PLL) 또는 DLL에서 이용될 수 있는 완전 차동 위상 검출기이다.
- [0048] [0049] 본 개시의 특정 양상들은 표준 디지털 셀들을 이용하여 완전 차동 위상 검출 회로를 제공하며, 이는 오프셋을 제거하고 기준 스퍼 레벨을 감소시킬 수 있다. 완전 차동 위상 검출기를 구현하기 위해, 밸런싱된 구조를 갖는 세트-리셋(S-R) 래치 토폴로지가 이용될 수 있다. 또한, MDLL로부터의 피드백 에지들이 기준 에지들보다 더 높은 주파수를 가질 수 있기 때문에, 위상 검출기는 기준 에지와 비교를 위해 올바른 피드백 에지를 선택하도록 설계될 수 있다. 또한, S-R 래치들이 레벨 민감성일 수 있으므로, 위상 검출기에서 이용되는 S-R 래치는 기준 및 피드백 신호들 둘 다의 상승 에지들에만 응답할 수 있다.
- [0049] [0050] 도 5는 본 개시의 양상에 따라 완전 차동 위상 검출 회로로 구현되는 예시적인 MDLL(500)의 블록도이다. MDLL(500)은 멀티플렉서(402), 지연 라인(404), 선택 로직 블록(406) 및 BBPD(bang-bang phase detector)(502)를 포함할 수 있다. 멀티플렉서(402), 지연 라인(404) 및 선택 로직 블록(406)은 위에서 설명된 바와 같이 기능할 수 있다. BBPD(502)의 입력에서 로직 AND 게이트들(504)은, 선택 신호를 재사용함으로써 기준 및 피드백 신호들을 게이팅(gate)할 수 있으며, 이는 비교를 위해 올바른 에지를 선택한다. AND 게이트들(504)의 출력들은 제 1 및 제 2 출력을 갖는 S-R 래치(506)(예를 들어, 교차-커플링되는 NAND 게이트들(508)로 구성됨)에 대한 입력으로서 제공된다. 제 1 및 제 2 출력들은 로직 인버터들(510)에 의해 인버팅되고 예를 들어, 지연(D) 플립-플롭(512)일 수 있는 플립-플롭에 제공될 수 있다. 예를 들어, S-R 래치(506)로부터의 제 1 출력은 로직 인버터(510)를 통해 D 플립-플롭(512)의 클럭 입력에 제공될 수 있고 S-R 래치로부터의 제 2 출력은 D 플립-플롭의 리셋 입력에 제공될 수 있다. D 플립-플롭(512)의 데이터 입력은 로직 하이 레벨로 유지될 수 있다. 입력들에 기초하여, D 플립-플롭의 로직 출력은 지연된 신호가 기준 신호에 앞서는지 또는 뒤처지는지를 표시할 수 있다.

- [0050] [0051] BBPD(502)의 동작 동안, 피드백 신호가 기준 신호보다 더 앞에 있는 경우, "fast_edge" 상에 상승 에지가 있을 수 있으며, 이는 D 플립-플롭(512)의 출력을 로직 하이 레벨("이름(Early)")로 표시함)을 변경할 수 있다. 대조적으로, 피드백 신호가 기준 신호보다 더 뒤에 있는 경우, "slow_edge" 상에 상승 에지가 있을 수 있으며, 이는 D 플립-플롭(512)을 로직 로우 레벨("늦음(Late)")로 표시함)로 리셋할 수 있다. D 플립-플롭(512)이 "fast_edge" 또는 "slow_edge" 중 어느 하나의 상승 에지만 반응하기 때문에, 선택 신호가 하이에서 로우가 되는 경우, BBPD(502)의 출력은, 지연된 신호가 기준 신호에 앞서는지 또는 뒤처지는지 여부의 결정이 보존되도록 영향을 받지 않을 수 있다. 즉, BBPD(502)는 적절한 판단을 내리기 위해 셀프-타이밍(self-timed)될 수 있다.
- [0051] [0052] BBPD(502)가 표준 디지털 셀들(예를 들어, AND 게이트들(504), S-R 래치(506)의 NAND 게이트들(508) 및 로직 인버터들(510))로 구성되기 때문에, 위상 검출기는 상이한 프로세스 노드들로 포팅(port)하기 쉽다.
- [0052] [0053] 특정 양상들에 대해, BBPD(502)의 AND 게이트들(504)은, 풀-다운 레지스터들이 버퍼들의 출력에 있는 3-상 버퍼들로 대체될 수 있다.
- [0053] [0054] 위에서 설명된 다양한 동작들 또는 방법들은 대응하는 기능들을 수행할 수 있는 임의의 적절한 수단에 의해 수행될 수 있다. 이 수단은, 회로, 주문형 집적 회로(ASIC) 또는 프로세서를 포함하는(그러나, 이에 제한되지는 않는) 다양한 하드웨어 및/또는 소프트웨어 컴포넌트(들) 및/또는 모듈(들)을 포함할 수 있다. 일반적으로, 도면들에 도시된 동작들이 존재하는 경우, 이 동작들은 유사한 넘버링을 갖는 대응하는 대응 수단-및-기능(means-plus-function) 컴포넌트들을 가질 수 있다.
- [0054] [0055] 예를 들어, 송신하기 위한 수단은 송신기(예를 들어, 도 2에서 도시된 사용자 단말(120)의 트랜시버 프론트 엔드(254) 또는 도 2에서 도시된 액세스 포인트(110)의 트랜시버 프론트 엔드(222)) 및/또는 안테나(예를 들어, 도 2에서 도시된 사용자 단말(120m)의 안테나들(252ma 내지 252mu) 또는 도 2에서 예시된 액세스 포인트(110)의 안테나들(224a 내지 224ap))를 포함할 수 있다. 수신하기 위한 수단은 수신기(예를 들어, 도 2에서 도시된 사용자 단말(120)의 트랜시버 프론트 엔드(254) 또는 도 2에서 도시된 액세스 포인트(110)의 트랜시버 프론트 엔드(222)) 및/또는 안테나(예를 들어, 도 2에서 도시된 사용자 단말(120m)의 안테나들(252ma 내지 252mu) 또는 도 2에서 예시된 액세스 포인트(110)의 안테나들(224a 내지 224ap))를 포함할 수 있다. 프로세싱하기 위한 수단 또는 결정하기 위한 수단은, 도 2에서 예시된 사용자 단말(120)의 RX 데이터 프로세서(270), TX 데이터 프로세서(288), 및/또는 제어기(280)와 같은 하나 또는 그 초과 프로세서들을 포함할 수 있는 프로세싱 시스템들을 포함할 수 있다.
- [0055] [0056] 본 명세서에서 사용되는 용어 "결정"은 광범위한 동작들을 포함한다. 예를 들어, "결정"은 계산, 컴퓨팅, 프로세싱, 유도, 검사, 검색(예를 들어, 표, 데이터베이스 또는 다른 데이터 구조에서의 검색), 확인 등을 포함할 수 있다. 또한, "결정"은 수신(예를 들어, 정보 수신), 액세스(예를 들어, 메모리 내의 데이터에 액세스) 등을 포함할 수 있다. 또한, "결정"은 해결, 선택, 선정, 설정 등을 포함할 수 있다.
- [0056] [0057] 본 명세서에서 사용되는 바와 같이, 아이템들의 리스트 "중 적어도 하나"로 지칭되는 구문은 단일 멤버들을 포함하여 그 아이템들의 임의의 조합을 지칭한다. 예를 들어, "a, b 또는 c 중 적어도 하나"는, a, b, c, a-b, a-c, b-c, 및 a-b-c를 커버하도록 의도된다.
- [0057] [0058] 본 개시와 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들 및 회로들은 범용 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 필드 프로그래머블 게이트 어레이(FPGA) 또는 다른 프로그래머블 로직 디바이스(PLD), 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들 또는 본원에서 설명된 기능들을 수행하도록 설계된 이들의 임의의 조합으로 구현되거나 또는 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만, 대안으로 프로세서는 임의의 상업적으로 이용 가능한 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수도 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합, 예를 들어, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 연결된 하나 또는 그 초과 마이크로프로세서들 또는 임의의 다른 이러한 구성으로서 구현될 수 있다.
- [0058] [0059] 본 명세서에 개시된 방법들은 설명된 방법을 달성하기 위한 하나 또는 그보다 많은 단계들 또는 동작들을 포함한다. 방법 단계들 및/또는 동작들은 청구항들의 범위를 벗어나지 않고 서로 교환될 수 있다. 즉, 단계들 또는 동작들의 특정한 순서가 규정되지 않으면, 특정 단계들 및/또는 동작들의 순서 및/또는 이용은 청구항들의 범위를 벗어나지 않고 변형될 수 있다.
- [0059] [0060] 설명된 기능들은, 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 결합으로 구현될 수 있다. 하드

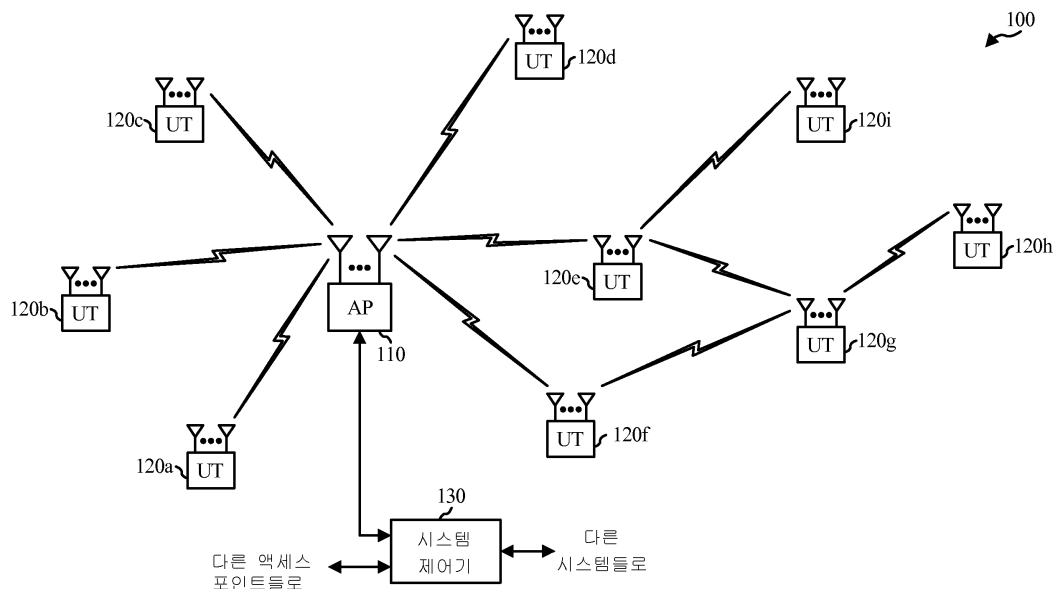
웨어로 구현되는 경우, 예시적인 하드웨어 구성은 무선 노드 내의 프로세싱 시스템을 포함할 수 있다. 프로세싱 시스템은 버스 아키텍처를 통해 구현될 수 있다. 버스는 프로세싱 시스템의 특정 애플리케이션 및 전체적인 설계 제약들에 따라, 임의의 개수의 상호연결 버스들 및 브리지들을 포함할 수 있다. 버스는 프로세서, 머신-관독가능 매체, 및 버스 인터페이스를 포함하는 다양한 회로들을 함께 링크시킬 수 있다. 버스 인터페이스는 버스를 통해 프로세싱 시스템에, 특히 네트워크 어댑터를 연결하는데 사용될 수 있다. 네트워크 어댑터는 PHY 층의 신호 프로세싱 기능들을 구현하기 위해 사용될 수 있다. 사용자 단말(120)(도 1 참조)의 경우, 사용자 인터페이스(예를 들어, 키패드, 디스플레이, 마우스, 조이스틱 등)는 또한 버스에 연결될 수 있다. 버스는 또한 타이밍 소스들, 주변장치들, 전압 레귤레이터들, 전력 관리 회로들 등과 같은 다양한 다른 회로들을 링크시킬 수 있고, 이들은 당해 기술분야에 공지되어 있어, 더 이상 설명되지 않을 것이다.

[0060] [0061] 프로세싱 시스템은, 프로세서 기능성을 제공하는 하나 또는 그 초과 마이크로프로세서들 및 머신-관독가능 매체들의 적어도 부분을 제공하는 외부 메모리를 갖는 범용 프로세싱 시스템으로서 구성될 수 있으며, 모두가 외부 버스 아키텍처를 통해 다른 지원 회로와 함께 링크된다. 대안적으로, 프로세싱 시스템은 프로세서, 버스 인터페이스, (액세스 단말의 경우) 사용자 인터페이스, 지원 회로, 및 단일 칩으로 통합되는 머신-관독가능 매체의 적어도 일부분을 가지는 ASIC(Application Specific Integrated Circuit)를 이용하여 구현되거나, 또는 하나 이상의 FPGA들(Field Programmable Gate Arrays), PLD들(Programmable Logic Devices), 제어기들, 상태 머신들, 게이트 로직(gated logic), 이산 하드웨어 컴포넌트들, 또는 임의의 다른 적절한 회로, 또는 본 개시 전반에 걸쳐 설명된 다양한 기능성을 수행할 수 있는 회로들의 임의의 결합을 이용하여 구현될 수 있다. 당업자는 전체 시스템에 부과된 전체 설계 제약들 및 특정 애플리케이션에 따라 프로세싱 시스템에 대해 설명된 기능성을 최상으로 구현하는 방법을 인지할 것이다.

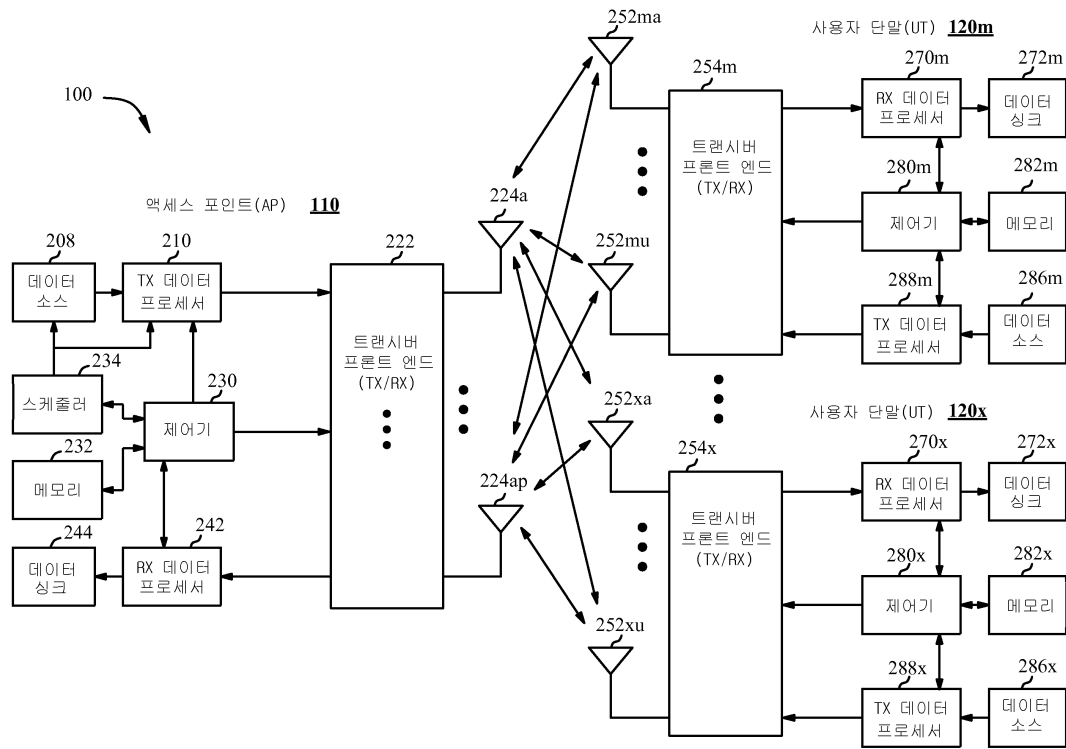
[0061] [0062] 청구항들이 위에서 예시된 정확한 구성 및 컴포넌트들에 제한되지 않는다는 점이 이해될 것이다. 다양한 수정들, 변화들 및 변경들은 청구항들의 범위로부터 벗어나지 않고 전술된 방법들 및 장치의 어레이먼트(arrangement), 동작 및 상세항목들 내에서 이루어질 수 있다.

도면

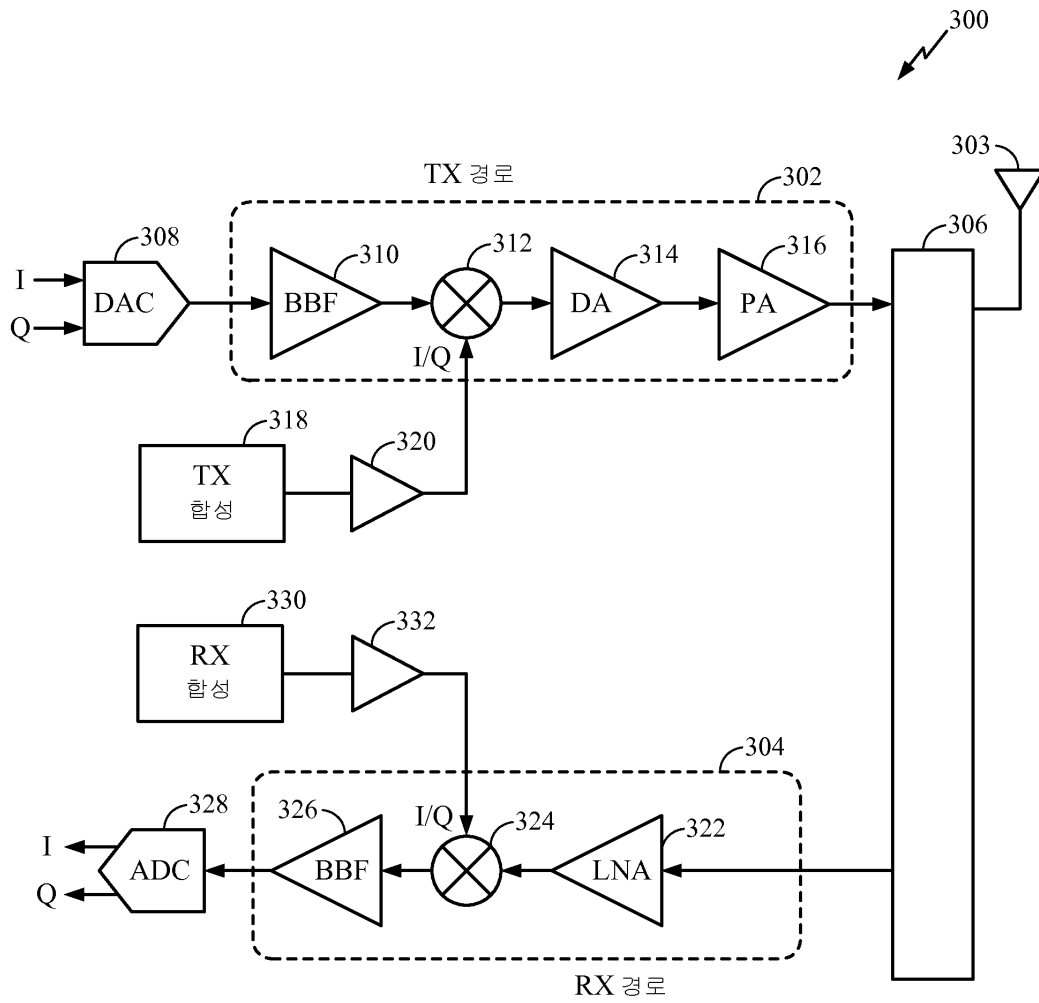
도면1



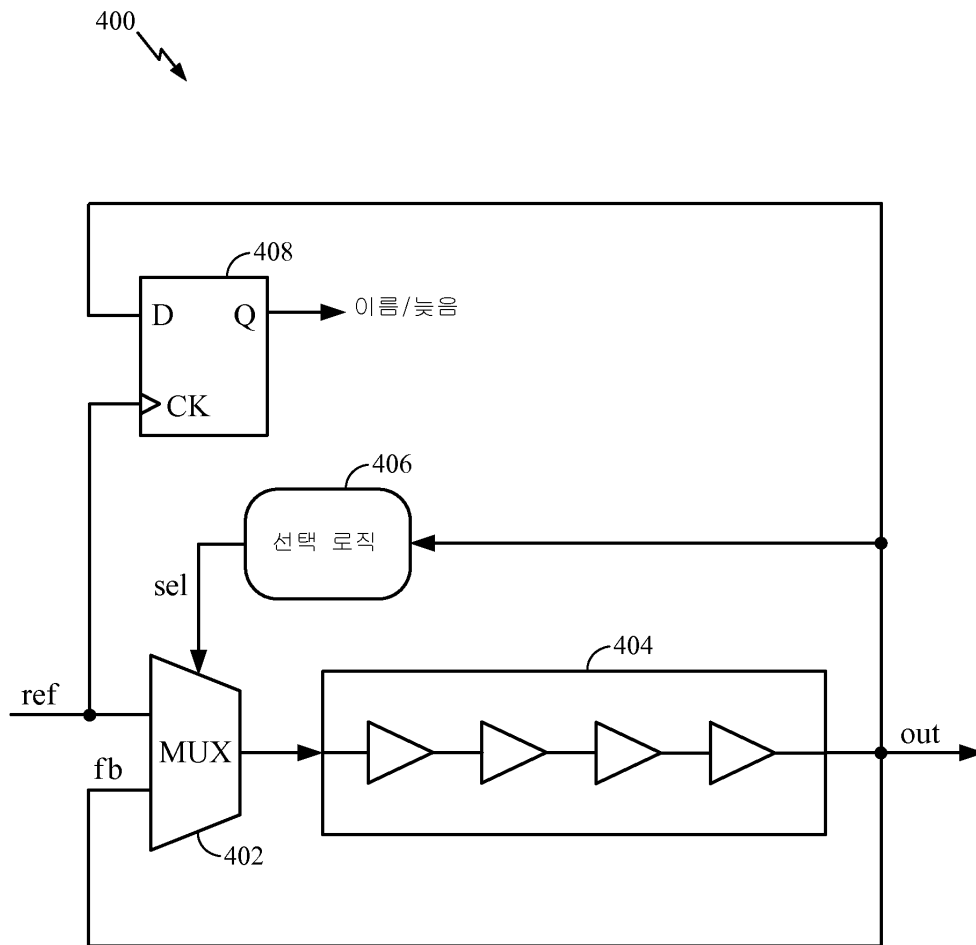
도면2



도면3



도면4



도면5

