

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年9月29日(2005.9.29)

【公開番号】特開2003-331577(P2003-331577A)

【公開日】平成15年11月21日(2003.11.21)

【出願番号】特願2002-134073(P2002-134073)

【国際特許分類第7版】

G 1 1 C 11/407

G 1 1 C 11/409

【F I】

G 1 1 C 11/34 3 5 4 C

G 1 1 C 11/34 3 6 2 S

G 1 1 C 11/34 3 5 4 P

G 1 1 C 11/34 3 5 4 Q

【手続補正書】

【提出日】平成17年5月2日(2005.5.2)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリセルを有するメモリセルアレイと、
外部クロック信号を所定量遅延させて調整クロック信号を生成する位相調整回路と、
前記外部クロック信号と前記調整クロック信号との位相を比較し、比較結果に応じて前記位相調整回路の遅延時間を調整する位相調整信号を出力する位相比較回路と、
前記メモリセルアレイからの読み出しデータを前記調整クロック信号に同期してデータ端子に出力するデータ出力回路と、
データ端子に供給される前記メモリセルアレイへの書き込みデータを前記調整クロック信号に同期して受信するデータ入力回路とを備え、
前記位相調整回路は、前記位相比較回路が位相の一致を検出している間、前記外部クロック信号より位相の進んだ前記調整クロック信号を生成することを特徴とする半導体記憶装置。

【請求項2】

請求項1記載の半導体記憶装置において、
データを書き込みメモリセルを選択する書き込みアドレスおよびデータを読み出す前記メモリセルを選択する読み出しアドレスを受信するアドレス端子と、
前記アドレス端子で受信した前記書き込みアドレスと前記読み出しアドレスとを比較するアドレス比較回路と、
前記アドレス比較回路の比較により前記書き込みアドレスと前記読み出しアドレスとが一致したときに、前記書き込みアドレスに対応して供給される書き込みデータを前記読み出しアドレスに対応する読み出しデータとして前記データ出力回路に出力するデータ選択回路とを備えていることを特徴とする半導体記憶装置。

【請求項3】

メモリセルを有するメモリセルアレイと、
外部クロック信号を所定量遅延させて調整クロック信号を生成する位相調整回路と、
前記外部クロック信号と前記調整クロック信号との位相を比較し、比較結果に応じて前

記位相調整回路の遅延時間を調整する位相調整信号を出力する位相比較回路と、

前記メモリセルアレイからの読み出しデータを前記調整クロック信号に同期してデータ端子に出力するデータ出力回路と、

データ端子に供給される前記メモリセルアレイへの書き込みデータを前記調整クロック信号に同期して受信するデータ入力回路と、

コマンド信号を受ける外部端子と、

前記位相比較回路で比較する前記外部クロック信号および前記調整クロック信号のいずれかの位相を、前記コマンド信号に応じて変更する可変遅延回路を備えていることを特徴とする半導体記憶装置。

【請求項 4】

メモリセルを有するメモリセルアレイと、

外部クロック信号を所定量遅延させて調整クロック信号を生成する位相調整回路と、

前記外部クロック信号と前記調整クロック信号との位相を比較し、比較結果に応じて前記位相調整回路の遅延時間を調整する位相調整信号を出力する位相比較回路と、

前記メモリセルアレイからの読み出しデータを前記調整クロック信号に同期してデータ端子に出力するデータ出力回路と、

データ端子に供給される前記メモリセルアレイへの書き込みデータを前記調整クロック信号に同期して受信するデータ入力回路と、

コマンド信号を出力するヒューズ回路と、

前記位相比較回路で比較する前記外部クロック信号および前記調整クロック信号のいずれかの位相を前記コマンド信号に応じて変更する可変遅延回路とを備えていることを特徴とする半導体記憶装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

上記問題点は、図12に示した読み出しコマンドR1と書き込みコマンドW1とが連続して入力される場合に限らない。一般に、書き込みデータD1を受信したクロックの次のクロックに同期して読み出しデータQ1を出力する場合に共通の問題である。

本発明の目的は、半導体記憶装置の内部回路の動作余裕を確保し、クロック周期を高くすることにある。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

調整クロック信号の周期は、外部クロック信号の周期と同じである。このため、書き込みデータの入力と読み出しデータの出力とが連続して行われる場合、書き込みデータの入力動作と読み出しデータの出力動作との切り替え制御は、1クロック周期以内に完了すればよい。換言すれば、クロック周期は、上記切り替え制御にかかる時間まで短縮可能になる。この結果、外部クロック信号の最高周波数が切り替え制御にかかる時間により制限されることを防止でき、外部クロック信号の最高周波数を高くできる。

また、位相調整回路は、外部クロック信号より位相の進んだ調整クロック信号を生成する。このため、読み出しデータを外部クロック信号に同期させるより早く出力でき、読み出し動作時のアクセス時間を短縮できる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】 0 0 1 4

【補正方法】 削除

【補正の内容】

【手続補正 5】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 1 5

【補正方法】 変更

【補正の内容】

【0 0 1 5】

請求項 3 の半導体記憶装置では、可変遅延回路は、位相比較回路で比較する外部クロック信号の位相または調整クロック信号の位相を、外部端子に供給されるコマンド信号に応じて調整する。このため、クロック信号の位相を半導体記憶装置の電気的特性に応じて調整することで、特性不良を救済できる。この結果、歩留を向上できる。

【手続補正 6】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 1 6

【補正方法】 変更

【補正の内容】

【0 0 1 6】

請求項 4 の半導体記憶装置では、可変遅延回路は、位相比較回路で比較する外部クロック信号の位相または調整クロック信号の位相をコマンド信号に応じて調整する。ヒューズ回路は、可変遅延回路の遅延時間を設定するコマンド信号を出力する。半導体記憶装置の電気的特性に応じてヒューズ回路をプログラムし、クロック信号の位相を調整することで、特性不良を救済できる。この結果、歩留を向上できる。

【手続補正 7】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 1 7

【補正方法】 変更

【補正の内容】

【0 0 1 7】

【発明の実施の形態】

以下、本発明の実施形態を図面を用いて説明する。

図 1 は、本発明の半導体記憶装置の第 1 の実施形態を示している。この実施形態は、請求項 1 ないし請求項 3 に対応している。この半導体記憶装置は、シリコン基板上に CMOS プロセスを使用して SDRAM として形成されている。図中、太線で示した信号線は、複数ビットで構成されている。図の左側の二重丸は、外部端子を示している。

【手続補正 8】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 1 9

【補正方法】 変更

【補正の内容】

【0 0 1 9】

クロックバッファ 10 は、外部クロック信号 CLK を受け、受けた信号を内部クロック信号 ICLK として出力する。外部クロック信号 CLK は、SDRAM を搭載するシステムが生成するシステムクロックである。

コマンドバッファ・デコーダ 12 は、内部クロック信号 ICLK に同期してコマンド信号 CMD を受け、受けた信号をデコードし、デコード結果を内部コマンド信号 ICMD として出力する。コマンド信号 CMD として、書き込みコマンド、読み出しコマンド、NOP コマンド等の他、後述する調整クロック信号 DLLCLK の位相を調整するための増加コマンド、減少コマンド

、デフォルトコマンドが供給される。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

図4は、図2に示した位相比較回路18の動作を示している。この例では、コマンド信号CINC、CDEC、CDEFのうちコマンド信号CDEFのみが高レベルに変化している。すなわち、遅延クロック信号CLK1は、外部クロック信号CLKに対して図3に示した遅延段DS1の遅延時間だけ遅れ、遅延クロック信号DCLK1は、調整クロック信号DLLCLKに対して遅延段DS1の遅延時間だけ遅れる。すなわち、遅延クロック信号CLK1の外部クロック信号CLKに対する遅延時間、および遅延クロック信号DCLK1の調整クロック信号DLLCLKに対する遅延時間は、等しくなる。実際には、遅延クロック信号CLK1は、さらにスイッチ回路SW2の遅延時間だけ遅れる。このため、遅延クロック信号CLK1の位相は、遅延クロック信号DCLK1の位相よりわずかに遅れる。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0035

【補正方法】変更

【補正の内容】

【0035】

調整クロック信号DLLCLKの位相が外部クロック信号CLKの位相に比べて遅れており（図の右側）、DフリップフロップDFF1、DFF2が、遅延クロック信号DCLK1、DCLK2の低レベルをラッチした場合、出力信号OUT1、OUT2は、ともに低レベルに変化する。このとき、位相の遅れを示す減少信号DECが高レベルに変化する。そして、図1に示した位相調整回路16は、調整クロック信号DLLCLKの位相を信号INC、HLD、DECに応じて調整する。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

この例では、調整クロック信号DLLCLKの位相は、外部クロック信号CLKの位相に一致している（図8（A））。このため、データ入力回路38は、外部クロック信号CLKの立ち上がりエッジに同期して書き込みデータD1を受信する（図8（B））。図中、破線で示した内部データ信号IDQは、従来の受信タイミングを示している。書き込みデータD1の受信タイミングは、従来（図12）に比べてクロックバッファ10の遅延時間TDだけ早くなる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0048

【補正方法】変更

【補正の内容】

【0048】

なお、調整クロック信号DLLCLKの位相は、3番目の外部クロック信号CLKの立ち上がりエッジが読み出しデータQ1の出力期間に含まれる範囲で調整可能である。この際、図3に示した遅延回路DLYBの遅延段DS1の数およびコマンド信号のビット数を増やすことで、調整クロック信号DLLCLKの位相を細かく調整できる。

【手続補正13】

【補正対象書類名】明細書
【補正対象項目名】0050
【補正方法】変更
【補正の内容】
【0050】

コマンド端子CMDに供給されるコマンド信号CMDに応じて、可変遅延回路DLYBの遅延時間を調整し、位相比較回路18で比較する調整クロック信号DLLCLKの位相を調整した。例えば、位相調整回路16が外部クロック信号CLKと同じ位相の調整クロック信号DLLCLKを生成することで、SDRAMは、外部クロック信号CLKに完全に同期して、書き込みデータD1を受信でき、読み出しデータQ1を出力できる。この結果、SDRAMを搭載するシステムは、書き込みデータD1を自身が生成する外部クロック信号CLKに同期して出力すればよく、読み出しデータQ1を外部クロック信号CLKに同期して確実に受信できる。

【手続補正14】
【補正対象書類名】明細書
【補正対象項目名】0051
【補正方法】変更
【補正の内容】
【0051】

あるいは、位相調整回路16が外部クロック信号CLKの位相より進んだ位相の調整クロック信号DLLCLKを生成することで、読み出しデータQ1を外部クロック信号CLKに同期させるより早く出力できる。この結果、読み出し動作時のアクセス時間TACを短縮できる。すなわち、調整クロック信号DLLCLKの位相をSDRAMの電気的特性に応じて調整することで、特性不良を救済できる。この結果、歩留を向上できる。

【手続補正15】
【補正対象書類名】明細書
【補正対象項目名】0052
【補正方法】変更
【補正の内容】
【0052】

図10は、本発明の半導体記憶装置の第2の実施形態を示している。この実施形態は、請求項1、請求項2、請求項4に対応している。従来技術および第1の実施形態で説明した回路・信号と同一の回路・信号については、同一の符号を付し、これ等については、詳細な説明を省略する。

この実施形態では、第1の実施形態のコマンドバッファ・デコーダ12の代わりにコマンドバッファ・デコーダ42が形成されている。コマンドバッファ・デコーダ42は、書き込みコマンド、読み出しコマンド、NOPコマンド等、SDRAMのメモリ動作に関係するコマンドのみを受信する。このため、コマンドバッファ・デコーダ42は、第1の実施形態と異なり、増加コマンド（CINC）、減少コマンド（CDEC）およびデフォルトコマンド（CDEF）は受信しない。

【手続補正16】
【補正対象書類名】明細書
【補正対象項目名】0055
【補正方法】変更
【補正の内容】
【0055】

なお、上述した第1および第2の実施形態では、図3に示した遅延回路DLYBを可変遅延回路として構成することで、遅延クロック信号CLK1の位相を遅延クロック信号DCLKに対して調整する例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、図11に示すように、位相比較回路における遅延回路DLYAを可変遅延回路として構成することで、遅延クロック信号DCLKの位相を遅延クロック信号CLK1に対して調整してもよ

い。

【手続補正 17】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

【発明の効果】

請求項1の半導体記憶装置では、クロック周期は、書き込みデータの入力動作と読み出しデータの出力動作との切り替え制御にかかる時間まで短縮可能になる。この結果、外部クロック信号の最高周波数が切り替え制御にかかる時間により制限されることを防止でき、外部クロック信号の最高周波数を高くできる。また、読み出しデータを外部クロック信号に同期させるより早く出力でき、読み出し動作時のアクセス時間を短縮できる。

請求項2の半導体記憶装置では、クロック周期が、アドレス比較回路でのアドレス比較とデータ選択回路でのデータ選択とに必要な余裕時間によって制限されている場合、この制限を緩和できる。すなわち、外部クロック信号の最高周波数を高くでき、データ転送レートを向上できる。

【手続補正 18】

【補正対象書類名】明細書

【補正対象項目名】0059

【補正方法】削除

【補正の内容】

【手続補正 19】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

請求項3および請求項4の半導体記憶装置では、クロック信号の位相を半導体記憶装置の電気的特性に応じて調整することで、特性不良を救済できる。この結果、歩留を向上できる。

【手続補正 20】

【補正対象書類名】明細書

【補正対象項目名】図3

【補正方法】変更

【補正の内容】

【図3】

図2の遅延回路の詳細を示す回路図である。

【手続補正 21】

【補正対象書類名】明細書

【補正対象項目名】図4

【補正方法】変更

【補正の内容】

【図4】

図1の位相比較回路の動作を示すタイミング図である。

【手続補正 22】

【補正対象書類名】図面

【補正対象項目名】図4

【補正方法】変更

【補正の内容】
【図 4】

図 1 の位相比較回路の動作を示すタイミング図

