

公告本

申請日期:

80. 6. 6

案號:

P0113752

類別:

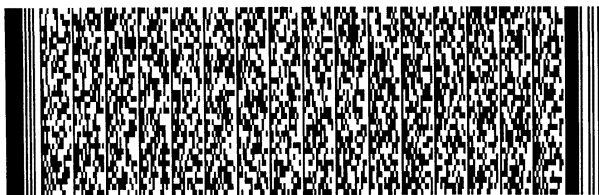
H01L 29/866

(以上各欄由本局填註)

發明專利說明書

503585

一、 發明名稱	中文	在不增加寄生電容情形下具有可調整成任意值之崩潰電壓的二極體及其製造方法
	英文	DIODE HAVING BREAKDOWN VOLTAGE ADJUSTABLE TO ARBITRARY VALUE WITHOUT INCREASE OF PARASITIC CAPACITANCE AND PROCESS FOR FABRICATION THEREOF
二、 發明人	姓名 (中文)	1. 吉武 知信
	姓名 (英文)	1. Tomonobu YOSHITAKE
	國籍	1. 日本
	住、居所	1. 日本國東京都港區芝五丁目7番1號 日本電氣股份有限公司內(c/o NEC Corporation 7-1, Shiba 5-chome, Minato-ku, Tokyo, Japan)
三、 申請人	姓名 (名稱) (中文)	1. 日本電氣股份有限公司
	姓名 (名稱) (英文)	1. NEC Corporation
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區芝五丁目7番1號(7-1, Shiba 5-chome, Minato-ku, Tokyo, Japan)
	代表人 姓名 (中文)	1. 西垣 浩司 (Koji NISHIGAKI)
	代表人 姓名 (英文)	1. Koji NISHIGAKI



本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	2000/06/07	特願2000-170304	有

有關微生物已寄存於	寄存日期	寄存號碼
-----------	------	------

無



五、發明說明 (1)

發明之領域

本發明係關於一種半導體裝置，尤其是關於一顆整合入半導體裝置之二極體與製造一顆保護用二極體之方法。

相關技術之說明

二極體在電子電路中具有廣泛的應用。二極體令電流於單向流通。當注目於二極體之"令順向電流流通"特性時，該二極體用作為整流器的基本部份。另一方面，當注目於二極體之"其阻擋反向電流流通"特性時，該二極體用作為抗施加至電路元件之異常電壓的保護元件。

後者之應用描述如下。一個半導體裝置於內部積體電路與外部電子電路之間具有複數個傳導端，並且電子訊號經由該傳導端於外部電路與內部積體電路之間傳輸。因此，傳導端為半導體裝置之必要元件。然而，傳導端暴露於環境中，並且極強大的電壓有可能加於該傳導端上。若該極強大之電壓直接加於內部積體電路之電路元件上，則該電路元件將嚴重受損，並且該半導體裝置需更新。

為了保護內部積體電路裝置之電路元件免於極強大電壓之傷害，便將保護用二極體形成於半導體裝置中，並且連接至傳導端與內部積體電路裝置之電路元件之間的傳導路徑。

圖1示出該保護用二極體的典型範例。該先前技術之保護用二極體1通常接至傳導端與內部電路之輸入電晶體之間的一個訊號路徑。該保護用二極體1包含一個高濃度

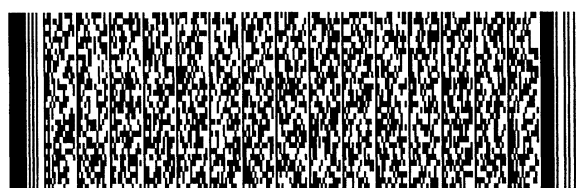


五、發明說明 (2)

佈植的n型井2、一個p型雜質區3與一個p型守護環4。該高濃度佈植的n型井2形成於n型半導體基板上，並且該p型雜質區3與高濃度佈植的n型井2形成一p-n接面作為一個齊納二極體。該p型雜質區3周圍環繞著p型守護環4，其較p型雜質區3深。因此，該p型雜質區3與p型守護環4共同形成一個嫁接基層架構。

該p型守護環4將p-n接面延伸，並且該寬的p-n接面使先前技術之保護用二極體1可將因極強大的電壓或靜電放電所引起之大電流至n型半導體基板。換句話說，從保護用二極體的抗靜電放電特性之觀點，該寬的p-n接面是必要的。然而，該寬的p-n接面具有大量寄生電容。當該積體電路運作時，輸入訊號將從相關之傳導端加至輸入電晶體上。大量寄生電容是使輸入訊號波形變形的原因，並且從訊號傳輸特性之觀點，該寬的p-n接面是不必要的。因此，在抗靜電放電特性與訊號傳輸特性之間需有所取捨。

於p型雜質區3與高濃度佈植的n型井2之間的p-n接面同時影響寄生電容與崩潰電壓極深，並且在先前技術之二極體中設計人員困擾於伴隨崩潰電壓而生的寄生電容。詳細地說，先前技術之二極體預期在輸入電晶體受損前的某個電壓即崩潰。然而，該先前技術之保護用二極體將維持在關閉狀態當電子訊號於傳導端與輸入電晶體之間傳輸時。崩潰現象發生於一臨界強電場其跨於p型雜質區3與高濃度佈植的n型井2之間的p-n介面空乏層上。佈植濃度越濃，則空乏層越薄。在一個薄的空乏層中，電場強度很容



五、發明說明 (3)

易超過臨界值。因此，崩潰電壓主要與高濃度佈植的n型井2之雜質濃度有關。寄生電容與空乏層厚度及p-n接面面積有關。薄的空乏層將會不預期地增加寄生電容。當設計人員給予先前技術之二極體1一個高崩潰電壓，該寄生電容將無可避免地增加，並且電子訊號將因大寄生電容而變形。因此，崩潰電壓與寄生電容極有關係，並且設計人員很難設計一顆理想的二極體。設計人員的阻礙為緊密關聯之寄生電容與崩潰電壓。

雖然於日本公開專利公報第8-153887號中發表了另一個先前技術之二極體，該先前技術之二極體為一個光二極體。該先前技術之光二極體的技術目的為改進訊號雜訊比並放寬動態範圍，並且藉由離子佈植或熱擴散技術將高濃度佈植之p型雜質區形成於高濃度佈植之n型井中。

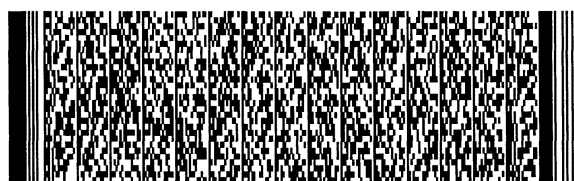
發明之概述

因此本發明的一個重要目的為提供一個二極體，其可調整至適當崩潰電壓而無須考慮寄生電容。

本發明的一個重要目的亦為提供一個製程用以製造該保護用二極體。

為完成該目的，本發明提議形成複數個接面，其中之一影響二極體之崩潰電壓而其他則決定寄生電容。

根據本發明的一個實施樣態，提供一個二極體包含一個具有第一導通形式之第一半導體層，以及一個具有與第一導通形式相反的第二導通形式之第二半導體層並且包含

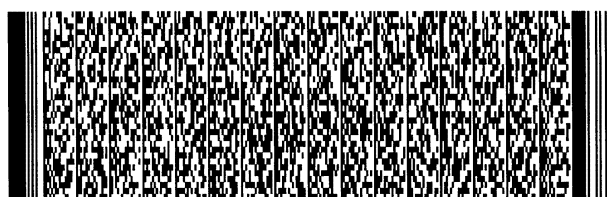


五、發明說明 (4)

複數個佈植濃度不同的區域以形成複數個電子特性彼此不同的接面。

根據本發明的另一個實施樣態，提供一個製程以製造二極體，包含步驟 a) 準備一個具有某種導通形式之高濃度佈植之半導體層，b) 在高濃度佈植之半導體層上長一層具有前述導通形式之低濃度佈植之半導體層，c) 在該低濃度佈植之半導體層中形成一個具有與前述導通形式相反的其他導通形式之守護環以便於在該低濃度佈植之半導體層中形成第一個接面，d) 在該低濃度佈植之半導體層之表面上守護環之內形成具前述導通形式之雜質區，以及 e) 在該低濃度佈植之半導體層之表面上守護環之內形成具其他導通形式之另一雜質區以便於與該雜質區形成不同於第一個接面之電子特性的第二個接面。

根據本發明的另一個實施樣態，提供一個製程以製造二極體，包含步驟 a) 準備一個具有某種導通形式之高濃度佈植之半導體層，b) 在高濃度佈植之半導體層上長一層具有前述導通形式之低濃度佈植之半導體層，c) 在該低濃度佈植之半導體層中形成一個具有前述導通形式的雜質區以及 d) 在該雜質區的表面與低濃度佈植之半導體層之表面上形成具有與前述導通形式相反之其他導通形式的另一雜質區以便於與該低濃度佈植之半導體層形成第一個接面以及與該雜質區形成不同於第一個接面之電子特性的第二個接面。



五、發明說明 (5)

較佳實施例之說明第一個實施例

參考圖2之圖式，一顆保護用二極體10與形成內部電子電路一部份的輸入場效電晶體T1整合入高濃度佈植n型半導體基板11中。一接腳P1接至該輸入場效電晶體T1的閘極，並且該保護用二極體10連接至接腳P1與該輸入場效電晶體T1的閘極之間的訊號路徑。該高濃度佈植n型半導體基板11佈植濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 或該值以上，並且電阻係數等於或小於 $20/1000 \text{ ohm-cm}$ 。

該保護用二極體10包含一低濃度佈植之n型半導體層12、一高濃度佈植之n型雜質區13、一高濃度佈植之p型雜質區14以及一p型守護環15。該低濃度佈植之n型半導體層12以磊晶方式長於該高濃度佈植n型半導體基板11之上，並且該高濃度佈植之n型雜質區13形成於該低濃度佈植之n型半導體層12的表面。該高濃度佈植之p型雜質區14與該高濃度佈植之n型雜質區13有部份重疊，並且深度比該高濃度佈植之n型雜質區13淺。因此，該高濃度佈植之p型雜質區14與該高濃度佈植之n型雜質區13形成一個主要的p-n接面a。該p型守護環15形成於該高濃度佈植之p型雜質區14與該高濃度佈植之n型雜質區13的周圍。該p型守護環15比該高濃度佈植之n型雜質區13深因此該主要的p-n接面a存在於該p型守護環15之內。該p型守護環15存在於該低濃度佈植之n型半導體層12中，並且在該低濃度佈植之n型半導體層12邊界形成p-n接面b。該p-n接面b比該主要的p-n



五、發明說明 (6)

接面寬的多。該低濃度佈植之n型半導體層12在佈植濃度上約比該高濃度佈植之n型井2小一個數量級。

該齊納崩潰電壓與該主要的p-n接面a有關。另一個p-n接面b對該齊納崩潰電壓無任何影響。另一方面，該寄生電容主要由另一個p-n接面b決定。該主要的p-n接面a對寄生電容之影響將受到如下所述之限制。該p-n接面a的特性主要與該高濃度佈植之n型雜質區13的佈植濃度有關。另一方面，該另一個p-n接面的特性主要與低濃度佈植之n型半導體層12的佈植濃度及該p型守護環15的佈植濃度有關。因此，該崩潰電壓與該寄生電容無強烈的關連。在本例中，即使該崩潰電壓調整至理想值，耦合至該保護用二極體10之寄生電容依舊很小。實際上，耦合至該保護用二極體10之寄生電容小於耦合至先前技術之保護用二極體1者，因為該守護環15與低濃度佈植之n型半導體層12形成p-n接面b。

接下來，將說明本保護用二極體如何設計。該二極體10預期用以保護輸入場效電晶體T1免於極強大的電壓或靜電放電之害。基本上在任何時刻在該半導體裝置操作時某一電壓加至該二極體10上。因此，設計該保護用二極體10具有一p-n接面不在表面而在其內部直接影響崩潰電壓。其意指著該保護用二極體10具有一個嫁接基層架構。

本發明人研究耦合至主要p-n接面a之寄生電容與耦合至守護環邊界另一個p-n接面b之寄生電容之間的比例。本發明人研究許多具嫁接基層架構的二極體，並且歸納出大



五、發明說明 (7)

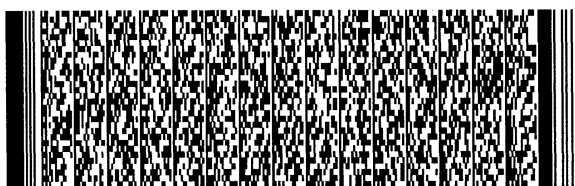
部分耦合至二極體的寄生電容來自守護環邊界的p-n接面。

如前所述，寄生電容主要決定於p-n接面之間的空乏層之面積與厚度。在面積的減少上有所限制。因此，寄生電容的減少將藉由增加空乏層厚度加以達成。這意指佈植濃度將加以改變。然而，該主要p-n接面a乃設計以達成標的崩潰電壓，並且因而，該佈植濃度不能改變。因此，設計守護環邊界的p-n接面使空乏層盡可能地寬將可有效地防止寄生電容。

預期守護環15提供大電流一個寬的電流路徑。在此情形下，很難減少該p型守護環15的佈植濃度。該p型守護環15與該n型半導體層共同形成p-n接面。在該n型半導體層上並無任何嚴重的限制。因此，在實現本發明之保護用二極體10時採用該低濃度佈植之n型半導體層12。

本發明人研究該低濃度佈植之n型半導體層12的有效佈植濃度與寄生電容間的關係。藉由單級接面近似法並假設厚度等於或大於1微米以分析該低濃度佈植之n型半導體層12。本發明人歸納出當電阻係數等於或大於0.1 ohm-cm時寄生電容減少。例如，當將該低濃度佈植之n型半導體層12設計為8微米至12微米厚且45 ohm-cm至55 ohm-cm，該寄生電容減為百分之一或更少。

該齊納崩潰電壓設計如下。該齊納崩潰電壓設定為6伏。硼擴散入一個具有電阻係數10/1000 ohm-cm的n型區域中。該n型區覆蓋一個硼源，並且硼在攝氏1100度下熱



五、發明說明 (8)

擴散60分鐘。N型佈植雜質以高濃度佈植，並且佈植濃度為 $2.5 \text{ 微米深} 1 \times 10^{19} \text{ cm}^{-3}$ 。為了調整崩潰電壓至標的值，雜質硼之輪廓範圍將平緩化直至3微米深。藉由延長熱處理過程將硼向內驅入以達成該平緩化之雜質輪廓範圍。在本例中，熱處理連續3.5小時。

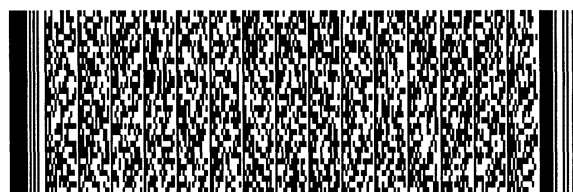
本發明人研究如前述設計樣本之二極體特性。26pF至37pF之寄生電容耦合至先前技術二極體的樣本中。另一方面，耦合至本發明二極體的寄生電容僅為5pF。該二極體可抗靜電放電約10K伏，並且該齊納崩潰電壓為6.1伏。

接著，參考圖3A至3J說明製造本發明二極體的製程。該齊納崩潰電壓設為6伏。該製程一開始要準備高濃度佈植之n型半導體基板11。該高濃度佈植之n型半導體基板11由矽組成。

在該高濃度佈植之n型半導體基板11上矽磊晶至800奈米厚，並形成該低濃度佈植之n型半導體層12。該低濃度佈植之n型半導體層12在攝氏1000度下熱氧化180分鐘以便於在該低濃度佈植之n型半導體層12表面長一層800奈米厚之矽氧化層16如圖3A所示。

光阻溶液旋轉分布於該矽氧化層16上，並烘烤以形成一光阻層。該p型守護環15之樣式影像自光罩上轉移(未示出)，並且在該光阻層上形成一個潛伏的影像。製造該潛伏的影像以便形成一個光阻遮罩(未示出)。因此，使用光蝕刻技術在該矽氧化層16上形成光阻遮罩。

藉該光阻遮罩，該矽氧化層16予以部分蝕刻使該低濃



五、發明說明 (9)

度佈植之n型半導體層12的上表面露出如圖3B所示。將該光阻遮罩移除。該露出的表面覆蓋一層含硼的擴散源(未示出)，並且在攝氏1100度下硼便從該擴散源熱擴散入該低濃度佈植之n型半導體層12約60分鐘。之後，硼在攝氏1000度下驅入該低濃度佈植之n型半導體層12約30分鐘。該p型守護環15便形成於該低濃度佈植之n型半導體層12之中，並且將該低濃度佈植之n型半導體層12露出之表面熱氧化。結果，該擴散窗由氧化矽封閉如圖3C所示。

接著，使用光蝕刻技術將另一個光阻遮罩(未示出)形成於該矽氧化層16上，並且將該矽氧化層16部分蝕刻以形成一個離子佈植窗。在佈植濃度 $7.0 \times 10^{15} \text{ cm}^{-2}$ 下將磷離子佈植至該低濃度佈植之n型半導體層12中。離子佈植之磷層17形成於該低濃度佈植之n型半導體層12之中如圖3E所示。在離子佈植後，在攝氏1100度下將磷驅入該低濃度佈植之n型半導體層12中180分鐘。磷便形成高濃度佈植之n型雜質區13，並且將離子佈植用之窗封閉如圖3F所示。

再使用光蝕刻技術將另一個光阻遮罩(未示出)形成於該矽氧化層16上，並且將該矽氧化層16部分蝕刻以形成一個熱擴散窗如圖3G所示。該高濃度佈植之n型雜質區13與p型守護環15之部分暴露於該窗下。將該光阻遮罩移除。該露出的表面覆蓋一層含硼的擴散源(未示出)，並且在攝氏1100度下將硼熱擴散約60分鐘。在攝氏1000度下將硼進一步地驅入約30分鐘。硼便形成高濃度佈植之p型雜質區14，並且將該窗再次封閉如圖3H所示。



五、發明說明 (10)

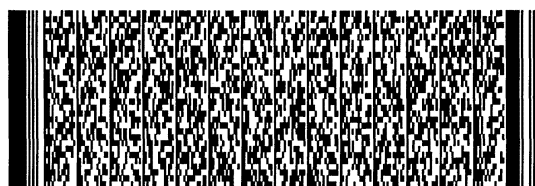
再使用光蝕刻技術將又一個光阻遮罩(未示出)形成於該矽氧化層16上。使用該光阻遮罩，將該矽氧化層16部分蝕刻以形成一個接觸孔。將該光阻遮罩移除。該高濃度佈植之p型雜質區14與p型守護環15之部分暴露於該接觸孔下如圖3I所示。

將鋁蒸鍍在所形成的架構上，並且形成一鋁層。使用光蝕刻技術將一個光阻遮罩形成於該鋁層上，並將該鋁層形成電極18。最後，另一個金或銀電極19形成於該高濃度佈植之n型半導體層11的反面如圖3J所示。因此，將圖2所示之保護用二極體10製造於該高濃度佈植之n型半導體基板11中。

由前述可知，根據本發明之保護用二極體具有主要p-n接面a與另一個p-n接面b。該齊納崩潰電壓由主要p-n接面決定，並且大部分之寄生電容耦合至另一個p-n接面b。這兩個p-n接面a與b可各別設計因此該保護用二極體10可在無重大寄生電容的情形下調整為標的之崩潰電壓。

第二個實施例

參考圖4之圖式，實現本發明的另一顆二極體20製造在高濃度佈植之n型半導體基板11上。該二極體20包含一低濃度佈植之n型半導體層12、一高濃度佈植之n型雜質區13以及一高濃度佈植之p型雜質區14。該低濃度佈植之n型半導體層12以磊晶方式長於該高濃度佈植n型半導體基板11之上，並且具有佈植濃度 $1 \times 10^{14} \text{ cm}^{-3}$ 。該高濃度佈植之n



五、發明說明 (11)

型雜質區13很深使得該高濃度佈植之n型雜質區13植入該高濃度佈植n型半導體基板11中。此一特徵是必要的，因為須減少該高濃度佈植之n型雜質區13與該高濃度佈植n型半導體基板11之間用以抗衡電流的電阻值。藉由離子佈植以形成該高濃度佈植之n型雜質區13，並且具有佈植濃度 $1 \times 10^{19} \text{ cm}^{-3}$ 。該高濃度佈植之p型雜質區14比該高濃度佈植之n型雜質區13淺，並且比該高濃度佈植之n型雜質區13寬。因此，該高濃度佈植之p型雜質區14與該高濃度佈植之n型雜質區13形成一個主要的p-n接面a，並且該高濃度佈植之p型雜質區14與該低濃度佈植之n型半導體層12形成另一個p-n接面c。因此，除了該p型守護環15以外，該二極體20類似於該保護用二極體10。

該齊納崩潰電壓主要由p-n接面a決定，並且設計該p-n接面a使其具有齊納崩潰電壓6伏。另一個p-n接面c具有一個抗靜電放電之電壓。該抵抗電壓將高於該齊納崩潰電壓，即，高於6伏。該抵抗電壓約為10伏。因此，該低濃度佈植之n型半導體層12與高濃度佈植之p型雜質區14之組合充當作該該低濃度佈植之n型半導體層12與p型守護環15之組合。當該低濃度佈植之n型半導體層12具有電阻係數50 ohm-cm時，該抵抗電壓等於或大於300伏。

該p-n接面c的面積比該主要由p-n接面a寬使其具有導通性以減少耦合至二極體20的寄生電容。該低濃度佈植之n型半導體層12減少耦合至p-n接面的寄生電容至等於或小於1pF。耦合至先前技術二極體的寄生電容約為30pF。因



五、發明說明 (12)

此，大大地減少了該寄生電容。

該低濃度佈植之n型半導體層12之佈植濃度的決定無關於該齊納崩潰電壓，並且與該寄生電容無強烈關連。因此，設計人員可在不增加寄生電容的情形下設計該崩潰電壓。

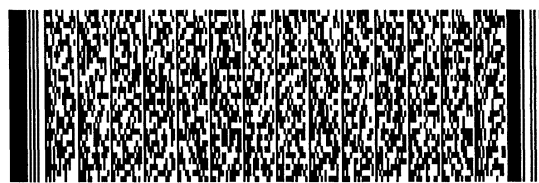
圖5A至5I顯示出製造該二極體20之製程。該製程一開始要準備高濃度佈植之n型半導體矽基板11。在該高濃度佈植之n型半導體基板11上矽磊晶，並形成該低濃度佈植之n型半導體層12。該低濃度佈植之n型半導體層12的表面在攝氏1000度下熱氧化180分鐘。於是，在該低濃度佈植之n型半導體層12覆蓋一層800奈米厚之矽氧化層16如圖5A所示。

接著，使用光蝕刻技術在該矽氧化層16上準備一光阻遮罩(未示出)，並且將該矽氧化層16部分蝕刻以形成一個作為離子佈植用的窗如圖5B所示。

經由該窗將磷以 $7.0 \times 10^{15} \text{ cm}^{-2}$ 的佈植濃度離子佈植至該低濃度佈植之n型半導體層12。因此，將磷17引入該低濃度佈植之n型半導體層12如圖5C所示。

在攝氏1100度熱處理180分鐘將該磷17驅入該低濃度佈植之n型半導體層12中。當熱處理完成後，該高濃度佈植之n型雜質區13便形成於該低濃度佈植之n型半導體層12中，並且該窗將以在熱處理過程中所長出之氧化矽封閉如圖5D所示。

另一個光阻遮罩(未示出)成形於該矽氧化層16上，並



五、發明說明 (13)

且將該矽氧化層16部分蝕刻以形成另一個窗如圖5E所示。

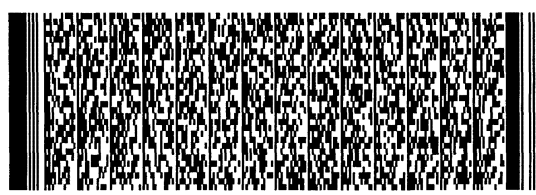
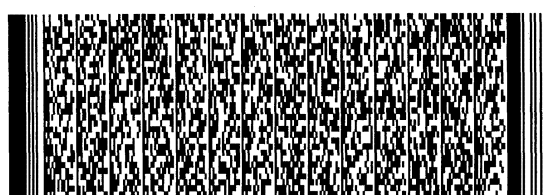
一個含硼的擴散源(未示出)散佈在該露出區域上，並且該硼於攝氏1100度熱擴散60分鐘如圖5F所示。將該含硼的擴散源移除，並且在攝氏1000度將該硼驅入該低濃度佈植之n型半導體層12中30分鐘。當將硼驅入時，磷亦擴散。該磷將達到該高濃度佈植之n型半導體基板11，並且該高濃度佈植之n型雜質區13將延伸至該高濃度佈植之n型半導體基板11如圖5G所示。在熱處理期間該窗亦將關閉。

使用光蝕刻技術尚有另一個光阻遮罩(未示出)成形於該矽氧化層16上。將該矽氧化層16部分蝕刻使該高濃度佈植之p型雜質區14暴露於形成於該矽氧化層16上的窗中如圖5H所示。

接著，蒸鍍鋁，並形成一鋁層。使用光蝕刻技術尚有另一個光阻遮罩(未示出)成形於該鋁層上。藉由該光阻遮罩，將該鋁層部份蝕刻在該矽氧化層16上形成一電極18。

最後，將金或銀蒸鍍在該高濃度佈植之n型半導體基板11的反面上，並且形成另一個電極19如圖5I所示。

在該製程中熱處理重複進行，並且該n型佈植雜質在這些熱處理中擴散。因此，該低濃度佈植之n型半導體層12厚度減少。該低濃度佈植之n型半導體層之最小厚度為該高濃度佈植之p型雜質區14之深度、一般操作情形下p-n接面c之空乏層寬度以及來自該高濃度佈植之n型半導體矽基板11的n型佈植雜質熱擴散的厚度增量之總和。在本例中，該低濃度佈植之n型半導體層12約為11微米厚。



五、發明說明 (14)

很明白地，該二極體20具有兩個p-n接面a與c，並且此兩接面a與c之電子特性可各別設計。該齊納崩潰電壓主要由該主要p-n接面a決定，並且另一個p-n接面c在抵抗靜電放電之抵抗電壓與寄生電容量上有很強烈的影響。因此，該二極體20可在不增加寄生電容的情形下具有可調整成標的值之齊納崩潰電壓。

第三個實施例

圖6顯示出實現本發明的另一個二極體21。除了該高濃度佈植n型雜質區13與該高濃度佈植之n型半導體層11之間留有空間以外，該二極體21類似二極體20。因此，該二極體21之層與區將標示著與該二極體20相對應之層與區相同的參考符號，為了簡化起見而不詳加說明。

在該高濃度佈植n型雜質區13與該高濃度佈植之n型半導體層11之間的空隙與該低濃度佈植之n型半導體層12之電阻係數有關。該空隙之設計方法為崩潰後之電阻急速增加。換句話說，該高濃度佈植n型雜質區13與該高濃度佈植之n型半導體層11之間的磊晶層之設計任務目標為大量減少電阻。

即使該高濃度佈植n型雜質區13隔著該低濃度佈植之n型半導體層12之部份與該高濃度佈植之n型半導體層11相對，該二極體21仍具有抵抗靜電放電之高抵抗電壓與低寄生電容。該高濃度佈植n型雜質區13的驅入步驟較第二個實施例短，並且整個流程的時間減短。



五、發明說明 (15)

當該二極體21受大電壓反向偏壓時，齊納崩潰發生，並且大量電流垂流通。該低濃度佈植之n型半導體層12之部份作為串聯電阻，並且該二極體承受大電阻。

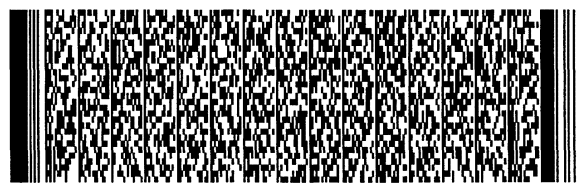
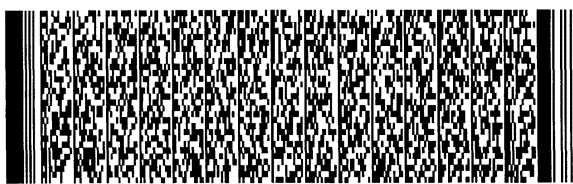
該兩個p-n接面a與c形成於該二極體21中，並且該低濃度佈植之n型半導體層12消除來自二極體21之高濃度佈植n型雜質區13之不必要的影響。結果，相較於先前技術之二極體在不增加該半導體基板11的情形下，寄生電容將減為四分之一。此外，可在不改變該半導體基板11之佈植濃度的情形下調整該齊納崩潰電壓。

若該低濃度佈植之n型半導體層12很薄，若該高濃度佈植n型雜質區13很深，電極18與19之間的電阻將可減少。

由前述可知，在根據本發明的二極體中該p型雜質區14與彼此間佈植濃度不同之n型雜質區形成p-n接面a/b或a/c。該崩潰電壓與該主要p-n接面a之電子特性有關，並且該主要p-n接面a之電子特性由該主要p-n接面兩側之p型/n型雜質區的佈植濃度控制。另一個p-n接面對崩潰電壓無任何影響。另一方面，耦合至該二極體之寄生電容主要由另一個p-n接面b或c決定。因此，可在不考慮寄生電容的情形下調整該崩潰電壓。

雖然已示出且描述本發明之特定實施例，熟悉本項技術之人將可明瞭在不偏離本發明之精神與範疇的情形下可做各種改變與修正。

根據本發明之二極體絕不侷限於保護之用途。本發明



五、發明說明 (16)

之優點直接與無關連於寄生電容的崩潰電壓有關。因此，根據本發明之二極體對於任意種類之電子電路均有效，對於在電子電路中設計人員認為在不考慮寄生電容之情形下調整崩潰電壓是很重要的情形下。可應用的電子電路之一為箝制電路。

若將該n型佈植雜質以高加速之能量離子佈植入該低濃度佈植之n型半導體層，則該n型佈植雜質之投射範圍很長。此意味著驅入之步驟將縮短。

根據本發明，製程中可能採用氣相擴散或離子佈植。



圖式簡單說明

在配合下面說明與附圖，將可更清楚地熟悉該保護用二極體與製程之特徵與優點，其中：

圖1為一個橫切面圖顯示先前技術之保護用二極體架構；

圖2為一個橫切面圖顯示根據本發明之保護用二極體架構；

圖3A至3J為橫切面圖顯示一製程用以製造根據本發明之保護用二極體；

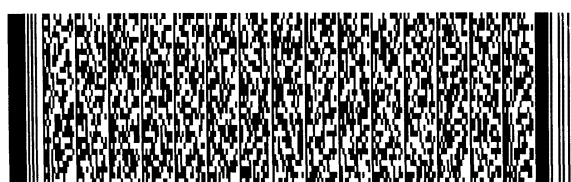
圖4為一個橫切面圖顯示根據本發明之另一保護用二極體架構；

圖5A至5I為橫切面圖顯示一製程用以製造該二極體；以及

圖6為一個橫切面圖顯示根據本發明之另一保護用二極體架構；

符號說明

- 1、10、20、21 ~ 二極體
- 2 ~ 高濃度佈植的n型井
- 3 ~ p型雜質區
- 4 ~ p型守護環
- 12 ~ 低濃度佈植之n型半導體層
- 13 ~ 高濃度佈植之n型雜質區
- 14 ~ 高濃度佈植之p型雜質區
- 15 ~ p型守護環



圖式簡單說明

16 ~ 矽氧化層

17 ~ 磷層

18 ~ 電極

19 ~ 電極

T1 ~ 輸入場效電晶體

11 ~ 高濃度佈植n型半導體基板

P1 ~ 接腳

a、b、c ~ p-n 接面



四、中文發明摘要 (發明之名稱：在不增加寄生電容情形下具有可調整成任意值之崩潰電壓的二極體及其製造方法)

一個低濃度n型半導體層(12)磊晶於一個高濃度佈植之n型半導體層(11)上，並且一個高濃度佈植之型雜質區(13)、一個低濃度佈植之p型深守護環(15)以及一個高濃度佈植p型淺雜質區(14)形成於該低濃度n型半導體層(12)中，其形成方式為一顆二極體(20)在該高濃度佈植之型雜質區(13)與該高濃度佈植p型淺雜質區(14)之間具有一主要p-n接面(a)，且在該低濃度n型半導體層(12)與該低濃度佈植之p型深守護環(15)之間具有另一個p-n接面，其中該另一個p-n接面(b)面積較該主要p-n接面(a)寬，因此崩潰電壓可在不增加由該另一個p-n接面(b)所控制之寄生電容的情形下加以調整。

英文發明摘要 (發明之名稱：DIODE HAVING BREAKDOWN VOLTAGE ADJUSTABLE TO ARBITRARY VALUE WITHOUT INCREASE OF PARASITIC CAPACITANCE AND PROCESS FOR FABRICATION THEREOF)

A lightly doped n-type semiconductor layer (12) is epitaxially grown on a heavily doped n-type semiconductor substrate (11), and a heavily doped n-type impurity region (13), a lightly doped p-type deep guard ring (15) and a heavily doped p-type shallow impurity region (14) are formed in said lightly doped semiconductor layer (12) in such a manner that a diode (20) has a major p-n junction (a) between the heavily doped n-type impurity region (13) and the heavily doped p-type



四、中文發明摘要 (發明之名稱：在不增加寄生電容情形下具有可調整成任意值之崩潰電壓的二極體及其製造方法)

英文發明摘要 (發明之名稱：DIODE HAVING BREAKDOWN VOLTAGE ADJUSTABLE TO ARBITRARY VALUE WITHOUT INCREASE OF PARASITIC CAPACITANCE AND PROCESS FOR FABRICATION THEREOF)

shallow impurity region (14) and other p-n junction (b) between the lightly doped n-type semiconductor layer (12) and the lightly doped p-type guard ring (15), wherein the other p-n junction (b) is wider in area than the major p-n junction (a) so that the breakdown voltage is adjustable without increase of parasitic capacitance dominated by the other p-n junction (b).



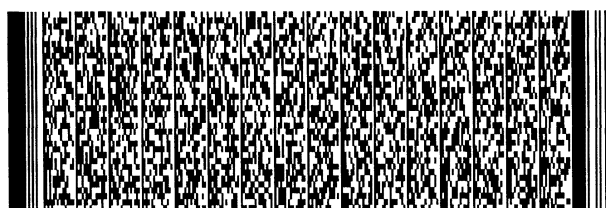
六、申請專利範圍

8. 如申請專利範圍第7項之二極體，其中該第一半導體層的複數個區域中之一個(15)，與該第一半導體層的複數個區域的另一個(14)，係形成於該第二半導體層之複數個區域之一(12)之中，其形成之方式為該第一半導體層的複數個區域之一(15)較該第一半導體層的複數個區域的另一個(14)深，並且該第二半導體層之複數個區域的另一個(13)形成於該第二半導體層之複數個區域之一(12)之中，俾該第一半導體層的複數個區域之一(15)與該第一半導體層的複數個區域的另一個(14)以及該第二半導體層之複數個區域之一(12)與該第二半導體層之複數個區域的另一個(13)，分別形成該複數個接面之一(b)與該複數個接面的另一個(a)。

9. 如申請專利範圍第8項之二極體，其中該第一半導體層的複數個區域中之該一個與該第一半導體層的複數個區域中的該另一個，為低濃度佈植守護環(15)與連接至該低濃度佈植守護環(15)的一個第一個高濃度佈植雜質區(14)；並且該第二半導體層之複數個區域中之該一個與該第二半導體層之複數個區域中的該另一個，為磊晶長於高濃度佈植之半導體層(11)上具有第二導通類型之低佈植濃度半導體層(12)與一個形成於該低濃度佈植守護環(15)中的第二個高濃度佈植之雜質區(13)。

10. 如申請專利範圍第1項之二極體，其中設計該第一個半導體層(14)使其具有均勻之佈植濃度。

11. 如申請專利範圍第10項之二極體，其中該第二半導體



六、申請專利範圍

層之複數個區域之一(12)係磊晶長於一個具有第二導通類型且佈植濃度高於該第二半導體層之複數個區域之一(12)之第三個半導體層(11)上，並且該第二半導體層之複數個區域的另一個(13)係為一個雜質區佈植濃度高於複數個區域之一(12)並且形成於該複數個區域之一(12)的表面。

12. 如申請專利範圍第11項之二極體，其中該複數個區域中之該一個(12)與該複數個區域中的該另一個(13)，與該第一個半導體層(14)共同形成該複數個接面之一(c)與該複數個接面中的另一個(a)，並且該複數個接面之一(c)較該複數個接面中的另一個寬。

13. 如申請專利範圍第10項之二極體，其中該複數個區域的另一個(13)連接至該第三個半導體層(11)。

14. 如申請專利範圍第10項之二極體，其中該複數個區域中的該另一個(13)與該第三個半導體層(11)相隔開來。

15. 一種用以製造二極體之製程，包含如下步驟：

a) 準備一個高濃度佈植之半導體層(11)，其具有一種導通形式；

b) 在該高濃度佈植之半導體層(11)上長一層具有該種導通形式之低濃度佈植之半導體層(12)；

c) 在該低濃度佈植之半導體層(12)中形成具有與該種導通形式相反之其他導通形式的守護環(15)，俾與該低濃度佈植之半導體層(12)形成一個第一個接面(b)；

d) 在該低濃度佈植之半導體層(12)的表面上該守護環(15)中形成一個具有該種導通形式的雜質區(13)；以及



六、申請專利範圍

e) 在該雜質區(13)的表面上與該守護環(15)的表面上形成另一個具有其他導通形式的雜質區(14)，俾和該雜質區(13)形成一個具有與第一個接面(b)不同電子特性的第二個接面(a)。

16. 如申請專利範圍第15項之用以製造二極體之製程，其中該低濃度佈植之半導體層(12)在該步驟 b) 以磊晶的技術長出。

17. 如申請專利範圍第15項之用以製造二極體之製程，其中該另一個雜質區(14)佈植濃度高於該守護環(15)。

18. 一種用以製造二極體之製程，包含如下步驟：

a) 準備一個高濃度佈植之半導體層(11)，其具有一種導通形式；

b) 在該高濃度佈植之半導體層(11)上長一層具有該種導通形式之低濃度佈植之半導體層(12)；

c) 在該低濃度佈植之半導體層(12)中形成具有該種導通形式的雜質區(13)；以及

d) 在該雜質區(13)的表面上與該低濃度佈植之半導體層(12)的表面上形成另一個具有與該種導通形式相反的其他導通形式的雜質區(14)，俾和該低濃度佈植之半導體層(12)形成第一個接面(c)以及和該雜質區(13)形成一個具有與第一個接面(c)不同電子特性的第二個接面(a)。

19. 如申請專利範圍第18項之用以製造二極體之製程，其中，在步驟 d) 之後更包含如下步驟：使用以將該導通形式置入該該雜質區(13)中之佈植雜質熱擴散進如至該該低



六、申請專利範圍

濃度佈植之半導體層(12)中，直到該雜質區(13)連接至該高濃度佈植之半導體層(11)。



圖式

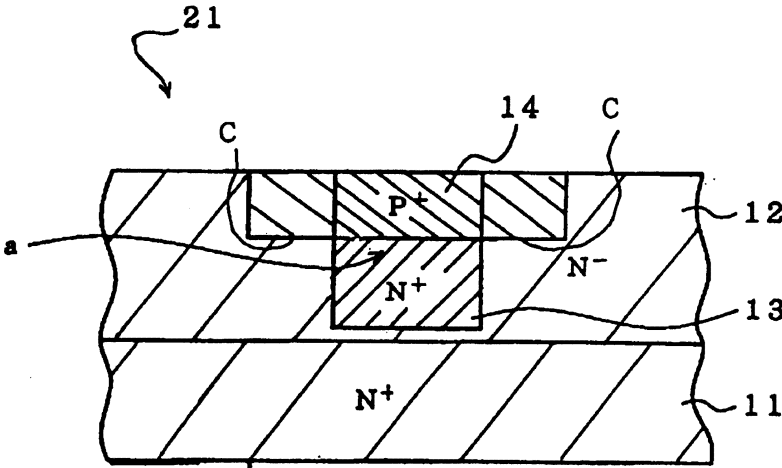


圖 6

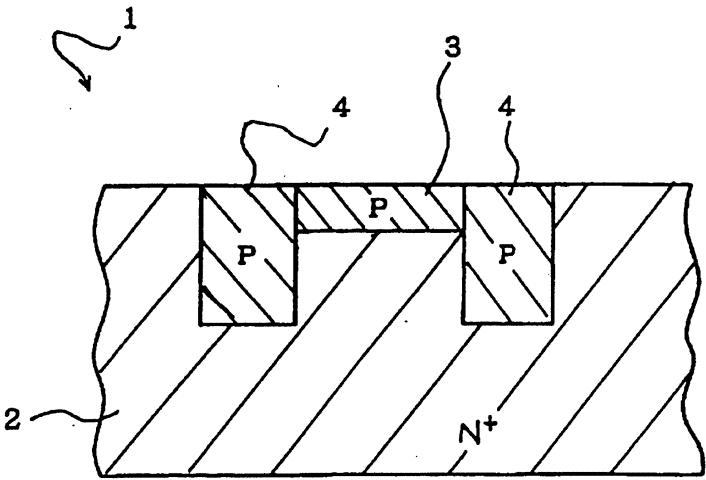


圖 1

圖式

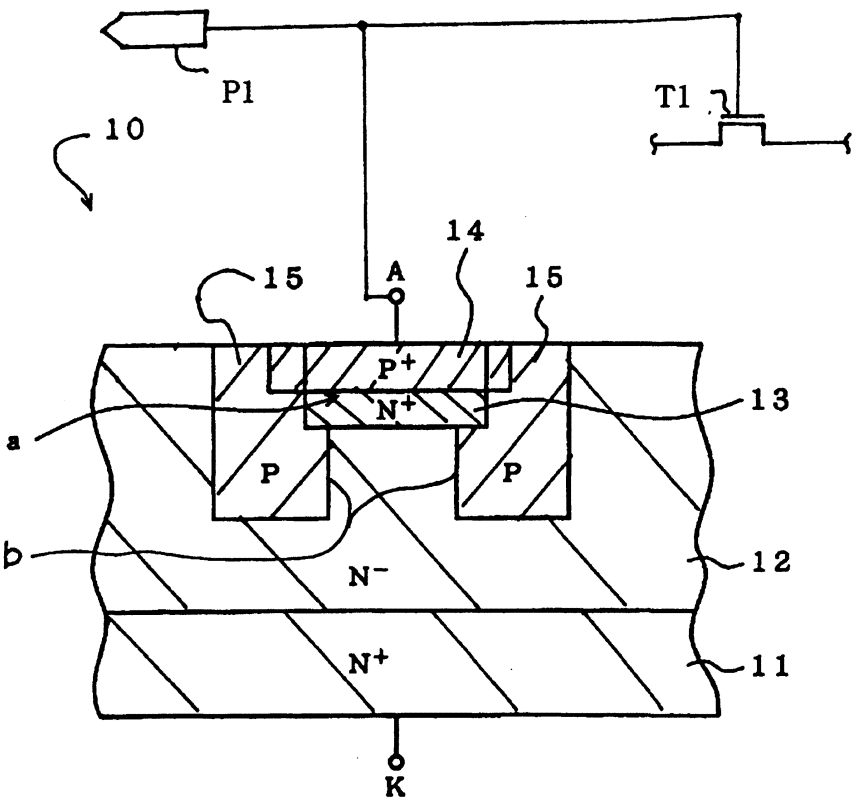


圖 2

圖式

圖 3A



圖 3B



圖 3C

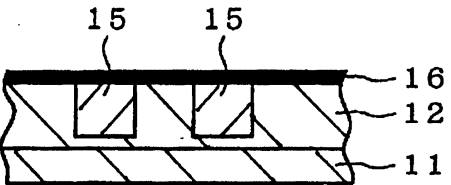


圖 3D

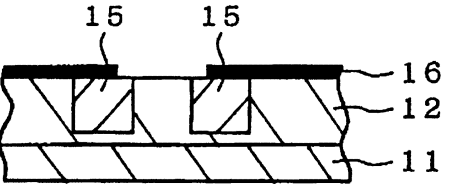
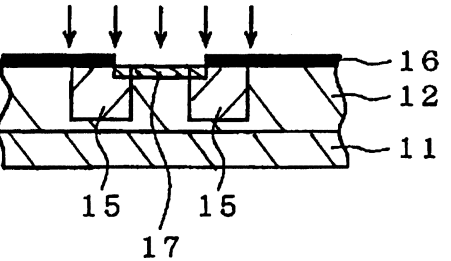


圖 3E



圖式

圖 3F

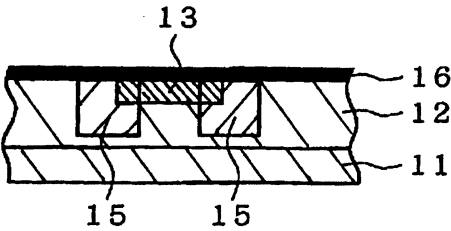


圖 3G

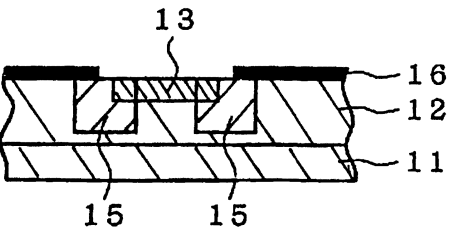


圖 3H

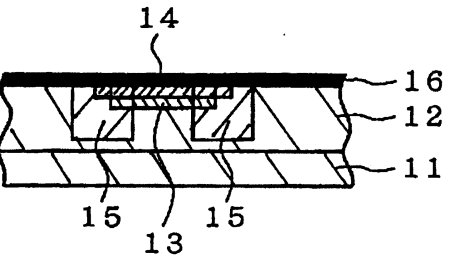


圖 3I

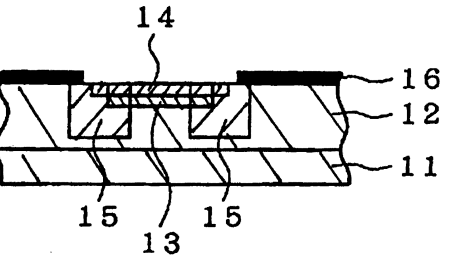
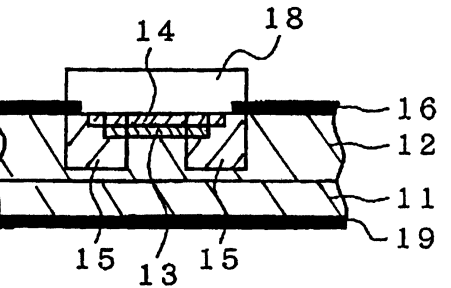
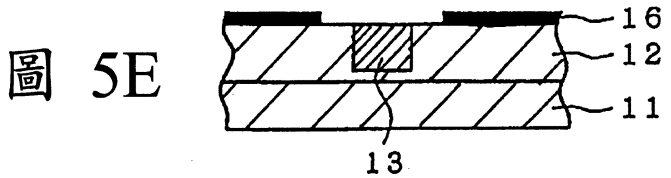
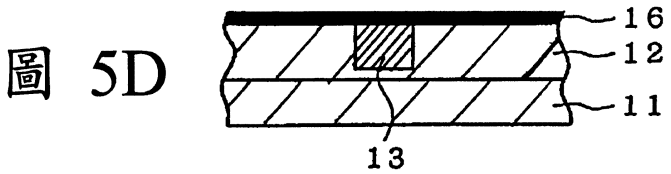
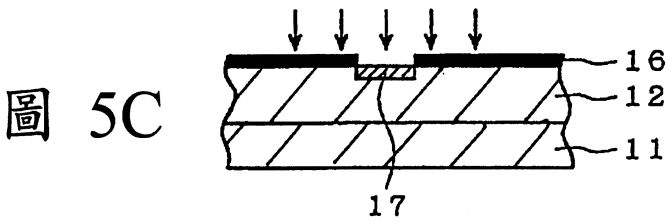
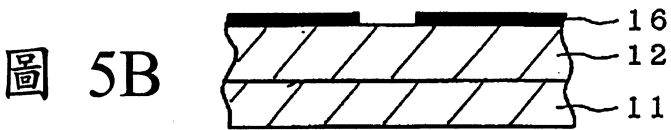
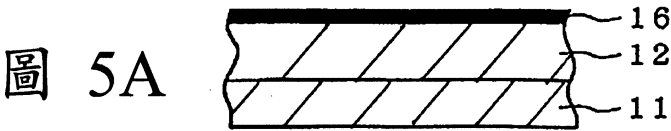


圖 3J

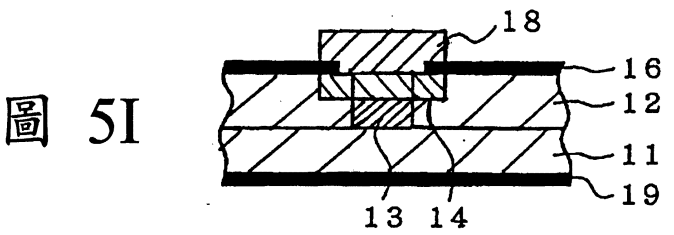
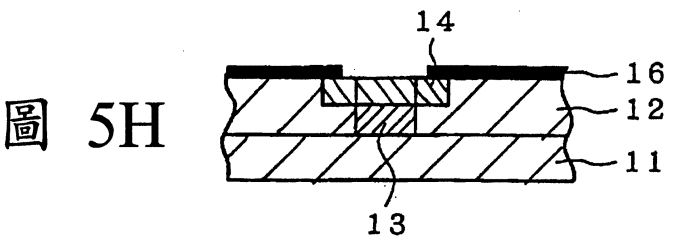
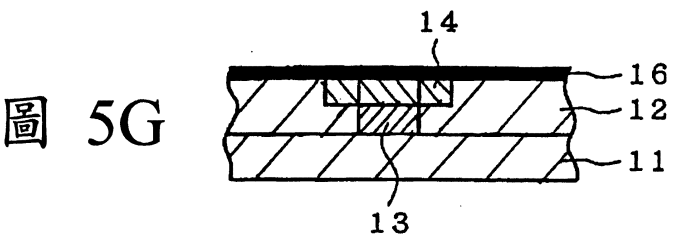
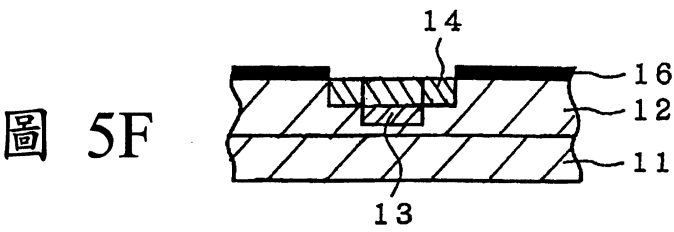




圖式



圖式



六、申請專利範圍

1. 一種二極體，包含具有第一導通類型之第一半導體層(14/15；14)，以及具有與該第一導通類型相反之第二導通類型的第二半導體層(12/13)；

其特徵為：

該第二半導體層包含複數個佈植濃度不同的區域(12/13)，以便形成複數個彼此電子特性不同的接面(a/b；a/c)。

2. 如申請專利範圍第1項之二極體，其中在施加特定之反向偏壓時，產生於該複數個接面之一(a)的一個空乏層較產生於該複數個接面的另一個(b；c)空乏層窄。

3. 如申請專利範圍第2項之二極體，其中該複數個接面的另一個(b；c)面積較該複數個接面之一(a)者寬。

4. 如申請專利範圍第1項之二極體，其中該複數個區域之一(13)的佈植濃度較該複數個區域中的另一個(12)大，俾於施加特定之反向偏壓時空乏層厚度不同。

5. 如申請專利範圍第4項之二極體，其中與該複數個區域中的另一個(12)有關之接面(b/c)面積較與該複數個區域之一(13)之接面(a)寬。

6. 如申請專利範圍第1項之二極體，其中該第一半導體層具有複數個區域(14/15)與該第二半導體層之複數個區域(12/13)分別形成該複數個接面(a/c)。

7. 如申請專利範圍第6項之二極體，其中該第一半導體層的複數個區域之一(15)佈植濃度不同於該第一半導體層的複數個區域的另一個(14)。

