

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0090813
H01L 33/00 (2006.01) (43) 공개일자 2006년08월16일

(21) 출원번호	10-2006-7005898	(87) 국제공개번호	WO 2005/034254
(22) 출원일자	2006년03월24일	국제공개일자	2005년04월14일
번역문 제출일자	2006년03월24일		
(86) 국제출원번호	PCT/US2004/031050		
국제출원일자	2004년09월21일		

(30) 우선권주장 10/676,953 2003년09월30일 미국(US)

(71) 출원인 크리, 인코포레이티드
미국 노스 캘로라이나 27703 더럼 실리콘 드라이브 4600

(72) 발명자 리 텅
미국 캘리포니아주 93003 벤투라 바버 레인 1018
이벳슨 제임스
미국 캘리포니아주 93111 산타 바바라 랜돌프 로드 910
캘러 번드
미국 캘리포니아주 93111 산타 바바라 산 안토니오 크랙 로드1335

(74) 대리인 김진환
송승필

심사청구 : 없음

(54) 다공성 S i C 기판을 갖는 발광 다이오드 및 그 제조 방법

요약

전해질이 제공되어 반도체 물질의 층의 하나 이상의 표면과 접촉하여 배치되어 있는 것인, 반도체 물질의 표면 상에 다공성 층을 형성하는 방법 및 장치가 제공된다. 전해질이 가열되고 상기 전해질과 반도체 물질에 바이어스가 유입되어 전해질과 반도체 물질 간에 전류가 흐르게 만든다. 이 전류는 전해질과 접촉하고 있는 반도체 물질의 하나 이상의 표면 상에 다공성 층을 형성한다. 다공성 층을 갖는 반도체 물질은 광 방출기(light emitter)의 기관으로서 기능할 수 있다. 반도체 방출 영역(semiconductor emission region)은 기관 상에 형성될 수 있다. 방출 영역은 바이어스에 응답하여 전방향으로(omnidirectionally) 광을 방출할 수 있으며, 다공성 층은 기관을 통과하는 방출 영역 광의 추출을 향상시킨다.

대표도

도 5

색인어

LED, 다공성 층, 광 방출 영역, 전해질

명세서

기술분야

본 발명은 반도체 기반 광 방출기(semiconductor based light emitter)에 관한 것으로서, 보다 상세하게는 기판 상에 형성된 방출 영역(emission region)을 포함하는 발광 다이오드에 관한 것이다.

배경기술

발광 다이오드(light emitting diode, LED)는 전기 에너지를 광으로 변환시키는 중요한 부류의 고체 상태 장치이며 일반적으로 2개의 정반대로 도핑된 층 사이에 끼여 있는 반도체 물질의 활성층을 포함한다. 도핑된 층 양단에 바이어스가 인가되면, 정공 및 전자가 활성층에 주입되고, 이들 정공 및 전자가 활성층에서 재결합되어 광을 발생한다. 광은 활성층으로부터 또는 LED의 모든 표면으로부터 전방향으로(omnidirectionally) 방출된다.

높은 항복 전계(breakdown field), 넓은 대역갭(bandgap)(상온에서 GaN의 경우 3.36 eV), 큰 전도 대역 오프셋(conduction band offset), 및 높은 포화 전자 드리프트 속도(saturated electron drift velocity)를 비롯한 물질 특성의 독자적인 조합으로 인해 3족 질화물계 물질계로 이루어진 LED에 최근 많은 관심이 있다. 도핑된 활성층은 일반적으로 실리콘(Si), 탄화규소(SiC) 및 사파이어(Al_2O_3) 등의 여러가지 물질로 이루어질 수 있는 기판 상에 형성된다. SiC 웨이퍼가 종종 양호한데, 그 이유는 SiC 웨이퍼가 3족 질화물에 훨씬 더 가까운 결정 격자 정합을 갖기 때문이며, 그 결과 더 높은 품질의 3족 질화물 막이 얻어진다. SiC는 또한 아주 높은 열 전도성을 가지며, 따라서 SiC 상의 3족 질화물 장치의 총 출력 전력은 웨이퍼의 열 저항에 의해 제한되지 않는다(사파이어 또는 Si 상에 형성된 어떤 장치의 경우도 이와 마찬가지로). 또한, 반절연성(semi insulating) SiC 웨이퍼의 이용가능성은 상용 장치를 가능하게 해주는 장치 절연 능력 및 감소된 기생 커패시턴스를 제공한다. SiC 기판은 미국 노스 캐롤라이나주 더럼(Durham) 소재의 Cree, Inc.로부터 입수가능하며, 이를 제조하는 방법은 과학 문헌에는 물론 미국 재발행 특허 제34,861호, 미국 특허 제4,946,547호 및 제5,200,022호에도 기술되어 있다.

LED로부터의 광의 효율적인 추출은 고효율 LED의 제조에 있어서 주된 관심사이다. 단일의 아웃-커플링(out-coupling) 표면을 갖는 종래의 LED에 있어서, 외부 양자 효율(external quantum efficiency)은 기판을 통과하는 LED의 방출 영역으로부터의 광의 내부 전반사(total internal reflection, TIR)에 의해 제한된다. TIR은 LED의 반도체와 둘러싸고 있는 주변 간의 굴절율의 큰 차이에 의해 야기될 수 있다. SiC 기판을 갖는 LED는 에폭시(대략 1.4) 등의 주변 물질의 굴절율에 비해 SiC의 높은 굴절율(대략 2.7)로 인해 비교적 낮은 광 추출 효율을 갖는다. 이러한 차이의 결과 작은 탈출 원추(escape cone)가 얻어지며, 이 탈출 원추로부터의 활성 영역으로부터의 광선이 SiC 기판으로부터 에폭시 내로 투과되어 궁극적으로 LED 패키지에서 탈출할 수 있게 된다.

TIR을 감소시키고 전체 광 추출을 향상시키는 다른 방법들이 개발되어 있으며, 보다 널리 이용되는 것 중의 하나가 표면 텍스처링(surface texturing)이다. 표면 텍스처링은 광자에게 탈출 원추를 발견할 다수의 기회를 부여하는 변화하는 표면을 제공함으로써 광의 탈출 확률을 향상시킨다. 탈출 원추를 찾지 못한 광은 계속하여 TIR을 겪으며, 광이 탈출 원추를 찾을 때까지 여러 각도로 텍스처링된 표면으로부터 반사된다. 표면 텍스처링의 이점은 몇 개의 논문에서 기술되어 있다.

[Windisch 등의 Impact of Texture-Enhanced Transmission on High-Efficiency Surface Textured Light Emitting Diodes, Appl. Phys. Lett., Vol. 79, No. 15(2001년 10월) 2316-2317 페이지, Schnitzer 등의 30% External Quantum Efficiency From Surface Textured, Thin Film Light Emitting Diodes, Appl. Phys. Lett., Vol 64, No. 16(1993년 10월) 2174-2176 페이지, Windisch 등의 Light Extraction Mechanisms in High-Efficiency Surface Textured Light Emitting Diodes, IEEE Journal on Selected Topics in Quantum Electronics, Vol. 8, No. 2(2002년 3월/4월) 248-255 페이지, 및 Streubel 등의 High Brightness AlGaInP Light Emitting Diodes, IEEE Journal on Selected Topics in Quantum Electronics, Vol. 8, No. (2002년 3월/4월)을 참조할 것].

SiC 상에 유용한 러프닝된 표면(roughened surface)을 생성하는 것이 어려운 것으로 밝혀졌으며, 이러한 어려움은 SiC의 화학적 불활성 특성에 의해 야기되는 것으로 생각된다. 따라서, SiC 기판 상의 방출 영역으로 이루어진 LED는 광 추출을 향상시키기 위해 SiC 기판 상에 유용한 러프닝된 표면을 포함할 수 없다. SiC 기판의 배면측 표면은 유용한 레벨의 거칠기를 제공하기 위해 래핑(lap)되어 있지만, 이러한 시도는 제한적으로 성공하며 상당히 향상된 광 추출을 갖는 LED를 얻지는 못하였다.

다공성 SiC가 UV 조명 하의 HF에서 n-형 6H-SiC를 양극 산화시킴으로써 n-형 6H-SiC 상에 제조되었다. [Shor 등의 Direct Observation of Porous SiC Formed by Anodization in HF, Appl. Phys. Lett., Vol. 62, No. 22(1993년 5월) 2636-2638 페이지 참조]. 청색 발광 LED도 또한 그의 발광층으로서 다공성 SiC를 갖는 것으로 밝혀졌다. [Mimura 등의 Blue Electroluminescence From Porous Silicon Carbide, Appl. Phys. Lett., Vol. 65, No. 26 (1994년 12월) 3350-3352 페이지 참조]. 다공성 SiC의 미세구조 및 광학 특성도 또한 전자 현미경(electron microscopy) 및 분광 타원편광법(spectroscopic ellipsometry)을 사용하여 조사되었다. [Zangooie 등의 Surface, Pore Morphology, and Optical Properties of 4H-SiC, Journal of Electrochemical Society, Vol. 148, No. 6, G297- G302 페이지 참조].

발명의 상세한 설명

본 발명은 반도체 물질의 표면 상에 다공성 층을 형성하는 방법 및 장치를 제공하는 것을 목적으로 하며, 여기서 반도체 물질은 이어서 LED의 기판으로서 사용된다. 다공성 층은 기판을 통과하는 LED 광의 추출을 향상시키도록 구성되어 있다.

본 발명에 따라 반도체의 표면 상에 다공성 층을 형성하는 장치는 전해조(reservoir)에 보유되어 있는 HF계 전해질(HF based electrolyte)을 포함한다. 전해조는 전해질이 반도체 물질의 층의 하나 이상의 표면과 접촉할 수 있게 해주도록 구성되어 있다. 본 장치는 전해질을 가열하는 히터, 및 전해질과 반도체 물질의 층에 바이어스를 인가하는 전원을 더 포함한다. 바이어스는 전해질과 반도체 물질의 층 간에 전류가 흐르게 하여 상기 전해질과 접촉하는 하나 이상의 표면 상에 다공성 층을 형성한다.

본 발명에 따라 반도체의 표면 상에 다공성 층을 형성하는 방법은 전해질을 제공하는 단계 및 이 전해질을 반도체 물질의 층의 하나 이상의 표면과 접촉하게 배치하는 단계를 포함한다. 전해질이 가열되고 바이어스가 전해질과 반도체 물질에 유입되어 유전체와 반도체 물질 사이에 전류가 흐르게 하여, 전해질과 접촉하는 반도체 물질의 하나 이상의 표면 상에 다공성 층을 형성한다.

본 발명에 따른 광 방출기(light emitter)는 다공성 층을 갖는 기판 및 기판 상에 형성된 반도체 방출 영역(emission region)을 포함한다. 방출 영역은 바이어스에 응답하여 전방향으로 광을 방출할 수 있으며, 다공성 층은 기판을 통과하는 방출 영역 광의 추출을 향상시킨다.

본 발명에 따른 발광 다이오드(LED) 패키지는 하나 이상의 표면 상에 다공성 층을 갖는 기판 및 다공성 층을 갖지 않는 기판의 표면 상에 형성된 방출 영역을 갖는 LED를 포함한다. 이 패키지는 기판이 상기 LED의 1차 방출 표면이 되도록 금속 층에 탑재된 LED 플립-칩(flip-chip)을 갖는 금속층을 더 포함한다. 방출 영역 양단에 바이어스를 인가하여 방출 영역이 전방향으로 광을 방출하도록 하기 위해 적어도 2개의 접점이 포함되어 있다. 다공성 층은 기판을 통과하는 방출 영역 광의 추출을 향상시킨다.

본 발명의 이들 및 다른 추가의 특징 및 이점은 첨부 도면을 참조하여 기술된 이하의 상세한 설명으로부터 당업자에게는 자명할 것이다.

도면의 간단한 설명

도 1은 반도체의 표면 상에 다공성 층을 형성하는 본 발명에 따른 장치의 실시예의 단면도.

도 2는 반도체의 표면 상에 다공성 층을 형성하는 본 발명에 따른 방법의 실시예의 흐름도.

도 3은 다공성 층을 갖는 기판을 갖는 본 발명에 따른 LED의 일 실시예의 단면도.

도 4는 종래의 LED와 비교하여 본 발명에 따른 LED의 개선된 광 추출을 나타낸 테이블.

도 5는 톱니(sawtooth) 패턴을 갖는 기판을 갖는 본 발명에 따른 LED의 다른 실시예의 단면도.

도 6은 트렌치(trench) 패턴을 갖는 기판을 갖는 본 발명에 따른 LED의 다른 실시예의 단면도.

도 7은 포스트(post) 패턴을 갖는 기판을 갖는 본 발명에 따른 LED의 또다른 실시예의 단면도.

실시예

다공성 층을 형성하는 장치 및 방법

도 1은 반도체 물질(12)의 표면 상에 다공성 층을 형성하는 본 발명에 따른 장치(10)의 일 실시예를 나타낸 것이며, 장치(10)는 양호하게는 탄화 규소(SiC)의 표면 상에 다공성 층을 형성하는 데 사용된다. 장치(10)는 여러가지 용액을 여러가지 농도로 포함할 수 있는 액체 HF계 전해질(liquid HF-based electrolyte)(16)을 보유하는 컵 형상의 전해조/하우징(14)을 포함한다. 전해질(16)에 적당한 용액은 에탄올(C_2H_5OH) 및 물을 포함하며, 에탄올은 10 내지 50 %의 농도 범위에 있다. 다른 적당한 용액은 시간에 따라 보다 일정한 Ph 값을 제공하며 또 휘발성이 보다 적고 작업하기에 보다 덜 위험한 용액을 제공하는 완충 HF계 전해질(buffered HF-based electrolyte)을 포함한다. 양호한 완충 HF계 전해질은 불화 암모늄(ammonium fluoride)(NH_4F) 및 물을 포함하며, NH_4F 는 단위 체적당 20% 등의 다른 농도를 갖는다.

반도체(12)는 전해조(14)의 하부 표면(17)에 인접하여 배열되어 있으며, 전해조(14)의 하부는 HF계 용액이 전해조(14)로부터 배출될 수 있게 해주는 개구부/구멍(18)을 갖는다. 방수 밀봉이 반도체(12)와 전해조의 하부 표면(17) 사이에서 개구부 둘레에 하부 표면의 외측 가장자리 근방에 제공되어 있다. 이 밀봉은 양호하게는 O-링(20)에 의해 제공되지만, 가스킷 또는 실리콘 등의 밀봉제 등의 다른 밀봉 성분이 사용될 수 있다.

전해조(14)가 HF계 전해질(16)로 채워짐에 따라, 전해질 중 일부는 구멍(18)을 통과하여 하우징(14)과 반도체(12) 사이의 공간을 채운다. O-링(20)은 전해질(16)을 반도체(12)의 상부 표면과 접촉하게 보유하며 전해질(16)이 O-링(20)을 지나 누설하지 못하게 한다.

장치(10)는 또한 하우징(12)의 상부로부터 전해질(16) 내에 침적되어 있는 음극(22)을 포함한다. 음극(22)은 전해질(16)과 반응하거나 그 안에 용해되지 않으면서 동시에 전해질(16)로 전하를 전도하는 많은 서로 다른 물질로 이루어질 수 있다. 음극(22)의 양호한 물질은 백금(Pt)이다.

제1 도체(24)는 전원(25)의 마이너스 단자와 음극(22) 사이에 연결되어 있으며 따라서 마이너스 단자에서의 전기 신호가 음극(22)으로 전달된다. 제2 도체(26)는 전원(25)의 플러스 단자와 반도체(12) 사이에 연결되어 있으며 따라서 플러스 단자에서의 전기 신호가 반도체(12)로 전달된다. 전원(25)은 그의 플러스 단자 및 마이너스 단자에서 음극(22) 및 반도체 물질(12)로 전도되는 바이어스를 제공한다. 이어서, 바이어스는 음극(22)과 반도체 물질(12) 사이에 전류가 흐르게 만든다. 전해조 개구부(18)는 음극(22)과 반도체(12) 사이에 전류가 흐를 수 있게 해줄 정도로 충분히 커야만 하며, 전류는 전해질(16)과 접촉하고 있는 반도체의 표면의 대부분을 거쳐 반도체(12)로 전달된다.

제2 도체(26)는 전류가 반도체를 통해 흐르고 음극(22)과 제2 도체(26) 사이에서만 흐르지 않도록 하기 위해 전해질(16)과 접촉하지 않는 장소에서 반도체(12)에 연결되어야만 한다. 많은 여러가지 전원이 장치(10)에서 사용될 수 있으며, 양호한 전원은 사전 설정된 정전류 또는 정전압을 제공할 수 있는 컴퓨터 제어 인터페이스를 갖는 정밀 전류-전압원 계측기(precision current-voltage source meter)이다. Keithley Instruments Inc.에 의해 제공되는 Keithley 2400 Source Meter 등의 상업적으로 이용가능한 전원이 사용될 수 있다.

전원(25)은 많은 여러가지 전류 한계(current limit)로 설정될 수 있지만, 전류 한계가 너무 높게 설정되는 경우 다공성 층 형성 프로세스는 제어하기가 어려울 수 있으며, 전류 한계가 너무 낮게 설정되는 경우 이 프로세스는 시간이 오래 걸릴 수 있다. 전류 한계의 적당한 범위는 0.1 내지 100 밀리암페어/ cm^2 이다. 전원은 또한 많은 여러가지 전압으로 설정될 수 있으며, 적당한 전압은 2 내지 3 볼트이다. 전압 상한은 기공(pore) 형성 프로세스의 보다 양호한 제어를 가능하게 하기 위해 5 볼트로 설정될 수 있다. 전원(25)은 양호하게는 0.1 내지 100 mA/ cm^2 의 범위 등의 정전류 구동 밀도(constant current drive density)를 제공하며, 전압이 그 전류를 만족시키도록 변환 수 있게 해주고 전압은 설정된 상한 아래로 유지된다.

다공성 층의 형성 동안에 전해질(16)을 가열하면 그 결과 반도체 표면은, 전해질 가열 없이 형성된 다공성 층을 갖는 기판을 갖는 LED와 비교하여, LED의 기판으로서 사용될 때 우수한 광 추출 특성을 갖게 된다. 상업적으로 이용가능한 투입 히터(immersion heater)(28) 또는 상업적으로 이용가능한 핫-플레이트(hot-plate) 등의 많은 여러가지 가열 메카니즘이 전해질을 가열하는 데 사용될 수 있다. 전해질은 다공성 층 형성 프로세스 동안에 여러가지 온도로 가열될 수 있으며, 적당한 온도 범위는 40 내지 90°C이다.

본 발명에 따라 반도체의 표면 상에 다공성 층을 형성하는 장치의 다른 실시예에서, 전해질(16)은 기공 형성 프로세스 동안에 UV 광에 의해 조명될 수 있으며, 적당한 UV 광원(램프)는 광대역 UV 조명을 제공한다. 램프는 전해질 상부에 배열될 수 있으며 조명을 제공하기 위해 아래쪽으로 향하고 있다. 다른 대안으로서, 램프 광을 전해질(16)쪽으로 아래로 방향 전환(redirect)시키기 위해 조정 거울(steering mirror)이 전해질 상부에 배열될 수 있다.

도 2는 반도체 물질의 표면 상에 다공성 층을 형성하는 본 발명에 따른 방법(30)의 일 실시예의 흐름도를 나타낸 것이다. 본 방법(30)은 형성 프로세스에서 장치(10)를 이용할 수 있지만, 다른 기공 형성 장치가 사용될 수 있다. 단계(32)에서, 전해질(16)로서 상기한 HF계 전해질 또는 완충 HF계 전해질일 수 있는 HF계 전해질이 제공된다. 단계(34)에서, 전해질이 가열되고, 적당한 가열 방법은 투입 히터 또는 핫 플레이트이다. 단계(36)에서, 전해질은 전해질이 통과하여 반도체와 접촉하기 위한 구멍을 갖는 전해조 내의 전해질을 제공하는 등에 의해 반도체 물질과 접촉하게 배치된다. 전해질을 반도체와 접촉하게 보유하면서 전해질 전부가 전해조 밖으로 빠져나가지 않도록 하기 위해 밀봉체 또는 다른 보유 수단이 제공된다. 전술한 바와 같이, 반도체는 전해조 구멍에 인접하여 배치될 수 있고 O-링이 구멍 주변에서 전해조와 반도체 사이에 포함될 수 있다.

단계(38)에서, 전해질과 반도체에 바이어스가 인가되고, 이는 전해질과 반도체 사이에 전류가 흐르게 한다. 전류는 전해질과 접촉하는 반도체의 표면(들) 상에 다공성 층을 형성하고, 바이어스는 기공들이 반도체 내의 원하는 깊이로 도달할 때까지 인가된다. 다공성으로 되는 반도체 물질의 체적은 전해질을 통해 인가된 시간 적분된 전류(time integrated current)에 비례한다, 즉 기공을 갖는 반도체 물질의 총 체적은 전해질을 통해 반도체 물질에 인가된 총 전하에 비례한다. 전해질을 통해 0.1 내지 100 mA/cm²의 전류 밀도를 사용하여, 바이어스를 인가하는 일반적인 시간은 500 내지 1,500 초의 범위에 있지만, 바이어스는 더 많은 또는 더 적은 시간 동안 인가될 수 있다. 이것은 일반적으로 대략 3 미크론 깊이인 다공성 층을 형성한다.

단계(40)에서, 형성 시간의 종료 시에 바이어스가 전해질 및 반도체로부터 제거되고, 단계(42)에서, 반도체는 전해질과의 접촉으로부터 제거된다. 방법(40)이 완료된 후에, 반도체는 LED의 일부로서 추가로 처리될 수 있다. 반도체는 기판으로서 기능할 수 있으며, LED 방출 영역이 다공성 층의 반대쪽에 있는 반도체의 표면 상에 형성된다. 본 발명에 따른 방법의 일 실시예에서, 다공성 층은 SiC 내에 형성되며, 이 SiC는 이어서 LED의 기판으로서 사용될 수 있다.

본 방법(30)은 또한 다공성 층의 형성 동안에 전해질에 UV 조명을 제공하는 선택적인 단계(44)를 포함할 수 있다.

발광 다이오드

도 3은 본 발명에 따른 LED 패키지(50)의 일 실시예를 나타낸 것으로서, 이는 기판(54)을 통과하는 LED 광의 광 추출을 향상시키기 위해 다공성 층(55)을 갖는 기판(54)을 구비하는 LED(52)를 포함한다. 기판(54)은 많은 물질로 이루어질 수 있으며 많은 여러가지 두께일 수 있고, 적당한 물질은 125 내지 500 미크론의 두께 범위를 갖는 SiC이다. LED(52)는 금속-유기 화학 기상 증착(metal-organic chemical vapor deposition, MOCVD) 등의 공지의 프로세스를 사용하여 기판(54) 상에 형성된 표준 방출 영역(56)을 포함한다. 종래의 LED의 동작 상세는 잘 알려져 있으며 단지 간단히 기술한다. LED의 방출 영역(56)은 2개의 정반대로 도핑된 층 사이에 끼여 있는 활성층을 포함할 수 있고, 이들 도핑된 층은 표준 두께를 가지며 정반대로 도핑된 층에 바이어스가 인가될 때 활성층은 전방향으로 광을 방출한다. 방출 영역의 층들은 3족 질화물계 물질계(Group-III Nitride based material system) 등의 많은 여러가지 반도체 물질계(semiconductor material system)로 이루어질 수 있다. LED(52)는 패키지(50)에서 플립-칩 배향으로 배열되어 있으며, 기판(54)은 LED의 1차 방출 표면이다.

LED(52)는 제1 및 제2 금속층(58a, 58b) 상에 플립-칩 탑재되어 있다(flip-chip mounted). 제1 접점(60)은 제1 금속층(58a)과 방출 영역(56) 내의 정반대로 도핑된 층들 중 한쪽 층 사이에 연결되어 있으며, 제2 접점(62)은 제2 금속층(58b)과 방출 영역의 다른쪽 도핑된 층 사이에 연결되어 있다. 제1 및 제2 금속층(58a, 58b)를 통해 접점(60, 62)에 바이어스가 인가될 수 있고, 이 바이어스는 이어서 접점(60, 62)을 통해 방출 영역 내의 정반대로 도핑된 층들로 전도되어, 활성층이 광을 방출하도록 한다.

전하를 전송하기에 충분히 전도성이 있는 기판을 갖는 다른 LED 실시예들에서, 기판 접점(64)은 정반대로 도핑된 층들 중 하나에 바이어스를 인가하는 데 사용될 수 있다. 다른쪽 도핑된 층은 금속층(58a, 58b)과 LED 사이에 배열되어 있는 접점

(60, 62) 중 하나에 접촉되어 있다. 바이어스는 접점(64) 및 금속층(58a, 58b) 중 한쪽을 통해 LED에 인가되고, 바이어스는 금속층(58)으로부터 접점(64)으로 뻗어 있는 전도성 와이어(도시 생략)를 통해 금속층(58a, 58b)의 다른쪽으로부터 기판 접점(64)으로 전도될 수 있다.

금속층(58a, 58b)의 상부 표면은 또한 방출 영역으로부터 금속층(58a, 58b)쪽으로 방출된 광이 LED 패키지(50)의 전체적인 방출에 기여하기 위해 다시 반사되도록 반사성(reflective)일 수 있다. LED(52) 및 그의 접점은 투명한 보호 물질(66)로 싸여 있을 수 있으며, 이 투명한 보호 물질은 일반적으로 LED(52) 및 금속층(58a, 58b)의 상부 표면을 덮고 있는 투명한 에폭시이다.

다른 대안으로서, LED(52)는 일반적으로 방출 영역의 정반대로 도핑된 층들 상의 접점들에 바이어스를 인가하기 위한 도전성 경로(도시 생략)를 갖는 "금속 컵(metal cup)"의 수평 베이스(horizontal base) 상에 탑재될 수 있다. 금속 컵의 상부 표면도 또한 광이 LED 패키지의 광 방출에 기여하도록 방출 영역으로부터의 광을 반사시키기 위해 반사성일 수 있다.

기판(54)은 LED(52)의 플립-칩 배열에서 LED(52)의 상부 1차 방출 표면인 다공성 층(55)을 포함한다. 다공성 층(55)은 LED(52)의 광 방출을 향상시키도록 배열되어 있다. 종래의 LED의 효율은 활성층에 의해 발생된 광 모두를 방출시킬 수 없음으로 인해 제한된다. 플립-칩 배열된 LED가 방출하고 있을 때, 광은 많은 여러가지 각도로 1차 방출 기판 표면에 도달한다. 일반적인 기판 반도체 물질은 주변의 공기 또는 둘러싸고 있는 에폭시에 비해 높은 굴절율을 갖는다. 높은 굴절율을 갖는 영역으로부터 (표면 법선 방향에 대해) 어떤 임계각 내에 있는 낮은 굴절율을 갖는 영역으로 전파하는 광은 낮은 굴절율 영역으로 넘어간다. 임계각을 넘는 표면에 도달하는 광은 넘어가지 않고 내부 전반사(total internal reflection, TIR)를 겪게 된다. LED의 경우에, TIR 광은 흡수될 때까지 LED 내부에서 계속하여 반사될 수 있다. 이러한 현상으로 인해, 종래의 LED에 의해 발생된 광 중 다량이 방출되지 않으며, 그의 효율을 떨어뜨린다.

다공성 층(55)은 내부 전반사(TIR)에 의해 LED(52)에 포획되어 있을 광이 광 방출에 기여하도록 기판으로부터 탈출할 수 있게 해주는 변화하는 표면을 제공함으로써 LED(52)의 광 추출을 향상시킨다. 다공성 층에서의 변동이 TIR 광이 임계각 내에서 기판 표면에 도달하여 방출될 기회를 증가시켜준다. 다공성 층을 통해 기판을 탈출하지 않는 광의 경우, 다공성 층의 변동은 여러가지 각도로 광을 반사시키며, 광이 그 다음 패스(pass)에서 탈출할 기회를 증가시켜준다.

다공성 층이 광 추출을 향상시키는 능력은 그의 깊이가 증가함에 따라 초기에 증가하게 된다. 그렇지만, 깊이의 증가가 광 추출을 향상시키지 않는 지점에 도달되지만, 실제로는 광 추출을 감소시킬 수 있다. SiC로 이루어지고 도 2에서 상기한 방법(30)을 사용하여 형성된 다공성 층을 갖는 기판(54)의 경우, 적당한 다공성 층 깊이는 대략 3 마이크로미터이다. 여러가지 전해질을 사용하는 여러가지 다공성 층 형성 프로세스의 결과 여러가지 적당한 다공성 층 깊이가 얻어질 수 있다.

도 4는 표준 LED 패키지의 성능과 본 발명에 따른 다공성 층을 갖는 LED 패키지의 성능을 비교하는 테이블(80)이다. 테이블(80)은 LED에 인가된 전류(82) 대 LED의 출력 광속(light output flux)(84)을 표시한 것이다. 제1 그래프(86)는 표준 LED에 대한 것으로서, 전류(82)가 증가함에 따라 출력 광속(84)이 증가함을 보여준다. 제2 그래프(88)는 본 발명에 따른 다공성 층을 갖는 LED에 대한 것으로서, 역시 전류(82)가 증가함에 따라 출력 광속(84)도 역시 증가함을 보여준다. 그렇지만, 표준 LED와 동일한 전류에서의 다공성 층에 대한 출력 광속은 일반적으로 더 크며, LED에 인가되는 전류가 대략 50mA를 지나 증가할 때 특히 그렇다.

많은 여러가지 유형의 LED가 광 추출을 향상시키기 위해 본 발명에 따른 다공성 층을 이용할 수 있다. 도 5는 기판의 표면 중 한쪽 상에 형성된 반도체 방출 영역(106)을 갖는 기판을 구비하는 LED(102)를 포함하는 본 발명에 따른 LED 패키지(100)의 다른 실시예를 나타낸 것이다. 방출 영역(106)은 도 3의 방출 영역(56)과 유사하다. LED(102)는 방출 영역(106) 내의 정반대로 도핑된 층에 접촉하는 접점(110, 112)을 갖는 제1 및 제2 금속층(108a, 108b) 상에 탑재되어 있다. 금속층(108a, 108b)에 인가되는 바이어스는 접점(110, 112)을 통해 정반대로 도핑된 층들에 인가될 수 있다. LED(102)는 기판의 하부 표면이 LED(102)의 1차 방출 표면이도록 플립-칩 탑재되어 있다. LED(102)는 또한 보호 투명 에폭시(114)로 둘러싸여 있을 수 있다.

LED(102)의 방출 표면[기판(104)의 표면]은 편평하지 않고 그 대신에 톱니 패턴(105)을 갖는다. 톱니 패턴(105)은 예칭 등의 공지의 프로세스를 사용하여 기판(104) 상에 형성되고, 다공성 층(116)은 톱니 패턴(105)으로 형성된다. 다공성 층은 전술하고 도 1 및 도 2에 도시한 장치(10) 및 방법(30)을 사용하여 형성될 수 있다. 톱니 패턴(105)은 TIR 광이 LED로부터 탈출할 수 있도록 해주기 위해 변화하는 표면을 제공함으로써 광 추출을 향상시킨다. 다공성 층(116)은 톱니 패턴(105)과 함께 다공성 층을 갖는 편평한 기판 표면에 비해 훨씬 더 높은 정도의 광 추출을 제공할 수 있다.

도 6은 기판(134) 및 방출 영역(136)을 구비하는 플립-칩 탑재된 LED(132)를 역시 갖는 본 발명에 따른 LED 패키지(130)의 다른 실시예를 나타낸 것이다. LED(132)는 방출 영역(136)에 바이어스를 인가하는 접점(140, 142)을 갖는 금속층(138a, 138b)에 탑재되어 있다. LED(132)는 또한 보호 투명 에폭시(139)로 싸여져 있다. 기판(134)의 방출 표면은 트렌치(trench) 패턴(135)을 가지며, 트렌치 각각은 수직 측벽(144) 및 수평 하부 표면(146)을 갖는다. 기판(134) 상에 트렌치 패턴(135)을 형성한 후에, 다공성 층(148)이 트렌치 패턴 상에 형성된다. 트렌치 패턴(135) 및 다공성 층(148) 조합은 LED(132)로부터의 향상된 광 방출을 제공한다.

도 7은 기판(164) 및 방출 영역(166)을 구비하는 플립-칩 탑재된 LED(162)를 갖는 본 발명에 따른 LED 패키지(160)의 또다른 실시예를 나타낸 것이다. LED(162)는 방출 영역(166)에 바이어스를 인가하는 2개의 접점(170, 172)을 갖는 금속층(168a, 168b)에 탑재되어 있다. LED(162)는 또한 보호 투명 에폭시(169)로 싸여져 있다. 기판(164)의 방출 표면은 도 6의 트렌치 패턴(135)과 유사한 포스트(post) 패턴(165)을 갖는다. 각각의 포스트는 수직 측벽(174)을 갖지만 포스트들 사이의 하부 표면(176)은 V자 형상이다. 기판(164) 상에 포스트 패턴(165)을 형성한 후에, 다공성 층(178)이 형성되고 포스트 패턴(165) 및 다공성 층(178) 조합은 LED(162)로부터의 향상된 광 추출을 제공한다.

본 발명이 본 발명의 어떤 양호한 구성과 관련하여 상당히 자세히 기술되어 있지만, 다른 구성도 가능하다. 상기한 LED 패키지 실시예들 각각은 금속층 대신에 금속 컵 등의 다른 구성요소를 가질 수 있다. 본 발명에 따른 LED 패키지의 여러가지 실시예는 그의 LED에서 서로 다른 장소에 다공성 층을 가질 수 있다. 기판은 또한 상기한 것 이외의 많은 여러가지 패턴을 가질 수 있다. 따라서, 본 발명의 정신 및 범위는 상기한 본 발명의 양호한 실시예로 한정되어서는 안된다.

(57) 청구의 범위

청구항 1.

다공성 층을 갖는 기판, 및

상기 기판 상에 형성된 반도체 방출 영역을 포함하며,

상기 방출 영역은 바이어스에 응답하여 전방향으로 광을 방출할 수 있고,

상기 다공성 층은 상기 기판을 통과하는 상기 방출 영역 광의 추출을 향상시키는 것인 광 방출기.

청구항 2.

제1항에 있어서, 상기 방출 영역은 2개의 정반대로 도핑된 층들 사이에 끼여 있는 활성층을 포함하며,

상기 활성층은 상기 정반대로 도핑된 층들에 바이어스가 인가될 때 전방향으로 광을 방출하는 것인 광 방출기.

청구항 3.

제1항에 있어서, 상기 다공성 층은 상기 방출 영역의 반대쪽에 있는 상기 기판의 표면 상에 있는 것인 광 방출기.

청구항 4.

제3항에 있어서, 상기 기판 및 그의 방출 영역은 플립-칩 배향으로 탑재되어 있으며, 상기 기판의 상기 표면은 상기 방출기의 1차 방출 표면으로서 상기 다공성 층을 갖는 것인 광 방출기.

청구항 5.

제4항에 있어서, 상기 기관 및 그의 방출 영역은 금속층 상에 탑재되어 있으며, 상기 바이어스는 상기 금속층을 통해 상기 방출 영역에 인가되는 것인 광 방출기.

청구항 6.

제1항에 있어서, 상기 기관 및 그의 방출 영역은 보호 에폭시(protective epoxy)로 싸여져 있는 것인 광 방출기.

청구항 7.

제1항에 있어서, 상기 방출 영역은 상기 기관의 표면 상에 형성되고,

상기 방출 영역의 반대쪽에 있는 상기 기관의 표면은 패터닝되어 있으며,

상기 다공성 층은 상기 기관의 상기 패터닝된 표면 상에 있는 것인 광 방출기.

청구항 8.

제1항에 있어서, 상기 방출 영역은 상기 기관의 표면 상에 형성되고,

상기 방출 영역의 반대쪽에 있는 상기 기관의 표면은 톱니(sawtooth) 패턴을 가지며,

상기 다공성 층은 상기 기관의 상기 톱니 패터닝된 표면 상에 형성되어 있는 것인 광 방출기.

청구항 9.

제1항에 있어서, 상기 방출 영역은 상기 기관의 표면 상에 형성되고,

상기 방출 영역의 반대쪽에 있는 상기 기관의 표면은 트렌치(trench) 패턴을 가지며,

상기 다공성 층은 상기 기관의 상기 트렌치 패터닝된 표면 상에 형성되어 있는 것인 광 방출기.

청구항 10.

제1항에 있어서, 상기 방출 영역은 상기 기관의 표면 상에 형성되고,

상기 방출 영역의 반대쪽에 있는 상기 기관의 표면은 포스트(post) 패턴을 가지며,

상기 다공성 층은 상기 기관의 상기 포스트 패터닝된 표면 상에 형성되어 있는 것인 광 방출기.

청구항 11.

제1항에 있어서, 상기 기관은 탄화 규소(SiC)로 이루어져 있는 것인 광 방출기.

청구항 12.

반도체의 표면 상에 다공성 층을 형성하는 장치로서,

전해조(reservoir)에 보유되어 있는 전해질 - 상기 전해조는 상기 전해질이 반도체 물질의 층의 하나 이상의 표면에 접촉할 수 있도록 배열되어 있음 -,

상기 전해질을 가열하는 히터, 및

상기 전해질 및 상기 반도체 물질의 층 양단에 바이어스를 인가하는 전원을 포함하며,

상기 바이어스는 상기 전해질과 상기 반도체 물질의 층 사이에 전류가 흐르게 하여, 상기 전해질과 접촉하는 상기 반도체 물질의 상기 하나 이상의 표면 상에 다공성 층을 형성하는 것인, 반도체의 표면 상에 다공성 층을 형성하는 장치.

청구항 13.

제12항에 있어서, 상기 전원은 플러스 단자 및 마이너스 단자를 포함하며,

상기 마이너스 단자는 상기 전해질에 접촉하고 상기 플러스 단자는 상기 반도체 물질의 층에 접촉하는 것인, 반도체의 표면 상에 다공성 층을 형성하는 장치.

청구항 14.

제12항에 있어서, 상기 전해질에 침적된 음극을 더 포함하며,

상기 전원 바이어스는 상기 음극 및 상기 반도체 물질에 인가되는 것인, 반도체의 표면 상에 다공성 층을 형성하는 장치.

청구항 15.

제12항에 있어서, 상기 전해조는 컵을 포함하며,

상기 반도체 물질은 상기 컵의 하부에 인접하여 배열되어 있고,

상기 컵은 상기 전해질의 일부가 상기 컵 밖으로 나가 상기 반도체 물질의 하나 이상의 표면에 접촉할 수 있게 해주기 위해 하나 이상의 구멍을 가지는 것인, 반도체의 표면 상에 다공성 층을 형성하는 장치.

청구항 16.

제15항에 있어서, 상기 컵의 하부와 상기 반도체 물질 사이에서 상기 하나 이상의 구멍 주변에 밀봉제를 더 포함하는, 반도체의 표면 상에 다공성 층을 형성하는 장치.

청구항 17.

제12항에 있어서, 상기 히터는 투입 히터(immersion heater)를 포함하는 것인, 반도체의 표면 상에 다공성 층을 형성하는 장치.

청구항 18.

제12항에 있어서, 자외선(UV) 광으로 상기 전해질을 조명하는 램프를 더 포함하는, 반도체의 표면 상에 다공성 층을 형성하는 장치.

청구항 19.

제12항에 있어서, 상기 전해질은 HF계(HF based) 또는 완충 HF계(buffered HF based) 전해질을 포함하는 것인, 반도체의 표면 상에 다공성 층을 형성하는 장치.

청구항 20.

제12항에 있어서, 상기 전해질은 불화 암모늄(NH_4F) 및 물을 포함하는 것인, 반도체의 표면 상에 다공성 층을 형성하는 장치.

청구항 21.

제12항에 있어서, 상기 전해질은 에탄올($\text{C}_2\text{H}_5\text{OH}$) 및 물을 포함하는 것인, 반도체의 표면 상에 다공성 층을 형성하는 장치.

청구항 22.

반도체의 표면 상에 다공성 층을 형성하는 방법으로서,

전해질을 제공하는 단계,

상기 전해질을 반도체 물질의 층의 하나 이상의 표면과 접촉하게 배치하는 단계,

상기 전해질을 가열하는 단계, 및

상기 전해질 및 상기 반도체 물질 양단에 바이어스를 유입시켜 상기 전해질과 상기 반도체 물질 사이에 전류가 흐르게 하여, 상기 전해질과 접촉하고 있는 상기 반도체의 상기 하나 이상의 표면 상에 다공성 층을 형성하는 단계를 포함하는, 반도체의 표면 상에 다공성 층을 형성하는 방법.

청구항 23.

제22항에 있어서, 상기 바이어스의 유입 동안에 상기 전해질에 자외선(UV) 조명을 제공하는 단계를 더 포함하는, 반도체의 표면 상에 다공성 층을 형성하는 방법.

청구항 24.

제22항에 있어서, 상기 다공성 층의 형성 후에 상기 전해질 및 상기 반도체양단으로부터 상기 바이어스를 제거하는 단계, 및

상기 전해질을 상기 반도체와의 접촉으로부터 제거하는 단계를 더 포함하는, 반도체의 표면 상에 다공성 층을 형성하는 방법.

청구항 25.

발광 다이오드(LED) 패키지로서,

한쪽 표면 상에 다공성 층을 갖는 기판, 및

상기 기판 상에서 상기 다공성 층의 반대쪽에 있는 표면 상에 형성된 방출 영역을 포함하는 LED,

하나 이상의 금속층 - 상기 LED는 상기 금속층에 플립칩 탑재되어 있고 상기 기판은 상기 LED의 1차 방출 표면임 -, 및

상기 방출 영역 양단에 바이어스를 인가하여 상기 방출 영역이 전방향으로 광을 방출하게 하는 2개의 접점을 포함하며,

상기 다공성 층은 상기 기판을 통과하는 방출 영역 광의 광 추출을 향상시키는 것인 LED 패키지.

청구항 26.

제25항에 있어서, 상기 방출 영역은 2개의 정반대로 도핑된 층들 사이에 끼여 있는 활성층을 포함하고,

상기 정반대로 도핑된 층들에 인가된 상기 바이어스는 상기 활성층이 전방향으로 광을 방출하게 하는 것인 LED 패키지.

청구항 27.

제25항에 있어서, 상기 LED는 보호 에폭시로 싸여져 있는 것인 LED 패키지.

청구항 28.

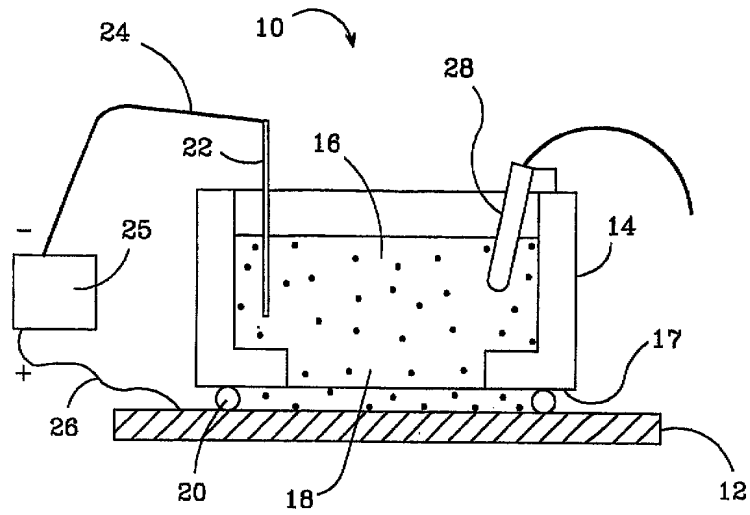
복수의 층을 갖는 반도체 방출기 - 상기 방출기는 바이어스에 응답하여 전방향으로 광을 방출할 수 있음 -, 및

상기 복수의 층들 중 하나 이상 상의 하나 이상의 다공성 층을 포함하며,

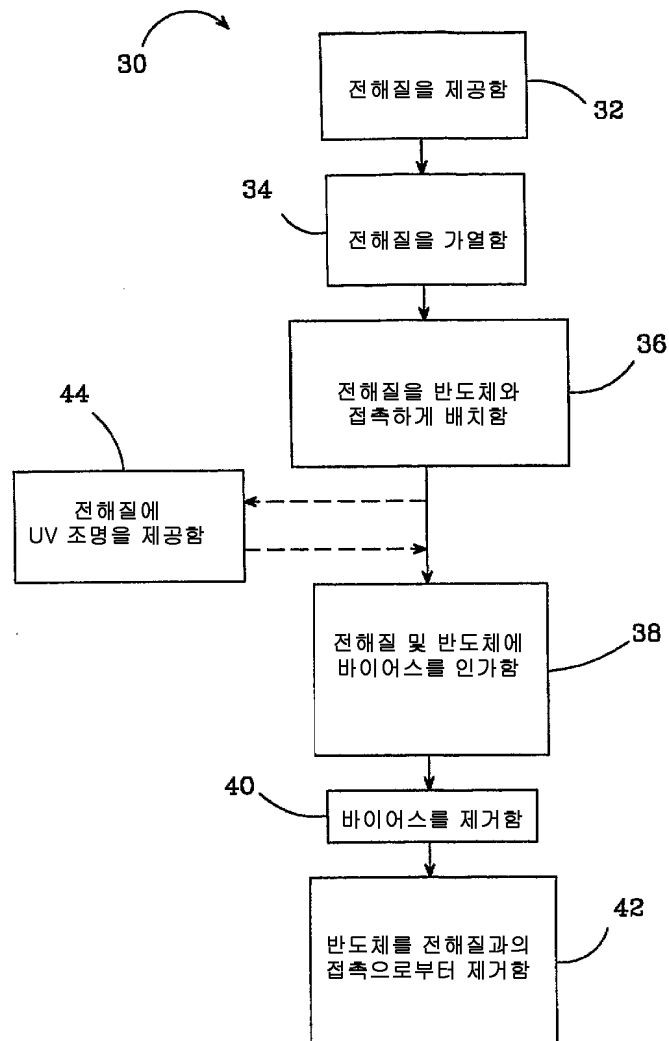
상기 다공성 층은 상기 반도체 방출기로부터의 상기 방출기 광의 추출을 향상시키는 것인 광 방출기.

도면

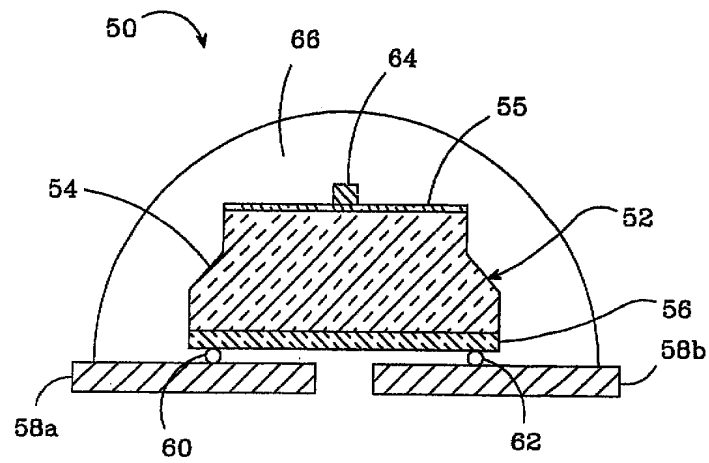
도면1



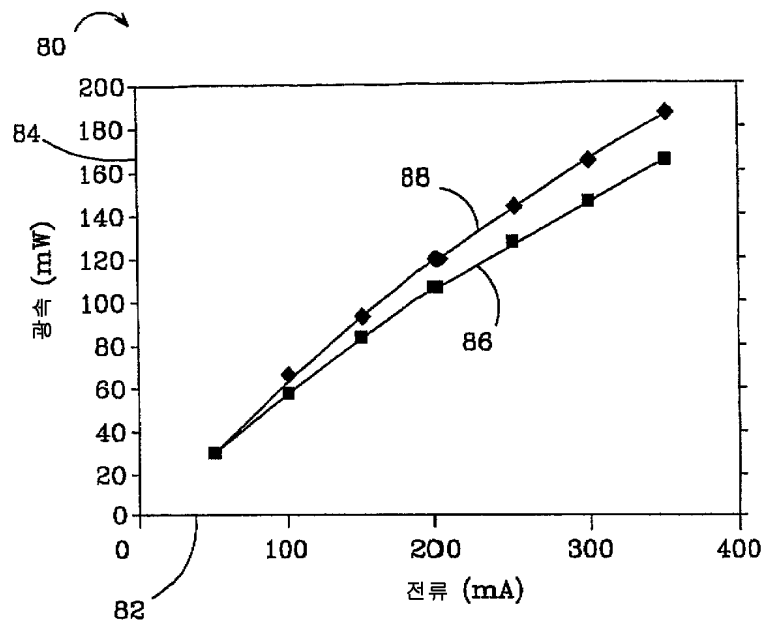
도면2



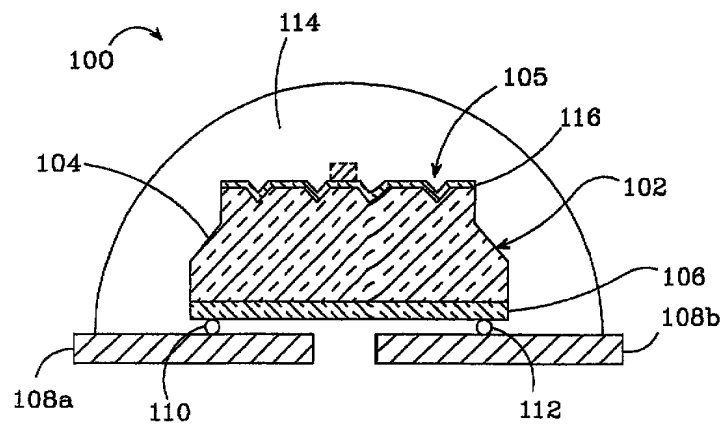
도면3



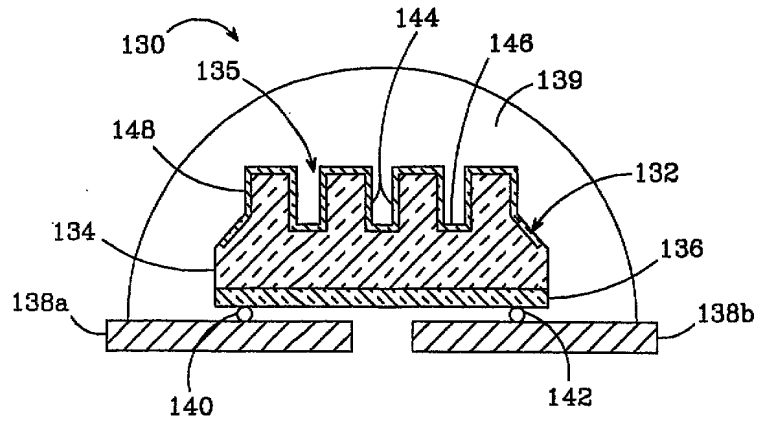
도면4



도면5



도면6



도면7

