

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 18 日(18.12.2014)



(10) 国際公開番号
WO 2014/199558 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) H01L 29/739 (2006.01)
H01L 21/329 (2006.01) H01L 29/78 (2006.01)
H01L 21/336 (2006.01) H01L 29/861 (2006.01)
H01L 29/06 (2006.01) H01L 29/868 (2006.01)
- (21) 国際出願番号: PCT/JP2014/002501
- (22) 国際出願日: 2014 年 5 月 12 日(12.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-123697 2013 年 6 月 12 日(12.06.2013) JP
- (71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 八尾 典明(YAO, Noriaki); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 阿部 和(ABE, Hitoshi); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 鈴木 壯兵衛(SUZUKI, Sohbe); 〒1056032 東京都港区虎ノ門 4 丁目 3 番 1 号 城山トラス

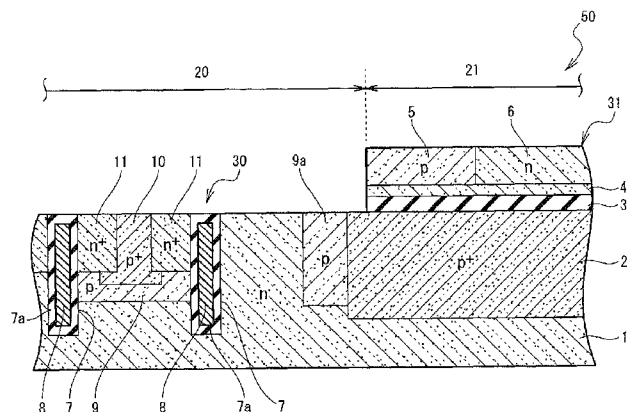
トタワー 3 2 階 特許業務法人日栄国際特許事務所 Tokyo (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: This semiconductor device manufacturing method includes: a step for depositing a thin film semiconductor layer (4) on a semiconductor substrate (1) with an insulating film (3) therebetween, said insulating film having been formed on a surface of the semiconductor substrate; a step for implanting first impurity ions into the thin film semiconductor layer under the conditions where a first impurity ion range becomes smaller than a thin film semiconductor layer film thickness obtained when the thin film semiconductor layer is deposited; and a step for selectively implanting second impurity ions into the thin film semiconductor layer with a dose quantity more than that of the first impurity ions. A diode (31) for detecting temperature is formed by means of a region (5) having the first impurity ions implanted therein, and a region (6) having the second impurity ions implanted therein, said regions being in the thin film semiconductor layer.

(57) 要約:

[続葉有]

WO 2014/199558 A1



半導体装置の製造方法は、半導体基板（１）の表面上に形成された絶縁膜３を介して薄膜半導体層（４）を堆積する工程と、薄膜半導体層に第１不純物イオンを薄膜半導体層の堆積時の膜厚よりも第１不純物イオンの飛程が小さくなる条件でイオン注入する工程と、薄膜半導体層に第２不純物イオンを第１不純物イオンのドーズ量よりも高いドーズ量で選択的にイオン注入する工程とを含み、薄膜半導体層中の第１不純物イオンが注入された領域（５）と第２不純物イオンが注入された領域（６）とによって温度検出用のダイオード（３１）を形成する。

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関し、特に、同一の半導体基板に、主半導体素子と、この主半導体素子の通電時の異常な温度上昇を即座に検知し、熱暴走による素子破壊を抑えるための温度検出用ダイオードとを有する半導体装置の製造方法に適用して有効な技術に関する。

背景技術

[0002] 絶縁ゲート型バイポーラトランジスタ（以降、ＩＧＢＴと称することもある）をインバータ等で使用した場合、負荷短絡という、過電圧、過電流となるモードがある。このようなモードに陥った場合でも素子破壊を回避するためにパワーデバイス自体に、過電圧、過電流による異常発熱をできるかぎり遅延なく検出する機能などの耐過電圧、耐過電流性能を備えることが望ましい。そのようなものとして、大電流の流れるパワーＩＧＢＴやパワーＭＯＳＦＥＴなどの主半導体素子と、温度検出用のダイオード（温度センスダイオード）とを同一の半導体基板に一体に組み込んだデバイス構造が知られている。

[0003] 図１１に示すように、一般にダイオードの順方向電圧（以降、順電圧）は、素子の温度上昇とともにリニアに低下する関係があることが知られている。この特性を利用すれば、主半導体素子（以降、主素子と称する）が搭載される半導体基板の表面上に絶縁膜を介して温度検出用ダイオード層を形成すると、主素子の温度変化を即座に電圧変化として検出することができる。検出した主素子の温度が主素子の許容温度を超えていれば、主素子のゲート電圧を下げて動作電流を制限することにより、主素子を熱破壊から保護することができる。

[0004] 一方、温度検出用ダイオードに順方向電流を流したときにアノード（ｐ領域）－カソード（ｎ領域）間に生じる電位差（ V_f ：順電圧）は、 $p-n$ 接合部で生じる接合電位 V_{pn} と、 p 領域および n 領域の抵抗により生じる電圧

降下 ($I \times R_{pn}$) の和である。すなわち、 $V_f = V_{pn} + (I \times R_{pn})$ である。p領域およびn領域の不純物濃度によってp領域およびn領域の抵抗値 R_{pn} が決まるので、不純物濃度にバラツキがあると、p領域およびn領域の抵抗値 R_{pn} にバラツキが生じる。この結果、ダイオードによる温度検出精度にバラツキが生じることになる。

[0005] このような主素子に一体化された温度検出用ダイオードの製造方法として、例えば、主半導体素子の基板表面上にシリコン酸化膜を介して成長させた多結晶シリコン層に、不純物ドーピングによりpn接合ダイオードを形成する製造方法が知られている（特許文献1、2）。

また、主素子の基板表面に絶縁膜を介して成長させた多結晶シリコン層にイオン注入とレーザアニールとにより、接合を介して相互に接する各pn不純物層からなるダイオードを形成する際に、pn不純物層の下層部に多結晶シリコン層を残した温度検出用ダイオード構造（特許文献3内の図6）が開示されている（特許文献3）。

[0006] また、ポリシリコンダイオードの製造プロセスの詳細が記述されている文献が公開されている（特許文献4）。

図9に、従来の温度検出用ダイオード（温度センスダイオード）を有するMOSFETの製造方法を示す。図9では、図面を見易くするため、断面を表すハッチングを一部省略している。

図9（a）に示すように、活性領域及び非活性領域を含む半導体基板101の表面上の全面に絶縁膜103を介して多結晶シリコン層104を形成する。ここで、左側の主素子が形成される領域を活性領域、右側の温度検出用ダイオードが形成される領域を非活性領域とする。

[0007] そして、図9（b）に示すように、フォトリジスト111をマスクとして使用し、半導体基板101の活性領域上の多結晶シリコン層104および絶縁膜103を選択的に除去する。

更に、図9（c）に示すように、フォトリジスト112をマスクとして使用し、半導体基板101の非活性領域上の多結晶シリコン層104および半

導体基板 101 の活性領域に不純物イオンとしてボロン（B）イオンを選択的にイオン注入して、多結晶シリコン層 104 にダイオード用の不純物イオン注入層 105a を形成すると共に半導体基板 101 の活性領域に主素子用の不純物イオン注入層を形成する。

[0008] そして、図 9（d）に示すように、フォトリジスト 113 をマスクとして使用し、半導体基板 101 の非活性領域上の多結晶シリコン層 104 および半導体基板 101 の活性領域に不純物イオンとして砒素（As）イオンを選択的にイオン注入して、多結晶シリコン層 104 にダイオード用の不純物イオン注入層 106a を形成すると共に半導体基板 101 の活性領域に主素子用の不純物イオン注入層を形成する。

そして、図 9（e）に示すように、熱処理を施して、図 9（c）および図 9（d）でイオン注入されたボロンイオン及び砒素イオンを活性化して多結晶シリコン層 104 に、p 領域 105 及び n 領域 106 が形成される。

[0009] ここで、従来の MOSFET および温度検出用ダイオードを有する半導体装置の製造方法では、図 9（c）及び図 9（d）に示すように、多結晶シリコン層 104 に不純物イオンを選択的にイオン注入する際、注入領域以外の非注入領域へのイオン注入を遮蔽するために、非注入領域をフォトリジスト 112，113 で覆う工程が必要となる。また、温度検出用ダイオードを構成する p 領域 105 および n 領域 106 は、製造工程の効率化のために、特許文献 1 の段落[0022]～[0023]に記載されているように、半導体基板 101 の活性領域にイオン注入による主素子の形成と同一工程で形成されることが多い(図 9（c），（d）参照)。

しかしながら、従来の温度検出用ダイオードは順電圧 V_f のバラツキが大きい。

先行技術文献

特許文献

[0010] 特許文献 1：特開 2002-190575 号公報（図 1、段落 0016）

特許文献 2：特開平 3-34360 号公報（第 1 図、第 1 実施例）

特許文献3：特開2007-294670号公報（図6 段落0019）

特許文献4：特開2010-287786号公報（図3、図4、段落0046～0050）

発明の概要

発明が解決しようとする課題

[0011] 本発明は、以上説明した点を考慮してなされたものである。本発明の目的は、半導体基板同一半導体チップ上に集積化される温度検出用のダイオードの順電圧 V_f のバラツキを低減することができる半導体装置の製造方法を提供することにある。

課題を解決するための手段

[0012] 上記目的を達成するために、本発明の一態様にかかる半導体装置の製造方法は、半導体基板の表面上に形成された絶縁膜3を介して薄膜半導体層を堆積する工程と、薄膜半導体層に第1不純物イオンを薄膜半導体層の堆積時の膜厚よりも第1不純物イオンの飛程が小さくなる条件でイオン注入する工程と、薄膜半導体層に第2不純物イオンを第1不純物イオンのドーズ量よりも高いドーズ量で選択的にイオン注入する工程とを含み、薄膜半導体層中の第1不純物イオンが注入された領域と第2不純物イオンが注入された領域とによって温度検出用のダイオードを形成する。

発明の効果

[0013] 本発明によれば、主半導体素子の非活性領域表面上に絶縁膜を介して形成されたポリシリコン層へのイオン注入により作製される温度検出用ダイオードの順電圧 V_f のバラツキを低減することが可能な半導体装置の製造方法を提供することができる。

図面の簡単な説明

[0014] [図1]本発明の一実施形態にかかる半導体装置の要部断面図である。

[図2]本発明の一実施形態にかかる温度検知用ダイオードの順電圧 V_f が多結晶シリコン層の膜厚依存性を示す場合の、多結晶シリコン層の膜厚と順電圧

V_f との関係図である。

[図3]本発明の一実施形態にかかる半導体装置の製造プロセスフローを説明するための要部断面図である。

[図4]本発明の一実施形態にかかる半導体装置の製造プロセスフローを説明するための要部断面図である。

[図5]本発明の一実施形態にかかる半導体装置の製造プロセスフローを説明するための要部断面図である。

[図6]本発明の一実施形態にかかる半導体装置の製造プロセスフローを説明するための要部断面図である。

[図7]本発明の一実施形態にかかる半導体装置の製造プロセスフローを説明するための要部断面図である。

[図8]従来の半導体装置の製造プロセスフローを説明するための要部断面図である。

[図9]従来の半導体装置の製造プロセスフローを説明するための要部断面図である。

[図10]従来の温度センスダイオードの順電圧V_fが多結晶シリコン層の膜厚依存性を示す場合の、多結晶シリコン層の膜厚と順電圧V_fとの関係図である。

[図11]ダイオードの接合温度と順電圧との関係を示す相関図である。

発明を実施するための形態

[0015] 本発明者らが見出した、従来の製造方法により形成された温度検出用ダイオードの順電圧V_fおよびそのバラツキ（標準偏差） σ と出発材料としての多結晶シリコン層の膜厚との関係を図10に示す。図10に示すように、500nm程度の膜厚のノンドープの多結晶シリコン層にイオン注入により形成されたドーパドポリシリコン層からなるダイオードの順電圧V_fは、出発材としての多結晶シリコンの膜厚が±30nm程度変化すると、膜厚が大きくなるとともに低下するという膜厚依存性を示すことがわかった。また、順電圧V_fのバラツキ（標準偏差） σ も1.5mV以上と大きく、順電圧V

f に比例して大きくなっていくことがわかった。ここで、多結晶シリコン層を 500 nm の膜厚で堆積させる場合、実際には ± 30 nm 程度の膜厚誤差が避けられない。従って、出発材としての多結晶シリコン層へのイオン注入を 100 keV 以上の高エネルギーで行ってダイオードを作製すると、ダイオードの順電圧 V_f が多結晶シリコン層の膜厚のバラツキに対応するバラツキを有するという、順電圧に係わる不安定原因を持つことになる。

[0016] 更に、本発明者らの検討によれば、イオン注入の際にイオン種の一部がシリコン結晶格子間をすり抜けて特異的に深く浸入するというチャネリング現象に似た現象により多結晶シリコン層を突き抜けて、電氣的に無効となるイオンも一部分で発生することがある。多結晶シリコン層の膜厚にイオン注入飛程が近づくほどこのチャネリング現象の発生確率が高くなるので、このチャネリング現象によっても、さらに順電圧 V_f の値が不安定となり、温度検出精度が低下することが問題となる。

活性領域へのイオン注入は通常 100 keV 以上の高エネルギーで注入される場合が多い。上記の課題は、500 nm 程度の膜厚の多結晶シリコン層に温度検出用ダイオードを形成する場合、p 領域を形成するボロンや n 領域を形成するリンなどの質量の小さなイオン種は飛程が長いので、主素子の形成との同時工程で 100 keV 以上の高エネルギーでイオン注入すると、リンの飛程が多結晶シリコン層の全膜厚まで到達することがあることに起因している可能性がある。または、イオン注入によっては膜厚近くまで達しない場合でも、その後の熱処理による熱拡散により膜厚近くまで領域が広がることに起因していると思われる。

[0017] 以下、本発明の一実施形態にかかる半導体装置の製造方法を、図面を参照して詳細に説明する。以下の一実施形態の説明では、第 1 導電型が n 型、第 2 導電型が p 型の場合について例示的に説明するが、導電型を逆の関係に選択して、第 1 導電型を p 型、第 2 導電型を n 型としても構わない。また、本明細書および添付図面においては、n または p を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、n や p

に付す＋および－は、それぞれ＋および－が付されていない半導体領域に比べて相対的に不純物濃度が高いまたは低いことを意味する。

[0018] なお、以下の一実施形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、一実施形態で説明される添付図面は、見易くまたは理解し易くするために正確なスケール、寸法比で描かれていない。本発明はその要旨を超えない限り、以下に説明する一実施形態の記載に限定されるものではない。

本発明の一実施形態にかかる半導体装置の製造方法では、同一の半導体チップに主素子および温度検出用のダイオードを集積化した半導体装置の製造方法に着目して例示的に説明する。ここでは主素子として電力用MOSFETを用いた場合について説明する。また、本発明の一実施形態にかかる半導体装置の製造方法では、温度検出用のダイオードが形成される薄膜半導体層として便宜上多結晶シリコン層を用いた場合について説明するが、薄膜半導体層は多結晶シリコン層に限定されるものではない。薄膜半導体層としては、アモルファス半導体層などでもかまわない。

[0019] 図1に示すように、本発明の一実施形態にかかる半導体装置50は、半導体基板として、例えば単結晶シリコンからなる第2導電型（n型）の半導体基板1を主体に構成されている。半導体基板1は、その表面の中央部に、主電流に係わる活性領域20と、非活性領域21とを有している。そして、半導体基板1は、図示していないが、活性領域20を取り巻く外周部にあって耐圧信頼性に係わるエッジ領域を有している。非活性領域21は、活性領域20とエッジ領域との中間に位置する。

活性領域20には主素子として電力用MOSFETが形成され、非活性領域21上には薄膜半導体層としての多結晶シリコン層4が絶縁膜3を介して形成されている。電力用MOSFETは、詳細に図示していないが、微細パターンのMOSFETからなるトランジスタセル30を電氣的に複数個並列に接続して大電力を得る構造になっている。図1には、1つのトランジスタセル30が示されている。

[0020] トランジスタセル30は、主に、トレンチ7、ゲート絶縁膜7a、ゲート電極8、チャネル形成領域9、第1導電型(p⁺型)のコンタクト領域10、ソース領域およびドレイン領域を有する構成になっている。トレンチ7は、半導体基板1の表面から深さ方向に向かって延びている。ゲート絶縁膜7aは、トレンチ7の内壁に沿って形成され、例えば二酸化シリコン(SiO₂)膜で形成されている。ゲート電極8は、トレンチ7の内部にゲート絶縁膜7aを介して埋め込まれ、例えば抵抗値を低減する不純物が導入されたドーパドポリシリコン層で形成されている。コンタクト領域10は、詳細に図示していないが、チャネル形成領域9と電氣的に接続される電極とのコンタクト抵抗を低減するものであり、チャネル形成領域9の表層部に形成されている。主素子電極領域(ソース領域)11は、チャネル形成領域9の表層部に設けられた第2導電型(n⁺型)の半導体領域で形成されている。ドレイン領域は、詳細に図示していないが、半導体基板1およびこの半導体基板1の裏面に設けられた第2導電型(n⁺型)の半導体領域で形成されている。

[0021] 半導体基板1の非活性領域21には、電力用MOSFETの電界から後述する温度検出用のダイオード31を保護するために、第1導電型(p⁺型)のダイオード保護領域2が設けられている。そして、このダイオード保護領域2と、トランジスタセル30との間には、ダイオード保護領域2と接するようにして第1導電型(p型)の電界緩和領域9aが設けられている。この電界緩和領域9aは、半導体基板1とダイオード保護領域2との界面の電界を緩和する。

ここで、電界効果トランジスタ(FET)では、ゲート絶縁膜が酸化膜からなるMOS型に限定されるものではなく、より一般的に窒化シリコン(Si₃N₄)膜などの他の絶縁膜、或いはこれらの絶縁膜と酸化膜との積層膜などの絶縁膜からなるMIS型でもかなわない。

[0022] 多結晶シリコン層4には、温度検出用のダイオード31が形成されている。このダイオード31は、電力用MOSFETの通電時の異常な温度上昇を即座に検知し、熱暴走による素子破壊を抑えるためのものである。ダイオー

ド31は、出発材料としての多結晶シリコン層4の内部の表面側に設けられた、第1導電型(p型)の第1主電極領域(アノード)5および第2導電型(n型)の第2主電極領域(カソード)6で構成されている。

第1主電極領域5と第2主電極領域6とは、多結晶シリコン層4の平面方向に界面を有してpn接合を形成している。そして、第1主電極領域5および第2主電極領域6の各々は、多結晶シリコン層4の表面から深さ方向に向かってそれぞれドーパドポリシリコン層として延び、かつノンドープの多結晶シリコン層4nを絶縁膜3とドーパドポリシリコン層との間に挟む構成になっている。

[0023] すなわち、ダイオード31は、高抵抗の多結晶シリコン層4nを下層部に一部残してその上部にドーパドポリシリコン層からなる第1主電極領域5および第2主電極領域6が設けられた構造になっている。このような構成とするために、本発明の一実施形態に係る半導体装置50の製造方法では、出発材料としての多結晶シリコン層4へのイオン注入工程を電力用MOSFETのイオン注入工程とは同時ではなく、加速エネルギーを弱くしたイオン注入条件で、電力用MOSFETのイオン注入とは別工程で行っている。この結果、前述のように多結晶シリコン層4の表面側に形成される第1主電極領域5および第2主電極領域6(pn層)の深さを浅くすることができ、多結晶シリコン層4の下部層をノンドープの多結晶シリコン層4として残した構成のダイオード31を集積化することができる。

[0024] 最後に半導体基板1を複数の半導体チップに切出せば、本発明の一実施形態にかかる半導体装置50が完成する。

このようにして形成したダイオード31の順電圧 V_f およびそのバラツキ(標準偏差) σ と出発材料としての多結晶シリコン層4の膜厚との関係を図2に示す。この結果より、本発明の一実施形態にかかる半導体装置50の製造方法により形成したダイオード31は、多結晶シリコン層4の膜厚に依存することなく順電圧 V_f の値が安定しているとともに、そのバラツキをも小さくすることができるという効果が得られる。

[0025] その理由は、従来は多結晶シリコン層の全膜厚にダイオードのp領域が形成されていたのに対し、本発明の一実施形態にかかる半導体装置50の製造方法では、ダイオード31の第1主電極領域5をドーパドポリシリコン層として形成する際に、イオン注入の加速エネルギーを弱くして第1主電極領域5の深さを出発材料の多結晶シリコン層4の膜厚より浅くした。この製造方法により、第1主電極領域5の厚みをイオン注入条件で制御できるため、多結晶シリコン層4の膜厚にバラツキがあっても、順電圧 V_f およびそのバラツキ（標準偏差） σ を小さくすることができると考えられる。ここで、出発材料としての多結晶シリコン層4の膜厚は、200nm以上600nm以下である事が好ましい。これは、多結晶シリコン層4の膜厚が600nm以上であると膜厚のばらつきに対する順電圧 V_f のバラツキが小さくなるので、あまりバラツキを気にする必要がなく、また多結晶シリコン層4の膜厚が200nm以下ではイオン注入条件が難しくなるためである。

[0026] 次に、本発明の実施形態にかかる半導体装置50の製造方法について、図3～図7を用いて詳細に説明する。

まず、図3に示す半導体基板1を準備し、ドリフト層となる半導体基板1の表面から深さ方向に向かって延びるトレンチ7をドライエッチングにより形成し、その後、ゲート絶縁膜7aを形成した後、ゲート電極8となる多結晶シリコン層をトレンチ内にゲート絶縁膜7aを介して充填する。次に、半導体基板1の表面上の多結晶シリコン層およびゲート絶縁膜7aをエッチバックして選択的に除去する。次に、半導体基板1の表面の活性領域20において、隣接するトレンチ7間の部分にチャネル形成領域9を形成すると共に、非活性領域21に隣接する部分に電界緩和領域9aを形成する。さらに、半導体基板1の表面の非活性領域21にダイオード保護領域2を形成する。これらのダイオード保護領域2、チャネル形成領域9、電界緩和領域9aは、フォトリジストをマスクとするイオン注入により各々の不純物イオン注入層を所要のパターンで選択的に形成し、その後、各々のイオン注入層の不純物イオンを活性化させる熱処理を施すことにより所定の拡散深さで形成され

る。この結果、ダイオード31の形成予定の領域には約 $8\mu\text{m}$ の深さのダイオード保護領域（ウェル領域）2、トレンチ7間には約 $4\mu\text{m}$ の深さの電界緩和領域9aが形成される。

[0027] 次に、図3に示すように、半導体基板1の表面上の全面に、例えば厚さ300nm程度の高温シリコン酸化膜（HTO）などの酸化膜からなる絶縁膜3を形成し、その後、絶縁膜3上に例えば厚さ500nmのノンドープの多結晶シリコン層4を化学的気相堆積（CVD）法で形成する。

次に、図4に示すように、多結晶シリコン層4の表面の全面に第1不純物イオンとして例えばボロン（B）イオン B^+ をイオン注入して、多結晶シリコン層4の内部の表面側に不純物イオン注入層5aを形成する。不純物イオン注入層5aの下には、ノンドープの多結晶シリコン層4nが残る。この工程において、ボロンイオン B^+ のイオン注入は、多結晶シリコン層4の膜厚よりもボロンイオン B^+ の飛程が小さくなる条件で行う。ボロンイオン B^+ のイオン注入は、例えば45keV程度の加速エネルギーで行われる。

[0028] 次に、図5に示すように、フォトレジスト12をエッチングマスクとして使用し、フォトレジスト12の外側の不純物イオン注入層5a、多結晶シリコン層4nおよび絶縁膜3を順次エッチングして、半導体基板1の表面の活性領域20上の不純物イオン注入層5a、多結晶シリコン層4nおよびその下層の絶縁膜3を除去する。この工程において、半導体基板1の表面の非活性領域21上に絶縁膜3を介在してノンドープの多結晶シリコン層4が選択的に残る。

次に、フォトレジスト12を除去した後、図6に示すように、フォトレジスト13をイオン注入用マスクとして使用し、半導体基板1の表面の活性領域20に不純物イオンとして例えばボロンイオン B^+ を選択的にイオン注入して、不純物イオン注入層10aを形成する。この工程において、ボロンイオン B^+ のイオン注入は、例えば150keV程度の加速エネルギーで行われる。

[0029] 次に、フォトレジスト13を除去した後、図7に示すように、フォトレジ

スト 14 をイオン注入用マスクとして使用し、半導体基板 1 の表面の活性領域 20 および多結晶シリコン層 4 の表面の不純物イオン注入層 5 a に、不純物イオンとして例えば砒素イオン As^+ を選択的にイオン注入して、半導体基板 1 の活性領域 20 に不純物イオン注入層 11 a を形成すると共に、不純物イオン注入層 5 a の一部に不純物イオン注入層 6 a を選択的に形成する。この工程において、砒素イオン As^+ のイオン注入は、例えば 120 keV 程度の加速エネルギーで行われる。また、この工程において、砒素イオン As^+ のイオン注入は、前工程のボロンイオン B^+ のドーズ量よりも高いドーズ量で行い、 p^+ ドープポリシリコン層を n^+ ドープポリシリコン層に変換する。

[0030] 次に、フォトレジスト 14 を除去した後、活性領域 20 の不純物イオン注入層 10 a, 11 a および不純物イオン注入層 5 a, 6 a の各々の不純物イオン B^+ , As^+ を活性化させる熱処理を施すことにより、図 8 に示すように、活性領域 20 に p 型不純物を含むコンタクト領域 10 および n 型不純物を含む主素子電極領域 11 が形成されると共に、多結晶シリコン層 4 に p 型不純物を含む第 1 主電極領域 5 および n 型不純物を含む第 2 主電極領域 6 が形成される。この工程により、多結晶シリコン層 4 の表面に、第 1 主電極領域 5 と、この第 1 主電極領域 5 と pn 接合する第 2 主電極領域 6 とを有する温度検出用のダイオード 31 が形成される。また、第 1 主電極領域 5 および第 2 主電極領域 6 の各々の底部と絶縁膜 3 との間には、 n ドープの多結晶シリコン層 4 n が残る。

[0031] この後、半導体基板 1 の表面と反対側の裏面に、ドレイン領域としての第 2 導電型の半導体領域を形成することにより、電力用 MOSFET を構成するトランジスタセル 30 がほぼ完成する。

ここで、電力用 MOSFET のコンタクト領域 10 を形成するための従来のボロンイオン B^+ のイオン注入は、図 6 で説明したように、通常 150 keV 程度の加速エネルギーで行われる。この 150 keV 程度の加速エネルギーでボロンイオン B^+ を膜厚 500 nm の多結晶シリコン層 4 にイオン注入した場合の飛程距離は約 420 nm 程度である。したがって、図 9 に示す従来

の半導体装置の製造方法のように、半導体基板 101 の活性領域に電力用 MOSFET の p 型領域を形成するための不純物イオン注入工程と同一工程で多結晶シリコン層 104 に温度検出用ダイオードの p 型領域 105 (図 9 (d) 参照) を形成するためのボロンイオンをイオン注入した場合 (図 9 (c) 参照)、その後不純物イオンを活性化させる熱処理 (図 9 (e) 参照) が施されて形成された p 型領域 105 の分布は、出発材料としての多結晶シリコン層 104 の表面から底面、すなわちその下層の絶縁膜 103 との界面付近にまで及ぶ。

[0032] この場合、前述したように不純物濃度の膜厚依存性が顕著となる。さらに、チャネリング現象により多結晶シリコン層 104 を突き抜けるイオン種が発生する確率も高くなることで、電氣的に無効となる注入イオンの量が増加する。従って、活性領域へのイオン注入と同時に温度検知用のダイオードが形成される出発材料としての多結晶シリコン層へイオン注入する場合、これらの膜厚依存性や無効注入イオン量の増加により、順電圧 V_f のバラツキが大きくなる。

これに対し、本発明の一実施形態にかかる半導体装置 50 の製造方法では、半導体基板 1 の活性領域 20 に電力用 MOSFET のコンタクト領域 10 を形成するための不純物イオン注入工程 (図 6 参照) とは別工程で出発材料としてのノンドープの多結晶シリコン層 4 の内部の表面側に温度検出用のダイオード 31 の第 1 主電極領域 5 (図 8 (d) 参照) を形成するためのボロンイオン B^+ をイオン注入している (図 4 参照)。そして、前述の加速エネルギー 150 keV よりも低い加速エネルギーで膜厚 500 nm の出発材料としての多結晶シリコン層 4 の表面の全面にボロンイオン B^+ をイオン注入している。そして、このボロンイオン B^+ の注入エネルギーを例えば 45 keV まで下げているので、飛程距離は約 145 nm となる。この場合、ボロンイオン B^+ を活性化させる熱処理が施された後の p 型の第 1 主電極領域 5 の深さは、図 8 に示すように、出発材料の多結晶シリコン層 4 の表面から底部、すなわち絶縁膜 3 との境界付近まではほとんど及ばず、第 1 主電極領域 5 と絶縁

膜3との間にノンドープの多結晶シリコン層4 nが残る。また、チャネリング現象による多結晶シリコン層4を突き抜ける確率も低くなり、順電圧 V_f の膜厚依存性についても図2に示すようにほとんどなくなる。

[0033] また、本発明の一実施形態にかかる半導体装置50の製造方法では、図7に示すように、半導体基板1の活性領域20に電力用MOSFETの主素子電極領域11を形成するための不純物イオン注入工程と同一工程で出発材料としての多結晶シリコン層4の内部にダイオード31の第2主電極領域6（図9（d）参照）を形成するための砒素イオン As^+ をイオン注入している。砒素（ $^{75}As^+$ ）はリン（ $^{31}P^+$ ）より質量が大きくイオン注入による飛程が小さいので、活性領域20の砒素イオン As^+ のイオン注入との同時工程とすることができる。その砒素イオン As^+ のイオン注入では、先のボロンイオン B^+ のイオン注入よりも高ドーズ量とすることにより、不純物イオン注入層5aの一部を部分的にn型転させて第2主電極領域6とすることができる。

[0034] 具体的には、p型の第1主電極領域5とn型の第2主電極領域6とがpn接合する温度検出用のダイオード31を形成する場合、先にイオン注入するボロンイオン B^+ のドーズ量は $1 \times 10^{15} / cm^2 \sim 4 \times 10^{15} / cm^2$ とし、後にイオン注入する砒素イオン As^+ のドーズ量を $5 \times 10^{15} / cm^2$ と十分に高くすることが好ましい。その結果、図8に示すように、第1主電極領域5および第2主電極領域6の下にノンドープの多結晶シリコン層4 nを残した状態で、出発材料としての多結晶シリコン層4内に温度センス機能を有するダイオード31を形成することができる。

[0035] さらに、ボロンイオン B^+ の低エネルギーイオン注入プロセスは多結晶シリコン層の成膜直後のみとし、さらに、ドーズ量は後で注入する極性の異なるイオン種、例えば、リンイオン P^+ または砒素イオン As^+ の注入量より小さくすることで、フォトリソグラフィ工程を一回省略することができるメリットが得られる。

以上説明したように、本発明の一実施形態にかかる半導体装置50の製造方法によれば、多結晶シリコン層4にダイオード31を形成するためのボロ

ンイオン B^+ のイオン注入を、半導体基板1の活性領域20に電力用MOSFETのコンタクト領域10を形成するためのボロニイオン B^+ を高エネルギーでイオン注入する工程と切り離し、別途低エネルギーでイオン注入する工程を設けることで、ボロンの不純物分布が出発材料としての多結晶シリコン層4の膜厚と同程度に深くなることや、またチャネリング現象による多結晶シリコン層4のイオン種の突き抜けを抑制し、順電圧 V_f の多結晶シリコン層4の膜厚依存性およびそのバラツキを低減することができる。

[0036] なお、本発明の一実施形態にかかる半導体装置の製造方法では、主素子としてトレンチ内にゲート電極が形成されたトレンチゲート型の電力用MOSFETとダイオードとを有する半導体装置の製造方法について説明した。しかしながら、本発明はこれに限定されるものではなく、例えば半導体基板上にゲート電極が形成されるプレナー型の電力用MOSFETと温度検出用のダイオードとを有する半導体装置の製造方法に適用することができる。また、トレンチゲート型のIGBTと温度検出用のダイオードとを有する半導体装置の製造方法に適用することができる。

[0037] 更に、エミッタ・スイッチド・サイリスタ（EST）、MOS制御サイリスタ（MCT）、ディプリーションモードサイリスタ（DMT）、MOS電界制御サイリスタ（FCT）などのMOS複合デバイスにも適用可能である。

また、本発明の一実施形態にかかる半導体装置の製造方法では、半導体基板としてシリコン半導体基板を用いた場合について説明したが、本発明はこれに限定されるものではなく、例えば炭化ケイ素（SiC）や窒化ガリウム（GaN）などの半導体基板を用いた半導体装置の場合であっても温度検出用のダイオードを薄膜半導体層を用いて製造するのであれば適用することができる。

また、本発明の一実施形態にかかる半導体装置の製造方法では、温度検出用のダイオードが形成される薄膜半導体層として多結晶半導体層を用いた場合について説明したが、冒頭で述べたとおり、本発明はこれに限定されるも

のではなく、例えばアモルファス半導体層を用いた半導体装置の製造方法に適用することができる。

産業上の利用可能性

[0038] 以上のように、本発明にかかる半導体装置の製造方法は、薄膜半導体層を用いて同一チップ上に集積化される温度検出用のダイオードの順電圧 V_f のバラツキを低減することができ、主素子および温度検出用のダイオードを有するインテリジェント化されたパワーデバイスやパワー IC などの半導体装置の製造方法に有用である。

符号の説明

- [0039]
- 1 …半導体基板
 - 2 …ダイオード保護領域
 - 3 …絶縁膜
 - 4 …多結晶シリコン層
 - 5 …第 1 電極領域
 - 5 a …不純物イオン注入層
 - 6 …第 2 電極領域
 - 6 a …不純物イオン注入層
 - 7 …トレンチ
 - 7 a …ゲート絶縁膜
 - 8 …ゲート電極
 - 9 …チャネル形成領域
 - 9 a …電界緩和領域
 - 10 …コンタクト領域
 - 11 …主素子電極領域（ソース領域）
 - 12, 13, 14 …フォトレジスト
 - 20 …活性領域
 - 21 …非活性領域
 - 30 …トランジスタセル

3 1 …温度検出用ダイオード

5 0 …半導体装置

請求の範囲

- [請求項1] 半導体基板の表面上に形成された絶縁膜を介して薄膜半導体層を堆積する工程と、
- 前記薄膜半導体層に第1不純物イオンを前記薄膜半導体層の前記堆積時の膜厚よりも前記第1不純物イオンの飛程が小さくなる条件でイオン注入する工程と、
- 前記薄膜半導体層に第2不純物イオンを前記第1不純物イオンのドーズ量よりも高いドーズ量で選択的にイオン注入する工程と、を含み、
- 前記薄膜半導体層中の前記第1不純物イオンが注入された領域と前記第2不純物イオンが注入された領域とによって温度検出用のダイオードを形成することを特徴とする半導体装置の製造方法。
- [請求項2] 前記薄膜半導体層にイオン注入された前記第1および第2不純物イオンを活性化させる熱処理を施すことにより、前記薄膜半導体層中に、前記膜厚よりも薄い第1導電型の第1主電極領域および第2導電型の第2主電極領域を形成することを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記薄膜半導体層は、多結晶シリコン層であることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項4] 前記半導体基板の前記ダイオードが形成された部分とは異なる領域に主素子を集積化する工程を含むことを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項5] 前記主素子を集積化する工程は、前記半導体基板の表面に第3不純物イオンをイオン注入して、第1導電型のコンタクト領域を形成する工程を含むことを特徴とする請求項4に記載の半導体装置の製造方法。
- [請求項6] 前記第1不純物イオンのイオン注入は、前記第3不純物イオンのイオン注入とは別工程で行われることを特徴とする請求項5に記載の半

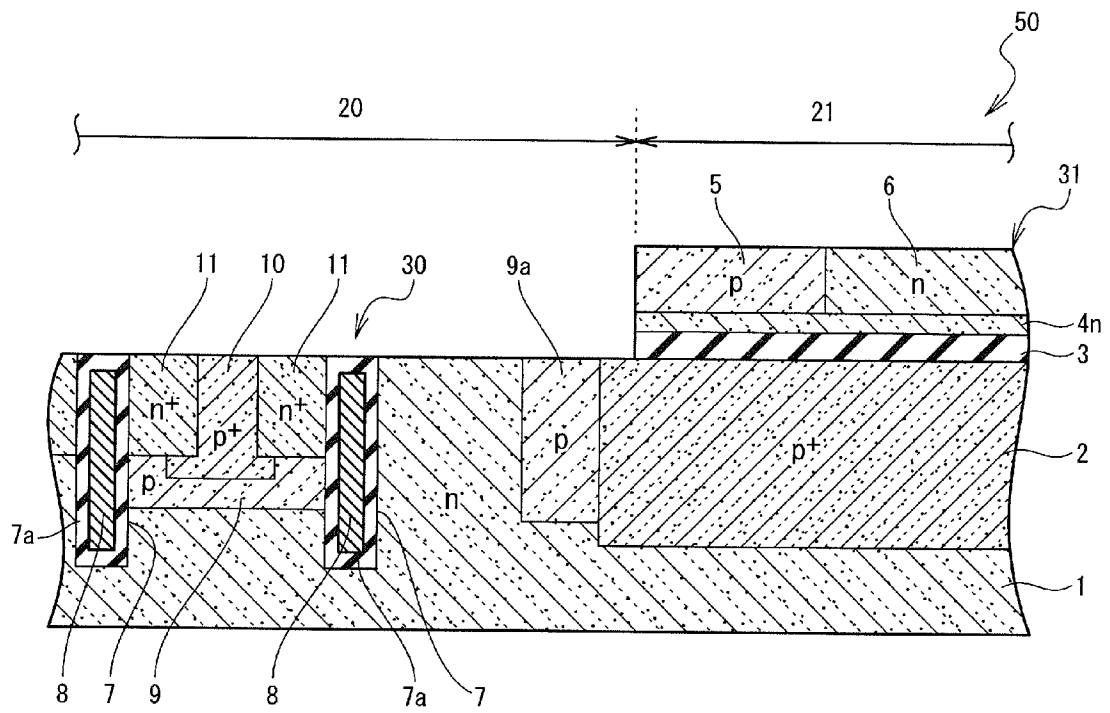
導体装置の製造方法。

[請求項7] 前記第1不純物イオンのイオン注入は、前記薄膜半導体層の全面に行われることを特徴とする請求項1に記載の半導体装置の製造方法。

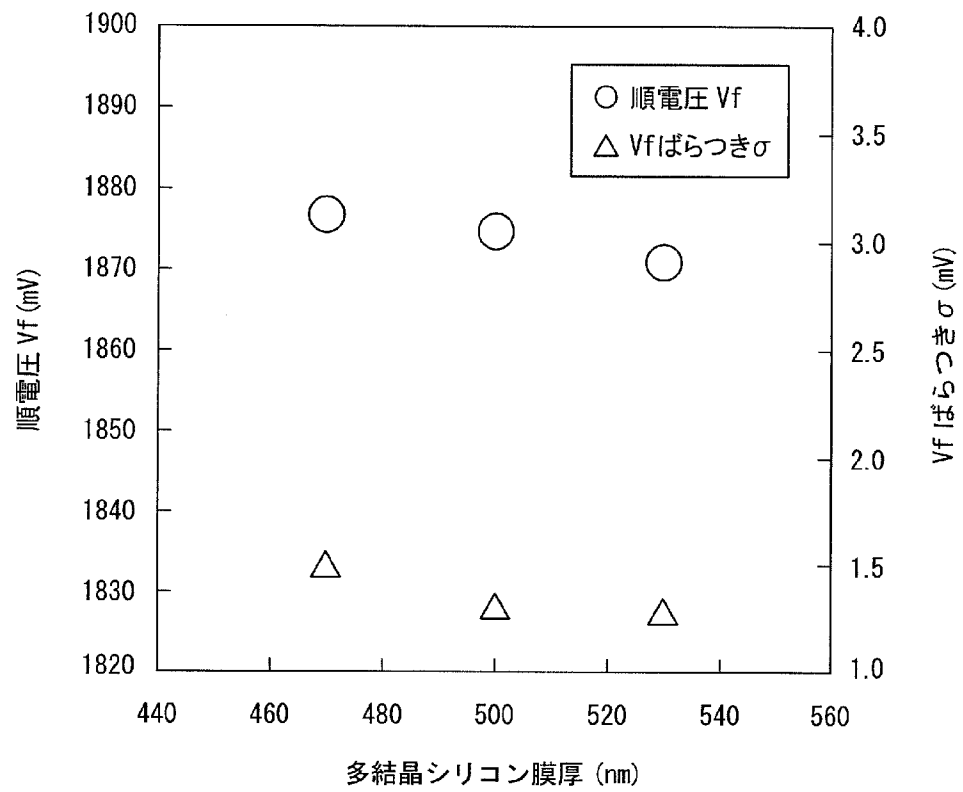
[請求項8] 前記第1不純物イオンは、ボロンであることを特徴とする請求項7に記載の半導体装置の製造方法。

[請求項9] 前記薄膜半導体層の膜厚は、200nm以上600nm以下であることを特徴とする請求項1乃至請求項8の何れか1項に記載の半導体装置の製造方法。

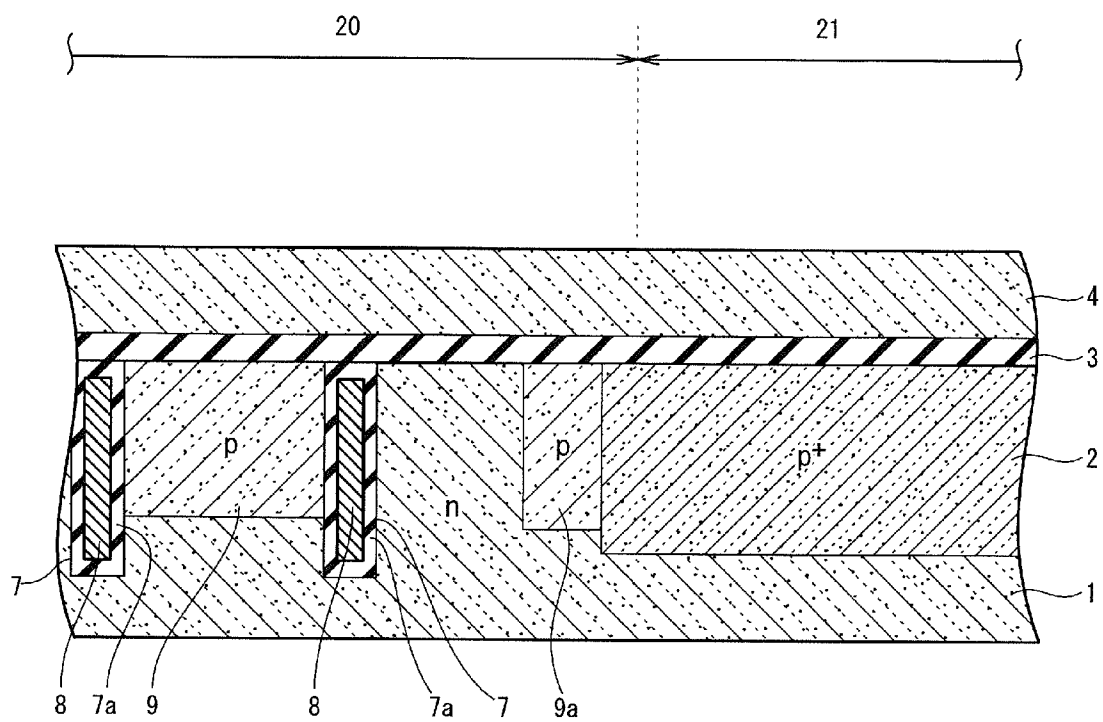
[図1]



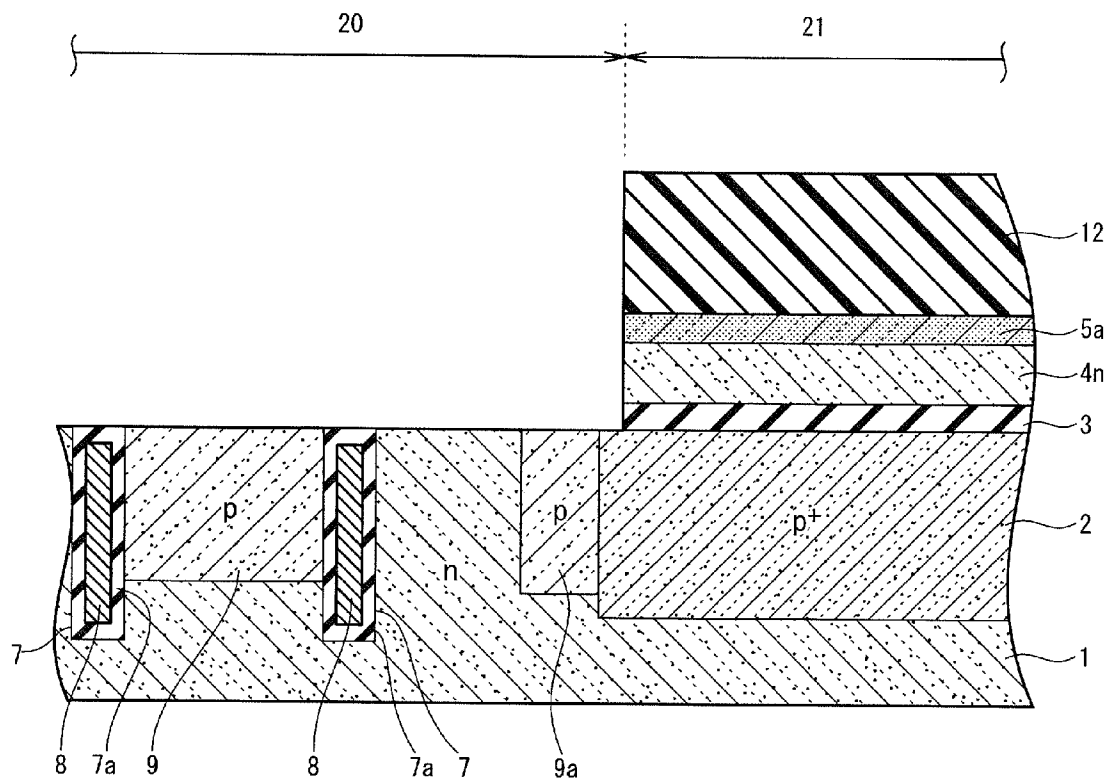
[図2]



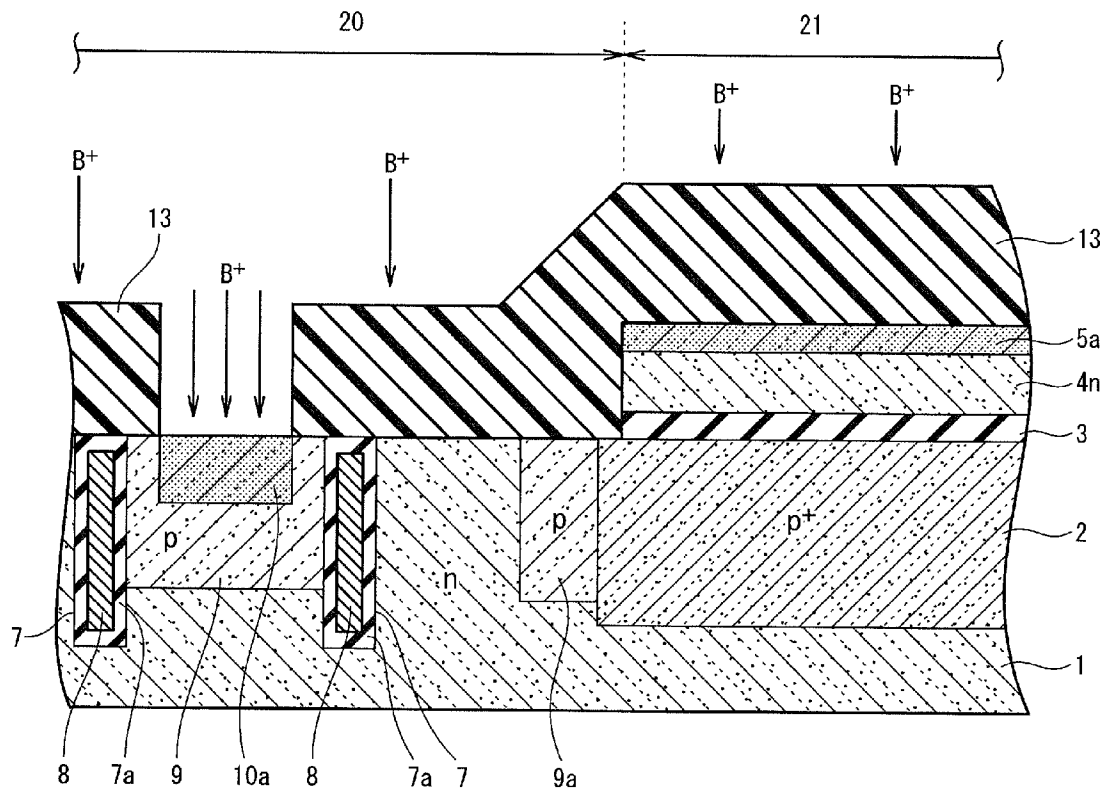
[図3]



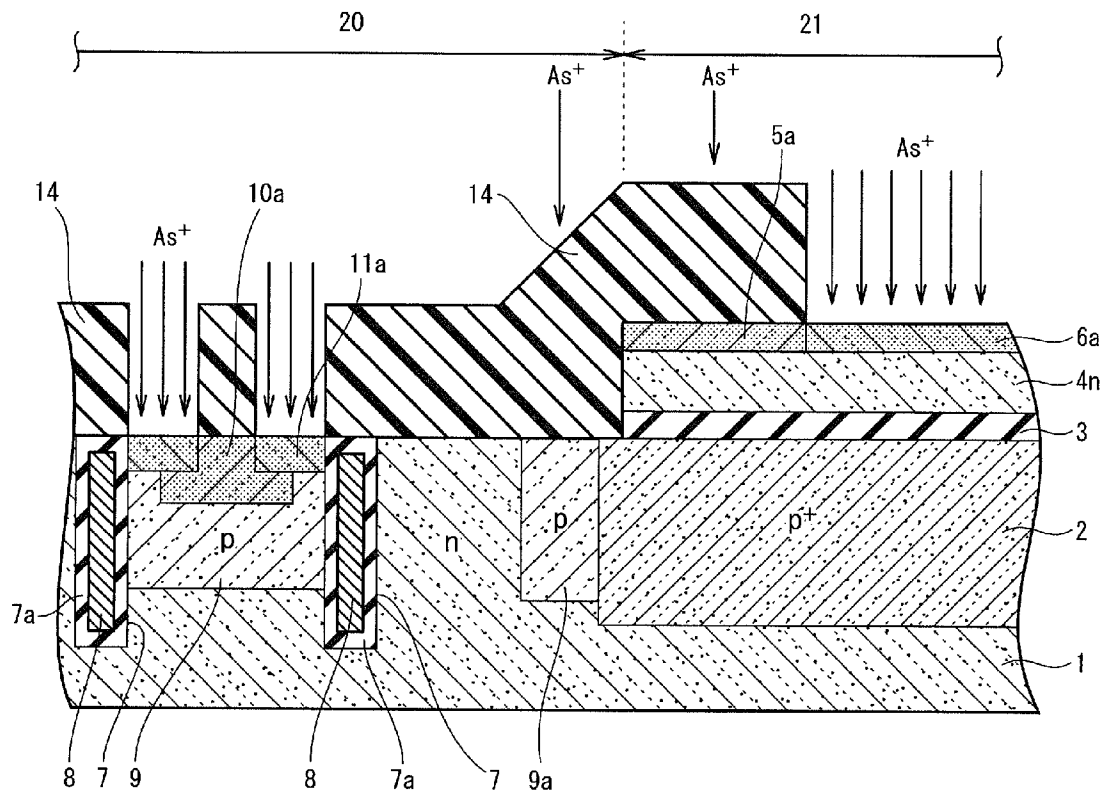
[図5]



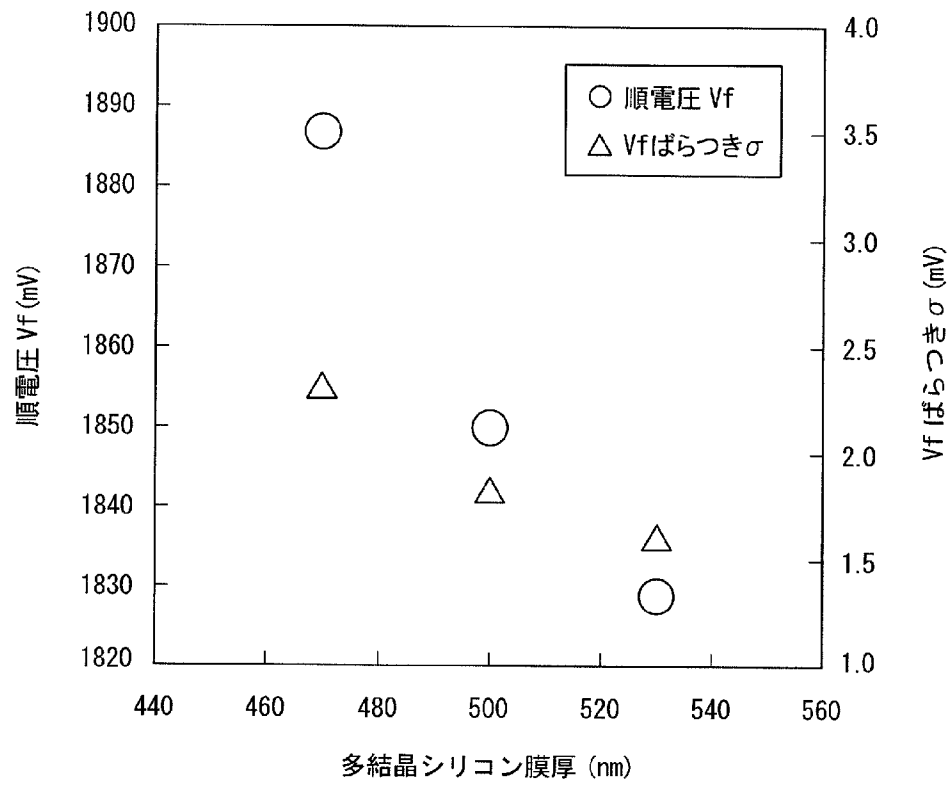
[図6]



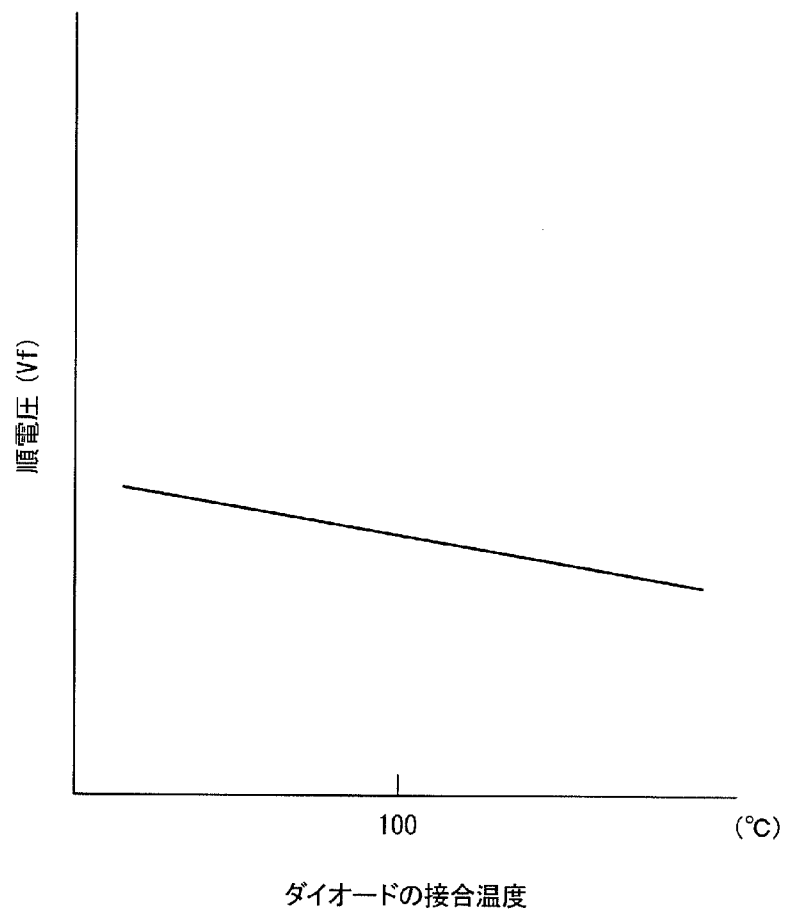
[図7]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002501

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/04(2006.01)i, H01L21/329(2006.01)i, H01L21/336(2006.01)i,
H01L29/06(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i,
H01L29/861(2006.01)i, H01L29/868(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04, H01L21/329, H01L21/336, H01L29/06, H01L29/739, H01L29/78,
H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-066184 A (Renesas Electronics Corp.), 31 March 2011 (31.03.2011), paragraphs [0028] to [0070]; fig. 1 to 5 & US 2011/0062545 A1	1-9
A	JP 2002-190575 A (Toyota Industries Corp.), 05 July 2002 (05.07.2002), paragraphs [0012] to [0023]; fig. 1, 2 (Family: none)	1-9
A	JP 03-034360 A (NEC Corp.), 14 February 1991 (14.02.1991), page 2, lower left column, line 2 to page 3, upper right column, line 2; fig. 1 (Family: none)	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

04 August, 2014 (04.08.14)

Date of mailing of the international search report

12 August, 2014 (12.08.14)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/002501

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-294670 A (Toyota Motor Corp.), 08 November 2007 (08.11.2007), paragraphs [0010] to [0019]; fig. 1 to 6 (Family: none)	1-9
A	JP 2010-287786 A (Renesas Electronics Corp.), 24 December 2010 (24.12.2010), paragraphs [0046] to [0050]; fig. 3, 4 (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L27/04(2006.01)i, H01L21/329(2006.01)i, H01L21/336(2006.01)i, H01L29/06(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L27/04, H01L21/329, H01L21/336, H01L29/06, H01L29/739, H01L29/78, H01L29/861, H01L29/868			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 4 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 4 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 4 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求項の番号
A	JP 2011-066184 A（ルネサスエレクトロニクス株式会社） 2011.03.31, 段落【0028】 - 【0070】, 第 1-5 図 & US 2011/0062545 A1		1-9
A	JP 2002-190575 A（株式会社豊田自動織機） 2002.07.05, 段落【0012】 - 【0023】, 第 1, 2 図 （ファミリーなし）		1-9
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 0 4 . 0 8 . 2 0 1 4		国際調査報告の発送日 1 2 . 0 8 . 2 0 1 4	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官（権限のある職員） 平野 崇 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6	5 F 3 6 5 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 03-034360 A (日本電気株式会社) 1991.02.14, 第2頁左下欄第2行目-第3頁右上欄第2行目, 第1図 (ファミリーなし)	1-9
A	JP 2007-294670 A (トヨタ自動車株式会社) 2007.11.08, 段落【0010】-【0019】, 第1-6図 (ファミリーなし)	1-9
A	JP 2010-287786 A (ルネサスエレクトロニクス株式会社) 2010.12.24, 段落【0046】-【0050】, 第3, 4図 (ファミリーなし)	1-9