

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3986578号  
(P3986578)

(45) 発行日 平成19年10月3日(2007.10.3)

(24) 登録日 平成19年7月20日(2007.7.20)

(51) Int. Cl.

F I

G 1 1 C 11/407 (2006.01)  
G 1 1 C 11/4093 (2006.01)  
G 1 1 C 11/413 (2006.01)  
G 1 1 C 11/417 (2006.01)

G 1 1 C 11/34 3 6 2 S  
G 1 1 C 11/34 3 5 4 P  
G 1 1 C 11/34 J  
G 1 1 C 11/34 3 0 5

請求項の数 8 (全 27 頁)

(21) 出願番号	特願平8-5781	(73) 特許権者	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日	平成8年1月17日(1996.1.17)	(74) 代理人	100064746 弁理士 深見 久郎
(65) 公開番号	特開平9-198875	(74) 代理人	100085132 弁理士 森田 俊雄
(43) 公開日	平成9年7月31日(1997.7.31)	(74) 代理人	100091395 弁理士 吉田 博由
審査請求日	平成14年12月10日(2002.12.10)	(74) 代理人	100091409 弁理士 伊藤 英彦
		(72) 発明者	谷村 政明 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 同期型半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

外部から与えられる外部クロック信号に同期して動作する同期型半導体記憶装置であって、

前記外部クロック信号に従って第1の内部クロック信号を生成するクロックバッファ手段、

前記外部クロック信号の有効を指示する外部から与えられる外部クロックイネーブル信号を前記第1の内部クロック信号に同期して取り込みラッチして前記外部クロックイネーブル信号の活性化時活性状態とされる入力バッファイネーブル信号を生成して出力するラッチ手段、

前記ラッチ手段の出力する入力バッファイネーブル信号を受け、該受けた入力バッファイネーブル信号を前記第1の内部クロック信号の半サイクル以上1サイクル未満遅延して内部クロックイネーブル信号を生成するクロックイネーブル手段、

前記内部クロックイネーブル信号の活性化時活性状態とされ、前記外部クロック信号に従って、第2の内部クロック信号を生成する内部クロック生成手段、および

前記入力バッファイネーブル信号の活性化時活性状態とされて前記外部クロック信号および前記外部クロックイネーブル信号と異なる外部から与えられる信号をバッファ処理する入力バッファ手段を備え、前記入力バッファ手段は第1および第2の電源供給ノード上の電圧を動作電源電圧として動作しかつ前記入力バッファイネーブル信号の非活性化時前記第1および第2の電源供給ノードの間の電流が流れる経路を遮断する手段を含み、さら

に

前記入力バッファ手段の出力に結合され、前記第2の内部クロック信号に同期して前記ラッチ手段と同相でラッチ状態となって前記入力バッファ手段の出力信号をラッチして内部信号を生成する、前記ラッチ手段と同一構成の内部信号生成手段を備える、同期型半導体記憶装置。

【請求項2】

外部から与えられる、第1の電位レベルと第2の電位レベルとの間で変化する外部クロック信号に同期して動作する同期型半導体記憶装置であって、

前記外部クロック信号に従って第1の内部クロック信号を生成するクロックバッファ手段、

前記外部クロック信号の有効を指示する外部から与えられる外部クロックイネーブル信号を、前記第1の内部クロック信号の前記第1の電位レベルから前記第2の電位レベルへの変化に同期してラッチしかつ該ラッチ信号を入力バッファイネーブル信号として出力するラッチ手段、

前記ラッチ手段の出力に結合され、前記ラッチ手段から出力される入力バッファイネーブル信号を前記第1の内部クロック信号の半サイクル以上1サイクル未満遅延して内部クロックイネーブル信号を生成するクロックイネーブル手段、

第1および第2の電源供給ノードの間に結合され、前記ラッチ手段からの入力バッファイネーブル信号の活性化および非活性化それぞれにตอบสนองして前記第1および第2の電源供給ノード間の電流が流れる経路が導通および遮断され、前記電源供給ノード間の導通時動作して前記外部クロック信号および前記外部クロックイネーブル信号と異なる外部から与えられる信号をバッファ処理する入力バッファ手段、

前記内部クロックイネーブル信号の活性化時活性化され、前記外部クロック信号に従って、第2の内部クロック信号を生成するクロック生成手段、および

前記ラッチ手段と同一の構成を有し、前記入力バッファ手段からの信号を前記第2の内部クロック信号の前記第1の電位レベルから前記第2の電位レベルへの変化にตอบสนองしてラッチして内部信号を生成する内部信号生成手段を備える、同期型半導体記憶装置。

【請求項3】

前記ラッチ手段は、

前記外部クロックイネーブル信号をバッファ処理するバッファ回路と、

前記バッファ回路の出力信号を受けると同時に結合され、前記第1の内部クロック信号が前記第1の電位レベルのときに前記バッファ回路の出力信号を通過させるスルー状態となり、かつ前記第1の内部クロック信号が前記第2の電位レベルのときに、前記バッファ回路から与えられた信号にかかわらず、その出力信号の状態を保持するラッチ状態とされる第1のラッチと、

前記第1のラッチに結合され、前記第1の内部クロック信号が前記第1の電位レベルのときに前記ラッチ状態となりかつ前記第1の内部クロック信号が前記第2の電位レベルのときに前記スルー状態とされる第2のラッチを備える、請求項2記載の同期型半導体記憶装置。

【請求項4】

前記クロックイネーブル手段は、前記第1の内部クロック信号に同期して前記ラッチ手段のラッチ状態と同相でラッチ状態とされ、前記ラッチ手段の信号取り込み時にスルー状態とされるラッチ回路を備える、請求項1または2に記載の同期型半導体記憶装置。

【請求項5】

前記クロックバッファ手段は、

前記外部クロック信号をバッファ処理するバッファ回路と、

前記バッファ回路の出力信号と同一位相で変化する信号を生成して前記第1の内部クロック信号を生成する手段を備える、請求項1ないし4のいずれかに記載の同期型半導体記憶装置。

【請求項6】

10

20

30

40

50

前記バッファ回路の出力信号を遅延して前記第1の内部クロック信号生成手段へ与える遅延手段をさらに備える、請求項5記載の同期型半導体記憶装置。

【請求項7】

前記ラッチ手段は、前記バッファ回路と前記第1のラッチとの間に設けられる遅延回路をさらに備える、請求項3記載の同期型半導体記憶装置。

【請求項8】

前記入力バッファ手段と前記内部信号生成手段の間に設けられる遅延回路をさらに備える、請求項1ないし7のいずれかに記載の同期型半導体記憶装置。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

この発明は、外部から与えられるクロック信号に同期して動作するクロック同期型半導体記憶装置に関し、特に、クロック同期型半導体記憶装置の外部信号を受ける入力バッファの構成に関する。

【0002】

【従来の技術】

マイクロプロセッサとメモリとの動作速度の差を解消するために、さまざまな高速アクセス可能なメモリLSI(大規模集積回路)が提案されている。これらのメモリLSIは、いずれも、外部クロック信号に同期してデータの入出力を行なうことにより、実効的なデータ転送速度を速くすることを特徴としている。このような外部クロック信号に同期して動作する同期型メモリの1つに、シンクロナスDRAM(以下、SDRAMと称す)がある。このSDRAMは、メモリセルが、通常、1キャパシタ/1トランジスタ型のダイナミック型メモリセルで構成される。

20

【0003】

図13は、従来のSDRAMの外部ピン端子の配置の一例を示す図である。図13において、矩形型のパッケージ(TSOP: thin small outline package)の長辺方向に沿った両側に外部ピン端子が配置される。このパッケージの長辺方向両端に、電源電圧V<sub>dd</sub>を受けるピン端子P1およびP23ならびに接地電圧V<sub>ss</sub>を受けるピン端子P2およびP24が配置される。電源ピン端子P1および接地ピン端子P2に隣接して、データ入出力を行なうためのピン端子P3、P4...P7およびP8が配置される。これらのデータ入出力ピン端子P3、P4、P7およびP8の間に、データ入出力を行なうバッファ回路に利用される接地電圧V<sub>ssQ</sub>および電源電圧V<sub>ddQ</sub>をそれぞれ供給するピン端子P5、P6、P9およびP10が配置される。

30

【0004】

パッケージ中央部付近に、外部からの制御信号を受けるピン端子P11~P17が配置される。ピン端子P11へは、ライトイネーブル信号ZWEが与えられる。ピン端子P13へは、コラムアドレスストローブ信号ZCASが与えられる。ピン端子P15へは、ロウアドレスストローブ信号ZRASが与えられる。ピン端子P17へは、チップセレクト信号ZCSが与えられる。ピン端子P12へは、後に説明する入力バッファにおける外部信号のハイレベルおよびローレベルの判定基準となる基準電位V<sub>ref</sub>が与えられる。この基準電位V<sub>ref</sub>は、また内部回路において他の形態で利用されてもよい。

40

【0005】

ピン端子P14へは、このSDRAMの動作タイミングを規定する外部クロック信号CLKが与えられる。ピン端子P16へは、この外部クロック信号CLKの有効/無効を規定するクロックイネーブル信号CKEが与えられる。ピン端子P18へは、何ら外部信号は与えられず、ノーコネクション(NC)状態とされる。

パッケージの下部のピン端子P19、P20~P21およびP22へは、外部からのアドレス信号Adが与えられる。

【0006】

標準のDRAMと異なり、SDRAMにおいては、クロック信号CLKの立上がり時にお

50

ける外部制御信号 ZWE、ZCAS、ZRAS、ZCSの状態により、実行される内部動作が規定される。その動作態様について、次に図14を参照して説明する。

図14(a)に示すように、クロック信号CLKの立上がりエッジにおいて、チップセレクト信号ZCSおよびロウアドレスストロープ信号ZRASをLレベルに設定しかつコラムアドレスストロープ信号ZCASおよびライトイネーブル信号ZWEをHレベルに指定すると、アクティブコマンドが与えられ、このSDRAMの内部動作が活性化される。すなわち、このアクティブコマンドに従って、SDRAMにおいて、アドレス信号Xが取込まれ、このアドレス信号Xに従ってメモリセル選択動作が開始される。

#### 【0007】

図14(b)に示すように、クロック信号CLKの立上がりエッジにおいて、チップセレクト信号ZCSおよびコラムアドレスストロープ信号ZCASをLレベルに設定しかつロウアドレスストロープ信号ZRASおよびライトイネーブル信号ZWEをHレベルに設定すると、リードコマンドが与えられ、データ読出モードが指定される。このリードコマンドが与えられると、アドレス信号Yが取込まれ、SDRAMにおいては、このアドレス信号Yに従ってメモリセルの列選択動作が行なわれ、選択された行および列のメモリセルのデータQが出力される。通常、このリードコマンドが与えられてから、「ZCASレイテンシー」と呼ばれるクロックサイクル期間が経過した後に、有効データQが出力される。図14(b)においては、ZCASレイテンシーが1の場合の状態を示す。

#### 【0008】

図14(c)に示すように、クロック信号CLKの立上がりエッジにおいて、チップセレクト信号ZCS、コラムアドレスストロープ信号ZCAS、およびライトイネーブル信号ZWEをLレベルに設定し、ロウアドレスストロープ信号ZRASをHレベルに設定すると、ライトコマンドが与えられる。このライトコマンドが与えられると、SDRAMのデータ書込動作が指定され、このライトコマンドが与えられたクロックサイクルにおけるデータDがSDRAMに取込まれてアドレス信号X、Yにより指定された内部の選択メモリセルへ書込まれる。

#### 【0009】

図14(d)に示すように、クロック信号CLKの立上がりエッジにおいて、チップセレクト信号ZCS、ロウアドレスストロープ信号ZRASおよびライトイネーブル信号ZWEをLレベルに設定し、コラムアドレスストロープ信号ZCASをHレベルに設定すると、プリチャージコマンドが与えられる。このプリチャージコマンドが与えられると、SDRAMは、内部がプリチャージ状態に復帰し、選択状態とされたメモリセルがすべて非選択状態とされる。またSDRAMの内部回路はすべてプリチャージ状態(スタンバイ状態)に復帰する。

#### 【0010】

このクロック信号CLKの立上がりエッジに同期して外部信号、すなわち外部制御信号、アドレス信号、および書込データを装置内部へ取込むことにより、外部信号のスキューなどによるタイミングマージンを考慮する必要がなく、高速で内部動作を開始することができ、高速アクセスが可能となる。また、データ入出力をクロック信号CLKに同期して行なうため、データ書込/読出を高速で行なうことができる。ここで、通常SDRAMにおいては、リードコマンドまたはライトコマンドを与えると、その時に与えられたアドレス信号(Yアドレス)に従ってバースト長と呼ばれる数のデータを連続して読出または書込をすることができる。

#### 【0011】

図15は、SDRAMの内部構成を概略的に示すブロック図である。図15において、SDRAMは、外部クロック信号extCLKをバッファ処理するクロックバッファ1と、外部クロックイネーブル信号extCKEをクロックバッファ1の出力信号に同期して取込みラッチして内部クロックイネーブル信号intCKEを生成するCKEバッファ回路2と、内部クロックイネーブル信号intCKEの活性化時活性状態とされ、クロックバッファ1の出力信号に従って内部クロック信号intCLKを生成する内部クロック発生

10

20

30

40

50

回路4を含む。内部クロック発生回路4は、この内部クロックイネーブル信号 *intCKE* の非活性化時、すなわち外部（内部）クロック信号の無効状態を示すときには、内部クロック信号 *intCLK* をLレベルに固定する。

【0012】

SDRAMは、さらに、内部クロック信号 *intCLK* の立上がり同期して、外部からの信号 *ZCS*、*ZRAS*、*ZCAS*、および *ZWE* を取込みかつラッチして内部制御信号を生成する外部信号入力バッファ回路6と、この外部信号入力バッファ回路6からの内部制御信号に従って指定された動作モードを指定する信号を発生するコマンドデコーダ8と、コマンドデコーダ8からの内部動作モード指定信号に従って必要とされる内部制御信号を発生する内部制御信号発生回路10を含む。この内部制御信号発生回路10は、また内部クロック信号 *intCLK* に同期して動作し、各種内部制御信号をこの内部クロック信号 *intCLK* に従って活性/非活性状態とする。

10

【0013】

SDRAMは、さらに、行列状に配列される複数のメモリセルMCを含むメモリセルアレイ12と、内部クロック信号 *intCLK* に同期して外部からのアドレス信号ビット *Ad0* ~ *Adn* を取込み内部アドレス信号を生成するアドレスバッファ回路14と、内部制御信号発生回路10からの内部制御信号にตอบสนองして活性状態とされてアドレスバッファ回路14からの内部行アドレス信号 *X* をデコードし、メモリセルアレイ12の対応の行を選択する行選択系回路16と、内部制御信号発生回路10からの内部制御信号にตอบสนองして活性状態とされてアドレスバッファ回路14からの内部列アドレス信号 *Y* に従ってメモリセルアレイ12の列を選択する列選択系回路18と、内部制御信号発生回路10の制御のもとに、装置内部とデータの入出力を行なうデータ入出力バッファ回路20と、内部制御信号発生回路10の制御のもとに、メモリセルアレイ12の選択されたメモリセルとデータ入出力バッファ回路20との間でデータの授受を行なう書込/読出回路22を含む。メモリセルアレイ12においては、メモリセルの各行に対応してワード線 *WL* が配置され、メモリセルMCの各列に対応してビット線対 *BLP* が配置される。

20

【0014】

行選択系回路16は、行アドレス信号 *X* をデコードする *X* デコーダ、*X* デコーダの出力信号に従って選択ワード線 *WL* を選択状態へ駆動するワード線ドライバ、およびこの選択ワード線 *WL* に接続されるメモリセルMCのデータを検知、増幅およびラッチするセンスアンプおよびセンスアンプの活性/非活性を制御する回路を含む。

30

列選択系回路18は、ビット線対 *BLP* それぞれに対応して設けられる *IO* ゲート、および列アドレス信号 *Y* をデコードする *Y* デコーダを含む。

【0015】

書込/読出回路22は、それぞれデータ書込用およびデータ読出用のための複数のレジスタを含み、内部制御信号発生回路10から与えられる書込/読出指示信号にตอบสนองして内部クロック信号 *intCLK* に同期して、データの書込/読出を実行する。

上述のように、SDRAMにおいて内部動作タイミングは、すべて内部クロック信号 *intCLK* により決定される。クロックイネーブル信号 *intCKE* により内部クロック信号 *intCLK* をLレベルに固定した場合、外部信号（外部書込データ、アドレス信号ビットおよび外部制御信号）の取込は行なわれず、また内部制御信号発生回路10は、先のクロックサイクルの状態を維持する。内部信号の状態変化は生じず、したがって信号線の充放電は行なわれず、消費電流が低減される。

40

【0016】

図16は、この外部クロックイネーブル信号 *extCKE* の作用を説明するための図である。図16(A)に示すように、クロックサイクル0において、外部クロックイネーブル信号 *extCKE* がHレベルのときには、次のクロックサイクル1において外部クロック信号 *extCLK* に同期して内部クロック信号 *intCLK* が生成される。クロックサイクル0における内部クロック信号 *intCLK* の状態は前のクロックサイクルの信号 *extCKE* の状態により決定される。

50

## 【 0 0 1 7 】

クロックサイクル1において、外部クロック信号  $e x t C L K$  の立上がりエッジにおいて、外部クロックイネーブル信号  $e x t C K E$  を L レベルに設定すると、次のクロックサイクル2において、内部クロック  $i n t C L K$  が L レベルに固定される。すなわち、クロックサイクル2において、内部クロック信号  $i n t C L K$  の立上がりが禁止される。したがってこのクロックサイクル2において、S D R A M は、クロックサイクル1と同じ状態を保持する。

図16(B)は、データ書込/読出時における外部クロックイネーブル信号  $e x t C K E$  の利用を説明するための図である。図16(B)においては、外部の制御信号  $Z C S$ 、 $Z R A S$ 、 $Z C A S$  および  $Z W E$  は、まとめてコマンドとして示す。

10

## 【 0 0 1 8 】

クロックサイクル1において、外部クロックイネーブル信号  $e x t C K E$  を H レベルとし、かつライトコマンドを与えると、この外部クロック信号  $e x t C L K$  の立上がりエッジでデータ  $D 0$  が取込まれる。クロックサイクル2において、外部クロックイネーブル信号  $e x t C K E$  を L レベルに設定すると、クロックサイクル3における内部クロック信号の発生が停止される。この状態においては、クロックサイクル2においてデータ  $D 1$  が取込まれて、またクロックサイクル3においては、外部クロック信号  $e x t C L K$  が立上がった後も、内部クロック信号が発生されていないため、データ  $D 2$  の取込は行なわれない。したがって外部の制御装置である C P U (中央処理装置)は、次のクロックサイクルにおいても同じデータ  $D 2$  を与える。これにより、クロックサイクル4において、内部クロック信号が発生されてデータ  $D 2$  の取込が行なわれ、次いでクロックサイクル5においてデータ  $D 3$  の取込が実行される。ここで、図16(B)においては、バースト長は4に設定された場合が一例として示される。ここで、バースト長とは、ライトコマンドまたはリードコマンドが与えられたとき、連続して書込または読出すことのできるデータの数を示す。したがって、データ書込時において、外部クロックイネーブル信号  $e x t C K E$  を1クロックサイクル期間 L レベルとすることにより、データ  $D 2$  の有効状態を長くして、データ  $D 3$  の書込タイミングを1クロックサイクル遅らせることができる。C P U が、書込データ  $D 3$  を準備していない場合においても、このデータ  $D 3$  が生成されるまで書込タイミングを遅らせることができる。

20

## 【 0 0 1 9 】

この外部クロックイネーブル信号  $e x t C K E$  を利用することにより、外部クロック信号  $e x t C L K$  の立上がりエッジで、連続して書込データを与え、クロックサイクル4においてデータ  $D 3$  を書込むべき場合に、データ  $D 3$  が準備されていない場合においても、このデータ  $D 3$  が準備されるまで書込状況を遅らせることができ、外部の C P U の動作タイミングに合わせてデータの書込を行なうことができる。

30

またクロックサイクル6において、リードコマンドが与えられると、外部クロックイネーブル信号  $e x t C K E$  が H レベルに固定されている場合には、 $Z C A S$  レイテンシーが経過したクロックサイクル10において有効データ  $Q 0$  が出力され、以降クロックサイクル11、12および13においてそれぞれデータ  $Q 1$ 、 $Q 2$  および  $Q 3$  が読出される。ここで、 $Z C A S$  レイテンシーが3の場合が一例として示される。しかしながら、クロックサイクル7において、外部クロックイネーブル信号  $e x t C K E$  を L レベルとすると、クロックサイクル8において内部クロック信号の発生は停止されるため、データ読出動作が1クロックサイクル停止され、等価的に  $Z C A S$  レイテンシーが1サイクル長くなり、4クロックサイクル経過後のクロックサイクル11において有効データ  $Q 0$  が出力される。

40

## 【 0 0 2 0 】

クロックサイクル11において、また外部クロックイネーブル信号  $e x t C K E$  を L レベルに設定すると、クロックサイクル12において内部クロック信号の発生が停止されるため、クロックサイクル11で読出されて、このクロックサイクル12において確定したデータ  $Q 1$  がクロックサイクル13においても保持される。外部クロックイネーブル信号  $e x t C K E$  が以降 H レベルであるため、クロックサイクル14および15において、残り

50

のデータQ2およびQ3がそれぞれ読出される。したがってこのデータ読出動作時においても、CPUがデータを受入れる準備ができていないか否かに合わせてSDRAMからのデータ読出タイミングを調節することができる。

**【0021】**

またこのようなデータ入出力のタイミングを遅らせる構成に加えて、さらに内部クロック信号の発生が停止されるため、外部クロック信号extCKEを連続的にLレベルに固定すれば、内部クロック信号intCLKが常時Lレベルに固定されるため、SDRAMの内部状態は変化せず、消費電流を低減することができる。特にスタンバイ時における外部クロック信号extCLKに同期した外部信号の取込を停止させることができ、応じて内部信号の状態の変化を防止でき、スタンバイ時の消費電流を低減することができる。

10

**【0022】**

図17(A)は、図15に示すクロックバッファ1および内部クロック発生回路4の構成の一例を示す図である。図17(A)において、クロックバッファ1は、外部クロック信号extCLKをバッファ処理する入力バッファ1aと、バッファ1aの出力信号を反転するインバータ1bを含む。インバータ1bから第1の内部クロック信号intCLK0が出力される。バッファ1aから、外部クロック信号extCLKと相補な論理の内部クロック信号intZCLK0が生成される。

**【0023】**

内部クロック発生回路4は、CKEバッファ2からの内部クロックイネーブル信号intZCKEとバッファ1aからの内部クロック信号intZCLK0を受けるNOR回路4aと、NOR回路4aの出力信号を反転するインバータ4bを含む。NOR回路4aから第2の内部クロック信号としての内部クロック信号intCLKが出力され、インバータ4bから、補の内部クロック信号intZCLKが出力される。

20

図17(B)は、図15に示すCKEバッファ2の構成の一例を示す図である。図17(B)において、CKEバッファ2は、外部クロックイネーブル信号extCKEをバッファ処理するバッファ2aと、バッファ2aの出力信号を内部クロック信号intCLK0に同期してラッチし出力する第1のラッチ回路2bと、この第1のラッチ回路2bの出力信号を内部クロック信号intZCLK0に同期してラッチし出力する第2のラッチ回路2cを含む。

**【0024】**

第1のラッチ回路2bは、内部クロック信号intCLK0およびintZCLK0により選択的に活性状態とされる3状態インバータ21aを含む。この3状態インバータ21aは、内部クロック信号intCLK0がLレベルのときに活性状態とされて、バッファ2aから与えられた信号を反転する。内部クロック信号intCLK0がHレベルのとき、この3状態インバータ21aは、非作動状態とされて出力ハイインピーダンス状態とされる。

30

第1のラッチ回路2bは、さらに、3状態インバータ21aの出力信号を受けるインバータ21bと、インバータ21bの出力信号をインバータ21bの入力部へ反転して伝達するインバータ21cと、インバータ21bの出力信号を受けるインバータ21dと、内部クロック信号intCLK0とインバータ21dの出力信号とを受けるNAND回路21eと、内部クロック信号intCLK0とインバータ21bの出力信号とを受けるNAND回路21fと、NAND回路21eの出力信号を一方入力に受けるNAND回路21gと、NAND回路21fの出力信号とNAND回路21gの出力信号CKE0とを受けるNAND回路21hを含む。NAND回路21hの出力信号はNAND回路21eの他方入力に与えられる。このNAND回路21gおよび21hは、フリップフロップを構成する。

40

**【0025】**

第2のラッチ回路2cは、内部クロック信号intZCLK0とNAND回路21gの出力信号CKE0を受けるNAND回路22aと、内部クロック信号intZCLK0とNAND回路21hの出力信号CKE0とを受けるNAND回路22bと、NAND回路2

50

2 a の出力信号を一方入力に受ける NAND 回路 2 2 c と、NAND 回路 2 2 b の出力信号と NAND 回路 2 2 c の出力信号とを受けて補の内部クロックイネーブル信号 `intZCKE` を出力する NAND 回路 2 2 d を含む。NAND 回路 2 2 d の出力する内部クロックイネーブル信号 `intCKE` は NAND 回路 2 2 c の他方入力へ与えられる。NAND 回路 2 2 c から、内部クロックイネーブル信号 `intZCKE` が出力される。この NAND ゲート 2 2 c および 2 2 d が、フリップフロップを構成する。次に、この図 2 4 ( A ) に示すクロックバッファおよび内部クロック発生回路ならびに図 1 7 ( B ) に示す C K E バッファの動作を、その動作波形図である図 1 8 を参照して説明する。

**【 0 0 2 6 】**

クロックサイクル 0 において、外部クロックイネーブル信号 `extCKE` が H レベルのときに、外部クロック信号 `extCLK` が H レベルに立上がると、クロックバッファ 1 の入力バッファ 1 a からの内部クロック信号 `intZCLK0` が L レベルとされ、またインバータ 1 b の出力信号が H レベルへ立下がる。一方、CKE バッファ 2 において、バッファ 2 a の出力信号は、L レベルであり ( バッファ 2 a は反転機能を有する )、第 1 のラッチ回路 2 b においては、3 状態インバータ 2 1 a が内部クロック信号 `intCLK0` の立上がりに対応して出力ハイインピーダンス状態とされ、インバータ 2 1 b および 2 1 c により、この内部クロック信号 `intCLK0` の立上がり前に与えられていた H レベルの信号がラッチされる。

10

**【 0 0 2 7 】**

NAND 回路 2 1 e および 2 1 f 各々は、内部クロック信号 `intCLK0` の立上がりに対応してインバータとして作用し、それぞれインバータ 2 1 d および 2 1 b から与えられる信号を反転して NAND 回路 2 1 g および 2 1 h へ与える。この状態においては、NAND 回路 2 1 e の出力信号は L レベルとなり、応じて NAND 回路 2 1 g からの信号 `CKE0` は H レベルになる。一方、第 2 のラッチ回路 2 c においては、内部クロック信号 `intZCLK0` は L レベルに立下がるため、NAND 回路 2 2 a および 2 2 b の出力信号は H レベルとなり、第 2 のラッチ回路 2 c は、この内部クロック信号 `intZCLK0` の立下がる前に与えられていた信号を保持するラッチ状態とされる。したがってこの状態においては内部クロックイネーブル信号 `intCKE` が H レベルであり、一方、補の内部クロックイネーブル信号 `intZCKE` は L レベルである。したがって内部クロック発生回路 4 においては、NOR 回路 4 a がインバータとして作用し、クロックバッファ 1 のバッファ 1 a から与えられる信号を反転して内部クロック信号 `intCLK` を生成する。信号 `intCKE` および `intZCKE` の状態は内部クロック信号 `intZCLK` の立上がりに対応して決定される。したがって、クロックサイクル 0 において、内部クロック信号 `intCLK` が発生されるか否かは、前のサイクルにおける外部クロックイネーブル信号 `extCKE` の状態により決定される。

20

30

**【 0 0 2 8 】**

クロックサイクル 1 において、外部クロック信号 `extCLK` の立上がりエッジにおいて、外部クロックイネーブル信号 `extCKE` を L レベルに設定する。この状態において、内部クロック信号 `intCLK0` が外部クロック信号 `extCLK` に従って H レベルに立上がり、第 1 のラッチ回路 2 b が、バッファ 2 a から与えられる外部クロックイネーブル信号 `extCKE` をラッチし、かつ出力する。したがってこの第 1 のラッチ回路 2 b の出力信号 `CKE0` が内部クロック信号 `intCLK0` の立上がりに対応して L レベルに立下がる。一方、第 2 のラッチ回路 2 c は、内部クロック信号 `intZCLK0` が L レベルであるため、ラッチ状態にあり、内部クロックイネーブル信号 `intCKE` を H レベル、補の内部クロックイネーブル信号 `intZCKE` を L レベルに保持する。

40

**【 0 0 2 9 】**

したがってクロックサイクル 1 においては、NOR 回路 4 a がインバータとして作用し、バッファ 1 a からの信号に従って内部クロック信号 `intCLK` が生成される。このクロックサイクル 1 において、内部クロック信号 `intCLK0` ( 外部クロック信号 `extCLK` ) が L レベルに立下ると、第 1 のラッチ回路 2 b において、3 状態インバータ 2 1

50



aが、作動状態とされ、バッファ2 aからのHレベルの信号を反転する。しかしながら、NAND回路2 1 dおよび2 1 fは、Lレベルの内部クロック信号i n t C L K 0により、それぞれの出力信号をHレベルに保持し、NAND回路2 1 gおよび2 1 hの状態は変化しない。したがって、この第1のラッチ回路2 1 bの出力信号C K E 0はLレベルに保持される。一方、第2のラッチ回路2 cは、内部クロック信号i n t Z C L K 0の立上がりに対応してスルー状態となり、第1のラッチ回路2 bから与えられた信号を通過させかつラッチする。これに応じて内部クロックイネーブル信号i n t C K EがLレベルとなり、補の内部クロックイネーブル信号i n t Z C K EがHレベルとされる。この結果、内部クロック発生回路4においては、NOR回路4 aの出力信号がLレベルに固定され、内部クロック信号i n t C L KがLレベルに固定される。第2のラッチ回路2 cは、次に内部クロック信号i n t Z C L K 0がHレベルに立上がるまで(すなわち内部クロック信号i n t C L K 0がLレベルに立下がるまで)内部クロックイネーブル信号i n t C K EをLレベルに保持する。したがって、クロックサイクル2においては、内部クロック信号i n t C L K 0が外部クロック信号e x t C L Kに従って立上がっても、NOR回路4 aは、その出力信号がLレベルに固定され、内部クロック信号i n t C L Kの立上がり(発生)が禁止される。

10

**【0030】**

クロックサイクル2において、外部クロックイネーブル信号e x t C K EがHレベルであると、内部クロック信号i n t C L K 0の立上がりに対応して、第1のラッチ回路2 bがラッチ状態とされ、それまでに取込んでいたHレベルの信号に従って、その出力信号C K E 0をHレベルに復帰させる。

20

したがって、内部クロック信号i n t C L K 0の立下がりに対応して、第2のラッチ回路2 cがスルー状態とされると、内部クロックイネーブル信号i n t C K EがHレベルとされ、補の内部クロック信号i n t Z C K EがLレベルとされる。これにより、クロックサイクル3においては、外部クロック信号e x t C L Kの立上がりに従って内部クロック信号i n t C L KがHレベルに立上がる。

**【0031】**

上述のように、第1のラッチ回路2 bにおいて、内部クロック信号i n t C L K 0に従って外部クロックイネーブル信号をラッチしかつシフトし、また第2のラッチ回路2 cにより、この第1のラッチ回路2 bの出力信号を内部クロック信号i n t Z C L K 0に従ってシフトすることにより、内部クロックイネーブル信号i n t C K Eは、外部クロック信号e x t C L Kの半サイクル遅れて変化しかつその変化状態を1クロックサイクル保持するため、内部クロック信号i n t C L Kが立下がってから確実に次のクロックサイクルの間この内部クロック信号i n t C L KをLレベルに保持することができる。また内部クロック信号i n t C L K 0の立下がりに対応して、第2のラッチ回路のラッチ状態を解放してスルー状態としているため、外部クロックイネーブル信号e x t C K EがHレベルとされた状態においては、次のクロックサイクルにおいて確実に内部クロック信号i n t C L KをHレベルの活性状態とすることができる。

30

**【0032】**

上述のように、外部クロックイネーブル信号e x t C K Eを、第1および第2のラッチ回路2 bおよび2 cにより、内部クロック信号i n t C L K 0に従って順次シフト動作させることにより、確実に、この外部クロックイネーブル信号e x t C K EがLレベルとされて、外部クロック信号の無効状態を示すとき、次のクロックサイクルにおいて、内部クロック信号i n t C L KをLレベルに固定することができる。

40

**【0033】****【発明が解決しようとする課題】**

システム構成要素である各種半導体装置の高速化に対応して、システム内で高速に信号を伝搬するために、新しい規格がインタフェースに対しても提案されている。これらの新しい規格には、G T L (ガニング・トランシーバ・ロジック)、C T T (センター・タップド・ターミネーティド)、H S T L (ハイ・スピード・トランシーバ・ロジック)、お

50

よびSSTL(スタブ・シリーズ・ターミネーティド・ロジックまたはスタブ・シリーズ・ターミネーティド・トランシーバ・ロジック)がある。これらのインタフェースでは、入力信号の振幅が小さくされており、信号線の充放電時間を短くし、消費電力の低減および高速化を図る。たとえば、HSTLおよびCTTにおいて、入力信号の振幅は、基準電圧 $V_{ref}$ に対し $\pm 0.2V$ の範囲に定められている。したがって、受信側の素子に設けられた入力バッファは、この小振幅の信号を増幅することが要求される。これらの新しい規格は、基準電圧に対してHレベルおよびLレベルの振幅が定められており、入力バッファとしては、差動増幅回路が必要とされる。

#### 【0034】

図19は、従来の入力バッファ初段の構成を示す図である。ここで、入力バッファ初段とは、外部信号を直接受けるバッファ回路部分を示し、バッファ1a, 2aに相当する。

図19において、初段の入力バッファは、電源電圧 $V_{dd}$ を供給する電源ノードに接続される一方導通ノード(ソース)と、ノードN1に接続されるゲートおよび他方導通ノード(ドレイン)とを有するpチャネルMOSトランジスタPQ1と、電源ノードに接続される一方導通ノードとノードN1に接続されるゲートと、出力ノードN2に接続される他方導通ノードとを有するpチャネルMOSトランジスタPQ2と、接地電圧 $V_{ss}$ を供給する接地ノードに接続される一方導通ノードと、基準電圧 $V_{ref}$ を受けるように接続されるゲートと、ノードN1に接続される他方導通ノードとを有するnチャネルMOSトランジスタNQ1と、接地ノードに接続される一方導通ノードと、外部信号EXTを受けるように接続されるゲートと、出力ノードN2に接続される他方導通ノードとを有するnチャネルMOSトランジスタNQ2を含む。この初段の入力バッファの構成においては、pチャネルMOSトランジスタPQ1およびPQ2がカレントミラー回路を構成する。外部信号EXTは、外部から与えられる制御信号ZCS、ZRAS、ZCASおよびZWE、アドレス信号Add、および書込データDのいずれであってもよい。

#### 【0035】

外部信号EXTが基準電位 $V_{ref}$ よりも高い場合には、nチャネルMOSトランジスタNQ2のコンダクタンスが、nチャネルMOSトランジスタNQ1のそれよりも大きくなる。MOSトランジスタNQ1は、pチャネルMOSトランジスタPQ1から電流が供給され、このpチャネルMOSトランジスタPQ1と同じ大きさの電流がpチャネルMOSトランジスタPQ2を介して流れる(MOSトランジスタPQ1およびPQ2のサイズが同じ場合)。したがって、この状態においては、MOSトランジスタPQ2を介して流れる電流はすべてMOSトランジスタNQ2を介して接地ノードへ放電され、ノードN2は、Lレベルとなる。

#### 【0036】

一方、外部信号EXTの電位レベルが基準電圧 $V_{ref}$ よりも低い場合には、nチャネルMOSトランジスタNQ1のコンダクタンスが、MOSトランジスタNQ2のコンダクタンスよりも大きくなる。この場合には、pチャネルMOSトランジスタPQ2を介して流れる電流は、nチャネルMOSトランジスタNQ2を介して流れる電流よりも大きくなり、ノードN2の電位レベルはHレベルとされる。

この図19に示すような、差動増幅回路を初段の入力バッファに利用することにより、外部信号EXTの振幅が小さい場合においても、高速で増幅して大きな振幅の内部信号ZOUTを生成することができる。

#### 【0037】

基準電圧 $V_{ref}$ は、通常、電源電圧 $V_{dd}$ と接地電圧 $V_{ss}$ の中間電圧( $(V_{dd} + V_{ss}) / 2$ )の電位レベルである。外部信号EXTは、その振幅が小さく、 $V_{ref} \pm 0.2$ (HSTLおよびCTTインタフェースの場合: GTLの場合、 $V_{ref} \pm 0.05$ )である。しかし、スタンバイ時等において、外部信号EXTの電位レベルが電源電圧 $V_{dd}$ または接地電圧 $V_{ss}$ のレベルに固定された場合においても、基準電圧 $V_{ref}$ は、中間電位レベルであるため、この差動増幅回路においては、電源ノードから接地ノードへ常時電流が流れる。すなわち、外部信号EXTが電源電圧 $V_{dd}$ レベルの場合には、MOSト

10

20

30

40

50

ランジスタNQ2を介して接地ノードへ電流が流れ、一方、外部信号EXTが接地電圧V<sub>ss</sub>レベルの場合、MOSトランジスタNQ1を介して接地ノードへ電流が流れる。SDRAMの記憶容量が増大した場合、アドレス信号ビットを受ける入力バッファの数が増大し、また多ビットデータを入出力する場合、データ入力バッファの数も増大する。またSDRAMの多機能化に合わせて、外部制御信号の種類も増加する。したがってこのような外部信号の数が増えた場合、応じて入力バッファの数も増大し、図19に示すような差動増幅回路を初段入力バッファとして用いた場合、この差動増幅回路を介して常時流れる電流が大きくなり、低消費電流のSDRAMを実現することができなくなるという問題が生じる。

【0038】

それゆえ、この発明の目的は、入力バッファの消費電流を大幅に低減することのできるクロック同期型半導体記憶装置を提供することである。

この発明の他の目的は、外部クロック信号の周波数が高い場合においても、アクセス動作に影響を及ぼすことなく確実に入力バッファの消費電流を低減することのできるクロック同期型半導体記憶装置を提供することである。

【0039】

【課題を解決するための手段】

請求項1に係る同期型半導体記憶装置は、外部から与えられる外部クロック信号に従って第1の内部クロック信号を生成するクロックバッファ手段と、外部クロック信号の有効を指示する外部から与えられる外部クロックイネーブル信号を第1の内部クロック信号に同期して取込みラッチしてこの外部クロックイネーブル信号の活性化時活性化状態とされる入力バッファイネーブル信号を生成するラッチ手段と、ラッチ手段が出力する入力バッファイネーブル信号を受け、この入力バッファイネーブル信号をクロック信号の半サイクル以上1サイクル未満遅延して内部クロックイネーブル信号を生成するクロックイネーブル手段と、この内部クロックイネーブル信号の活性化時に活性化状態とされ、外部クロック信号に従って、第2の内部クロック信号を生成する内部クロック生成手段と、入力バッファイネーブル信号の活性化時活性化状態とされて、外部から与えられる信号をバッファ処理する入力バッファ手段と、入力バッファ手段の出力に結合され、第2の内部クロック信号に同期して入力バッファ手段の出力信号をラッチして内部信号を生成する内部信号生成手段を備える。入力バッファ手段は、第1および第2の電源供給ノード上の電圧を動作電源電圧として動作しかつこの入力バッファイネーブル信号の非活性化時第1および第2の電源供給ノード間の電流が流れる経路を遮断する手段を含む。ラッチ手段と内部信号生成手段とは同相で動作してラッチ状態となりかつ同一構成を有する。

【0040】

請求項2に係る同期型半導体記憶装置は、第1の電位レベルと第2の電位レベルとの間で変化する、外部から与えられる外部クロック信号に従って第1の内部クロック信号を生成するクロックバッファ手段と、外部クロック信号の有効を指示する、外部から与えられる外部クロックイネーブル信号を、第1の内部クロック信号の第1の電位レベルから第2の電位レベルへの変化に同期してラッチしかつこのラッチ信号を入力バッファイネーブル信号として出力するラッチ手段と、このラッチ手段の出力に結合され、ラッチ手段からの入力バッファイネーブル信号をクロック信号の半サイクル以上1サイクル未満遅延して内部クロックイネーブル信号を生成するクロックイネーブル手段と、ラッチ手段からの入力バッファイネーブル信号の活性化および非活性化それぞれにตอบสนองして第1および第2の電源供給ノード間の電流経路が導通および遮断され、該電流経路の導通時動作して外部クロック信号および外部クロックイネーブル信号と異なる外部からの信号をバッファ処理する入力バッファ手段と、内部クロックイネーブル信号の活性化時活性化され、外部クロック信号に従って第2の内部クロック信号を生成する内部クロック生成手段と、ラッチ手段と同一の構成を有し、入力バッファ手段からの信号を第2の内部クロック信号の第1の電位レベルから第2の電位レベルへの変化にตอบสนองしてラッチして内部信号を生成して出力する内部信号生成手段を備える。

10

20

30

40

50

## 【 0 0 4 1 】

請求項 3 に係る同期型半導体記憶装置は、請求項 2 のラッチ手段が、第 1 の内部クロック信号が第 1 の電位レベルのときに与えられた信号を通過させるスルー状態となり、かつ第 1 の内部クロック信号が第 2 の電位レベルのときに与えられる信号にかかわらず出力信号の状態を保持するラッチ状態とされる第 1 のラッチと、この第 1 のラッチに結合され、第 1 の内部クロック信号が第 1 の電位レベルのときにラッチ状態となり、かつ第 1 の内部クロック信号が第 2 の電位レベルのときにスルー状態とされる第 2 のラッチを備える。

## 【 0 0 4 2 】

請求項 4 に係る同期型半導体記憶装置は、請求項 1 または 2 のクロックイネーブル手段が、第 1 の内部クロック信号に同期して第 1 のラッチ手段のラッチ状態と同相でラッチ状態とされ前記ラッチ手段の信号取込と同相とする一状態となるラッチ回路を備える。

10

請求項 5 に係る同期型半導体記憶装置は、請求項 1 ないし 4 のいずれかのクロックバッファ手段が、外部クロック信号をバッファ処理するバッファ回路と、このバッファ回路の出力信号と同一位相で変化する信号を生成して第 1 の内部クロック信号として出力するクロック生成回路を備える。

## 【 0 0 4 3 】

請求項 6 に係る同期型半導体記憶装置は、請求項 5 の同期型半導体記憶装置が、さらに、バッファ回路の出力信号を遅延する遅延回路を備える。

請求項 7 に係る同期型半導体記憶装置は、請求項 3 の同期型半導体記憶装置の第 1 のラッチ手段が、外部クロック信号をバッファ処理するバッファ回路と、このバッファ回路の出力信号を遅延して第 1 のラッチへ与える遅延回路をさらに備える。

20

請求項 8 に係る同期型半導体記憶装置は、請求項 1 ないし 7 のいずれかの同期型半導体記憶装置が、さらに、入力バッファ手段と内部信号生成手段との間に設けられる遅延回路を備える。

## 【 0 0 4 4 】

第 1 の内部クロック信号に従って外部クロックイネーブル信号に従って入力バッファイネーブル信号を生成し、この入力バッファイネーブル信号に従って入力バッファ手段の電流経路を遮断する。外部クロックイネーブル信号に従って入力バッファイネーブル信号が生成されており、第 2 の内部クロック信号の発生が停止されるサイクルにおいては、装置内部は、その前のサイクルの状態を維持するため、外部信号を取込む必要がない。したがって、必要となきのみ入力バッファ手段を作動状態とし、不必要なときには入力バッファ手段の電流経路を遮断しているため、回路動作に悪影響を及ぼすことなく消費電流を低減することができる。

30

## 【 0 0 4 5 】

また、第 1 の内部クロック信号に同期して入力バッファイネーブル信号を外部クロックイネーブル信号に従って生成することにより、外部クロックイネーブル信号が活性状態とされるサイクル、すなわち内部クロック信号が無効状態から有効状態に復帰するサイクルにおいては、内部クロック信号が無効状態とされるサイクルにおいて、入力バッファイネーブル信号が外部クロックイネーブル信号に従って変化し、これにより、取込むべき外部信号が与えられる（セットアップされる）前に入力バッファイネーブル信号を活性状態として、入力バッファを作動状態とすることができ、高速動作時においても確実に外部信号のセットアップ時間を保証することができ、確実に外部信号に従って内部信号を生成することができる。

40

## 【 0 0 4 6 】

また、ラッチ手段と内部信号生成手段とを実質的に同一構成とすることにより、入力バッファイネーブル信号の状態が確定したとき、既に外部信号が取込まれて内部信号が確定状態とされており、必要とされる外部信号を確実に内部へ取込むことができる。

## 【 0 0 4 7 】

## 【 発明の実施の形態 】

## [ 発明の出発概念 ]

50

図1は、この発明の出発点としてのSDRAMの要部の構成を示す図である。図1において、SDRAMは、外部クロック信号 $extCLK$ をバッファ処理して中間クロック/信号 $CLKX$ ならびに第1の内部クロック信号 $intCLK0$ および $intZCLK0$ を生成するクロックバッファ回路1と、内部クロックイネーブル信号 $intCKE$ に従って選択的に活性状態とされ、中間クロック信号 $CLKX$ から第2の内部クロック信号 $intCLK0$ を生成する内部クロック発生回路4を含む。これらの回路1および4の構成は、後に詳細に説明するが、内部クロック信号 $intCLK0$ および $intZCLK0$ は中間クロック信号 $CLKX$ をバッファ処理して生成される。

#### 【0048】

SDRAMは、さらに、外部クロックイネーブル信号 $extCKE$ をバッファ処理するバッファ回路2aと、このバッファ回路2aの出力信号を第1の内部クロック信号 $intCLK0$ に同期してラッチしかつ出力する第1のラッチ回路2bと、この第1のラッチ回路2bの出力信号を、この第1の内部クロック信号 $intZCLK0$ に同期してラッチしかつ出力する第2のラッチ回路2cを含む。この第2のラッチ回路2cから、内部クロックイネーブル信号 $intCKE$ および $intZCKE$ が出力される。バッファ回路2a、ラッチ回路2bおよび2cの構成は、先の図17(B)に示す構成と同じである。クロックイネーブル信号 $intCKE$ がHレベルのときには、外部クロック信号(内部クロック信号)の有効状態が示され、内部クロックイネーブル信号 $intCKE$ がLレベルのときには、外部クロック信号(内部クロック信号)の無効状態が示される。

#### 【0049】

入力バッファ30は、基準電圧 $Vref$ と外部信号(制御信号、アドレス信号および書込データのいずれか) $EXT$ とを差動的に増幅して、出力信号 $ZOUT$ を生成する。この入力バッファ回路30は、先の図19に示す初段入力バッファと同様、カレントミラー回路を構成するpチャンネルMOSトランジスタPQ1およびPQ2と、基準電圧 $Vref$ と外部信号 $EXT$ とを比較する比較段を構成するnチャンネルMOSトランジスタNQ1およびNQ2を含む。この入力バッファ30は、さらに、電源ノード31とpチャンネルMOSトランジスタPQ1およびPQ2の各々の一方導通ノードとの間に接続され、そのゲートに内部クロックイネーブル信号 $intZCKE$ を受けるpチャンネルMOSトランジスタPQ3、およびMOSトランジスタNQ2と並列に設けられかつそのゲートに内部クロックイネーブル信号 $intZCKE$ を受けるnチャンネルMOSトランジスタNTを含む。次に、この図1に示す構成の動作を、その動作波形図である図2を参照して説明する。クロックサイクル0より前のクロックサイクルにおいて、外部クロックイネーブル信号 $extCKE$ はHレベルに設定されていると仮定する。

#### 【0050】

クロックサイクル0において、外部クロックイネーブル信号 $extCKE$ はHレベルに設定され、外部クロック信号 $extCLK$ の有効が指定される。この状態においては、前のクロックサイクルにおいて外部クロック信号 $extCKE$ はHレベルに保持されていたので、クロックバッファ回路1から内部クロック信号 $intCLK0$ が生成されると、この第1の内部クロック信号 $intCLK0$ に従って内部クロック発生回路4から、内部クロック信号 $intCLK$ が発生される。ここで、「発生される」は、クロック信号がLレベル(第1の電位レベル)からHレベル(第2の電位レベル)へ立上がる状態を示す。この状態においては、入力バッファ30において、pチャンネルMOSトランジスタPQ3は、内部クロックイネーブル信号 $intZCKE$ がLレベルであり導通状態を維持しており、外部信号 $EXT$ と基準電圧 $Vref$ との比較を行ない、その比較結果に従って出力信号 $ZOUT$ を生成する。

#### 【0051】

クロックサイクル1において、外部クロックイネーブル信号 $extCKE$ がLレベルに設定され、外部クロック信号 $extCLK$ の無効が指定される。この状態においては、内部クロック信号 $intCLK0$ は、クロックバッファ1から発生されてラッチ回路2bおよび2cへ与えられる。ラッチ回路2bおよび2cは、先に説明したように、外部クロック

10

20

30

40

50

イネーブル信号  $extCLK$  を半クロックサイクル遅延して伝達する。したがって、内部クロック信号  $intCLK0$  が H レベルの間、ラッチ回路  $2c$  は先の状態を保持しており、内部クロックイネーブル信号  $intZCKE$  は L レベルを維持する。したがって内部クロック信号  $intCLK$  が発生され、入力バッファ回路  $30$  が動作し、外部信号  $EXT$  と基準電圧  $Vref$  との比較を行なう。

**【0052】**

クロックサイクル  $1$  において、第  $1$  の内部クロック信号  $intCLK0$  が L レベルに立下がると、ラッチ回路  $2c$  がスルー状態とされ、第  $1$  のラッチ回路  $2b$  から与えられた信号を取込み出力する。したがってこの状態において、内部クロックイネーブル信号  $intZCKE$  が H レベルとなり、 $p$  チャネル MOS トランジスタ  $PQ3$  が非導通状態、または  $n$  チャネル MOS トランジスタ  $NT$  が導通状態とされる。これにより、入力バッファ回路  $30$  において、電源ノード  $31$  から接地ノード  $32$  へ電流が流れる経路が遮断される。出力信号  $ZOUT$  は、MOS トランジスタ  $NT$  により放電されて L レベルを維持する。MOS トランジスタ  $MT$  により、外部信号  $EX$  が L レベルのときに出力信号  $ZOUT$  がハイインピーダンス状態となり、ノイズの影響を受けやすくなるのを防止する。このクロックサイクル  $1$  において、外部クロック信号  $extCLK$  の立上がりエッジで与えられた外部信号  $EXT$  ( (  $a$  ) ) は、取込まれて内部動作が実行される。

10

**【0053】**

クロックサイクル  $2$  において、外部クロック信号  $extCLK$  が H レベルに立上がると、応じて第  $1$  の内部クロック信号  $intCLK0$  が L レベルに立上がる。この状態において、外部クロックイネーブル信号  $extCKE$  は H レベルに復帰しており、外部クロック信号  $extCLK$  の有効状態が指定される。しかしながら、ラッチ回路  $2c$  は、L レベルの内部クロック信号  $intZCLK$  によりラッチ状態を維持しており、内部クロックイネーブル信号  $intZCKE$  は H レベルを維持する。同様、内部クロックイネーブル信号  $intCKE$  は L レベルの非活性状態であり、したがって内部クロック発生回路  $4$  からの内部クロック信号  $intCLK$  は L レベルを維持する。この状態においては、内部動作は行なわれないため、このクロックサイクル  $2$  において与えられた外部信号  $EXT$  ( (  $b$  ) ) は取込む必要がない。したがって、入力バッファ回路  $30$  において  $p$  チャネル MOS トランジスタ  $PQ3$  が非導通状態とされ、この入力バッファ回路  $30$  が非動作状態とされても内部動作に対し何ら悪影響は及ぼさない。

20

30

**【0054】**

クロックサイクル  $2$  において、内部クロック信号  $intCLK0$  が L レベルに立下がると、第  $1$  のラッチ回路  $2b$  がラッチ状態となり、また第  $2$  のラッチ回路  $2c$  がスルー状態とされ、内部クロック信号  $intCKE$  が外部クロックイネーブル信号  $extCKE$  に従って H レベルとされ、また補の内部クロックイネーブル信号  $intZCKE$  が L レベルとされる。これにより、 $p$  チャネル MOS トランジスタ  $PQ3$  が導通状態とされ、また  $n$  チャネル MOS トランジスタ  $NT$  が非導通状態とされ、入力バッファ回路  $30$  が作動状態とされる。

**【0055】**

したがって、クロックサイクル  $3$  において、外部クロック信号  $extCLK$  の立上がりエッジで外部信号  $EXT$  を取込んで、入力バッファ回路  $30$  でこれを増幅して内部信号を生成し、内部動作を行なうことができる。

40

外部クロック信号  $extCLK$  の立上がりに対し、外部信号  $EXT$  は、セットアップ時間  $t_{su}$  およびホールド時間  $t_{hd}$  が規定される。これらの時間は、正確に内部信号を生成するために外部信号を確定状態に保持する必要があるために規定される。内部クロックイネーブル信号  $intZCKE$  は、内部クロック信号  $intCLK0$  の立下がりに従って変化するため、クロックサイクル  $1$  における外部信号  $EXT$  ( (  $a$  ) ) のホールド時間  $t_{hd}$  は、確実に保証することができ、正確にこのクロックサイクル  $1$  における外部信号  $EXT$  ( (  $a$  ) ) は取込むことができる。また、クロックサイクル  $2$  において与えられる外部信号  $EXT$  ( (  $b$  ) ) に対しては、内部信号は内部クロック信号  $intCLK$  に同期して

50

取込まれて発生されるため、この外部信号 E X T ( ( b ) ) の取込は確実に防止される。

【 0 0 5 6 】

また、外部クロック信号 e x t C L K の無効状態から有効状態への復帰時、すなわちクロックサイクル 2 からクロックサイクル 3 への移行時において、内部クロックイネーブル信号 i n t Z C K E が L レベルとされる時点は内部クロック信号 i n t C L K 0 の立下り時点であり、クロックサイクル 3 において取込まれるべき外部信号 E X T のセットアップ開始時点よりも早い時点である。したがって、この外部信号 E X T ( ( c ) ) に対し、確実にセットアップ時間 t s u を保証することができ、正確にこの外部信号 E X T ( ( c ) ) を取込み内部信号を生成することができる。また中間クロック信号 C L K X をバッファ処理して内部クロック信号 i n t C L K 0 および i n t C L K を生成することにより、内部クロック信号 i n t C L K を早いタイミングで発生することができ、内部動作開始タイミングを早くすることができる。

10

【 0 0 5 7 】

外部クロック信号 e x t C L K が比較的低速であり、内部クロックイネーブル信号 i n t Z C K E の L レベルへの移行タイミングと、外部信号 E X T ( ( c ) ) のセットアップ開始時点との時間差 t r が正の場合には、上述のように、不必要なときに、入力バッファ回路 3 0 の動作を停止させた後この入力バッファ回路を作動状態へ復帰させる場合においても、正確に外部信号 E X T を取込み内部信号を生成することができる。

しかしながら、外部クロック信号 e x t C L K が高速のクロック信号とされて、外部信号 E X T のセットアップ時間 t s u が、外部クロック信号 e x t C L K の半サイクル時間に近くなった場合、正確に外部信号 E X T を取込むことができなくなる可能性がある。この状態について、次に図 3 を参照して説明する。

20

【 0 0 5 8 】

図 3 において、クロックサイクル 0 における信号 i n t C K E , i n t Z C K E および i n t C L K の状態は前のクロックサイクルにおける外部クロックイネーブル信号 e x t C K E の状態により決定される。クロックサイクル 1 において、外部クロックイネーブル信号 e x t C K E を L レベルに設定する。この状態においては、クロックサイクル 2 において内部クロック信号 i n t C L K の発生が停止される。クロックサイクル 3 において再び内部クロック信号 i n t C L K が発生される。クロックサイクル 2 において、第 1 の内部クロック信号 C L K 0 が L レベルとされてから第 2 のラッチ回路 2 c における遅延時間が経過した後、内部クロックイネーブル信号 i n t Z C K E が L レベルへ変化する。一方このとき、クロックサイクル 3 において取込まれるべき外部信号 E X T ( ( c ) ) がセットアップされる。ホールド時間 t h d およびセットアップ時間 t s u は仕様で定められた一定値である。外部クロック信号 e x t C L K の周期が短いとき、この内部クロックイネーブル信号 i n t Z C K E が L レベルとされるのが、外部信号 E X T ( ( c ) ) がセットアップされた後となる可能性が存在する。この内部クロックイネーブル信号 i n t Z C K E が L レベルとされるタイミングと、外部信号 E X T がセットアップされるタイミングとの時間差 ( 以下、リセット時間と称す ) t r が負となると、外部信号 E X T のセットアップ時間 t s u が実効的に短くなり、正確に、この外部信号 E X T ( ( c ) ) を取込み、内部信号を生成することができなくなる可能性がある。

30

40

【 0 0 5 9 】

以下、高速クロック信号に同期して動作する場合においても、より確実に外部信号を取込むことのできる構成について説明する。

[ 実施の形態 1 ]

図 4 は、この発明の実施の形態 1 に従う S D R A M の要部の構成を示す図である。図 4 において、図 1 に示す構成と対応する部分には同一の参照番号を付し、その詳細説明は省略する。この図 4 に示す構成において、外部信号 E X T を受ける入力バッファ回路 3 0 の電流経路遮断用の p チャネル M O S トランジスタ P Q 3 のゲートへは、第 1 のラッチ回路 2 b の出力の信号 i n t Z C K E 0 が入力バッファイネーブル信号として与えられる。この第 2 のラッチ回路 2 c からの内部クロックイネーブル信号 i n t Z C K E は、内部クロッ

50

ク発生回路4へ与えられて、内部クロック信号  $intCLK$  の有効/無効を制御する。入力バッファ回路30の出力信号は内部クロック発生回路4からの内部クロック信号  $intCLK$  に応答してラッチ状態となるラッチ回路35へ与えられる。ラッチ回路35は、内部クロック信号  $intCLK$  の立上がりによって入力バッファ回路30から与えられた信号を取込み、この内部クロック信号  $intCLK$  がLレベルの間ラッチする。このラッチ回路35からの内部信号  $intCOM$  は、内部制御信号(コマンドを生成する外部制御信号に対応する)、アドレス信号ビットまたは内部書込データであり、それぞれコマンドデコーダ、アドレスデコーダまたは書込回路へ与えられる(図15参照)。

#### 【0060】

次に図4に示す構成の動作をそのタイミングチャート図である図5を参照して説明する。クロックサイクル0における信号  $intCKE$  および  $intCLK$  の状態は前のクロックサイクルにおける外部クロックイネーブル信号  $extCKE$  の状態により決定される。クロックサイクル1において、外部クロックイネーブル信号  $extCKE$  が外部クロック信号  $extCLK$  の立上がりにおいてLレベルに設定され、外部クロック信号の無効が指定される。外部クロック信号  $extCLK$  の立上がり同期して、クロックバッファ1からの内部クロック信号  $intCLK0$  がHレベルに立上がる。この内部クロック信号  $intCLK0$  が立上がり同期してラッチ回路2bがバッファ回路2aから与えられた信号を取込みラッチし、かつ内部クロック信号  $intCLK0$  の立下がりによってラッチ状態とされる。したがってラッチ回路2bからの入力バッファイネーブル信号  $intZCKE0$  は、内部クロック信号  $intCLK0$  が立上がるとHレベルに立上がり、入力バッファ回路30の電流経路遮断用のpチャネルMOSトランジスタPQ3を非導通状態とする。

#### 【0061】

ラッチ回路35は、その構成を後に詳細に説明するが、ラッチ回路2bと実質的に同じ構成を備えており、内部クロック信号  $intCLK$  がHレベルに立上がるとスルー状態とされ、この入力バッファ回路30から与えられる信号を取込み、内部クロック信号  $intCLK$  がLレベルのときラッチ状態となる。入力バッファイネーブル信号  $intZCKE0$  がHレベルに立上がった時点においては、既にラッチ回路35においてこの入力バッファ回路30の出力信号が取込まれており、内部信号  $intCOM$  は、外部信号  $EXT$  に対応した状態となっている。

#### 【0062】

次いでこの内部クロック信号  $intCLK0$  がLレベルに立下がると、ラッチ回路2cがスルー状態となり、ラッチ回路2bの出力信号によって内部クロックイネーブル信号  $intZCKE$  がHレベルとなり(内部クロックイネーブル信号  $intCKE$  がLレベルとなり)、内部クロック発生回路4がディスエーブル状態とされ、内部クロック信号  $intCLK$  をLレベルに固定する。したがって、クロックサイクル2において、外部クロック信号  $extCLK$  に従って第1の内部クロック信号  $intZCLK0$  が変化しても、内部クロック発生回路4からの内部クロック信号  $intCLK$  はLレベルを維持する。このクロックサイクル2において、外部クロックイネーブル信号  $extCKE$  はHレベルに復帰しており、内部クロック信号  $intCLK0$  の立上がりによってラッチ回路2bがスルー状態となり、入力バッファイネーブル信号  $intZCKE0$  をLレベルに復帰させる。これにより、pチャネルMOSトランジスタPQ3が導通状態とされ、入力バッファ回路30が作動状態とされる。このとき、外部信号  $EXT((b))$  は、ラッチ回路35へは取込まれない(内部クロック信号  $intCLK$  はLレベルに固定されている)。したがって、内部信号  $intCOM$  は、先のクロックサイクル1において与えられた外部信号  $EXT((a))$  に対応した状態(a)を維持する。

#### 【0063】

次いで、内部クロック信号  $intCLK0$  が外部クロック信号  $extCLK$  に従ってLレベルとなると、ラッチ回路2cがスルー状態となり、Lレベルの入力バッファイネーブル信号  $intCKE0$  に従って内部クロックイネーブル信号  $intZCKE$  がLレベル(内

10

20

30

40

50



部クロックイネーブル信号  $intCKE$  が H レベル) に復帰し、内部クロック発生回路 4 は作動状態とされる。内部クロックイネーブル信号  $intCKE$  が H レベルに立上がるタイミングが次のクロックサイクル 3 において取込まれる部信号  $EXT(c)$  のセットアップタイミングより遅い場合であっても、入力バッファイネーブル信号  $intZCKE0$  は既に L レベルの活性状態に復帰しており、リセット時間  $t_r$  がほぼ半クロックサイクル期間あり、入力バッファ回路 30 は確実に、外部信号  $EXT$  をバッファ処理してラッチ回路 35 へ与えることができる。したがって、この第 1 の内部クロック信号  $intCLK0$  に同期して動作するラッチ回路 2b からの信号  $intZCKE0$  を入力バッファイネーブル信号として利用することにより、外部クロック信号  $extCLK$  が高速のクロック信号であっても、リセット時間  $t_r$  を確実に確保することができ、高速動作時においても消費電流を低減してかつ確実に外部信号を取込んで内部信号を生成することができる。

#### 【0064】

クロックサイクル 3 においては、内部クロック信号  $intCLK0$  の立上がり同期して、内部クロック信号  $intCLK$  が立上がり、ラッチ回路 35 が入力バッファ回路 30 から与えられた外部信号  $EXT(c)$  を取込んで、内部信号  $intCOM(c)$  を出力する。

上述のように、内部クロック信号  $intZCKE$  よりも早いタイミングで第 1 の内部クロック信号  $intZCLK0$  に同期して変化する信号  $intZCKE0$  を入力バッファイネーブル信号として利用して、入力バッファ回路 30 の電源の供給ノード (電源ノード 31 および接地ノード 32 両者を含む) の間の電流の流れる経路を遮断することにより、高速動作時においても、入力バッファ回路を必要と時のみ動作させかつ外部信号のセットアップ時間を保証することができ、正確に外部信号  $EXT$  を取込み内部信号  $intCOM$  を生成することができる。これにより、高速かつ低消費電流で動作する SDRAM を得ることができる。

#### 【0065】

##### [クロックバッファ回路の構成]

図 6 は、図 4 に示すクロックバッファ回路 1 および内部クロック発生回路 4 の構成の一例を示す図である。図 6 において、クロックバッファ 1 は、外部クロック信号  $extCLK$  を受けてバッファ処理するバッファ回路 1a と、バッファ回路 1a の出力信号を反転するインバータ 1c と、電源電圧  $V_{cc}$  とインバータ 1c の出力信号とを受けける NAND 回路 1d と、NAND 回路 1d の出力を反転するインバータ 1e を含む。NAND 回路 1d から補の第 1 の内部クロック信号  $intZCLK0$  が出力され、インバータ 1e から第 1 の内部クロック信号  $intCLK0$  が出力される。バッファ回路 1a は、たとえばカレントミラー型差動増幅回路の構成を備える。このバッファ回路 1a は常時動作し、外部クロック信号  $extCLK$  をバッファ処理しかつ反転して出力する。

#### 【0066】

図 5 に示すように、内部クロック信号  $intCLK$  の立上がりが、インバータ 1c により遅延される場合、外部信号  $EXT$  のセットアップ時間  $t_{su}$  に対し、さらにこのインバータ 1c の有する遅延時間  $t_{su}$  が実効的なセットアップ時間として付け加えられる。外部信号  $EXT$  は、内部クロック信号  $intCLK$  に同期して取込まれてラッチされるためである。したがって、この外部信号  $EXT$  の外部クロック信号  $extCLK$  に対するセットアップ時間  $t_{su}$  を短くしても、内部で十分な時間のセットアップ時間 ( $t_{su} + t_{su}$ ) を確保することができ、応じてサイクル期間を短くすることができ、高速動作が可能となる。このセットアップ時間およびホールド時間は、内部信号を確実に生成するために内部アクセス動作に関係なく外部信号を一定の状態に保持するために必要とされる時間であり、これらの時間が短ければ短いほど、クロックサイクル期間を短くすることができるためである。同様、外部クロックイネーブル信号  $extCKE$  に対しても、内部クロック信号  $intCLK0$  がインバータ 1c により遅延されているため、このセットアップ時間を実効的に長くすることができる。

#### 【0067】

10

20

30

40

50

内部クロック発生回路4は、内部クロックイネーブル信号  $intCKE$  とインバータ1cの出力信号を受けるNAND回路4aと、NAND回路4aの出力信号を受けるインバータ4bを含む。NAND回路4aから補の内部クロック信号  $intZCLK$  が出力され、インバータ4bから内部クロック信号  $intCLK$  が出力される。

NAND回路4aは、インバータ1cの出力信号と内部クロックイネーブル信号  $intCKE$  を受けるAND回路で置換えられてもよい。その場合には、ただし、インバータ1cからは外部クロック信号  $extCLK$  と逆相のクロック信号が出力される。NAND回路1dおよび4aにより内部クロック信号  $intZCLK0$  および  $intZCLK$  の遅延時間は同じとなり、早いタイミングで内部クロック信号  $intCLK$  を立上げて外部信号をラッチして内部信号  $intCOM$  を確定状態とでき、内部動作開始タイミングを早くできる。

10

#### 【0068】

図7は、図6に示すクロックバッファ回路1の変更例の構成および動作を示す図である。図7(A)において、クロックバッファ回路1は、インバータ1cの出力信号  $CLKX$  を反転しかつ遅延する遅延回路1gと、インバータ1cの出力信号と遅延回路1gの出力信号を受けるAND回路1hと、AND回路1hの出力信号を受けるインバータ1fを含む。AND回路1hから、補の内部クロック信号  $intZCLK0$  が出力され、インバータ1fから内部クロック信号  $intCLK0$  が出力される。

#### 【0069】

この図7(A)に示す構成の場合、AND回路1hからは、図7(B)に示すように、インバータ1cの入力信号の立下がりに対応して、遅延回路1gが有する遅延時間Hレベルとされる内部クロック信号  $intCLK0$  が出力される。内部クロック信号  $intCLK0$  および  $intCLK$  の立上がりのみが外部クロック信号  $extCLK$  に同期し、その立下がり、外部クロック信号  $extCLK$  の立下がりには同期しない。しかしながら、このSDRAMにおいては、入力段において内部クロック信号  $intCLK0$  および  $intCLK$  の立上がりに同期してラッチ回路がラッチ動作を行っており、確実に外部信号を取込み内部信号を生成することができる。この遅延回路1gが有する遅延時間は、1クロックサイクル期間よりも短い図7(B)に示すように、外部クロック信号  $extCLK$  の半サイクルよりも短くてもよく、また長くてもよい(長い場合は破線で示す)。内部クロック信号  $intCLK$  の必要最小限のHレベル期間が確保されていればよい。

20

30

#### 【0070】

図8は、内部クロックイネーブル信号  $intCKE$  および内部信号  $intCOM$  を発生する部分の具体的構成を示す図である。図8において、CKEバッファ2は、外部クロックイネーブル信号  $extCKE$  を受けるバッファ2aと、バッファ2aの出力信号を遅延する遅延回路2dと、遅延回路2dの出力信号を第1の内部クロック信号  $intCLK0$  に同期して取込み、ラッチしかつシフトして入力バッファイネーブル信号  $intCKE0$  および  $intZCKE0$  を出力するラッチ回路2bと、このラッチ回路2bの出力信号をこの第1の内部クロック信号  $intZCLK0$  に同期して取込み、ラッチし出力するラッチ回路2cを含む。

#### 【0071】

ラッチ回路2bは、図17(B)に示す構成と同様、内部クロック信号  $intCLK0$  がLレベルのときにスルー状態とされ、内部クロック信号  $intCLK0$  がHレベルのときにラッチ状態とされるラッチ2baと、内部クロック信号  $intCLK0$  がLレベルのときにラッチ状態とされ、かつ第1の内部クロック信号  $intCLK0$  がHレベルのときにスルー状態とされるラッチ2bbを含む。この第1のラッチ2baおよび第2のラッチ2bbの構成は、図17(B)に示す構成と同じであり、対応する部分には同一の参照番号を付す。また、第2のラッチ回路2cの内部構成も、図17(B)に示す構成と同じであり、対応する部分には同一の参照番号を付す。

40

#### 【0072】

外部信号  $EXT$  から内部信号  $intCOM$  を生成する入力バッファ回路は、入力バッファ

50

イネーブル信号  $intZCKE0$  に同期して選択的に活性状態とされる入力バッファ 30 と、入力バッファ 30 の出力信号を遅延する遅延回路 37 と、遅延回路 37 の出力信号を内部クロック信号  $intCLK$  に同期して取込み、ラッチしかつシフトして内部信号  $intCOM$  および  $intZCOM$  を生成するラッチ回路 35 を含む。このラッチ回路 35 は、内部クロック信号  $intCLK$  が L レベルのときにスルー状態とされ、かつ内部クロック信号  $intCLK$  が H レベルのときにラッチ状態とされるラッチ 35a と、ラッチ 35a の出力信号を受けると結合され、内部クロック信号  $intCLK$  が H レベルのときにスルー状態とされ、内部クロック信号  $intCLK$  が L レベルのときにラッチ状態とされるラッチ 35b を含む。入力バッファ 30 は、図 1 に示すバッファと同様、カレントミラー型差動増幅回路の構成を備え、入力バッファイネーブル信号  $intZCKE0$  が L レベルのときに作動状態とされかつ入力バッファイネーブル信号  $intZCKE0$  が H レベルのときにその電流経路が遮断されて非作動状態とされる。

10

#### 【0073】

ラッチ 35a は、内部クロック信号  $intCLK$  および  $intZCLK$  に同期して選択的に作動状態とされて遅延回路 37 の出力信号を反転する 3 状態インバータ 41a と、3 状態インバータ 41a の出力信号を受けるとインバータ 41b と、インバータ 41b の出力信号を反転してインバータ 41b の入力部へ伝達するインバータ 41c と、インバータ 41b の出力信号を反転するインバータ 41d を含む。インバータ 41b および 41c はラッチ回路を構成する。3 状態インバータ 41a は、内部クロック信号  $intCLK$  が L レベルであり、かつ補の内部クロック信号  $intZCLK$  が H レベルのときに作動状態とされてインバータとして作用し、内部クロック信号  $intCLK$  が H レベルでありかつ補の内部クロック信号  $intZCLK$  が L レベルのときには、出力ハイインピーダンス状態とされる。

20

#### 【0074】

ラッチ 35b は、内部クロック信号  $intCLK$  とインバータ 41d の出力信号を受けると NAND 回路 41e と、内部クロック信号  $intCLK$  とインバータ 41b の出力信号を受けると NAND 回路 41f と、NAND 回路 41e の出力信号をその一方入力に受けて内部信号  $intCOM$  を出力する NAND 回路 41g と、NAND 回路 41f の出力信号と内部信号  $intCOM$  を受けて補の内部信号  $intZCOM$  を出力する NAND 回路 41h を含む。NAND 回路 41h の出力する信号  $intZCOM$  はまた NAND 回路 41g の他方入力へ与えられる。

30

#### 【0075】

このラッチ回路 2b とラッチ回路 35 とは、その内部構成は実質的に同じである。ラッチシフトするタイミングを規定するクロック信号が異なるだけである。第 1 の内部信号  $intCLK0$  は、図 6 に示すように、インバータ 1e を介して出力され、内部クロック信号  $intCLK$  は、インバータ 4b を介して出力される。一方、補の第 1 の内部クロック信号  $intZCLK0$  は、遅延回路 1c から NAND ゲート 1a を介して出力され、また補の内部クロック信号  $intZCLK$  は NAND ゲート 4a から出力される。従って、内部クロック信号  $intCLK0$  および  $intCLK$  の変化タイミングの差は、ほぼ無視 することができる値である。

40

#### 【0076】

同様、補の内部クロック信号  $intZCLK$  および  $intZCLK0$  もほぼ同じタイミングで発生される。従って、入力バッファイネーブル信号  $intZCKE0$  が外部クロックイネーブル信号  $extCKE$  に従って H レベルとされるとき、この内部信号  $intCOM$  も既に外部信号  $EXT$  の状態に対応した状態に変化して、ラッチ 35b により保持されていると考えることができる。したがって入力バッファイネーブル信号  $intZCKE0$  が早いタイミングで非活性状態 (H レベル) とされても、そのときには、外部信号  $EXT$  は確実にラッチ回路 35 で内部信号  $intCOM$  としてラッチされていると考えることができる。次に遅延回路 2d および 37 の作用について説明する。

#### 【0077】

50

図9は、図6ないし図8に示すバッファ回路1a、2aおよび30各々の次段に設けられた遅延回路1c、2dおよび37の作用を説明するためのタイミングチャート図である。図9において、外部クロック信号extCLKは、遅延回路1cにより時間Td0遅延されて、第1の内部クロック信号intCLK0となる。内部クロック信号intCLKは、NORゲート4aの遅延を考慮して、外部クロック信号extCLKに対し時間Td1遅れて変化する。

外部信号EXT((a))が、外部クロック信号extCLKに対しセットアップ時間Tsuを有し、かつ外部クロック信号extCLKに対するホールド時間が0の場合を考える。この外部信号EXTは、遅延回路37により時間Td2遅延される。したがってこの場合、この遅延回路37の出力信号(a)は、内部クロック信号intCLKに対し次式

【0078】

$$t_{su} = T_{su} + T_{d1} - T_{d2}、$$

$$t_h = T_h (= 0) + T_{d2} - T_{d1}$$

したがって、 $T_{d2} > T_{d1}$ の条件が満足されれば、外部信号EXTの外部クロック信号extCLKに対するホールド時間が0の場合であっても、内部クロック信号intCLKに対するホールド時間thが正の値( $T_{d2} - T_{d1}$ )とされ、早いタイミングで内部クロック信号intCLK0が立上がっても( $T_{d0}$ が極めて小さいとき)、確実に外部信号EXTを取込み、第1のラッチ35aの出力信号intCOM0を確定状態とすることができる。

【0079】

また外部信号EXT((c))の場合、遅延回路37の出力する信号の内部クロック信号intCLKに対するセットアップ時間tsuは、外部信号EXT(c)の外部クロック信号extCLKに対するセットアップ時間Tsuよりも短くなる。したがってこの場合、必要最小限のセットアップ時間tsuを確保するためには、外部信号EXT((c))のセットアップタイミングを早くする必要が生じる。この遅延時間Td2は、遅延回路37の出力信号のホールド時間を確保するために設けられるものであり、その値はリセット時間trよりも十分小さく(ホールド時間はセットアップ時間より短い)、したがってこの場合においても入力バッファイネーブル信号intZCKE0がLレベルに立下がるタイミングは、外部信号EXT((c))のセットアップタイミングよりも十分早く、高速

動作時においても確実に外部信号EXTのセットアップを行なうことができる。内部クロック信号intCLKの無効時、入力バッファイネーブル信号intZCKE0は、第1の内部クロック信号intCLK0の立上がり同期してHレベルとされる。入力バッファイネーブル信号intZCKE0は、図8に示すラッチ2bbを介して生成される。したがって、内部クロック信号intCLK0がHレベルに立上がりしてから、2段のゲート(NAND回路)の遅延が少なくとも必要とされる。一方、内部クロック信号intCLKは、1段のゲート(NOR回路4a)により、内部クロック信号intZCKE0に従って生成される。したがって、内部クロック信号intCLKの立上がりよりも、入力バッファイネーブル信号intZCKE0の立上がりは少なくとも1段のゲート分遅くなる。このとき、内部クロック信号intCLKと入力バッファイネーブル信号intZCKE0の立上がりの時間差が小さく、ラッチ回路35により外部信号EXTが取込まれる前に入力バッファ30が非活性状態とされることが考えられるが、内部クロック信号intCLKがLレベルのときには、3状態インバータ41aが作動状態とされており、その出力信号はラッチ41bおよび41cによりラッチされており、また遅延回路37の出力信号がこの内部クロック信号intCLKのLレベルからHレベルへの遷移時において確定状態にあれば、確実に外部信号EXTを取込み、ラッチして内部信号intCOMを生成することができる。

【0080】

このとき、特に、図6に示すように内部クロック信号intCLK0およびintCLKがほぼ同じタイミングで生成される場合、ラッチ回路2bおよび35は同じ構成を実質的

10

20

30

40

50

に有しているため、入力バッファイネーブル信号  $intZCKE0$  が L レベルから H レベルに変化したとき、この内部信号  $intCOM$  も、外部信号  $EXT$  に従った状態に設定されていると考えることができ、したがって早いタイミングで入力バッファイネーブル信号  $intZCKE0$  が立上がっても、確実に外部信号  $EXT$  を取込み内部信号  $intCOM$  を生成することができる。

#### 【0081】

上述の説明においては、1クロックサイクル期間のみ外部クロックイネーブル信号  $extCKE$  が L レベルとされる動作が示される。しかしながら、スタンバイ時において連続的に外部クロックイネーブル信号  $extCKE$  を L レベルに設定すれば、入力バッファイネーブル信号  $intCKE0$  は連続的に H レベルを維持し、入力バッファ 30 の電流経路がその間遮断され、消費電流が低減される。図 10 (A) は、CKE バッファの変更例の構成を示す図である。図 10 (A) に示す、CKE バッファの構成においては、内部クロックイネーブル信号  $intCKE$  および  $intZCKE$  を出力するフリップフロップ 2c に代えて、ラッチ回路 2b からの入力バッファイネーブル信号  $intCKE0$  および  $intZCKE0$  をそれぞれ遅延する遅延回路 2e が設けられる。遅延回路 2e は、入力バッファイネーブル信号  $intCKE0$  を遅延して内部クロックイネーブル信号  $intCKE$  を出力する遅延回路 2ea と、入力バッファイネーブル信号  $intZCKE0$  を遅延して内部クロックイネーブル信号  $intZCKE$  を出力する遅延回路 2eb を含む。

10

#### 【0082】

この図 10 (A) に示すような遅延回路 2e を用いた場合、図 10 (B) に示すように、入力バッファイネーブル信号  $intCKE0$  が、内部クロック信号  $intCLK0$  の立上がり同期して立下がった場合、所定時間 (遅延回路 2e の有する遅延時間) 経過後に内部クロックイネーブル信号  $intCKE0$  が L レベルに立下がる。フリップフロップ 2c は、外部クロックイネーブル信号  $extCKE$  を半クロックサイクル遅延して伝達しかつ 1クロックサイクル期間その状態を保持する機能を備える。この 1クロックサイクル期間保持する機能は、ラッチ回路 2b により実現される。したがって、この遅延回路 2e を用いても、確実に、活性状態の外部クロックイネーブル信号  $extCKE$  が与えられた次のサイクルにおける内部クロック信号  $intCLK$  の発生を停止させることができる。

20

#### 【0083】

この遅延回路 2e を用いる場合、その遅延時間によっては、内部クロック信号  $intCLK$  が H レベルのときに、内部クロックイネーブル信号  $intCKE$  が L レベルとされる可能性が存在する。この状態を避けるためには、遅延回路 2ea および 2eb の遅延時間を、半クロックサイクル以上、1クロックサイクル未満に設定すればよい。なお、クロック周波数が異なれば、このクロックの 1 周期も異なり、内部クロック信号  $intCLK0$  ( $intCLK$ ) の H レベルの期間の長さも異なる。この場合、遅延回路 2ea および 2eb それぞれにおいて複数の遅延時間を実現する遅延素子を設け、用いられる外部クロック信号  $extCLK$  の周波数に応じてその適当な遅延時間の遅延素子を選択する構成が利用されればよい。このような構成としては、たとえば SDRAM に通常設けられるコマンドレジスタに、遅延時間選択用のデータを格納し、縦続接続された遅延素子を、その格納データに応じて選択的に短絡する構成を利用することができる。

30

40

#### 【0084】

##### [入力バッファ回路の変更例]

図 11 は、この発明の実施の形態 1 において利用される入力バッファ回路の変更例の構成を示す図である。この図 11 において、入力バッファ 30 は、外部信号  $EXT$  と基準電圧  $Vref$  を差動的に増幅する差動増幅回路 30a と、この差動増幅回路 30a の内部接地ノード (差動 n チャネル MOS トランジスタの共通ソースノード) と接地ノード 32 との間に接続される n チャネル MOS トランジスタ  $NQ3$  を含む。この MOS トランジスタ  $NQ3$  は、そのゲートに入力バッファイネーブル信号  $intCKE0$  を受ける。差動増幅回路 30a は、電源ノード 31 から電源電圧  $Vdd$  を供給される。この図 11 に示す構成においては、入力バッファイネーブル信号  $intCKE0$  が L レベルとされると、n チャネ

50

ルM O S トランジスタN Q 3 が非導通状態とされ、この差動増幅回路3 0 a から接地ノード3 2 へ電流が流れる経路が遮断され、差動増幅回路3 0 a は非作動状態とされる。

【0085】

この差動増幅回路3 0 a は、負入力に外部信号E X T を受け、正入力に基準電圧V r e f を受けているが、その内部構造は、図1 に示す入力バッファ回路3 0 に含まれるトランジスタP Q 1、P Q 2、N Q 1、N T およびN Q 2 で構成される差動増幅回路と同じ構成を備える。この差動増幅回路3 0 a は、異なる内部構造を備えていてもよく、基準電圧V r e f と外部信号E X T とを差動増幅する機能を備えていればよい。

この図1 1 に示す構成においても、内部クロック信号i n t C L K が発生されない場合に、差動増幅回路3 0 a の電源ノード3 1 と接地ノード3 2 との間の電流が流れる経路が遮断されるため、必要なときのみこの入力バッファ回路3 0 を動作させることができ、消費電流を低減することができる。

10

【0086】

[入力バッファ回路の変更例2]

図1 2 は、この発明の実施の形態1 に従う入力バッファ回路の変更例2 の構成を示す図である。図1 2 において、入力バッファ3 0 を構成する差動増幅回路3 0 a は、電源ノード3 1 からpチャネルM O S トランジスタP Q 3 を介して電源電圧V d d を供給され、またnチャネルM O S トランジスタN Q 3 を介して接地ノード3 2 から接地電圧V s s を供給される。M O S トランジスタP Q 3 のゲートには入力バッファイネーブル信号i n t Z C K E 0 が与えられ、M O S トランジスタN Q 3 のゲートには、入力バッファイネーブル信号i n t C K E 0 が与えられる。この図1 2 に示す構成の場合、入力バッファイネーブル信号i n t Z C K E 0 およびi n t C K E 0 に従って、M O S トランジスタP Q 3 およびN Q 3 がともに非導通状態とされ、差動増幅回路3 0 a は、電源ノード3 1 および接地ノード3 2 から分離される。この状態において、出力信号Z O U T がリーク電流またはノイズなどの影響で変動した場合においても、差動増幅回路3 0 a においては何ら電流は消費されず(出力ノードと電源供給ノード(電源ノード3 1 および接地ノード3 2 両者を含む)から分離されているため)、消費電流をより低減することができる。

20

【0087】

[他の適用例]

上述の説明においては、S D R A M の入力バッファ回路が説明されている。しかしながら、たとえばシンクロナスS R A M (スタティック・ランダム・アクセス・メモリ)のようなメモリであっても、クロック信号に同期して外部信号の取込が行なわれるメモリ装置であるかぎり同様の効果を得ることができる。

30

【0088】

【発明の効果】

以上のように、この発明に従えば、クロック同期型半導体記憶装置において、内部クロック信号の前縁(立上り)に同期して入力バッファイネーブル信号を発生して入力バッファの電流経路を遮断する構成にしているため、内部クロック信号非発生時から発生状態への復帰時においても、確実に与えられた外部信号のセットアップ時間を確保することができ、高速動作する低消費電流のクロック同期型半導体記憶装置を実現することができる。

40

【0089】

このとき、外部信号が取込まれて内部信号状態が確定してから入力バッファ回路を非作動状態としているため、この外部信号のホールド時間が短い時間においても、確実に外部信号に対応した内部信号を生成することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態に従うS D R A M の出発点の構成を示す図である。

【図2】 図1 に示す構成の動作を示すタイミングチャート図である。

【図3】 図1 に示す構成の問題点を説明するためのタイミングチャート図である。

【図4】 この発明の実施の形態に従うS D R A M の要部の構成を示す図である。

【図5】 図4 に示す構成の動作を示すタイミングチャート図である。

50

【図6】 図4に示すクロックバッファ回路の構成の一例を示す図である。

【図7】 (A)は、図4に示すクロックバッファ回路の変更例の構成を示し、(B)はその動作波形を示す図である。

【図8】 図4に示すCKEバッファおよび外部信号入力バッファの構成の一例を示す図である。

【図9】 図8に示す構成の動作を示すタイミングチャート図である。

【図10】 (A)は、図8に示すCKEバッファの変更例の構成を示し、(B)は、その動作波形を示す図である。

【図11】 この発明の実施の形態に従う入力バッファ回路の変更例1の構成を示す図である。

10

【図12】 この発明の実施の形態1に従う入力バッファ回路の変更例2の構成を示す図である。

【図13】 SDRAMの外部ピン配置を示す図である。

【図14】 SDRAMの動作を説明するためのタイミングチャート図である。

【図15】 SDRAMの全体の構成を概略的に示す図である。

【図16】 (A)は、クロックイネーブル信号の差異を説明するためのタイミングチャート図であり、(B)は、このクロックイネーブル信号の利用の一例を示すタイミングチャート図である。

【図17】 (A)は、従来のクロックバッファ回路の構成を示し、(B)は、従来のCKEバッファ回路の構成の一例を示す図である。

20

【図18】 図17(A)および(B)に示す構成の動作を示すタイミングチャートである。

【図19】 従来のSDRAMの入力バッファ初段の構成の一例を示す図である。

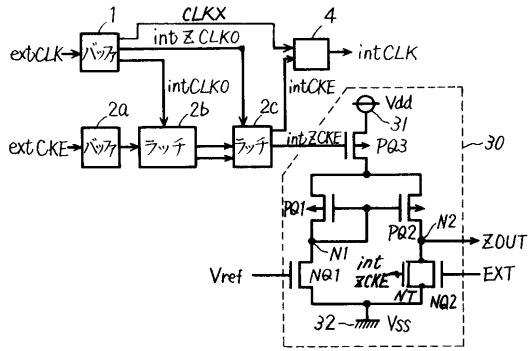
【符号の説明】

1 クロックバッファ回路、2 CKEバッファ、2a 入力バッファ回路、2b, 2c ラッチ回路、3 入力バッファ回路、4 内部クロック信号発生回路、PQ3 pチャンネルMOSトランジスタ、35 ラッチ回路、31 電源ノード、32 接地ノード、1d, 4a NAND回路、1h AND回路、1f インバータ、2d 遅延回路、37 遅延回路、2ba 第1のラッチ、2bb 第2のラッチ、35a 第1のラッチ、35b 第2のラッチ、2ea, 2eb 遅延回路、NQ3 nチャンネルMOSトランジスタ、30a 差動増幅回路。

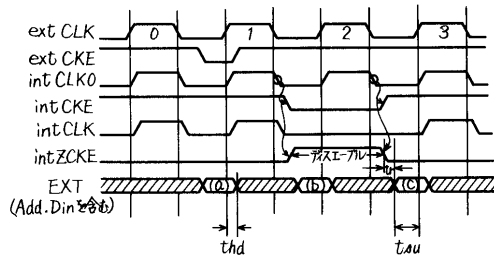
30

なお、図において同一符号は、同一または相当部分を示す。

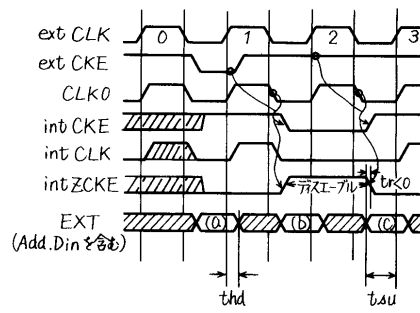
【図1】



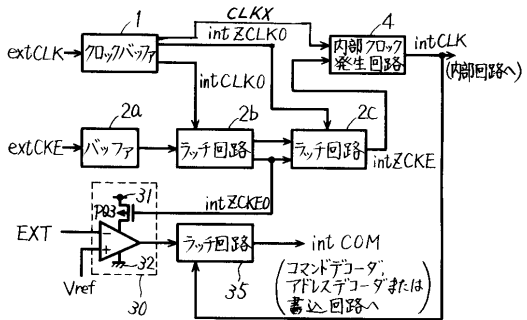
【図2】



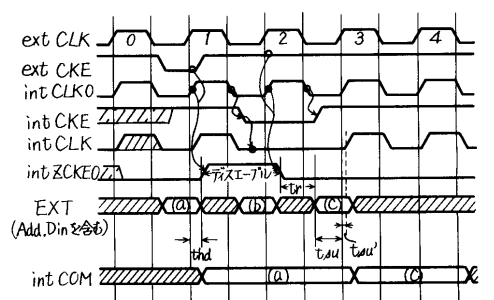
【図3】



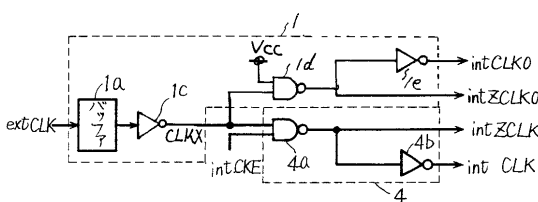
【図4】



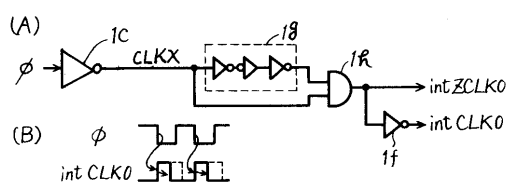
【図5】



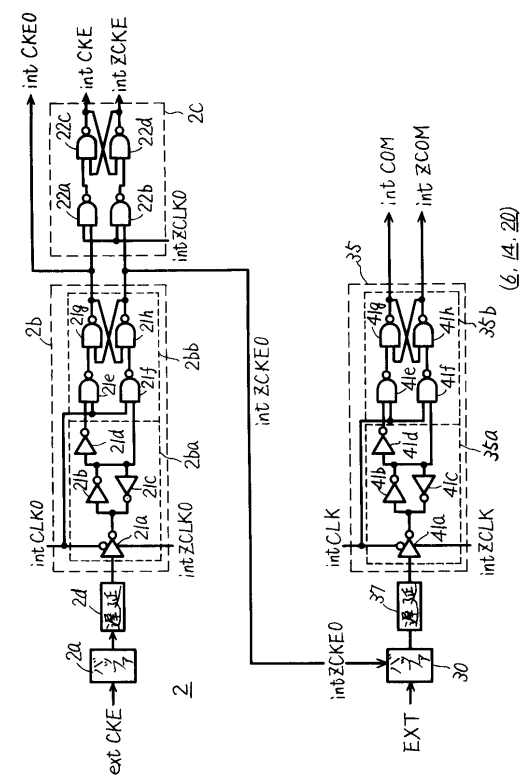
【図6】



【図7】

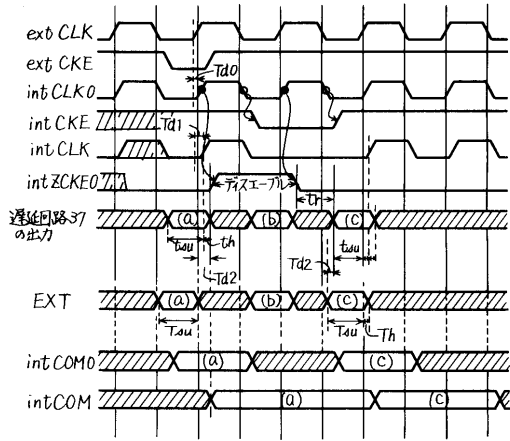


【図8】

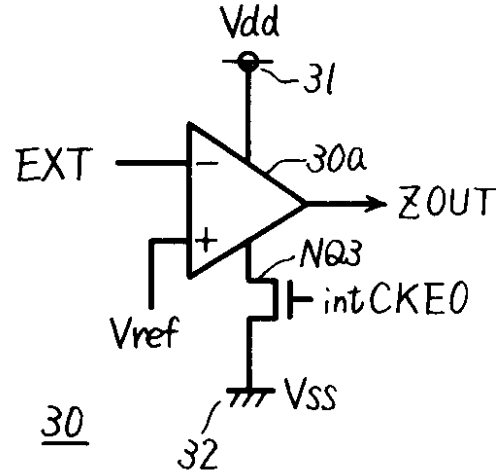




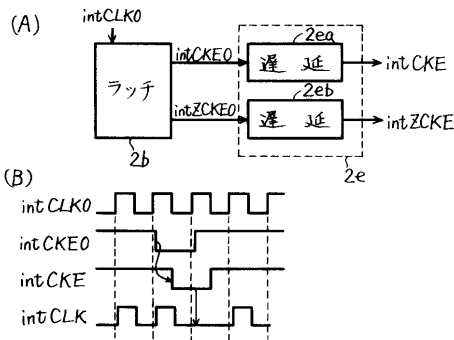
【 図 9 】



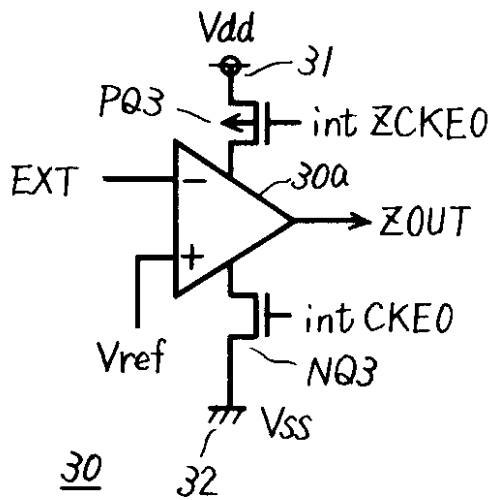
【 図 1 1 】



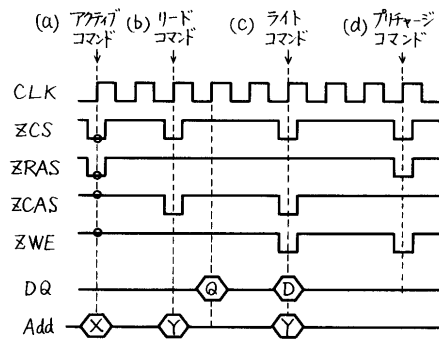
【 図 1 0 】



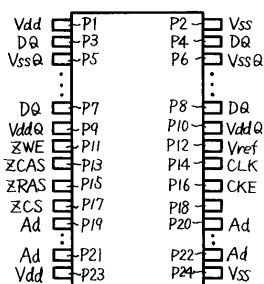
【 図 1 2 】



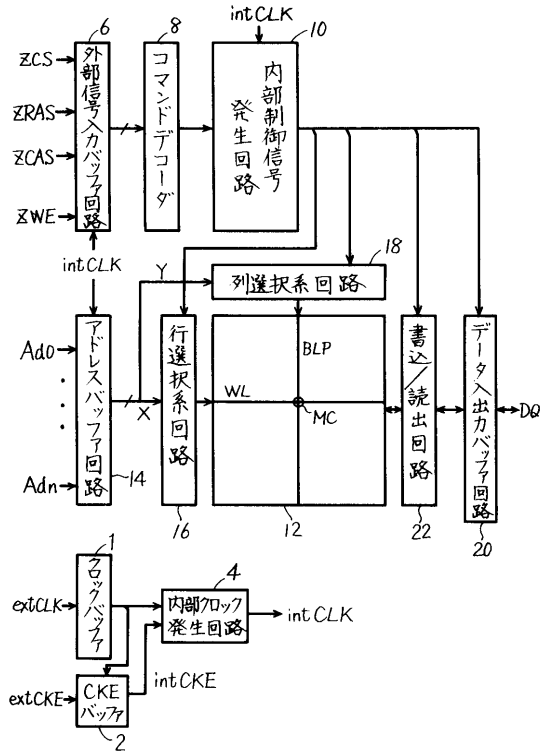
【 図 1 4 】



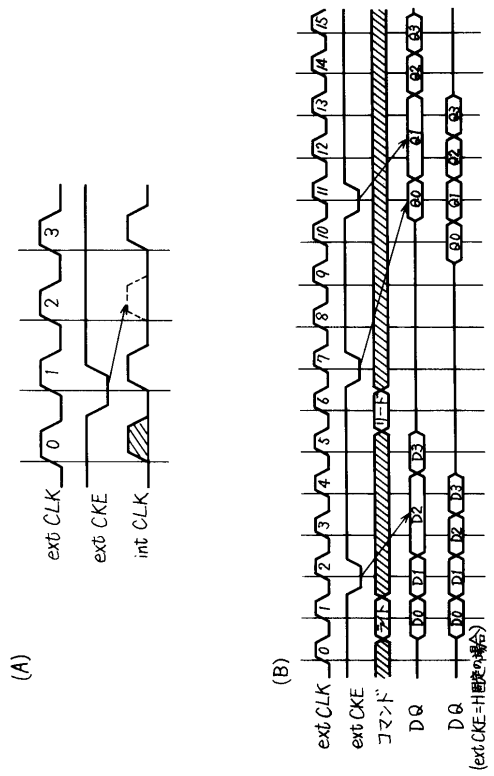
【 図 1 3 】



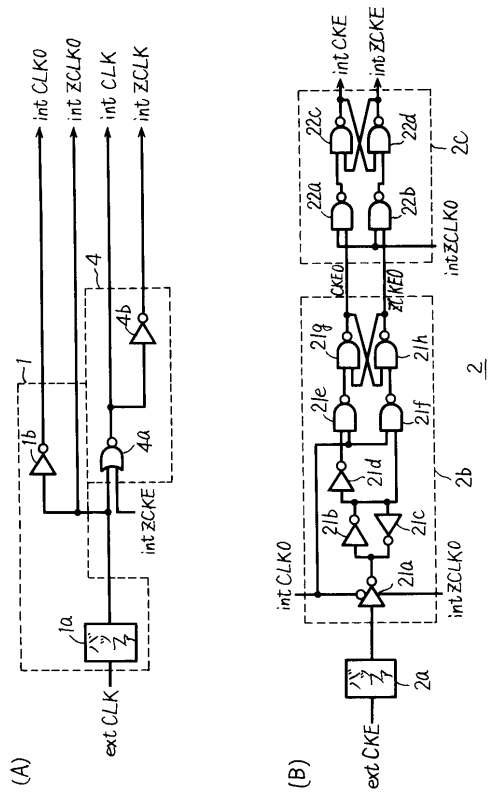
【図15】



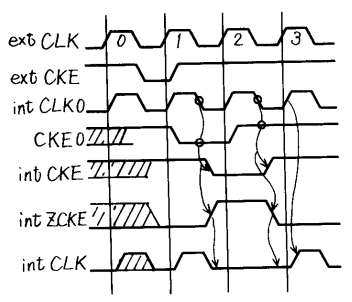
【図16】



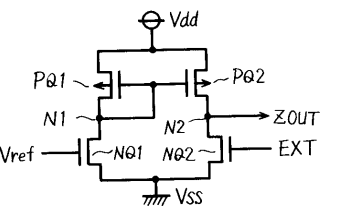
【図17】



【図18】



【図19】



フロントページの続き

(72)発明者 小西 康弘  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 堀田 和義

(56)参考文献 特開平06-195963(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 11/407