

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6490679号
(P6490679)

(45) 発行日 平成31年3月27日 (2019. 3. 27)

(24) 登録日 平成31年3月8日 (2019. 3. 8)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 3 O 1 S
HO 1 L 29/78 (2006. 01)	HO 1 L 29/78 3 O 1 D
HO 1 L 29/06 (2006. 01)	HO 1 L 29/06 3 O 1 F
	HO 1 L 29/06 3 O 1 D

請求項の数 18 (全 16 頁)

(21) 出願番号	特願2016-525370 (P2016-525370)	(73) 特許権者	501315784
(86) (22) 出願日	平成26年6月28日 (2014. 6. 28)		パワー・インテグレーションズ・インコーポレーテッド
(65) 公表番号	特表2016-526804 (P2016-526804A)		アメリカ合衆国・95138・カリフォルニア州・サン ホゼ・ヘリヤー アベニュー・5245
(43) 公表日	平成28年9月5日 (2016. 9. 5)		
(86) 国際出願番号	PCT/US2014/044769	(74) 代理人	100100181
(87) 国際公開番号	W02015/006074		弁理士 阿部 正博
(87) 国際公開日	平成27年1月15日 (2015. 1. 15)	(72) 発明者	パーササラサイ ヴィジェイ
審査請求日	平成29年6月26日 (2017. 6. 26)		アメリカ合衆国 94087 カリフォルニア州 サニーヴェイル、 ニューファウンドランド ドライヴ 1442
(31) 優先権主張番号	13/941, 119		
(32) 優先日	平成25年7月12日 (2013. 7. 12)		
(33) 優先権主張国	米国 (US)		
前置審査			

最終頁に続く

(54) 【発明の名称】 複数の注入層をもつ高電圧電界効果トランジスタ

(57) 【特許請求の範囲】

【請求項 1】

高電圧電界効果トランジスタを製造する方法であって、
半導体基板に本体領域を形成することと、
前記半導体基板にソース領域を形成することと、
ドーパ n ウェル領域を含み得るドレイン領域であって、前記本体領域により前記ソース領域から離間した前記ドレイン領域を前記半導体基板に形成することと、
を含み、
前記ドレイン領域を形成することが、

前記ドレイン領域の上方において前記半導体基板の表面に第1の酸化物層を形成することであって、前記第1の酸化物層が、20～500ナノメートルの厚さをもつ、前記第1の酸化物層を形成することと、

垂直から傾いた角度で前記第1の酸化物層にイオンビームが衝突するように、前記半導体基板を傾けた状態で前記第1の酸化物層を通して複数のイオン注入工程を実施することであって、前記複数のイオン注入工程が、対応する複数の離間した注入層を前記ドレイン領域内に形成し、前記注入層の各々が、前記ドレイン領域内の異なる深さに形成される、前記複数のイオン注入工程を実施することと、

前記第1の酸化物層に重ねて第2の酸化物層を形成することであって、前記第2の酸化物層が、0.1～2マイクロメートルの厚さをもつ、前記第2の酸化物層を形成することと、

10

20

を有し、
前記方法が、
前記本体領域の上方において前記半導体基板の前記表面を露出するエッチング工程を実施することと、
前記第 1 の酸化物層と前記第 2 の酸化物層とに接するゲート酸化物層を前記本体領域の上方に形成することと、
前記ゲート酸化物層と前記第 2 の酸化物層の一部との上方にゲート電極を形成することであって、前記第 2 の酸化物層の前記一部の上方の前記ゲート電極の一部が、前記本体領域付近の前記注入層の一部の上方に位置する、前記ゲート電極を形成することと、
をさらに含む、

10

高電圧電界効果トランジスタを製造する方法。

【請求項 2】

前記半導体基板を傾けることは、垂直から 3 ～ 10 度傾いた角度で前記第 1 の酸化物層にイオンビームが衝突するように前記半導体基板を傾けることを含む、

請求項 1 の方法。

【請求項 3】

前記第 1 の酸化物層を形成することが、熱酸化工程を使用して前記第 1 の酸化物層を形成することを含み、

第 2 の酸化物層が、低温酸化物堆積工程を使用して、前記第 1 の酸化物層に重ねて堆積される、

20

請求項 1 または請求項 2 の方法。

【請求項 4】

前記複数の離間した注入層の各注入層が、0.1 ～ 2 マイクロメートルの厚さをもつ、請求項 1 から請求項 3 のいずれか一項の方法。

【請求項 5】

前記ドレイン領域が、n 型ウェルを含み、

前記複数のイオン注入工程を実施することが、3 回のイオン注入工程を実施して 3 つの離間した p 型注入層を形成することを含み、

前記 p 型注入層のうちの第 1 の p 型注入層が、前記第 1 の酸化物層に接する前記半導体基板の前記表面に形成され、

30

前記 p 型注入層のうちの第 2 の p 型注入層が、前記第 1 の p 型注入層の下方に形成され、
前記 p 型注入層のうちの第 3 の p 型注入層が、前記第 2 の p 型注入層の下方に形成される、

請求項 1 から請求項 4 のいずれか一項の方法。

【請求項 6】

前記第 1 の p 型注入層と前記第 2 の p 型注入層とが、0.5 ～ 3 マイクロメートルの厚さをもつ前記 n 型ウェルの第 1 の n 型領域により離間され、

前記第 2 の p 型注入層と前記第 3 の p 型注入層とが、0.5 ～ 3 マイクロメートルの厚さをもつ前記 n 型ウェルの第 2 の n 型領域により離間される、

40

請求項 5 の方法。

【請求項 7】

前記ドレイン領域は、n 型ウェルを含み、

前記複数のイオン注入工程を実施することが、3 回のイオン注入工程を実施して前記 n 型ウェル内に 3 つの離間した p 型注入層を形成することを含み、

前記 n 型ウェルの n 型領域が、前記第 1 の酸化物層と第 1 の p 型注入層との間に配設されるように、前記第 1 の p 型注入層が、前記半導体基板の前記表面の下方に埋設され、

第 2 の p 型注入層が、前記第 1 の p 型注入層の下方に形成され、

第 3 の p 型注入層が、前記第 2 の p 型注入層の下方に形成される、

請求項 1 から請求項 6 のいずれか一項の方法。

50

【請求項 8】

前記第 1 の p 型注入層が、0.05～2 マイクロメートルの厚さをもつ前記 n 型ウェルの第 1 の n 型領域により前記第 1 の酸化物層から離間され、

前記第 1 の p 型注入層と前記第 2 の p 型注入層とが、0.5～3 マイクロメートルの厚さをもつ前記 n 型ウェルの第 2 の n 型領域により離間され、

前記第 2 の p 型注入層と前記第 3 の p 型注入層とが、0.5～3 マイクロメートルの厚さをもつ前記 n 型ウェルの第 3 の n 型領域により離間される、

請求項 7 の方法。

【請求項 9】

半導体基板に本体領域を形成することと、

前記半導体基板にソース領域を形成することと、

前記本体領域により前記ソース領域から離間されたドレイン領域を前記半導体基板に形成することと、

を含み、

前記ドレイン領域を形成することが、

前記ドレイン領域の上方において前記半導体基板の表面上に第 1 の酸化物層を形成することと、

前記第 1 の酸化物層を通して 3 回のイオン注入工程を実施して前記ドレイン領域内に 3 つの離間した注入層を形成することであって、

前記注入層の各々が、前記ドレイン領域内の異なる深さに堆積され、

前記 3 つの注入層のうちの第 1 の注入層が、前記第 1 の酸化物層に接する前記半導体基板の前記表面に配置される、

前記注入層を形成することと、

前記第 1 の酸化物層に重ねて第 2 の酸化物層を形成することであって、

前記第 2 の酸化物層が、前記第 1 の酸化物層より厚い、

前記第 2 の酸化物層を形成することと、

を有し、

前記第 1 の酸化物層が、20～500 ナノメートルの厚さをもち、

前記第 2 の酸化物層が、0.1～2 マイクロメートルの厚さをもち、

前記方法が、

エッチング工程を実施して前記本体領域の上方の前記半導体基板の前記表面を露出することと、

前記第 1 の酸化物層と前記第 2 の酸化物層とに接するゲート酸化物層を前記本体領域の上方に形成することと、

前記ゲート酸化物層の上方にゲート電極を形成することと、

をさらに含む、

高電圧電界効果トランジスタを製造する方法。

【請求項 10】

3 回のイオン注入工程を実施することが、垂直から傾いた角度で前記第 1 の酸化物層にイオンビームが衝突するように、前記半導体基板を傾けることを含む、

請求項 9 の方法。

【請求項 11】

前記 3 つの注入層の各々が、0.1～2 マイクロメートルの厚さをもつ、

請求項 9 または請求項 10 の方法。

【請求項 12】

前記ドレイン領域が、n 型ウェルを含み、

前記 3 つの注入層が、p 型注入層であり、

前記 p 型注入層のうちの第 2 の p 型注入層が、第 1 の p 型注入層の下方に形成され、

前記 p 型注入層のうちの第 3 の p 型注入層が、前記第 2 の p 型注入層の下方に形成される、

請求項9から請求項11のいずれか一項の方法。

【請求項13】

前記第1のp型注入層と前記第2のp型注入層とが、0.5～3マイクロメートルの厚さをもつ前記n型ウェルの第1のn型領域により離間され、

前記第2のp型注入層と前記第3のp型注入層とが、0.5～3マイクロメートルの厚さをもつ前記n型ウェルの第2のn型領域により離間される、

請求項12の方法。

【請求項14】

半導体基板内の本体領域と、

前記半導体基板内のソース領域と、

前記本体領域により前記ソース領域から離間された前記半導体基板内のドレイン領域であって、

前記ドレイン領域が3つの離間した注入層を含み、

前記注入層の各々が前記ドレイン領域内の異なる深さにあり、及び、

前記3つの注入層のうちの第1の注入層が前記半導体基板の表面に配置される、

前記ドレイン領域と、

前記ドレイン領域の上方の前記半導体基板の前記表面にあって前記ドレイン領域の前記第1の注入層に接する第1の酸化物層と、

前記第1の酸化物層に重なる第2の酸化物層と、

前記本体領域の上方の前記表面に重なるゲート酸化物層であって、前記ゲート酸化物層が前記第1の酸化物層と前記第2の酸化物層とに接する、前記ゲート酸化物層と、

前記ゲート酸化物層の上方のゲート電極と、

を備え、

前記第1の酸化物層が、20～500ナノメートルの厚さをもち、

前記第2の酸化物層が、0.1～2マイクロメートルの厚さをもつ、

高電圧電界効果トランジスタ(HV FET; high-voltage field-effect transistor)。

【請求項15】

前記3つの注入層の各々が、0.1～2マイクロメートルの厚さをもつ、

請求項14のHV FET。

【請求項16】

前記ドレイン領域が、n型ウェルを含み、

前記3つの注入層が、p型注入層であり、

前記p型注入層のうちの第2のp型注入層が、前記第1のp型注入層の下方に位置し、

前記p型注入層のうちの第3のp型注入層が、前記第2のp型注入層の下方に位置する、

請求項14または請求項15のHV FET。

【請求項17】

前記第1のp型注入層と前記第2のp型注入層とが、0.5～3マイクロメートルの厚さをもつ前記n型ウェルの第1のn型領域により離間され、

前記第2のp型注入層と前記第3のp型注入層とが、0.5～3マイクロメートルの厚さをもつ前記n型ウェルの第2のn型領域により離間される、

請求項16のHV FET。

【請求項18】

半導体基板に本体領域を形成すること、

前記半導体基板にソース領域を形成すること、

前記本体領域により前記ソース領域から離間されたドレイン領域を前記半導体基板に形成することであって、

前記ドレイン領域を形成することが、

前記ドレイン領域の上方において前記半導体基板の表面上に、20～500ナノメ

10

20

30

40

50

ートの厚さをもつ第1の酸化物層を形成すること、及び、

前記酸化物層を通して3回のイオン注入工程を実施して前記ドレイン領域内に3つの離間した前記注入層を形成すること、

を有し、

前記注入層の各々が、前記ドレイン領域内の異なる深さに堆積され、

前記3つの離間した注入層の各々が、0.1～2マイクロメートルの厚さをもつ、

前記ドレイン領域を形成すること、

前記第1の酸化物層の上方に0.1～2マイクロメートルの厚さをもつ第2の酸化物層を形成すること、

前記第1の酸化物層と前記第2の酸化物層とに接するゲート酸化物層を前記本体領域の上方において前記半導体基板の前記表面に形成すること、並びに、

前記ゲート酸化物層と前記第2の酸化物層の一部との上方にゲート電極を形成すること

、

を含む、

高電圧電界効果トランジスタを製造する方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、電界効果トランジスタの製造に関し、より詳細には、高電圧電界効果トランジスタの製造に関する。

【背景技術】

【0002】

高電圧電界効果トランジスタ(HV FET; high-voltage field-effect transistor)は、電力変換回路などの様々な異なる回路用途に使用され得る。例えば、HV FETは、電力変換回路の電力スイッチとして使用され得る。HV FET電力スイッチを含む例示的な電力変換器の形態は、非絶縁電力変換器形態(例えば、バック型変換器またはブースト型変換器)及び絶縁電力変換器形態(例えば、フライバック型変換器)を含み得るが、これらに限定されない。

【0003】

HV FETは、電力変換回路内で、動作中に、高電圧及び電流にさらされ得る。例えば、HV FETは、動作中、何百ものボルト(例えば、700～800V)にさらされ得る。そのため、HV FETは、高い絶縁破壊電圧をもつように設計され得る。HV FETは、また、電力変換回路の動作中の伝導損を最小化するため、比較的低いオン抵抗をもつように設計され得る。

【0004】

本開示の非限定的かつ非網羅的な実施形態が、以下の図を参照しながら説明され、同様の参照番号は、異なる図の中の同様の部分を参照し得る。

【図面の簡単な説明】

【0005】

【図1】図1は、高電圧電界効果トランジスタ(HV FET)の断面側面図を示す。

【図2】図2は、図1のHV FETの製造を説明するフロー図である。

【図3】図3は、図1のHV FETのドレイン領域と本体領域とを含む基板の断面側面図を示す。

【図4】図4は、薄い酸化物層を含む基板の断面側面図を示す。

【図5】図5は、図1のHV FETの注入層を注入形成するために使用されるイオン注入工程の断面側面図を示す。

【図6】図6は、厚い酸化物層を含む基板の断面側面図を示す。

【図7】図7は、エッチングされた厚い酸化物層及びエッチングされた薄い酸化物層を含む基板の断面側面図を示す。

【図8】図8は、代替的なHV FETの断面側面図を示す。

【発明を実施するための形態】

【0006】

対応する参照符号は、図面の複数の図にわたって、対応する構成要素を示し得る。当業者であれば、図中の要素は、簡潔かつ明確であるように描かれていること、及び、必ずしも一定の縮尺で描かれていないことを理解すると考えられる。例えば、本開示の様々な実施形態をより理解しやすくするため、図中のいくつかの要素の寸法が、他の要素より誇張されている場合がある。さらに、市販に適した実施形態で有用または必要な、一般的だがよく理解されている要素は、多くの場合、本開示の様々な実施形態の図が見づらくなならないように、描かれていない。

【0007】

以下の説明では、本発明を十分に理解できるように多くの具体的な詳細事項が記載されている。しかし、本発明を実施する際に具体的な詳細事項を必ずしも使用する必要がないことが、当業者には明らかだと考えられる。他の例では、よく知られた材料または方法は、本発明が理解しにくくならないように、詳細には説明されていない。

【0008】

本明細書中の、「一実施形態 (one embodiment)」、「一実施形態 (an embodiment)」、「例 (one example)」または「例 (an example)」についての言及は、実施形態または例に関連して説明されている特定の特徴、構造または特性が、本発明の少なくとも1つの実施形態に含まれることを意味する。従って、本明細書中の様々な場所における「一実施形態において (in one embodiment)」、「一実施形態において (in an embodiment)」、「例 (one example)」または「例 (an example)」という語句の出現は、必ずしもすべてが同じ実施形態または実施例を参照しているわけではない。さらに、特定の特徴、構造または特性は、1つ以上の実施形態または実施例において、任意の適切な組み合わせ及び／または部分的組み合わせで組み合わせられてもよい。

【0009】

本開示の高電圧電界効果トランジスタ (HVFEET) は、基板 (例えば、ドーパされたシリコン基板) 上に製造され得る。一般的に、HVFEETを形成するために使用される処理工程は、基板の表面で実施され得る。例えば、HVFEETを製造するために使用されるドーピング工程、パターン形成工程、及び層形成工程は、基板の表面で実施され得る。

【0010】

HVFEETは、基板内に形成された、ドレイン領域 (例えば、図1のドレイン領域104)、ソース領域 (例えば、図1のソース領域108)、及び本体領域 (例えば、図1の本体領域106) を含む。ドレイン領域及びソース領域は、本体領域により互いから離間され得る。ドレイン領域は、基板内に形成されたドーパ領域 (例えば、nウェル) を含む得る。本体領域は、ドレイン領域に隣接した、基板内に形成されたドーパ領域 (例えば、pウェル) であり得る。本体領域の一部がソース領域とドレイン領域との間に配設されるように、ソース領域は、本体領域中に形成されたドーパ領域 (例えば、P+及びN+ドーパ領域) であり得る。

【0011】

様々な異なる層が、基板の表面上方に形成され得る。ゲート酸化物層及びゲート電極が、ソース領域とドレイン領域との間に配設された本体領域の一部の上部の上方に形成され得る。ゲート電極及びゲート酸化物の下方の本体領域の一部が、HVFEETのチャンネル領域を形成し得る。ソース及びドレイン電極は、また、ソース及びドレイン領域の接点を提供するように形成され得る。

【0012】

本開示のHVFEETは、ドレイン領域の上方に形成された薄い酸化物層をさらに含む得る。ドレイン領域に含まれる特徴 (例えば、注入層110) の製造中に、薄い酸化物層が存在し得る。図1に示されるように、最終的なHVFEETの中にも、薄い酸化物層が存在し得る。ドレイン領域の構造及び製造は、以下で説明される。

10

20

30

40

50

【0013】

HVFETのドレイン領域は、複数の注入層（例えば、図1の注入層110-1、110-2、110-3）を含む。本明細書に記載されているように、注入層は、ドレイン領域のnウェル内のp型ドープ領域であり得る。各注入層は、基板の表面に略平行な平面状の外形もち得る。そのため、注入層は、互いに略平行であり得る。注入層が互いの上方または下方で積み重なるように、注入層は、ドレイン領域内の異なる深さに形成され得る。注入p型層は、ドレイン領域のn型領域により互いに離間され得る。

【0014】

3つの注入層は、上部注入層、中央注入層、及び底部注入層と呼ばれ得る。いくつかの例において、上部注入層は、基板の表面に形成され得る（例えば、図1参照）。他の例において（例えば、図8参照）、ドレイン領域のn型部が上部注入層と基板の表面との間に配設されるように、基板の表面の下方のある距離に上部注入層が形成され得る。中央注入層は、上部注入層の下方に形成され得、nウェルの一領域により上部注入層から離間され得る。底部注入層は、中央注入層の下方に形成され得、nウェルの一領域により中央注入層から離間され得る

10

【0015】

3つの注入層は、イオン注入工程を使用してドレイン領域内に注入形成され得る。一般的に、イオン注入工程は、基板に選択されたエネルギーのイオンビームを放射して、注入層の1つを注入形成することを伴い得る。以下に（例えば、図5に関連して）説明されるように、3つの注入層は、基板の表面に形成された薄い酸化物層を通して、注入形成され得る。薄い酸化物層を通じた注入形成は、ガウシアン分布のドーピング形状をもつ注入層を生成することに役立ち得る。いくつかの例において、イオン注入工程中、イオンビームが薄い酸化物層に垂直に衝突しないように、基板は、傾けられ得る。例えば、イオンビームが、垂直から約3〜10度傾いた角度で薄い酸化物層に衝突するように、基板が傾けられ得る。基板が傾けられているときの注入形成は、さらに、ガウシアン分布のドーピング形状をもつ注入層を生成することに役立ち得る。

20

【0016】

後続の処理工程中、ドレイン領域の上部の上方の薄い酸化物層は、ドレイン領域の上方に残され得る。例えば、後続の処理工程中、薄い酸化物層に重ねて、別の層（例えば、絶縁体及び電極）が構築され得る。いくつかの例において、図1及び図8に示されるように、完成したHVFET装置内に薄い酸化物層が存在し得る。

30

【0017】

例示的なHVFET及び例示的なHVFETの製造が、図1〜8を参照して、ここで説明される。図1及び図8は、例示的なHVFETを示す。図2は、HVFETを製造する例示的な方法を示す。図3〜7は、図2の方法で説明されるHVFET製造の様々な段階を示す。

【0018】

図1は本開示のHVFET100の断面側面図である。HVFET100は、様々な異なる電子用途に使用され得る。例えば、HVFET100は、スイッチング電源回路で電力スイッチとして使用され得る。一例において、HVFET100は、定格電圧700ボルト、定格電流5アンペア、及び1オームの $R_{DS(on)}$ をもつ用途向けであり得る。

40

【0019】

HVFET100は、p型半導体基板102を含む。例えば、p型半導体基板102は、p型ドープシリコンウェハであり得る。P型半導体基板102は、以下、「基板102」と呼ぶ場合がある。基板102は、ドレイン領域104、本体領域106、及びソース領域108を含む。ソース領域108は、P+領域108-1とN+領域108-2との組み合わせを表し得る。本体領域106の一部が、ドレイン領域104とソース領域108との間に位置している。

【0020】

ドレイン領域104は、基板102内に形成されている。例えば、ドレイン領域104

50

は、基板102内に形成されたnウェルであり得る。ドレイン領域104は、3つの注入層110-1、110-2、及び110-3（集合的に「注入層110」）を含む。ドレイン領域104は、ドレイン接点領域112をさらに含み得る。ドレイン接点領域112は、ドレイン領域104内の高濃度n型ドーパ（N+）領域であり得る。ドレイン接点領域112は、ドレイン電極114に接触し得る。ドレイン電極114は、HVFET100の外部の回路に接続され得るHVFET100のドレイン端子として作用し得る。いくつかの例において、ドレイン電極114は、金属電極であり得る。

【0021】

本体領域106は、ドレイン領域104に隣接して基板102内に形成されている。例えば、本体領域106は、ドレイン領域104に隣接して基板102内に形成されたドーパ領域（例えば、pウェル）であり得る。いくつかの例において、本体領域106は、ドレイン領域104に隣接（例えば、接触）し得る。

10

【0022】

ソース領域108は、本体領域106内に1つ以上のドーパ領域を含み得る。例えば、ソース領域108は、本体領域106内に形成された高濃度p型ドーパ（P+）領域108-1と高濃度n型ドーパ（N+）領域108-2とを含み得る。ソース領域108は、本体領域106によりドレイン領域104から離間されている。例えば、その結果、本体領域106の一部がソース領域108とドレイン領域104との間に配設されるように、ソース領域108が本体領域106内に形成されている。ソース領域108とドレイン領域104との間に配設された本体領域106の一部は、HVFET100の「チャンネル領域」の一部を含み得る。ソース領域108は、ソース電極116に接触し得る。ソース電極116は、HVFET100の外部の回路に接続され得るHVFET100のソース端子として作用し得る。いくつかの例において、ソース電極116は、金属電極であり得る。

20

【0023】

上述の、ドレイン領域104は、3つの注入層110を含み得る。本明細書では3つの注入層110が例示及び説明されるが、本開示の技術に従って、ドレイン領域104内に別の注入層が形成され得ることが意図される。注入層110-1は、本明細書で、「上部注入層110-1」と称され得る。注入層110-2は、本明細書で、「中央注入層110-2」と称され得る。注入層110-3は、本明細書で、「底部注入層110-3」と

30

【0024】

注入層110は、ドレイン領域104内のp型ドーパ領域（例えば、ホウ素を使用）であり得る。注入層110は、本明細書に記載されたイオン注入工程を使用して、ドレイン領域104内に注入形成され得る。注入層110の各々が、表面118に略平行な、ドレイン領域104内に延在した略平面状の外形をもち得る。そのため、注入層110は、表面118に略平行であって互いに平行な、ドレイン領域104内のp型ドーパ層として観察され得る。

【0025】

注入層110が互いの上方及び下方に積み重なるように、注入層110は、ドレイン領域104内の異なる深さに形成され得る。注入層110は、イオン注入工程によりp型ドーパされていないnウェルの領域により互いに離間され得る。言い換えると、ドレイン領域104のn型ドーパ領域120-1、120-2により注入層110が離間されるように、注入層110がドレイン領域104内に形成され得る。

40

【0026】

上部注入層110-1は、n型ドーパ領域120-1により中央注入層110-2から離間され得る。言い換えると、n型ドーパ領域120-1は、上部注入層110-1と中央注入層110-2との間に配設され得、並びに、上部注入層110-1及び中央注入層110-2の長手方向に沿って延在し得る。中央注入層110-2は、n型ドーパ領域120-2により底部注入層110-3から離間され得る。言い換えると、n型ドーパ領域

50

120-2は、中央注入層110-2と底部注入層110-3との間に配設され得、並びに、中央注入層110-2及び底部注入層110-3の長手方向に沿って延在し得る。

【0027】

図1のHVFE T100において、上部注入層110-1は、表面118に形成され得る。例えば、図8に関連する他の例において、n型ドープ領域820-1が上部注入層810-1と表面118との間に配設されるように、基板102の表面118の下方に上部注入層810-1が形成され得る。

【0028】

注入層110は、表面118に平行な方向に延在し得る。本明細書で説明されるように、いくつかの例において、注入層110は、ドレイン接点領域112付近のドレイン領域104の一部から、本体領域106付近のドレイン領域104の一部まで延在し得る。しかし、図1に示されるように、いくつかの例において、注入層110は、ドレイン接点領域112及び本体領域106に接触しなくてよい。その代わり、これらの例において、ドレイン領域104のn型ドープ領域は、注入層110をドレイン接点領域112から離間し得る。同様に、ドレイン領域104のn型ドープ領域は、注入層110を本体領域106から離間し得る。言い換えると、ドレイン接点領域112付近の注入層110の端部は、ドレイン領域104のn型ドープ領域によりドレイン接点領域112から離間される。同様に、本体領域106付近の注入層110の端部は、ドレイン領域104のn型ドープ領域により本体領域106から離間される。

【0029】

図1の例示的なHVFE T100において、中央注入層110-2及び底部注入層110-3は、ドレイン領域104のn型ドープ領域により囲まれ得る。上部注入層110-1は、表面118に位置する上部注入層110-1の側部を除くすべての側部で、ドレイン領域104のn型ドープ領域により囲まれている。表面118に位置する上部注入層110-1の側部は、薄い酸化物層122に隣接し得る。図8の例示的なHVFE T800において、注入層810の各々が、ドレイン領域104のn型ドープ領域により囲まれ得る。

【0030】

HVFE T100は、薄い酸化物層122、ゲート酸化物層124、及び厚い酸化物層126を含む。薄い酸化物層122は、注入層110の上方の表面118上に形成され得る。例えば、薄い酸化物層122は、注入層110の上方の表面118の一部を完全に覆い得る。以下に説明されるように、薄い酸化物層122は、注入層110の注入形成前に、表面118上に形成され得る。薄い酸化物層122の形成後、イオン注入工程中、薄い酸化物層122を通してドレイン領域104内に注入層110が注入形成され得る。

【0031】

ゲート酸化物層124は、本体領域106の上方の表面118上に形成され得る。例えば、ゲート酸化物層124は、ドレイン領域104とソース領域108との間に位置する本体領域106の一部を覆い得る。図1に示されるように、ゲート酸化物層124及び薄い酸化物層122が表面118を覆う連続した酸化物層を形成するように、ゲート酸化物層124は、薄い酸化物層122に隣接して形成され得る。

【0032】

ゲート電極128は、本体領域106の上方のゲート酸化物層124に重ねて形成され得る。ゲート酸化物層124とゲート電極128との下方にある本体領域106の一部とドレイン領域104とが、HVFE T100のチャンネル領域を形成し得る。そのため、HVFE T100のチャンネル領域は、いくつかの例において、注入層110の端部からソース領域108まで延在し得る。ゲート電極128は、HVFE T100の外部の回路に接続され得るHVFE T100のゲート端子として作用し得る。いくつかの例において、ゲート電極128は、高濃度にドープされた多結晶シリコン材料であり得る。ゲート電極128に印加されるゲート電圧を調節することにより、ゲート電極128及びゲート酸化物層124の下方にある本体領域106の一部（例えば、チャンネル領域）の伝導率を調節し

10

20

30

40

50

得る。

【0033】

イオン注入工程により注入層110が形成された後、薄い酸化物層122の上方に厚い酸化物層126が形成され得る。厚い酸化物層126の端部は、ゲート酸化物層124の端部に隣接して位置し得る。例えば、ゲート酸化物層124の端部と厚い酸化物層126の端部との間に、接触面が存在し得る。

【0034】

上述のように、ゲート電極128は、ゲート酸化物層124の上方に形成されている。いくつかの例において、図1に示されるように、ゲート電極128は、ゲート酸化物層124と厚い酸化物層126の一部との両方の上方に形成された、連続した層であり得る。例えば、連続したゲート電極128が、ゲート酸化物層124に重ねて、及び厚い酸化物層126の一部に重ねて堆積されるように、ゲート電極128が、ゲート酸化物層124と厚い酸化物層126との間の接触面に沿い得る。図1に示されるように、ゲート電極128は、本体領域106付近にある注入層110の端部の上方で、厚い酸化物層126に重ねて形成され得る。いくつかの例において、ドレイン接点領域112付近にある注入層110の端部の上方で、厚い酸化物層126に重ねてドレイン多結晶シリコン延在部130が堆積されてもよい。ドレイン多結晶シリコン延在部130及び注入層110の上方のゲート電極128の一部は、下方にあるドレイン領域104内のピーク電界を変え得る。

【0035】

HVFET100は、ゲート酸化物層124とゲート電極128と厚い酸化物層126との上方に形成された中間層誘電体132を含み得る。中間層誘電体132は、電極（例えば、114、116、128）が互いに接触するのを防ぐように機能する絶縁材料であり得る。

【0036】

HVFET100のいくつかの構造及び動作は、次のように要約される。ドレイン領域104及びソース領域108は、本体領域106により離間される。ドレイン領域104は、ドレイン電極114に接触し得るドレイン接点領域112を含む。本体領域106は、ソース電極116に接触し得るソース領域108を含む。本体領域106の一部とドレイン領域104の一部とが、ソース領域108とドレイン接点領域112との間に位置する。言い換えると、本体領域106の複数の一部と注入層110を含むドレイン領域104の複数の一部とが、ドレイン接点領域112とソース領域108との間に位置するように、ドレイン接点領域112及びソース領域108が、HVFET100の離間した端部に位置し得る。動作中、ゲート電圧によりHVFET100がオン状態に設定されると、ドレイン・ソース間電圧の印加に応答して、ドレイン接点領域112とソース領域108との間（例えば、注入層110の間）に電流が流れ得る。

【0037】

以下、HVFET100の製造を説明する。HVFET100を製造する方法200が、図2を参照して説明されている。様々な異なる段階におけるHVFET100の製造が、図3～7に図示されている。ここで、HVFET100を製造する方法200が、図3～7を参照して説明される。

【0038】

図2は、HVFET100を製造する方法200を示す。本明細書で例示及び説明されるように、HVFET100は、p型半導体基板102（例えば、p型ドーパシリコンウエハ）に製造され得る。一例において、わずかにp型ドーパ（ $5 \times 10^{13} \text{ cm}^{-3} \sim 5 \times 10^{14} \text{ cm}^{-3}$ ）されたシリコンウエハが使用され得る。

【0039】

図3を参照すると、基板102は、表面118をもち得、HVFET100を製造するため、表面118に処理工程が実施される。以下に説明されるように、例えば、HVFET100を製造するために使用されるドーピング工程、パターン形成工程、及び層形成工程は、表面118に実施され得る。

【0040】

まず、ブロック202及びブロック204において、基板102内に、ドレイン領域104及び本体領域106が、それぞれ、形成され得る。ドレイン領域104は、基板102の一部に形成されたnウェルであり得る。本体領域106は、ドレイン領域104に隣接して基板102の一部に形成されたpウェルであり得る。

【0041】

ドレイン領域104及び本体領域106は、表面118から基板102内に延在したドープ領域であり得る。いくつかの例において、ドレイン領域104は、約5～10 μm の深さと、約20～150 μm の長さとをもち得る。いくつかの例において、本体領域106は、約1～8 μm の深さをもち得る。

10

【0042】

ここで、図4を参照すると、ブロック206において、表面118上に、薄い酸化物層122が形成され得る。図示されるように、本体領域106とドレイン領域104との両方の上方に、薄い酸化物層122が形成され得る。熱酸化工程を使用して、薄い酸化物層122を成長させ得る。いくつかの例において、薄い酸化物層122は、約20～500nmの厚さをもち得る。

【0043】

ここで、図5を参照すると、ブロック208において、薄い酸化物層122の上方に、マスク層134が形成され得る。マスク層134は、ドレイン領域104の上方にある薄い酸化物層122の一部の上方の開口136を画定し得る。開口136を通して、後続のイオン注入工程が実施され得る。いくつかの例において、マスク層134は、フォトレジスト層であり得る。マスク層134は、基板102のうちのマスク層134でマスクされた部分にイオンが突き抜けるのを防ぐのに十分な厚さをもち得る。

20

【0044】

次に、ブロック210～214において、注入層110を形成するため、薄い酸化物層122を通して複数のイオン注入工程が実施される。複数のイオン注入工程は、薄い酸化物層122に衝突する矢印138で示される。例えば、矢印138は、薄い酸化物層122に衝突するイオンビームを表し得る。矢印138の角度は、薄い酸化物層122に対するイオンビームの角度を表し得る。イオンビームが薄い酸化物層122に衝突する角度は、イオンビームに対して基板102を傾けることにより制御され得る。イオン注入工程中、イオンビームが薄い酸化物層122に90度ではない角度で（すなわち、薄い酸化物層122に垂直に）衝突するように、基板102が傾けられ得るが、いくつかの例において、イオンビームが薄い酸化物層122に90度の角度で衝突するように、基板102が傾けられ得る。図5で、矢印138は、垂直から約5度傾いた角度で薄い酸化物層122に衝突するように図示される。

30

【0045】

1つの注入層110を注入形成するため、1回のイオン注入工程が使用され得る。そのため、3つの別の注入層110を注入形成するため、3回の別のイオン注入工程が使用され得る。3回のイオン注入工程の各々に対して、様々な異なるパラメータ（例えば、注入角度及び注入エネルギー）が使用され得る。以下、3回の注入工程における例示的なパラメータについて説明する。

40

【0046】

ブロック210において、底部注入層110-3を注入形成するため、薄い酸化物層122を通して、第1のイオン注入工程が実施され得る。いくつかの例において、イオンビームが薄い酸化物層122に90度ではない（すなわち、垂直ではない）角度で衝突するように、基板102を傾けた状態で第1のイオン注入工程が実施され得る。例えば、イオンビームが薄い酸化物層122に、垂直から約3～10度傾いた角度で衝突するように、基板102が傾けられ得る。いくつかの例において、第1のイオン注入工程は、約2MeV～5MeVのイオン注入エネルギーを使用して実施され得る。上述のように、基板102を傾けた状態で、薄い酸化物層122を通してイオン注入を実施することにより、底部

50

注入層 110-3 が略ガウシアン分布のドーピング形状をもつことになり得る。

【0047】

底部注入層 110-3 は、基板 102（すなわち、ドレイン領域 104）内の表面 118 の約 2～5 μm 下方に注入形成され得る。底部注入層 110-3 の厚さは、約 0.5～2 μm であり得る。いくつかの例において、底部注入層 110-3 と中央注入層 110-2 との間の距離（すなわち、n 型ドープ領域 120-2）は、約 0.5～3 μm であり得る。

【0048】

ブロック 212 において、中央注入層 110-2 を注入形成するため、薄い酸化物層 122 を通して、第 2 のイオン注入工程が実施され得る。いくつかの例において、第 2 のイオン注入工程は、イオンビームが薄い酸化物層 122 に 90 度ではない（すなわち、垂直ではない）角度で衝突するように、基板 102 を傾けた状態で実施され得る。例えば、イオンビームが薄い酸化物層 122 に垂直から約 3～10 度傾いた角度で衝突するように、基板 102 が傾けられ得る。いくつかの例において、第 2 のイオン注入工程は、約 0.5～3 MeV のイオン注入エネルギーを使用して実施され得る。上述のように、基板 102 を傾けた状態で、薄い酸化物層 122 を通してイオン注入を実施することにより、中央注入層 110-2 は、略ガウシアン分布のドーピング形状をもつことになり得る。

【0049】

中央注入層 110-2 は、基板 102 内（すなわち、ドレイン領域 104 内）の表面 118 の約 0.5～3 μm 下方に注入形成され得る。中央注入層 110-2 の厚さは、約 0.3～1.5 μm であり得る。いくつかの例において、中央注入層 110-2 と上部注入層 110-1 との間の距離（すなわち、n 型ドープ領域 120-1）は、約 0.5～3 μm であり得る。

【0050】

ブロック 214 において、上部注入層 110-1 を注入形成するため、薄い酸化物層 122 を通した第 3 のイオン注入工程が実施され得る。いくつかの例において、イオンビームが薄い酸化物層 122 に 90 度ではない（すなわち、垂直ではない）角度で衝突するように、基板 102 を傾けた状態で、第 3 のイオン注入工程が実施され得る。例えば、イオンビームが薄い酸化物層 122 に垂直から約 3～10 度傾いた角度で衝突するように、基板 102 が傾けられ得る。いくつかの例において、第 3 のイオン注入工程は、約 50～500 keV のイオン注入エネルギーを使用して実施され得る。さらに、上述のように、基板 102 を傾けた状態で、薄い酸化物層 122 を通してイオン注入を実施することにより、上部注入層 110-1 が略ガウシアン分布のドーピング形状をもつことになり得る。上部注入層 110-1 の厚さは、約 0.1～1 μm であり得る。そのため、上部注入層 110-1 は、表面 118 から基板 102 内（すなわち、ドレイン領域 104 内）の約 0.1～1 μm 下方まで延在し得る。

【0051】

ここで、図 6 を参照すると、薄い酸化物層 122 からマスク層 134 が除去され得る。続いて、ブロック 216 において、薄い酸化物層 122 の上方に、厚い酸化物層 126 が形成され得る。いくつかの例において、厚い酸化物層 126 は、化学蒸着工程などの低温酸化物形成工程を使用して形成され得る。低温工程を使用することにより、注入層 110 の拡散を防止し得る。いくつかの例において、厚い酸化物層 126 は、約 0.1～2 μm の厚さをもち得る。

【0052】

ここで、図 7 を参照すると、ブロック 218 において、厚い酸化物層 126 と薄い酸化物層 122 とが、表面 118 の領域 140-1、140-2 を露出するまでエッチングされ得る。露出した領域 140-1 は、本体領域 106 の上方であり得る。露出した領域 140-2 は、ドレイン領域 104 の上方であり得る。HVFEET100 の他の特徴の製造は、この時点で図 1 を参照して説明される。

【0053】

図1を再度参照すると、ブロック224において、ソース領域108とドレイン接点領域112とが製造され得る。ソース領域108は、2回のドーピング工程を使用して形成され得る。例えば、P+領域108-1とN+領域108-2とが、p-ドーピング工程とn-ドーピング工程とをそれぞれ使用することにより形成され得る。N+ドーピング工程を使用して、ドレイン接点領域112が形成され得る。

【0054】

ブロック220において、本体領域106の上方に、ゲート酸化物層124が形成され得る。ゲート酸化物層124は、熱酸化工程を使用して形成され得る。いくつかの例において、ゲート酸化物層124は、約10~100nmの厚さをもち得る。

【0055】

ブロック222において、低圧化学蒸着(LPCVD; low pressure chemical vapor deposition)工程を使用して、ゲート電極128とドレイン多結晶シリコン延在部130とが形成され得る。いくつかの例において、ゲート電極128及びドレイン多結晶シリコン延在部130が、ドーパ多結晶シリコンを含み得る。ゲート電極128は、約0.1~1μmの厚さをもち得る。ドレイン多結晶シリコン延在部130は、約0.1~1μmの厚さをもち得る。

【0056】

次に、ブロック226において、低温工程である化学蒸着(CVD; chemical vapor deposition)工程を使用して中間層誘電体132が形成され得る。いくつかの例において、中間層誘電体132は、約0.3~2μmの厚さをもち得る。ブロック228において、ドレイン電極114及びソース電極116が形成され得る。いくつかの例において、ドレイン電極114及びソース電極116は、金属電極であり得る。

【0057】

ここまで、いくつかの例が、詳細に説明されてきたが、他の変更が可能である。例えば、図2に示すフロー図は、望ましい結果を得るため、図示された特定の順序(すなわち、順番)を必要とするわけではない。説明されたフロー図において、他のステップが提供または省略され得る。例えば、基板102の様々な領域(例えば、104、106、108、110、112)及びHVFEET100の様々な層(例えば、114、116、122、124、126、128、130、132)は、図2を参照して説明される順序とは異なる順序で、製造され得る。さらに、HVFEETを形成するため、領域及び/または層が、基板102に追加、または基板102から省略され得ることが意図される。他の実施形態が、請求項の範囲内であり得る。

【0058】

図8は、注入層810-1、810-2、810-3(集合的に「注入層810」)を含む、代替的なHVFEET800を示す。代替的なHVFEET800は、ドレイン領域104内で注入層110とは異なる深さに注入層810が注入形成されるという点で、HVFEET100と異なる。例えば、注入層810-1と表面118との間にn型ドーパ領域820-1が存在するように、表面118から距離をおいて上部注入層810-1が、注入形成され得る。

【0059】

注入層810は、ドレイン領域104内のp型ドーパ領域(例えば、ホウ素を使用)であり得る。注入層110のイオン注入に関連して上述したように、注入層810は、イオン注入工程を使用してドレイン領域104内に注入形成され得る。注入層810の各々は、表面118に略平行な、ドレイン領域104内に延在する略平面状の外形をもち得る。

【0060】

注入層810が互いの上方及び下方に積み重なるように、注入層810は、ドレイン領域104内の異なる深さに形成され得る。注入層810は、イオン注入工程によりp型ドーパされていないnウェルの領域により、互いに離間され得る。言い換えると、注入層810がドレイン領域104のn型ドーパ領域820-2、820-3により離間されるよ

10

20

30

40

50

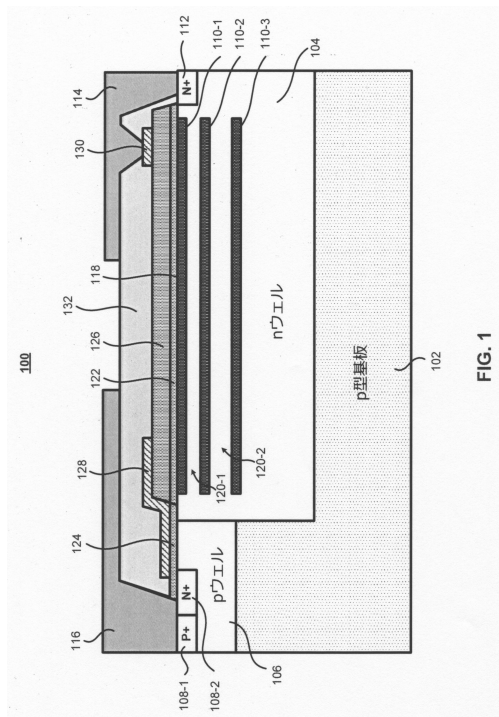
うに、注入層 810 がドレイン領域 104 内に形成され得る。HVFET800 において、注入層 810 の各々は、ドレイン領域 104 の n 型ドーパ材料により囲まれている。

【0061】

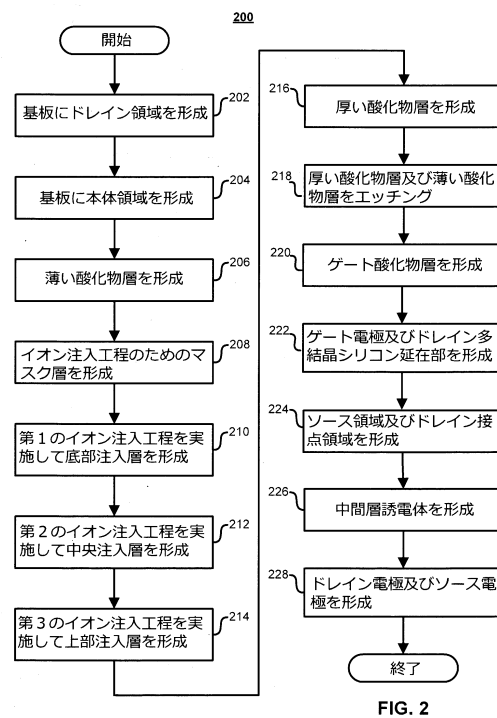
本発明に関して示された例についての上記の説明は、要約で説明されている事項を含め、網羅的であることも、開示されている形態そのものに限定することも意図されていない。本発明の特定の実施形態及び例が、本明細書において例示を目的として説明されているが、本発明のより広い趣旨及び範囲から逸脱することなく、様々な同等な変更が可能である。実際、具体的で例示的な寸法、電圧、電流などは、説明のために提示されること、及び、本開示の教示に従った他の実施形態及び実施例において他の値も使用され得ることが理解される。

10

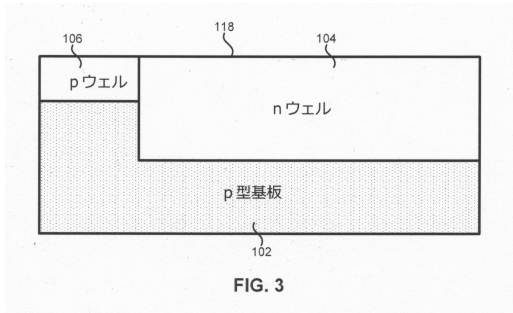
【図 1】



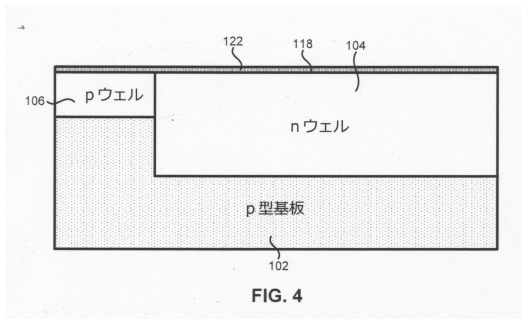
【図 2】



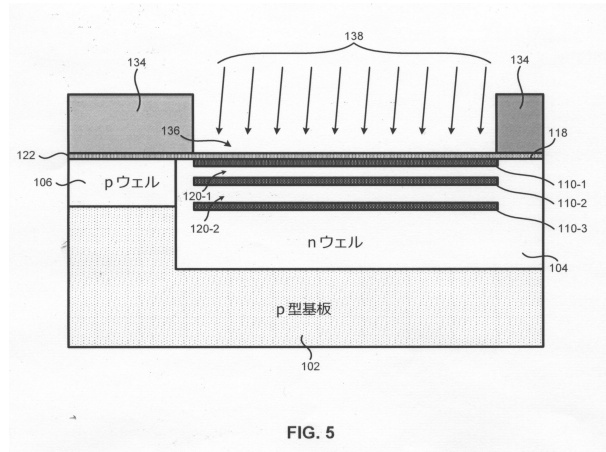
【図 3】



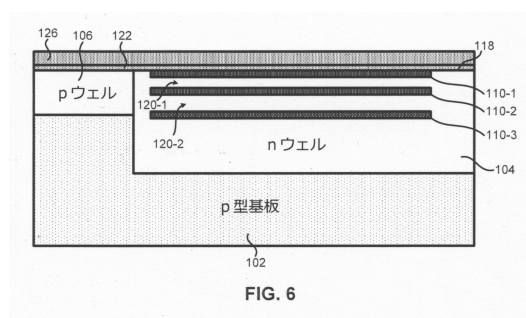
【図 4】



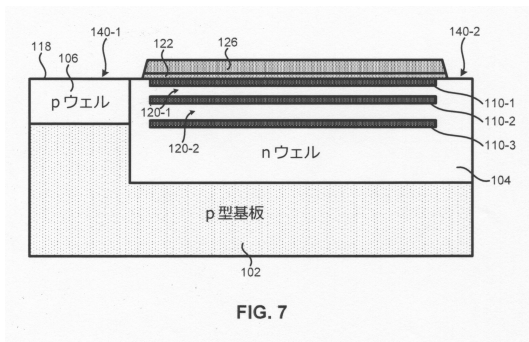
【図 5】



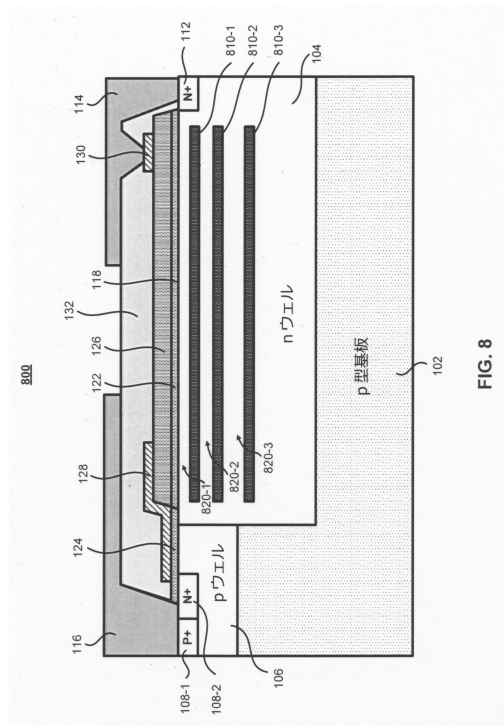
【図 6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 バネルジー スジット

アメリカ合衆国 95135 カリフォルニア州 サンノゼ、 フォックスボロ プレイス 32
43

審査官 宇多川 勉

(56)参考文献 米国特許出願公開第2002/0137292 (US, A1)

米国特許第06773997 (US, B2)

特開平03-008323 (JP, A)

特開平02-214114 (JP, A)

特開平04-154173 (JP, A)

特開2009-135547 (JP, A)

特開2000-124452 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/06

H01L 29/78