

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

H01L 23/498 (2006.01)

H01L 25/10 (2006.01)

H01L 25/065 (2006.01)

[21] 申请号 200680053236.5

[43] 公开日 2009年3月11日

[11] 公开号 CN 101385140A

[22] 申请日 2006.12.19

[21] 申请号 200680053236.5

[30] 优先权

[32] 2005.12.23 [33] US [31] 11/318,164

[86] 国际申请 PCT/US2006/048423 2006.12.19

[87] 国际公布 WO2007/075678 英 2007.7.5

[85] 进入国家阶段日期 2008.8.21

[71] 申请人 泰塞拉公司

地址 美国加利福尼亚

[72] 发明人 B·哈巴 C·S·米切尔

[74] 专利代理机构 永新专利商标代理有限公司

代理人 陈松涛 王英

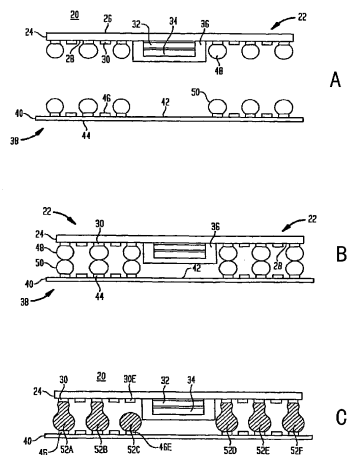
权利要求书 7 页 说明书 22 页 附图 8 页

[54] 发明名称

具有极细间距堆叠的微电子组件

[57] 摘要

一种制造堆叠微电子组件的方法包括：提供第一微电子封装(122A)，所述第一微电子封装具有第一衬底(124A)以及从所述第一衬底(124A)的表面(128A)延伸的导电柱(130A)，以及提供第二微电子封装(122B)，其具有第二衬底(124B)和从第二衬底(124B)的表面(126B)延伸的导电可熔块(148B)。在第一和第二衬底(124A, 124B)的表面之一上固定微电子元件(154A)，所述微电子元件(154A)界定从所述第一和第二衬底的固定所述微电子元件的表面之一延伸的垂直高度 H_1 。第一衬底的导电柱(130A)的末端(131A)抵靠到第二衬底的可熔块(148B)的顶点，由此每个导电柱/可熔块组合的垂直高度等于或大于固定到所述第一和第二衬底的表面之一的所述微电子元件(154A)的垂直高度。



1、一种制造堆叠微电子组件的方法，包括：

提供第一微电子封装，所述第一微电子封装包括第一衬底以及从所述第一衬底的表面延伸的导电柱，每个所述导电柱具有从所述第一衬底的所述表面延伸到所述导电柱的末端的垂直高度；

提供第二微电子封装，所述第二微电子封装包括第二衬底以及从所述第二衬底的表面延伸的导电可熔块，每个所述可熔块具有从所述第二衬底的所述表面延伸到所述可熔块的顶点的垂直高度；

在所述第一和第二衬底的所述表面之一上固定微电子元件，所述微电子元件界定从所述第一和第二衬底的固定了所述微电子元件的所述表面之一延伸的垂直高度；

使所述第一衬底的所述导电柱的末端抵靠到所述第二衬底的所述可熔块的顶点，其中每个所述导电柱/可熔块组合的垂直高度等于或大于固定到所述第一和第二衬底的所述表面之一的所述微电子元件的垂直高度。

2、根据权利要求1所述的方法，还包括使所述可熔块回流，使得所述回流的可熔块吸附到所述导电柱的外表面周围，其中来自所述回流的可熔块的表面张力将所述导电柱拉向所述第二衬底。

3、根据权利要求2所述的方法，其中所述第二衬底的所述表面包括支撑所述可熔块的接触，且其中来自所述回流的可熔块的表面张力使所述导电柱的末端在所述第二衬底的接触上居中。

4、一种制造堆叠微电子组件的方法，包括：

提供第一微电子衬底，所述第一微电子衬底具有从其底表面延伸的导电柱；

提供第二微电子衬底，所述第二微电子衬底具有可在其顶表面触及的导电块；

将每个所述导电柱抵靠到所述导电块之一；

在所述第一微电子衬底的底表面和所述第二微电子衬底的顶表面中的至少一个表面上固定至少一个微电子元件，其中所述至少一个微电子元件的高度小于所述导电块之一和所述导电柱之一的组合高度；

使所述导电块回流，使得所述回流的导电块吸附到所述导电柱的外表面周围，其中所述回流的导电块的表面张力将所述导电柱拉向所述第二微电子衬底且使所述导电柱位于所述回流的导电块之内的中心。

5、一种制造堆叠微电子组件的方法，包括：

提供第一微电子封装，所述第一微电子封装具有有着顶表面和底表面的第一衬底、位于所述第一衬底的底表面上的微电子元件以及从所述第一衬底的底表面延伸的导电柱；

提供第二微电子封装，所述第二微电子封装具有有着顶表面和底表面的第二衬底以及可在所述第二衬底的顶表面触及的导电可熔块；

使所述导电柱的末端抵靠到所述导电可熔块以电互连所述第一和第二衬底，其中每个所述导电柱/导电可熔块组合的高度等于或大于固定到所述第一衬底的底表面的所述微电子元件的高度。

6、根据权利要求5所述的方法，还包括使所述导电可熔块回流，使得所述回流的可熔块与所述导电柱的侧面配合。

7、根据权利要求5所述的方法，其中从所述第一衬底的底表面延伸的所述导电柱具有的高度大于所述第一衬底的底表面上的所述微电子元件的高度。

8、根据权利要求5所述的方法，还包括提供从所述第二衬底的底表面延伸的第二导电柱。

9、根据权利要求8所述的方法，还包括提供所述第二衬底的底表面上的第二微电子元件。

10、根据权利要求 9 所述的方法，其中从所述第二衬底的底表面延伸的所述第二导电柱具有的高度大于所述第二衬底的底表面上的所述第二微电子元件的高度。

11、根据权利要求 8 所述的方法，还包括在电互连所述第一和第二衬底之后，使所述第二导电柱的末端抵靠在第三衬底的导电焊盘上，以便使所述第一和第二衬底与所述第三衬底电互连。

12、根据权利要求 5 所述的方法，其中所述第一微电子元件包括半导体芯片。

13、根据权利要求 9 所述的方法，其中所述第二微电子元件包括半导体芯片。

14、根据权利要求 5 所述的方法，其中所述导电可熔块包括焊料。

15、根据权利要求 5 所述的方法，其中所述导电可熔块包括球体。

16、根据权利要求 5 所述的方法，还包括至少部分地密封所述第一衬底的底表面上的所述第一微电子元件。

17、根据权利要求 9 所述的方法，还包括至少部分地密封所述第二衬底的底表面上的所述第二微电子元件。

18、根据权利要求 5 所述的方法，其中所述第一和第二衬底包括电介质材料。

19、根据权利要求 11 所述的方法，其中所述第三衬底包括带电路的衬底。

20、根据权利要求 5 所述的方法，其中所述微电子元件包括彼此堆叠且位于所述第一衬底的底表面上的两个微电子元件。

21、根据权利要求 1 所述的方法，其中所述第一和第二衬底包括电介质衬底。

22、根据权利要求 21 所述的方法，其中所述电介质衬底是柔性的。

23、根据权利要求 4 所述的方法，其中所述第一和第二微电子衬底包括电介质衬底。

24、根据权利要求 23 所述的方法，其中所述电介质衬底是柔性的。

25、根据权利要求 4 所述的方法，其中所述第一和第二衬底包括柔性电介质衬底。

26、根据权利要求 25 所述的方法，其中所述电介质衬底是柔性的。

27、一种堆叠微电子组件，包括：

提供第一微电子封装，所述第一微电子封装包括第一衬底以及从所述第一衬底的表面延伸的导电柱，每个所述导电柱具有从所述第一衬底的所述表面延伸到所述导电柱的末端的垂直高度；

与所述第一微电子封装并置的第二微电子封装，所述第二微电子封装包括第二衬底以及从所述第二衬底的表面延伸的导电可熔块，每个所述可熔块具有从所述第二衬底的所述表面延伸到所述可熔块的顶点的垂直高度；

固定在所述第一和第二衬底的所述表面之一上的微电子元件，所述微电子元件界定从所述第一和第二衬底的固定了所述微电子元件的所述表面之一延伸的垂直高度，其中所述第一衬底的所述导电柱末端抵靠在所述第二衬底的所述可熔块的顶点，且其中每个所述导电柱/可熔块组合的垂直高

度等于或大于固定到所述第一和第二衬底的所述表面之一的所述微电子元件的垂直高度。

28、根据权利要求 27 所述的组件，其中所述可熔块是可回流的，使得所述回流的可熔块吸附到所述导电柱的外表面周围，以便产生将所述导电柱拉向所述第二衬底的表面张力。

29、根据权利要求 28 所述的组件，其中所述第二衬底的表面包括支撑所述可熔块的接触，且其中来自所述回流的可熔块的表面张力使所述导电柱的末端在所述第二衬底的接触上居中。

30、一种堆叠微电子组件，包括：

第一微电子衬底，所述第一微电子衬底具有从其底表面延伸的导电柱；

第二微电子衬底，所述第二微电子衬底具有可在其顶表面触及的导电块；

每个所述导电柱抵靠到所述导电块其中之一上；

在所述第一微电子衬底的底表面和所述第二微电子衬底的顶表面中的至少一个表面上固定的至少一个微电子元件，其中所述至少一个微电子元件的高度小于所述导电块之一和所述导电柱之一的组合高度，其中所述导电块是可回流的，使得所述回流的导电块吸附到所述导电柱的外表面周围。

31、根据权利要求 30 所述的组件，其中所述回流的导电块的表面张力将所述导电柱拉向所述第二微电子衬底，并使所述导电柱位于所述回流的导电块之内的中心。

32、一种堆叠微电子组件，包括：

第一微电子封装，所述第一微电子封装具有有着顶表面和底表面的第一衬底、所述第一衬底的底表面上的微电子元件以及从所述第一衬底的底表面延伸的导电柱；

与所述第一微电子封装并置的第二微电子封装，所述第二微电子封装

具有有着顶表面和底表面的第二衬底以及可在所述第二衬底的顶表面触及的导电可熔块；

所述导电柱的末端抵靠到所述导电可熔块以电互连所述第一和第二衬底，其中每个所述导电柱/导电可熔块组合的高度等于或大于固定到所述第一衬底的底表面的所述微电子元件的高度。

33、根据权利要求 32 所述的组件，其中所述导电可熔块是可回流的，使得所述回流的可熔块与所述导电柱的侧面配合。

34、根据权利要求 32 所述的组件，其中从所述第一衬底的底表面延伸的所述导电柱具有的高度大于所述第一衬底的底表面上的所述微电子元件的高度。

35、根据权利要求 32 所述的组件，还包括从所述第二衬底的底表面延伸的第二导电柱。

36、根据权利要求 35 所述的组件，还包括所述第二衬底的底表面上的第二微电子元件。

37、根据权利要求 36 所述的组件，其中从所述第二衬底的底表面延伸的所述第二导电柱具有的高度大于所述第二衬底的底表面上的所述第二微电子元件的高度。

38、根据权利要求 35 所述的组件，还包括第三衬底，其具有可在其表面触及的导电焊盘，其中所述第二导电柱的末端与所述第三衬底的导电焊盘电互连。

39、根据权利要求 32 所述的组件，其中所述第一微电子元件包括半导体芯片。

40、根据权利要求 36 所述的组件，其中所述第二微电子元件包括半导体芯片。

41、根据权利要求 32 所述的组件，其中所述导电可熔块包括焊料。

42、根据权利要求 32 所述的组件，还包括至少部分地密封所述第一衬底的底表面上的所述第一微电子元件的密封剂材料。

43、根据权利要求 36 所述的组件，还包括至少部分地密封所述第二衬底的底表面上的所述第二微电子元件的密封剂材料。

44、根据权利要求 32 所述的组件，其中所述第一和第二衬底包括电介质材料。

45、根据权利要求 44 所述的组件，其中所述电介质衬底是柔性的。

具有极细间距堆叠的微电子组件

对相关申请的交叉引用

本申请要求享有于 2005 年 12 月 23 日提交的美国专利申请 No. 11/318164 的权益，在此通过引用将其并入本文。

本发明涉及微电子组件以及制造和测试可堆叠微电子组件的方法。

背景技术

诸如半导体芯片的微电子器件通常需要很多通往其它电子元件的输入和输出连接。半导体芯片或其它类似器件的输入和输出接触通常设置成基本覆盖器件表面的格栅状图案（通常称为“区域阵列”）或细长的排，所述排可以平行延伸到器件正面的每个边缘并与其相邻，或者在正面的中心位置。典型地，必须要把诸如芯片的器件物理地安装在诸如印刷电路板的衬底上，器件的接触必须要电连接到电路板的导电部件上。

半导体芯片通常设置在封装中，在制造期间，以及在将芯片安装在诸如电路板或其它电路面板的外部衬底上期间，封装有助于对芯片的操作。例如，很多半导体芯片设置在适于表面安装的封装中。已经针对各种应用提出了这一大类的很多种封装。最常见的是，这种封装包括电介质元件，其通常称为“芯片载体”，电介质上形成有作为电镀或蚀刻金属结构的端子。通常通过诸如沿芯片载体自身延伸的细迹线的部件、并通过延伸于芯片接触和端子或迹线之间的细引线或导线，将这些端子连接到芯片自身的接触。在表面安装操作中，将封装置于电路板上，使得封装上的每个端子与电路板上对应的接触焊盘对准。在端子和接触焊盘之间提供焊料或其它接合材料。可以通过加热组件以熔化或“回流”焊料或激活接合材料来将封装永久键合在适当的位置。

很多封装包括附着于封装端子的焊球形式的焊料块，其直径通常大约为 0.1mm 和大约 0.8mm（5 和 30 密耳）。具有从其底面突出的焊球阵列的封

装通常被称为球栅阵列或“BGA”封装。被称为栅格阵列或“LGA”封装的其它封装，它们是通过焊料形成的薄层或焊接区而固定到衬底。这种类型的封装可以相当紧凑。某些封装，通常称为“芯片尺度封装”，其占据的电路板面积等于或仅稍大于封装中所包括的器件的面积。这样的有利之处在于，其减小了组件的总体尺寸，并允许使用衬底上各器件之间的短互连，这又限制了器件之间的信号传播时间，并且由此便于以高速操作组件。

包括封装的组件可能会有因器件和衬底的不同热膨胀和收缩而被施加应力的问题。在工作期间以及在制造期间，半导体芯片膨胀和收缩的量往往与电路板膨胀和收缩的量不同。在例如通过利用焊料将封装端子相对于芯片或其它器件加以固定的情况下，这些效应往往会导致端子相对于电路板上的接触焊盘移动。这可能会在将端子连接到电路板上的接触焊盘的焊料中施加应力。如美国专利 5679977、5148266、5148265、5455390 和 5518964（在此通过引用将其公开并入本文）的某些优选实施例所公开的，半导体芯片封装可以具有相对于芯片或封装中包括的其它器件可移动的端子。这种移动可以在相当程度上补偿膨胀和收缩的差异。

测试已封装的器件提出了另一个困难的问题。在一些制造工艺中，必须要在被封装器件的端子和测试夹具之间形成临时连接，并通过这些连接操作器件，以确保器件实现全面功能。通常，必需在不将封装端子接合到测试夹具的情况下形成这些临时连接。确保所有端子都可靠地连接到测试夹具的导电元件是非常重要的。然而，难以通过把封装压到诸如具有平面接触焊盘的普通电路板的简单测试夹具上来形成连接。如果封装的端子不是共平面的，或者测试夹具的导电元件不是共平面的，那么一些端子将无法接触到测试夹具上它们相应的接触焊盘。例如，在 BGA 封装中，附着于端子的焊球直径的差异以及芯片载体不平坦可能导致一些焊球位于不同的高度。

可以通过使用特殊构造的、具有被设置成补偿非平坦的特征的测试夹具减轻这些问题。然而，这样的特征增加了测试夹具的成本，并且在一些情况下，给测试夹具自身带来了一些不可靠性。这一点尤其不合乎需要，因为测试夹具以及器件与测试夹具的配合应当比被封装器件自身更加可靠，以便提供有意义的测试。此外，通常通过施加高频信号来测试用于高

频操作的器件。这种要求对测试夹具中的信号路径的电学特性提出了约束，这进一步使测试夹具的构造复杂化。

此外，在测试焊球与端子连接的已封装器件时，焊料往往会积聚在测试夹具结合焊球的那些部分上。残余焊料的这种积聚可能会缩短测试夹具的寿命并减损其可靠性。

已经提出了多种方案来解决上述问题。上述专利中公开的某些封装具有可相对于微电子器件移动的端子。这种移动在测试期间可以在一定程度上补偿端子非平面性。

Nishiguchi 等人的美国专利 5196726 和 5214308 公开了一种 BGA 型的方法，其中在衬底上的杯状插座中接收芯片表面上的凸点引线并通过低熔点材料在其中焊接它们。Beaman 等人的美国专利 4975079 公开了一种用于芯片的测试插座，其中在锥形导向体之内设置了处于测试衬底上的穹顶形接触。通过将芯片压到衬底上，使得焊球进入锥形导向体并与衬底上的穹顶形管脚相啮合。通过施加充分大的力，使得穹顶形管脚实际上使芯片的焊球变形。

可以在 1998 年 9 月 8 日授权的共同转让美国专利 5802699 中找到 BGA 插座的其它范例，在此通过引用将其公开并入本文。’699 专利公开了一种具有多个孔的片状连接器。每个孔具备至少一个在孔上方、向内延伸的弹性分层接触。BGA 器件的凸点引线进入孔中，使得凸点引线与接触配合。可以对该组件进行测试，且如果发现可以接受，可以将凸点引线永久地焊接到接触。

2001 年 3 月 20 日授权的共同转让美国专利 6202297（在此通过引用将其并入本文）公开了一种具有凸点引线的用于微电子器件的连接器以及制造和使用连接器的方法。在’297 专利的一个实施例中，电介质衬底具有从正面向上延伸的多个柱体。柱体可以设置成柱体组的阵列，每个柱体组在其间界定一间隙。一般分层的接触从每个柱体顶部延伸。为了测试器件，将器件的每个凸点引线插入相应间隙之内，由此在凸点引线被不断地插入期间使其与凸点引线相擦触的接触相配合。通常，在将凸点引线插入间隙中时，接触的远侧部向下朝着衬底偏转，向外远离间隙的中心。

共同转让的美国专利 6177636（在此通过引用将其公开并入本文）公开

了一种用于在微电子器件和支撑衬底之间提供互连的方法和设备。在'636专利的一个优选实施例中，制造微电子器件的互连组件的方法包括提供具有第一和第二表面的柔性芯片载体以及将导电片耦合到芯片载体的第一表面。然后有选择地蚀刻导电片，以制作出多个基本刚性的柱体。在支撑结构的第二表面上提供应力缓冲（compliant）层，并将诸如半导体芯片的微电子器件与应力缓冲层配合，使得应力缓冲层位于微电子器件和芯片载体之间，保留柱体从芯片载体的暴露表面突出。柱体电连接到微电子器件。柱体形成突出的封装端子，其可以配合在插座中或由焊料结合到诸如电路面板的衬底的部件上。由于柱体可以相对于微电子器件移动，因此这种封装基本适应器件使用时器件和支撑衬底之间的热膨胀系数的不匹配。此外，柱体的端部可以是共面的或几乎共面的。

如2004年11月10日提交的共同审查中、共同转让的题为“MICRO PIN GRID ARRAY WITH WIPING ACTION” [TESSERA 3.0-375]的美国专利申请 No. 10/985126（在此通过引用将其公开并入本文）的某些优选实施例所公开的，微电子封装包括了促进擦触作用（wiping action）且有助于导电柱和接触相配合的导电柱。在一个优选实施例中，每个柱体的尖端或上端可以从柱体基底的中心水平偏移。除了上述部件之外，或者作为其替代，可以使用这种偏移用于促进柱体倾斜。而且，可以为柱体提供诸如陡沿或粗糙体的特征，用于促进与接触焊盘更可靠的配合。

如2004年12月16日提交的共同审查中、共同转让的题为“MICROELECTRONIC PACKAGES AND METHODS THEREFOR” [TESSERA 3.0-374]的美国专利申请 No. 11/014439（在此通过引用将其公开并入本文）所详细讨论的，支撑结构可以包括多个间隔开的支撑元件且还可以包括覆盖该支撑元件的柔性片。导电柱可以在水平方向上从支撑元件偏移开。柱体和支撑元件之间的偏移允许柱体，尤其是柱体的基底相对微电子元件彼此独立地移动。

在2004年11月10日提交的共同审查中、共同转让的题为“MICRO PIN GRID WITH PIN MOTION ISOLATION” [TESSERA 3.0-376]的美国专利申请 No. 10/985119 中也更详细地公开了具有能彼此独立地移动的导电端子或柱体的微电子封装，在此通过引用将其公开并入本文。

通常将诸如半导体芯片的微电子元件安装在诸如电路板的电路面板上。例如，已封装的半导体芯片可以在封装的底表面上具有结合接触的阵列。通过将这种封装放在电路板上，使封装的底表面面朝下并且抵靠电路板的顶表面，使得封装上的每个接合接触与电路板上对应的接合接触对准，可以将封装安装到电路板顶表面暴露的对应结合接触阵列上。在封装的结合接触和电路板的结合接触之间提供通常为焊球形式的导电接合材料块。在典型的表面安装技术中，在将封装施加到电路板之前，在封装的结合接触上放置焊球。

通常，在电路板上并排安装大量的微电子元件，并通过连接各结合接触的导电迹线将微电子元件彼此互连。然而，利用这种常规的方法，电路板必须要具有至少等于所有微电子元件的总计面积的面积。此外，电路板必须要具有在微电子元件之间形成所有互连所需的所有迹线。在一些情况下，电路板必须包括很多层迹线，以容纳所需的互连。这实质上增加了电路板的成本。通常，每层都在电路板的整个区域上延伸。换言之，整个电路板中的层数由电路板中具有最复杂、最密集包封的互连的区域中所需的层数决定。例如，如果特定的电路在一个小区域中需要六层迹线，而在电路板的其它区域中只需要四层，则必须要将整个电路板制造为六层结构。

通过利用附加电路面板使相关微电子元件彼此连接以便形成子电路或模块，子电路或模块又安装到主电路板上，这样可以在一定程度上减轻这些困难。主电路板不需要包括由模块的电路面板所形成的互连。可以用“堆叠”配置制造这种模块，使得模块中的一些芯片或其它微电子元件设置于同一模块中其它芯片或微电子元件的顶部。所以，可以将模块整体安装在主电路板上小于模块中各微电子元件累积面积的区域中。然而，附加电路面板和该电路面板与主电路板之间附加互连层会占据额外的空间。具体而言，该附加电路面板和附加电路面板与主电路面板之间的附加互连层增加了模块的高度，即，增加了模块在主电路板顶表面上方突出的距离。在以堆叠配置提供模块，且低高度非常重要（例如，在用于微型化的手机和将被用户佩戴或携带的其它设备中的组件中）的情况下，这一点尤其显著。

通过把模块的电路面板与封装自身的一部分（通称为封装衬底）集成可以节省在独立模块电路面板上安装预封装的半导体芯片所占用的额外空

间。例如，在芯片封装操作期间，可以将若干裸露或未封装的半导体芯片连接到公共衬底。这种性质的封装也可以制造成堆叠的设置。这种多芯片封装可以包括封装中各芯片间的一些或所有互连，并能够提供非常紧凑的组件。主电路板可以比在同一电路中安装单个已封装芯片所需的电路板更简单。然而，这种方法需要针对封装中要包括的芯片的每个组合的唯一封装。例如，在手机行业中，通行做法是使用具有静态随机存取存储器（“SRAM”）和闪速存储器的不同组合的同样现场可编程门阵列（“FPGA”）或专用集成电路（“ASIC”），以便在不同手机中提供不同的特征。这增加了与生产、处理和存储各种封装相关的成本。

尽管现有技术中已经存在以上所有这些进步，但仍期望在制造和测试微电子封装方面的进一步改进。

发明内容

在本发明的某些优选实施例中，一种制造堆叠微电子组件的方法包括：提供第一微电子封装，所述第一微电子封装具有第一衬底以及从所述第一衬底的表面延伸的导电柱，每个导电柱具有从所述第一衬底的所述表面延伸到所述导电柱末端的垂直高度。该方法优选包括：提供第二微电子封装，所述第二微电子封装包括第二衬底以及从所述第二衬底的表面延伸的导电可熔块，每个可熔块具有从所述第二衬底的表面延伸到所述可熔块顶点的垂直高度。在所述第一和第二衬底的表面之一上根据需要固定微电子元件，所述微电子元件界定从固定所述微电子元件的所述第一和第二衬底的所述表面延伸的垂直高度。第一衬底的表面优选与第二衬底的表面并置（juxtapose），使得导电柱基本与可熔块对准。希望所述导电柱的末端抵靠到所述可熔块的顶点，由此每个所述导电柱/可熔块组合的垂直高度等于或大于固定到所述第一和第二衬底的表面之一的微电子元件的垂直高度。

在其它优选实施例中，一种微电子组件优选包括以微细间距堆叠的两个或更多微电子封装，该间距比利用焊球制造连接可能实现的间距更微细。每个可堆叠封装最好包括衬底，其具有从衬底一个表面突出的管脚和从衬底另一个表面突出的焊球。结果，每个封装可以与另一个类似构造的封装堆叠在一起和/或放置在多层堆叠组件中。每个可堆叠封装可以具有一个或

多个附着于衬底的一个或多个表面的管芯。在某些实施例中，管芯可以附着于衬底的两个表面。可以利用本领域的技术人员公知的任何方法，包括利用引线键合、倒装芯片结合、引线和/或螺柱凸点技术将管芯与衬底电互连。管芯可以密封在密封剂材料中，被底填或进行顶端水滴化 (glob topped)。在某些优选实施例中，导电柱高度和球高度的组合等于或大于设置在衬底上的密封或模制芯片结构的高度。导电柱高度和球高度的组合必须至少等于密封芯片结构的高度，使得导电元件（例如导电柱和相对的焊球）能够跨越组件层之间的间隙。

在导电焊盘末端与焊料块接触之后，按照期望使焊料块回流以形成堆叠微电子封装之间的永久电互连。在回流期间，回流的焊料将吸附 (wick up) 到导电柱周围，形成细长的焊料柱。此外，在回流焊料时，表面张力将组件的相对层彼此拉到一起，并为导电柱提供自定心作用。

虽然本发明不限于任何特定的操作理论，但据信，提供具有从衬底一个表面突出的导电柱和从衬底另一表面突出的可熔块的可堆叠封装相对于常规封装具有很多优点。首先，利用导电柱来跨越堆体层间间隙的一部分允许为电互连使用更微细的间距。第二，导电柱可以跨越堆体层间的间隙的大部分，使得相对的焊球可以非常小，这进一步便于使用微细间距。此外，利用拉长的导电柱为回流的可熔材料提供了更大的吸附表面积，从而增大柱体和回流的材料之间的表面张力。此外，回流的可熔材料将试图完全包围导电柱的外表面，这将容易使柱体居于导电可熔块的中心或使二者对准。

在某些优选实施例中，衬底可以是柔性的，并且可以包括诸如聚酰亚胺的电介质材料。例如使用导电引线、导线或迹线使微电子元件按照期望与衬底电互连。微电子元件可以是半导体芯片，其具有带接触的正面和远离其的背面。在某些优选实施例中，半导体芯片的正面面对衬底。在其它优选实施例中，然而，半导体芯片的正面远离衬底，而半导体芯片的背面面对衬底。可以在微电子元件和衬底之间设置应力缓冲层。在其它优选实施例中，封装可以包括在衬底上的两个或更多微电子元件。在一个优选实施例中，在衬底顶表面上有一个或多个微电子元件。在第二优选实施例中，一个或多个微电子元件覆盖在衬底的底表面上。在又一个优选实施例中，

一个或多个微电子元件覆盖衬底的第一表面，并且一个或多个微电子元件可以覆盖衬底的第二表面。微电子元件可以被密封。

本发明的又一方面提供了处理微电子封装的方法。根据本发明该方面的方法有利地包括如下步骤：推进具有支撑于微电子元件表面上的柔性衬底并具有从所述衬底突出的导电柱的微电子封装，直到所述柱体的末端与测试电路面板上的接触焊盘配合，且衬底发生弯曲，使得与所述柔性衬底相邻的所述柱体的至少一些基底部分相对于微电子元件移动。在根据本发明该方面的优选方法中，柱体基底的移动有助于末端的移动，允许末端即使在接触焊盘自身彼此不共面的情况下也与接触焊盘配合。

根据本发明该方面的方法可以包括如下额外的步骤：保持柱体末端与所述接触焊盘接触，并在保持步骤期间测试封装，例如通过经配合的接触焊盘和柱体向以及从封装传输信号。可以使用具有简单接触焊盘的简单电路面板实施该方法。该方法还可以包括，在测试之后将末端从接触焊盘解除配合，且还可以包括在从测试电路面板释放之后，将柱体末端与电路面板的导电元件结合。

安装结构可以包括柔性衬底，其可以具有形成于其上的导电迹线，用于使柱体与微电子元件电互连。柔性衬底可以是基本沿水平面延伸的大致片状衬底，该衬底具有顶表面和底表面，导电柱从顶表面向上突出。柔性衬底还可以包括多个延伸通过衬底并界定多个区域的间隙，不同柱体设置于不同区域上，例如如2004年11月10日提交的共同转让的题为“MICRO PIN GRID WITH PIN MOTION ISOLATION”的美国专利申请 No. 10/985119 所公开的，在此通过引用将其公开并入本文。该封装可以并入支撑层，例如设置于柔性衬底和微电子元件之间的应力缓冲层。在其它实施例中，该封装可以包括多个彼此间隔开并设置于柔性衬底和微电子元件之间的支撑元件，柱体的基底与支撑元件水平间隔开，如2004年12月16日提交的共同审查中、共同转让的题为“MICROELECTRONIC PACKAGES AND METHODS THEREFOR”的美国专利申请 No. 11/014439 中所更详细描述，在此通过引用将其公开并入本文。

封装的微电子元件优选具有面和接触，接触与导电柱和/或可熔块电互连。在某些实施例中，接触暴露于微电子元件的第一面，且安装结构覆盖

第一面。在其它实施例中，接触暴露于微电子元件的第一面，安装结构覆盖微电子元件的方向相反的第二面。

本发明的另一方面提供了制造微电子封装和这种封装的元件的方法。根据本发明该方面的方法期望包括：提供由诸如铜的导电材料制成的坯件，在压力下向坯件施加流体，最好为液体，以在坯件中形成至少一个导电端子，以及提供通往至少一个导电端子的电互连。至少一个导电端子可以是导电柱。该方法还可以包括加热坯件以使坯件在形成操作期间更有易延展。

该组件还期望地包括设置于微电子元件和衬底之间的多个支撑元件。支撑元件最好支撑微电子元件上方的柔性衬底，同时至少一些导电柱与支撑元件偏移开。可以在柔性衬底和微电子元件之间设置应力缓冲材料。

在某些优选实施例中，至少一个导电支撑元件包括可熔材料块。在其它优选实施例中，至少一个导电支撑元件包括电介质内核与电介质内核上的导电外涂层。支撑元件也可以是细长的，具有大于其宽度或直径的长度。

微电子元件可以是印刷电路板或用于测试诸如微电子元件和微电子封装的器件的测试板。微电子元件的第一面可以是微电子元件的正面，可以在正面触及接触。在某些优选实施例中，至少一些支撑元件是导电的。导电支撑元件按期望将至少一些微电子元件的接触与至少一些导电柱电互连。在某些优选实施例中，支撑元件包括从柔性衬底延伸的多个第二导电柱。第二导电柱优选向着微电子元件的第一面突出，至少一些第二导电柱与第一导电柱电互连。在某些优选实施例中，第一导电柱通过与第一导电柱紧邻设置的第二导电柱电互连到接触。

导电柱可以是细长的，从而使柱体具有显著大于柱体宽度或直径的长度。可以将支撑元件设置成阵列，使得支撑元件在柔性衬底上界定多个区域，每个区域由界定区域角部的多个支撑元件划界，不同的导电柱设置于不同区域中。在优选实施例中，在每个区域中仅设置一个导电柱。

在本发明的另一优选实施例中，微电子组件包括具有面和接触的微电子元件、与微电子元件隔开且覆盖其第一面的柔性衬底，以及从柔性衬底延伸并从微电子元件的第一面突出的多个第一导电柱，至少一些导电柱与微电子元件电互连。该组件还按期望包括从柔性衬底延伸并向着微电子元件的第一面突出的多个第二导电柱，第二导电柱支撑着微电子元件上的柔

性衬底，至少一些第一导电柱从第二导电柱偏移开。

在优选实施例中，至少一些第二导电柱是导电的，第二导电柱将微电子元件的至少一些接触与至少一些第一导电柱电互连。至少一些第一导电柱可以通过紧邻第一导电柱的第二导电柱连接到至少一些接触。该组件还可以包括设置于柔性衬底上的导电迹线，由此，导电迹线将至少一些第一导电柱与微电子元件上的至少一些接触电互连。在某些优选实施例中，至少一个导电迹线延伸于相邻导电柱之间。

根据本发明某些优选实施例的组件有助于具有非平坦接触和接口的微电子元件和封装的测试，并避免了对专用的昂贵测试设备的需求。在根据本发明该方面的优选方法中，导电柱基底的移动有助于柱体末端的移动，即使在接触焊盘自身彼此不共面的情况下也允许末端与相对的接触焊盘配合。

如上所述，可以在柔性衬底上提供导电迹线以将至少一些第一导电柱与至少一些第二导电柱电互连。这些迹线可以非常短；每条迹线的长度按期望等于第一导电柱和第二导电柱之间的偏移距离。在优选形式中，可以证明该设置是适于高频信号传输的、柱体和微电子元件之间的低阻抗导电路径。

在本发明的另一优选实施例中，微电子组件包括其正面上具有接触的裸芯片或晶片。裸芯片或晶片与其顶表面上具有导电柱且其底表面上具有导电端子的柔性衬底并置。至少一些导电柱未与一些导电端子对准。导电柱优选与导电端子互连。在组装期间，将导电柱的末端抵靠到芯片或晶片的接触上，以将芯片或晶片与柔性衬底上的导电端子电互连。可以在芯片/晶片和柔性衬底之间提供密封剂。可以提供诸如焊料或锡/金的导电元件与导电端子接触。导电端子与导电柱的非对准为封装提供了顺从性 (compliance)，使得导电端子能够相对于芯片/晶片移动。在某些优选实施例中，导电柱具有金外层，该金外层被直接压到芯片接触上。在其它优选实施例中，利用各向异性导电膜或各向异性导电胶形成导电柱和接触之间的电互连，由此在导电柱和接触之间设置导电颗粒。在本发明的另一优选实施例中，用于将芯片/晶片与柔性衬底保持在一起的密封剂包括不导电膜或胶。

下文将详细描述本发明的这些和其它优选实施例。

附图说明

图 1A-1E 示出了制造微电子组件的现有技术方法。

图 2A-2B 示出了图 1A-1B 中所示的现有技术的微电子组件的另一视图。

图 3 示出了根据本发明某些优选实施例的微电子封装的截面图。

图 4A-4C 示出了根据本发明某些优选实施例的制造堆叠微电子组件的方法。

图 5A-5C 示出了根据本发明另一优选实施例的制造堆叠微电子组件的方法。

图 6A-6B 示出了根据本发明又一优选实施例的制造堆叠微电子组件的方法。

图 7 示出了根据本发明某些优选实施例的堆叠微电子组件的截面图。

具体实施方式

图 1A-1C 示出了制造可堆叠组件的常规方法，该可堆叠组件包括具有电介质衬底 24 的第一微电子封装 22，电介质衬底 24 具有第一表面 26 和第二表面 28。第一微电子封装 22 包括可以在衬底 24 的第二表面 28 触及的导电焊盘 30。第一微电子封装 22 还包括附着于衬底 24 的第二表面 28 的第一微电子元件 32，例如半导体芯片。微电子封装 22 还包括第一微电子元件 32 上方的第二微电子元件 34。封装材料 36 覆盖第一和第二微电子元件 32、34。

参考图 1A，该微电子组件还包括具有衬底 40 的第二微电子元件 38，该衬底 40 具有第一表面 42 和第二表面 44。衬底 40 的第一表面 42 包括可以在第一表面触及的接触 46。在组装期间，第一衬底 24 的导电焊盘 30 优选被置于同第二衬底 40 的接触 46 对准的位置。为了跨越或桥接密封剂层 36 的高度以确保可靠的电互连，在第一衬底 24 的一些导电焊盘 30 上放置第一焊球 48，且在第二衬底 40 的一些接触 46 上放置第二焊球 50。

如图 1A 所示，第一衬底 24 包括设置在被密封微电子元件 32、34 左侧的五个导电焊盘 30 以及设置在被密封微电子元件右侧的五个导电焊盘。如

下文将要更详细描述，由于必须要跨越的第一和第二微电子封装之间的高度，且由于跨越间隙所需的焊球尺寸，可以不在每个导电焊盘 30 或接触 46 上设置焊球。结果，仅有一些对准的导电焊盘 30 和接触 46 可以具有在其间延伸的导电材料。

参考图 1B，在彼此并置第一和第二微电子元件之后，第一微电子封装的第一焊球 48 靠住第二微电子封装的第二焊球 50。如图 1B 所示，第一和第二组焊球 48、50 优选彼此对准，以电互连相对的导电焊盘 30 和接触 46。第一和第二焊球 48、50 优选具有足以跨越第一和第二微电子封装 22、38 之间的间隙的尺寸，以形成其间的电互连。在图 1B 的实施例中，焊球的高度显著高于密封剂层 36 的高度。然而，对准的第一和第二焊球 48、50 的组合高度必须仅足以跨越密封剂层 36 形成的层之间的间隙。

参考图 1C，在相对的焊球 48、50 彼此接触之后，可以通过例如加热焊料块来使焊料块回流，以形成导电块，一些导电块延伸于第一衬底 24 的导电焊盘 30 和第二衬底 40 的接触 46 之间。在图 1C 所示的特定实施例中，微电子组件 20 包括被密封微电子元件 32、34 左侧的三个导电块和其右侧的三个导电块。由于表面张力，导电块 52 往往在顶部较薄，在底部较厚。如图 1C 所示，导电块 52A、52B、52D、52E 和 52F 具有泪滴状形状，其底部比顶部厚。导电块 52C 塌陷成球形块。结果，导电块 52C 不能形成导电焊盘 30E 和接触 46E 之间的电互连。

图 1D 中示出了一种方案，用于确保导电块 52' 能够桥接第一衬底 24' 的导电焊盘 30' 和第二衬底 40' 上的接触 46' 之间的间隙。在图 1D 所示的组件中，将两个衬底 24' 和 40' 置于比图 1C 实施例所示的间距更近。然而，导电块 52' 往往会展宽并覆盖相邻的导电焊盘 30' 和接触 46'。结果，不能在所有对准的导电焊盘 30 和接触 46 之间放置导电块。如果在所有对准的导电焊盘 30' 和接触 46' 上放置诸如焊球的导电块，一个导电焊盘或接触上的导电材料会接触到相邻的导电焊盘或接触或相邻导电焊盘和/或接触上的导电材料。在某些情况下，相邻导电焊盘和/或接触上的导电焊料材料在回流期间会流到一起，这将导致微电子组件短路等。

图 1E 示出了在试图对图 1D 实施例导致的问题进行解决的时候发生的额外问题。在图 1E 中，第一衬底 24'' 和第二衬底 40'' 相互隔开充分的距

离，以便避免图 1D 中所示的横向集束问题。随着将衬底彼此移开，表面张力和重力可能导致诸如焊球的导电材料仅在接触 46'' 上集中，在第一衬底 24'' 的导电焊盘 30'' 和第二衬底 40'' 的接触 46'' 之间为间隙 47''。还可以在相对的导电焊盘和接触之间形成两个更小的导电块，例如在导电焊盘 30J'' 上形成较小的导电块 52F''-1，在接触 46J'' 上形成较大的导电块 52F''-2。

图 2A 和 2B 示出了在将焊球置于每个对准的导电焊盘和接触上时发生的一些上述问题。参考图 2A，第一微电子封装 22 包括第一衬底 24，第一衬底 24 具有第一表面 26 和远离其的第二表面 28。第一衬底 24 包括位于已密封微电子元件 32、34 左侧的五个导电焊盘 30A-30E 以及位于已密封第一和第二微电子元件 32、34 右侧的五个导电焊盘 30F-30J。在相应的导电焊盘 30A、30C 和 30E 上方分别设置焊球 48A、48C 和 48E。类似地，在相应的导电焊盘 30F、30H 和 30J 上方分别设置焊球 48F、48H 和 48J。在导电焊盘 30B、30D、30G 和 30I 上不设置焊球。这是因为焊球 48 太大，以致于不能被放置在每个导电焊盘 30 上。假想 (phantom) 的焊球 48B 表明，在导电焊盘 30A-30C 上没有足够的空间来在每个导电焊盘上放置焊球。如果尝试这种布置，三个焊球 48A-48C 会在回流操作期间彼此接触，这会导致电子组件短路或形成有缺陷的电互连。

图 2A 还示出了包括第二衬底 40 的第二微电子封装 38，第二衬底 40 具有第一表面 42 和第二表面 44。第二衬底 40 包括接触 46A-46J。焊球 50 设置于接触 46A-46J 中一部分的顶部。具体而言，焊球 50A、50C 和 50E 分别设置在接触 46A、46C 和 46E 顶部。此外，焊球 50F、50H 和 50J 分别设置在接触 46F、46H 和 46J 顶部。在接触 46B 顶部不设置焊球，因为在该接触上放置焊料会导致焊球 50A-50C 彼此接触，这会导致短路或有缺陷的电互连。

参考图 2B，在组装期间，使第一微电子封装 22 与第二微电子封装 38 并置，从而使导电焊盘 30A-30J 与接触 46A-46J 基本对准。将导电焊盘上的焊球 48A、48C、48E、48F、48H 和 48J 放置成与第二微电子封装 38 上的第二焊球 50A、50C、50E、50F、50H 和 50J 接触。堆叠焊球的高度足以跨越由密封剂层 36 的高度产生的间隙。由于空间量不够，并不是在所有的对

准导电焊盘和接触之间都设置焊球。具体而言，至少在导电焊盘 30B 和接触 46B 之间不设置焊球，因为在第一和第二衬底 24、40 的相对表面上没有足够的空间。虽然示出了假想的焊球 48B、50B，但这样的焊球实际上并不在相对的导电焊盘 30B 和接触 46B 上。示出假想的焊球仅仅表示如果在每个对准的导电焊盘和接触顶部都设置焊球将会发生的空间问题和短路问题。

所以，图 1A-1C 以及 2A-2B 示出了与使用焊球或焊料块跨越堆叠微电子组件层之间的间隙相关联的一些问题。如上所述，问题之一涉及到相对的接触或导电焊盘之间的距离或间隙空间。为了充分跨越层间的高度，焊料块必须要具有足够的直径以跨越该高度。令人遗憾的是，为了跨越该高度，随着焊料块直径的增加，可以在衬底表面上并排设置的焊球数量下降。因此，可以在堆体中的层间形成的垂直延伸的电连接的数量减小了。考虑到这些不足，需要提供具有微细间距的堆叠微电子组件。

图 3 示出了根据本发明某些优选实施例的微电子封装 122。微电子封装包括诸如柔性电介质衬底的衬底 124，其具有第一表面 126 和远离其的第二表面 128。微电子封装包括从柔性衬底 124 的第二表面 128 突出的导电柱 130。导电柱 130 具有远离衬底 124 的第二表面 128 的末端 131。微电子封装 122 还包括衬底 124 的第二表面 128 上方的第一微电子元件 132 以及第一微电子元件 132 上的第二微电子元件 134。第一和第二微电子元件 132、134 被密封在密封剂层 136 中。

微电子封装 122 还包括可从衬底 124 第一表面 126 触及的诸如焊球的可熔块 148。可熔块 148 优选与一个或多个导电柱 130 电接触。微电子封装 122 还优选包括在整个衬底 124 上延伸的导电迹线 149。导电迹线 149 可以与一个或多个导电柱 130 和/或一个或多个可熔块 148 电接触。导电迹线 149 可以在衬底 124 的第一表面 126 上、第二表面 128 上和/或第一和第二表面 126、128 之间延伸。

密封剂材料 136 具有底表面 154，该底表面界定了在底表面 154 和衬底 124 的第二表面 128 之间延伸的高度 H_1 。导电柱 130 界定在导电柱的末端 131 和衬底 124 的第二表面 128 之间延伸的第二高度 H_2 。如下文将要详细描述，导电柱的高度 H_2 和将要与导电柱 130 的末端 131 配合的相对焊料块

的高度必须足以跨越由密封剂层 136 的高度 H_1 生成的间隙。焊料块 148 具有顶点 151，顶点 151 界定了在焊料块的顶点 151 和衬底 124 的第一表面 126 之间延伸的高度 H_3 。如下文将要详细描述，当把两个或更多个图 3 所示的微电子封装彼此堆叠在一起时，衬底 124 的第一表面 126 上的导电柱的高度 H_2 和焊料块 148 的高度 H_3 通常大于或等于密封剂层 136 的高度，以便跨越由密封剂层 136 的高度产生的间隙。

图 4A 示出了与图 3 中所示的封装类似的两个微电子封装 122A、122B。第一微电子封装 122A 包括衬底 124A、导电柱 130A、可熔块 148A 和被密封的微电子元件 132A、134A。微电子元件 132A、134A 被具有底表面 154A 的密封剂层 136A 密封。密封剂层 136A 的底表面 154A 界定了在衬底 124A 的第二表面 128A 和密封剂层 136A 的底表面 154A 之间延伸的第一高度 H_1 。导电柱 130A 界定了在其末端 131A 和衬底 124A 的第二表面 128A 之间延伸的第二高度 H_2 。焊料块 148A 界定了在焊料块的顶点 151 和衬底 124A 的第一表面 126A 之间延伸的第三高度 H_3 。第二微电子封装 122B 包括具有第一表面 126B 和第二表面 128B 的衬底 124B。

参考图 4B，第一微电子封装 122A 被堆叠在第二微电子封装 122B 上，导电柱的末端 131A 与焊料块 148B 的顶点配合。导电柱的高度 H_2 和焊料块的高度 H_3 的组合高度优选等于或大于密封剂层 136A 的高度 H_1 。

参考图 4C，在导电柱 131 的末端 131 抵靠到可熔块之后，例如通过加热对可熔块进行回流，以使可熔块变成至少部分熔化的状态。回流的可熔材料优选通过毛细作用被吸附到导电柱外表面周围。在回流状态下，可熔块利用表面张力来对导电柱自定心。结果，第一微电子封装 122A 的导电柱优选与第二微电子封装 122B 的导电柱基本对准。表面张力还将第一微电子封装 122A 和第二微电子封装 122B 相互拉近。

图 5A-5C 示出了根据本发明另一优选实施例的微电子组件 220。微电子组件 220 包括具有衬底 224 的第一微电子元件 222，衬底 224 具有第一表面 226 和远离其的第二表面 228。第一衬底 224 包括可在第二表面 228 触及的导电焊盘 230A-230J。第一微电子封装 222 还具有附着于衬底的一个或多个微电子元件，例如半导体芯片。在图 5A 所示的特定实施例中，第一微电子封装 222 包括第二表面 228 上的第一微电子元件 232 以及第一微电子元件

上的第二微电子元件 234。密封剂层 236 覆盖微电子元件 232、234。密封剂层具有底表面 254，其界定了密封剂层底表面和衬底 224 的第二表面 228 之间的距离。

导电焊盘 230A-230J 具有与图 1A 和 2A 的实施例所示的间隔类似的间隔。然而，图 5A 的特定实施例使用了细长的导电柱 248A-248J，而不是图 1A 和 2A 实施例所示的焊料块。结果，有足够的空间供一个导电柱 248 从每个导电焊盘 230 突出而不会使相邻的导电柱彼此接触，如以上图 1A 和 2A 实施例所示，在导电焊盘和接触上都使用焊球时会发生所述接触。于是，能够具有来自第一微电子封装 222 的更多输入/输出并形成更多电互连。

微电子组件 220 还包括具有第二衬底 240 的第二微电子封装 238，第二衬底 240 具有第一表面 242 和远离其的第二表面 244。第一表面 242 包括接触 246A-246J。焊球 250 设置于每个接触 246A-246J 上。

参考图 5B，第一衬底 224 的第一表面 228 与第二衬底 240 的第一表面 242 并置。导电柱 248 的末端 231 抵靠在焊球 250 的顶点。密封剂层 236 的底表面 254 界定了在密封剂层底表面 254 和衬底 224 的第二表面 228 之间延伸的高度 H_1 。导电柱 230 界定了在柱末端 231 和第一衬底 224 的第二表面 228 之间延伸的高度 H_2 。焊球 250 界定了在焊球顶点和第二衬底 240 的第一表面 242 之间延伸的高度 H_3 。导电柱和焊球的组合高度 H_2 和 H_3 等于或大于密封剂层 236 的高度 H_1 。结果，导电柱 230 和焊球 250 的组合足以跨越由密封剂层的高度产生的间隙。

图 5C 示出了在已经对焊料材料 250 进行回流并将其吸附到导电柱 230 的侧面之后的微电子组件 220。随着焊料材料 250 吸附到导电柱的侧面，表面张力将第一微电子封装 222 和第二微电子封装 238 彼此拉向一起。此外，回流的焊料材料提供了自定心功能，由此使导电柱 230 位于第二微电子封装 238 的接触 246 的顶部中心。

图 6A 和 6B 示出了本发明的自定心特征。参考图 6A，第一微电子封装 322A 与第二微电子封装 322B 并置。导电柱 330 的末端抵靠在第二微电子封装 322B 上的焊料块 348 上。在该特定实施例中，导电柱 330 至少部分地与焊料块 348 不对准。图 6A 中示出了失准，因此第一微电子封装 322A 上的导电柱 330D 沿轴 A_1 延伸，第二微电子封装 322B 上的导电柱 330D' 沿不同于

轴 A_1 的轴 A_2 延伸。结果，第一微电子封装上的导电柱未与第二微电子封装 322B 上的焊料块 348 基本对准。

参考图 6B，在第二微电子封装 322B 上的焊料回流期间，回流的焊料吸附到导电柱外表面周围并提供自定心作用，迫使第一微电子封装 322A 的导电柱与第二微电子封装 322B 的导电柱基本对准。如图 6B 所示，第一微电子封装 322A 的第一导电柱沿轴 A_1 对准，第二微电子封装的第二导电柱沿轴 A_2 对准，由此轴 A_1 和 A_2 现在位于公共轴上。作为自定心作用的结果，第一和第二微电子封装 322A、322B 的导电柱现在基本彼此对准。

图 6B 示出了方向箭头 D，其示出了在焊料块的回流期间第一微电子封装 322A 相对于第二微电子封装 322B 的移动。此外，如上所述，回流的焊料提供表面张力，所述表面张力将第一和第二微电子封装 322A、322B 彼此拉向一起。

图 7 示出了包括四个堆叠层的堆叠微电子组件的局部截面图。上层的导电柱与下层的可熔导电块电互连。在组装期间，将柱体末端置于与相对的可熔导电块接触。然后对可熔块进行回流，由此回流的块吸附到导电柱外表面周围。

在某些优选实施例中，衬底可以是诸如聚酰亚胺或其它聚合物片的柔性电介质衬底，其包括顶表面和远离其的底表面。虽然电介质衬底的厚度可以随着应用而变化，但电介质衬底最典型的厚度大约为 $10\ \mu\text{m}$ - $100\ \mu\text{m}$ 。柔性片上优选具有导电迹线。导电迹线可以在柔性片的顶表面上，在顶表面和底表面二者上或在柔性衬底内部延伸。于是，如本公开中所使用的，将第一特征设置于第二特征“上”这种表述不应被理解为要求第一特征位于第二特征的表面上。导电迹线可以由任何导电材料形成，但最典型地由铜、铜合金、金或这些材料的组合形成。迹线的厚度也将随着应用而变化，但典型的大约为 $5\ \mu\text{m}$ - $25\ \mu\text{m}$ 。可以设置导电迹线，使每条迹线具有支撑端以及远离支撑端的柱端。

如上所述，在某些优选实施例中，导电柱从衬底的表面突出。每个柱体可以连接到一条导电迹线的柱端。在某些优选实施例中，导电柱可以从迹线的柱端通过衬底向上延伸。导电柱的尺度可以在很大范围内变化，但最典型的是柔性片表面上的每个柱高度大约为 50 - $300\ \mu\text{m}$ 。每个柱体优选具

有与衬底相邻的基底部和远离衬底的末端。导电柱可以具有截头圆锥形状，由此每个柱体的基底部和末端基本为圆形。柱体基底部典型为大约 100-600 μm 的直径，而末端典型为大约 40-600 μm 的直径，更优选为大约 40-200 μm 的直径。柱体可以由任何导电材料形成，但最好由诸如铜、铜合金、金及其组合的金属材料形成。例如，柱体可以主要由铜形成，在柱体表面具有一层金。

可以通过诸如 2004 年 10 月 6 日提交的共同审查、共同转让的美国专利申请 No. 10/959465 [TESSERA 3.0-358] 中所公开的工艺那样制造电介质衬底、迹线和柱体，在此通过引用将其公开并入本文。如'465 申请所更详细公开的，蚀刻金属板或以其它方式处理金属板以形成很多从板突出的金属柱。向该板施加电介质层，使柱体经过电介质层突出。电介质层的内部或侧面面对金属板，而电介质层的外侧面对柱体的末端。可以通过将诸如聚酰亚胺的电介质涂布到板上和柱体周围，或者更典型的，通过迫使柱体与电介质片配合使得柱体穿透该片，从而制造电介质层。一旦片到位，就蚀刻金属板以形成电介质层内侧上的各迹线。或者，诸如电镀或蚀刻的常规工艺可以形成迹线，然而可以使用共同转让的美国专利 6177636 中公开的方法形成柱体（在此通过引用将其公开并入本文）。在又一种选择中，可以用任何适当的方式将柱体制造成单个元件并组装到柔性片上，柔性片将柱体连接到迹线。

在本发明的某些优选实施例中，导电柱可以彼此独立地自由移动。柱体之间彼此独立地位移允许所有柱体末端接触相对微电子元件上的所有接触。例如，第一导电柱附近的柔性衬底能够比第二导电柱附近的柔性衬底更加显著地弯曲。因为可以将所有柱体末端与相对微电子元件的所有接触可靠地配合，所以可以通过经测试电路板和经配合的柱体和接触焊盘施加测试信号、功率和地电势来可靠地测试封装。此外，利用简单的测试电路板实现了可靠的配合。例如，测试电路板的接触焊盘是简单的平面焊盘。测试电路板无需包括补偿非平面性的特殊功能部件或复杂的插座构造。可以利用形成普通电路板通用的技术来制造测试电路板。这本质上降低了测试电路板的成本，还便于构造简单布局、与高频信号兼容的带有迹线（未示出）的测试电路板。而且，根据特定高频信号处理电路的需要，测试电

电路板可以包括与接触焊盘非常靠近的诸如电容器的电子元件。这里，再次因为测试电路板无需包括适应非平面性的特殊功能部件，这种电子元件的放置得到简化。在一些情况下，希望尽可能使测试电路板平面化，以便减小系统的非平面性并从而使对管脚移动的需求最小化。例如，在测试电路板为高度平面化的陶瓷电路板（例如抛光的氧化铝陶瓷结构）的情况下，仅仅约为 $20\ \mu\text{m}$ 的管脚移动就足够了。

在本发明的某些优选实施例中，在测试过微电子封装之后，可以从测试电路板取下封装，并通过用诸如焊料的导电接合材料将柱体末端结合到电路面板的接触焊盘，将所述封装永久地与诸如电路面板的具有接触焊盘的另一衬底互连在一起。可以利用表面安装微电子组件的通用常规设备来执行焊料接合过程。于是，可以在柱体或接触焊盘上提供焊料块，并在将柱体与接触焊盘配合之后对其进行回流。在回流期间，焊料的表面张力会使柱体在接触焊盘上居中。这种自定心作用在柱体末端小于接触焊盘的情况下尤其显著。此外，焊料至少在一定程度上润湿柱体侧面，从而形成包围每个柱体末端的过渡曲面（fillet）以及柱体和焊盘相对表面之间的强结合。

可以在柱体末端周围和接触焊盘周围提供诸如环氧树脂或其它聚合材料的底填材料（未示出），以便加强焊料结合。希望该底填材料仅部分地填充封装和电路板之间的间隙。在这种设置中，底填不会将柔性衬底或微电子器件结合到电路板。底填仅在柱体与接触焊盘的连接处加强了柱体。然而，在柱体基底部不需要任何加强，因为每个柱体基底部和相关迹线之间的连接特别抗疲劳破坏。

以上讨论涉及到单个微电子元件。然而，封装可以包括一个以上的微电子元件或一个以上的衬底。此外，可以在芯片为晶片形式期间执行用于将柔性衬底、支撑元件和柱体组装到芯片上的工艺步骤。可以将单个大衬底组装到整个晶片或晶片的一些部分上。可以切割组件以形成单个单元，每个单元包括一个或多个芯片以及衬底的相关部分。上面讨论的测试操作可以在切割步骤之前执行。封装补偿测试板中或晶片本身中的非平面性的能力极大地方便了大单元的测试。

衬底和迹线可能在柱体周围的区域中发生局部形变。这些区域往往会

向上形变，从而在衬底的底表面中留下凹坑。柱体可以具有头部，这些头部可以部分或完全进入凹坑之内。为了控制衬底的形变，可以将衬底的顶表面抵靠在具有孔的管芯上，该孔与迫使柱体穿过衬底的位置对准。这种管芯也能够防止衬底和迹线分离。在该工艺的变型中，可以在单层衬底的顶表面或底表面上设置迹线。可以将所得的柱阵列衬底与微电子元件组装到一起以形成上述封装，或者可以将其用在希望具有小的柱阵列的任何其它微电子组件中。该组装工艺允许选择性地设置柱体。在迹线中提供焊接区和孔并不重要。于是，可以沿着任何迹线在任何位置设置柱体。此外，基本可以由任何导电材料形成柱体。可以用不同的材料形成不同的柱体。例如，可以全部或部分地由诸如钨的坚硬难熔金属形成要经受剧烈机械载荷的柱体，而可以由诸如铜的较软金属形成其它柱体。而且，可以全部或部分地由诸如镍、金或铂的耐腐蚀金属形成一些或全部柱体。

如以上较早实施例所述，导电柱可以独立于其它导电柱自由移动，从而确保每个导电柱与测试板上每个导电焊盘之间的可靠接触。导电柱的末端能够移动以补偿垂直间隔方面潜在的差异，从而仅通过施加适中的垂直力将可测试封装和测试板压到一起就可以使所有末端与所有导电焊盘同时接触。在该过程中，至少一些导电柱的末端相对于其它柱体末端在垂直或 z 方向上位移。此外，与不同导电柱相关联的柔性衬底的不同部分可以彼此独立地形变。在实践中，衬底的形变可以包括衬底的弯曲和/或拉伸，从而基底部的运动可以包括绕 x - y 平面或水平面中的轴倾斜以及基底部的一些水平位移，且还可以包括其它运动分量。

由于诸如微电子器件正面的非平面性、电介质衬底的翘曲和柱体自身的不等高度等因素，柱体末端可能不会精确地彼此共面。而且，封装相对于电路板可能会稍微倾斜。由于这些和其它原因，柱体末端和接触焊盘之间的垂直距离可能是不等的。柱体之间彼此独立的位移允许所有柱体末端接触相对微电子封装上的所有接触焊盘。

因为可以将所有柱体末端与所有接触焊盘可靠地配合，所以可以借助经测试电路板和经相配合的柱体和接触焊盘施加测试信号、功率和地电势来可靠地对封装进行测试。此外，利用简单的测试电路板实现了这种可靠的配合。例如，测试电路板的接触焊盘是简单的平面焊盘。测试电路板无

需包括补偿非平面性的特殊功能部件或复杂的插座构造。可以利用形成普通电路板通用的技术来制造测试电路板。这本质上降低了测试电路板的成本，并且还便于构造简单布局的、与高频信号兼容的带有迹线（未示出）的测试电路板。而且，根据特定高频信号处理电路的需要，测试电路板可以包括与接触焊盘非常靠近的诸如电容器的电子元件。这里，再次因为测试电路板无需包括适应非平面性的特殊功能部件，这种电子元件的放置得到简化。在一些情况下，希望尽可能使测试电路板平面化，以便减小系统的非平面性并从而使对管脚移动的需求最小化。例如，在测试电路板为高度平面化的陶瓷电路板（例如抛光的氧化铝陶瓷结构）的情况下，仅仅约为 $20\ \mu\text{m}$ 的管脚移动就足够了。

在本发明的某些优选实施例中，可以在微电子封装的一个或多个导电部分上提供颗粒涂层，例如美国专利 4804132 和 5083697（在此通过引用将其公开并入本文）所公开的颗粒涂层，以增强微电子元件之间的电互连的形成并便于微电子封装的测试。优选在诸如导电端子或导电柱的末端等导电部分上提供颗粒涂层。在一个特别优选的实施例中，颗粒涂层为金属化金刚石晶体涂层，其是利用标准光刻胶技术选择性电镀到微电子元件的导电部分上的。在操作中，可以将具有金刚石晶体涂层的导电部分压到相对的接触焊盘上，以穿透接触焊盘外表面存在的氧化层。除了传统的擦触作用之外，金刚石晶体涂层促进了通过穿透氧化物层来形成可靠的电互连。

如上所述，柱体的运动可以包括倾斜运动。该倾斜运动导致每个柱体的末端在末端与接触焊盘配合时与接触焊盘擦触。这促进了可靠的电接触。如在 2004 年 11 月 10 日提交的共同审查、共同转让的题为“MICRO PIN GRID ARRAY WITH WIPING ACTION” [TESSERA 3.0-375] 的申请 No. 10/985126（在此通过引用将其公开并入本文）中更详细描述的特征，所述柱体可以具有促进这种擦触作用或者有助于柱体和接触配合的特征。如在 2004 年 11 月 10 日提交的共同审查、共同转让的题为“MICRO PIN GRID WITH PIN MOTION ISOLATION” [TESSERA 3.0-376] 的申请 No. 10/985119（在此通过引用将其公开并入本文）中更详细公开的，柔性衬底可以具有增强柱体彼此独立移动的能力并增强倾斜和擦触作用的特征。

在本发明的某些优选实施例中，微电子封装、组件或堆体可以包括如

下专利申请中所公开的一个或多个实施例的一个或多个特征：2004年10月6日提交的题为“Formation of Circuitry With Modification of Feature Height” [TESSERA 3.0-358]的美国申请 No.10/959465；2005年6月24日提交的题为“Structure With Spherical Contact Pins” [TESSERA 3.0-416]的美国申请 No.11/166861；2004年12月16日提交的美国申请 No.11/014439 [TESSERA a. 3.0-374]，其要求2003年12月30日提交的美国临时申请 No.60/533210 的优先权；2004年11月10日提交的美国申请 No.10/985126 [TESSERA 3.0-375]，其要求2003年12月30日提交的美国临时申请 No.60/533393 的优先权；2004年11月10日提交的美国申请 No.10/985119 [TESSERA 3.0-376]，其要求2003年12月30日提交的美国临时申请 No.60/533437 的优先权；2005年5月27日提交的美国专利申请 No.11/140312 [TESSERA 3.0-415]，其要求2004年6月25日提交的美国临时申请 No.60/583066 以及2004年10月25日提交的美国临时申请 No.60/621865 的优先权；2005年3月16日提交的美国临时申请 No.60/662199 [TESSERA 3.8-429]；美国专利申请公布 No.2005/0035440 [TESSERA 3.0-307]；以及2005年12月23日提交的题为“MICROELECTRONIC PACKAGES AND METHODS THEREFOR”的序列号为 No.60/753605、转让代理文档号为 TESSERA 3.8-482 的美国临时申请，在此通过引用将其公开并入本文。

参考具体实施例，应当理解这些实施例仅仅是本发明的原理和应用的例示。因此要理解，可以对例示性实施例作出很多修改，并且可以想到其它布置，而不会脱离如所附权利要求定义的本发明的精神和范围。

工业实用性声明

本发明在半导体封装行业中具有实用性。

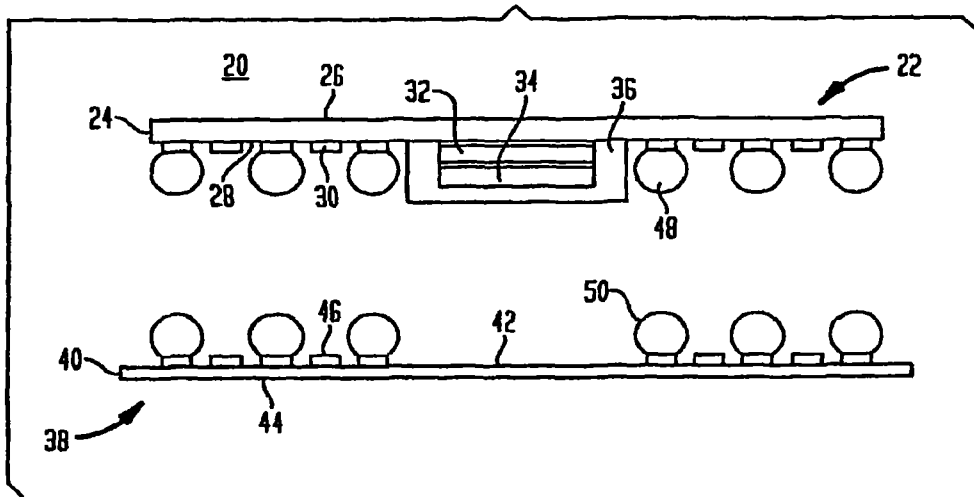


图1A
(现有技术)

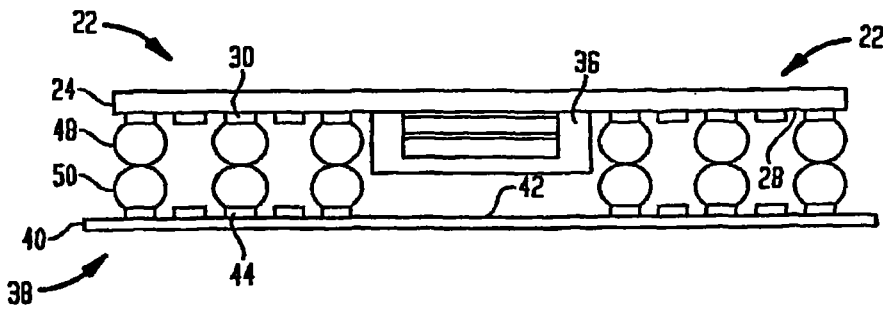


图1B
(现有技术)

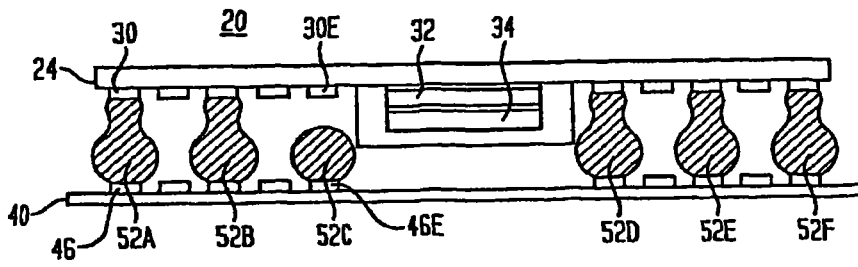


图1C

(现有技术)

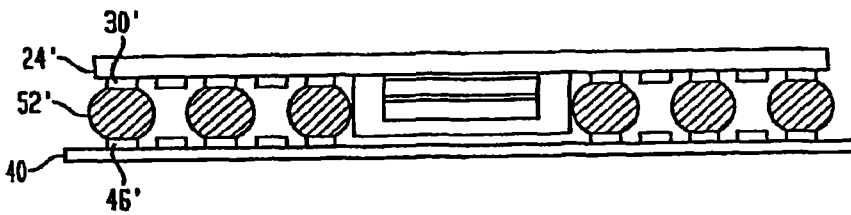


图1D

(现有技术)

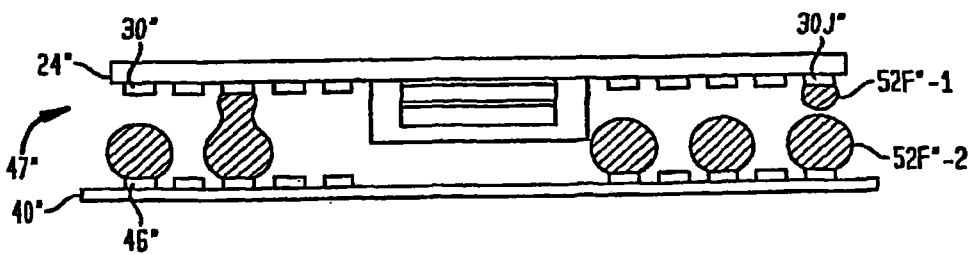


图1E

(现有技术)

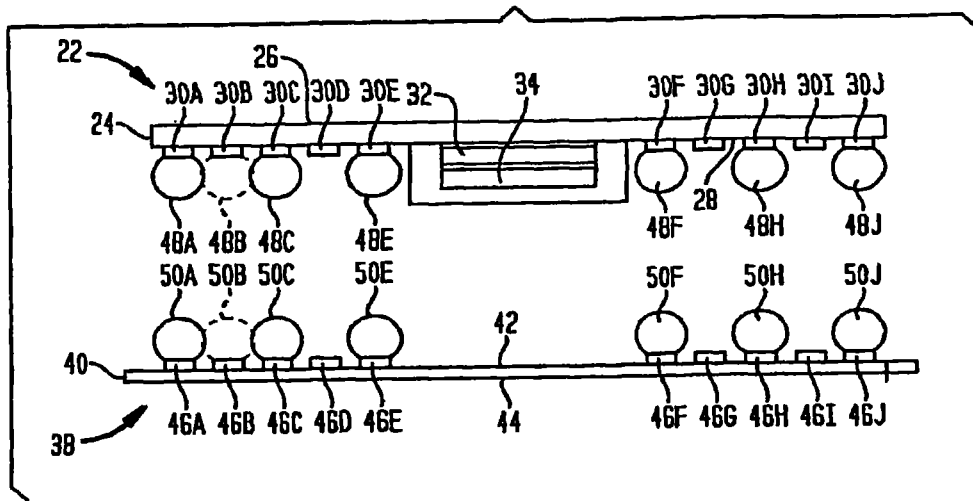


图 2A

(现有技术)

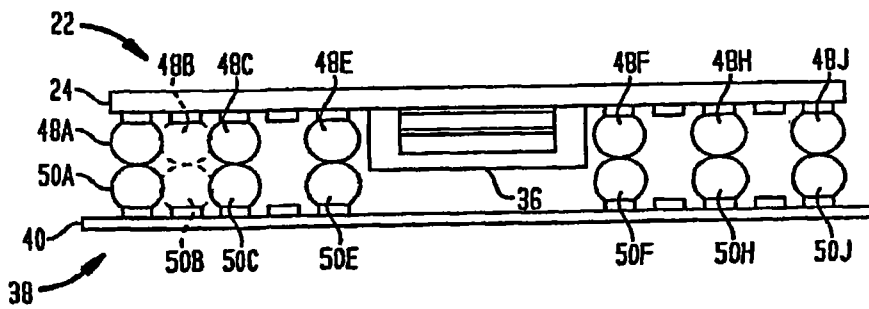


图 2B

(现有技术)

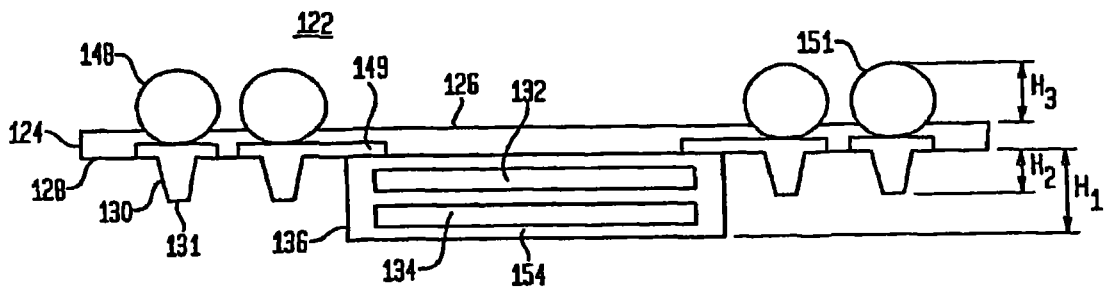


图3

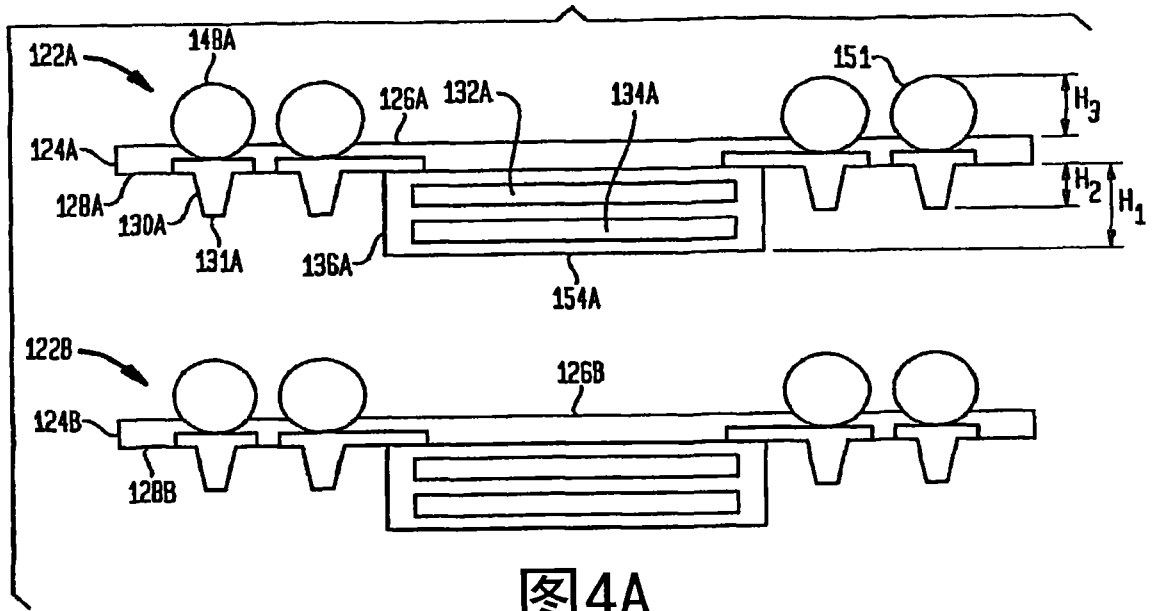


图4A

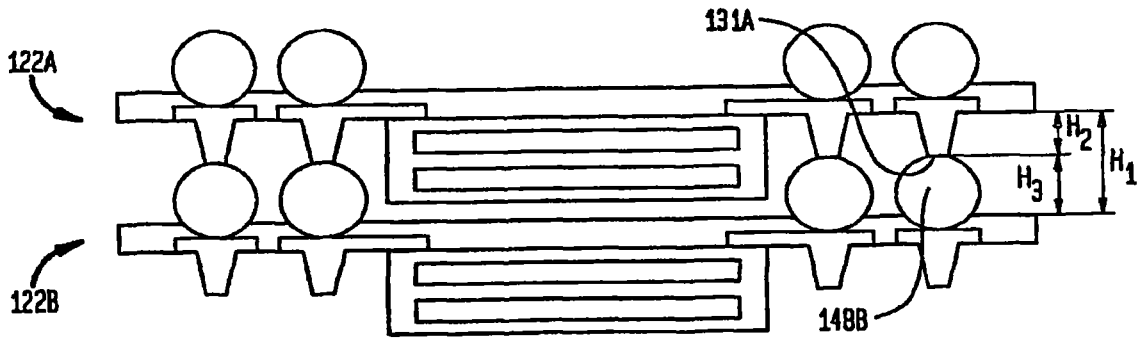


图4B

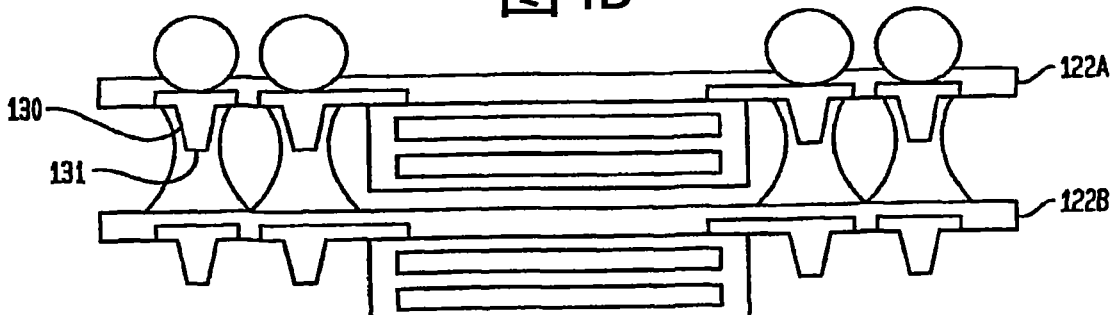


图4C

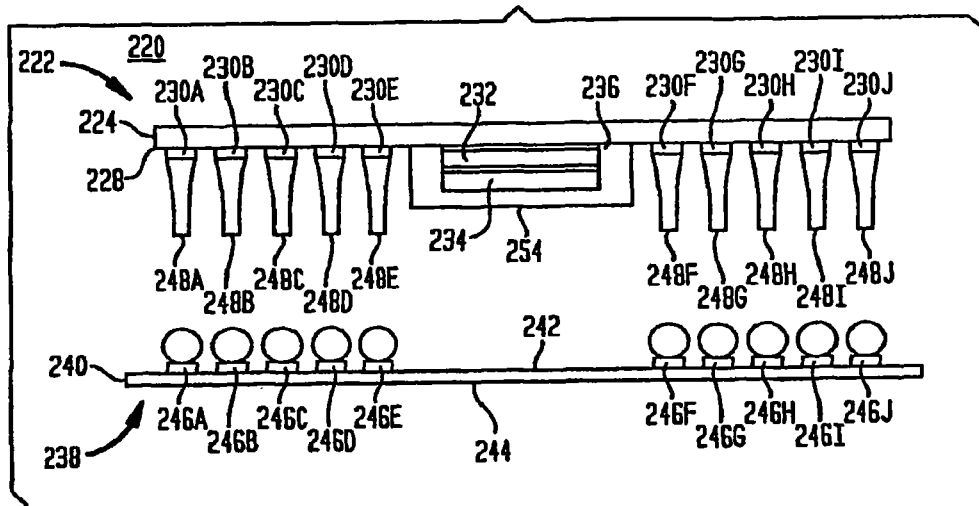


图5A

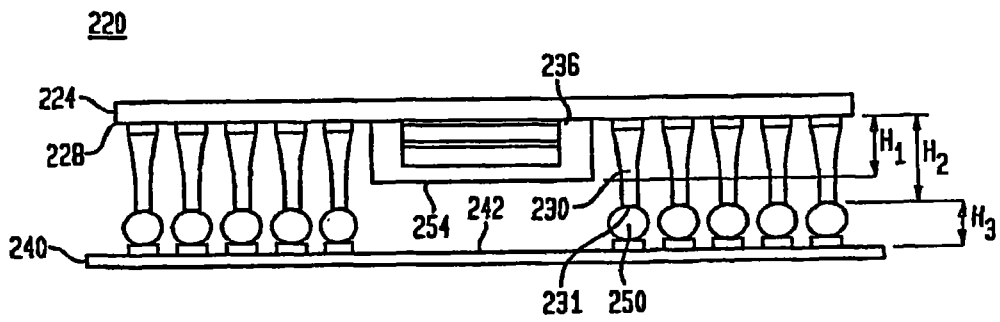


图5B

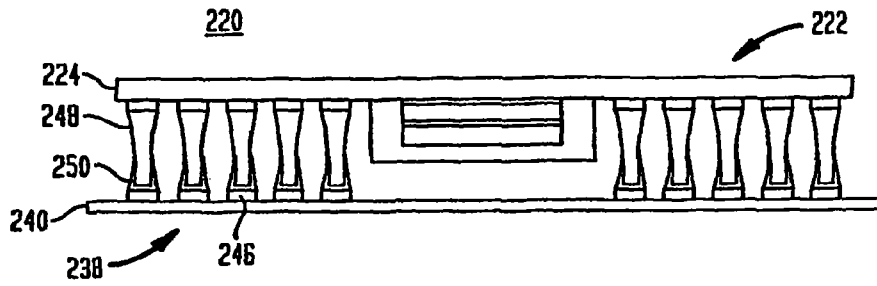


图5C

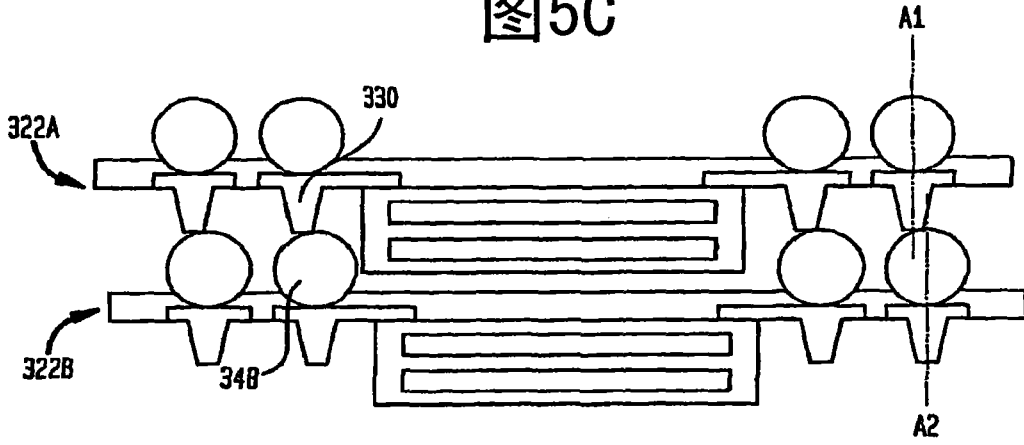


图6A

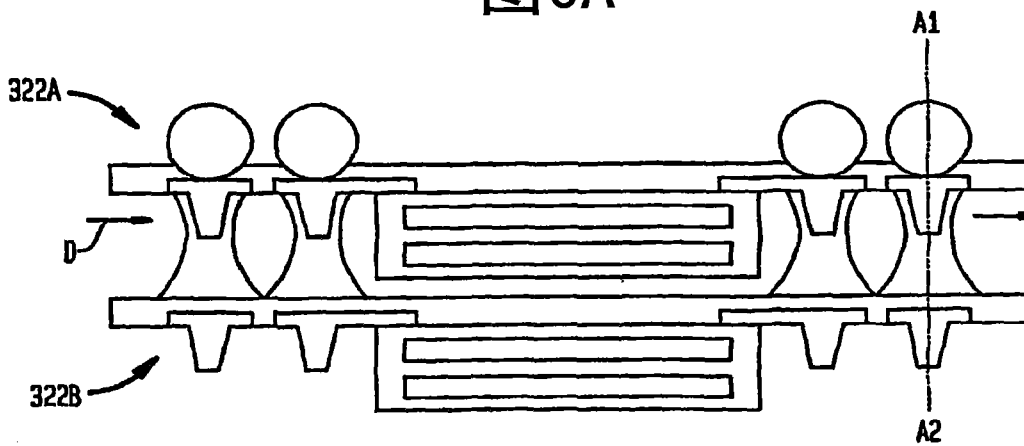


图6B

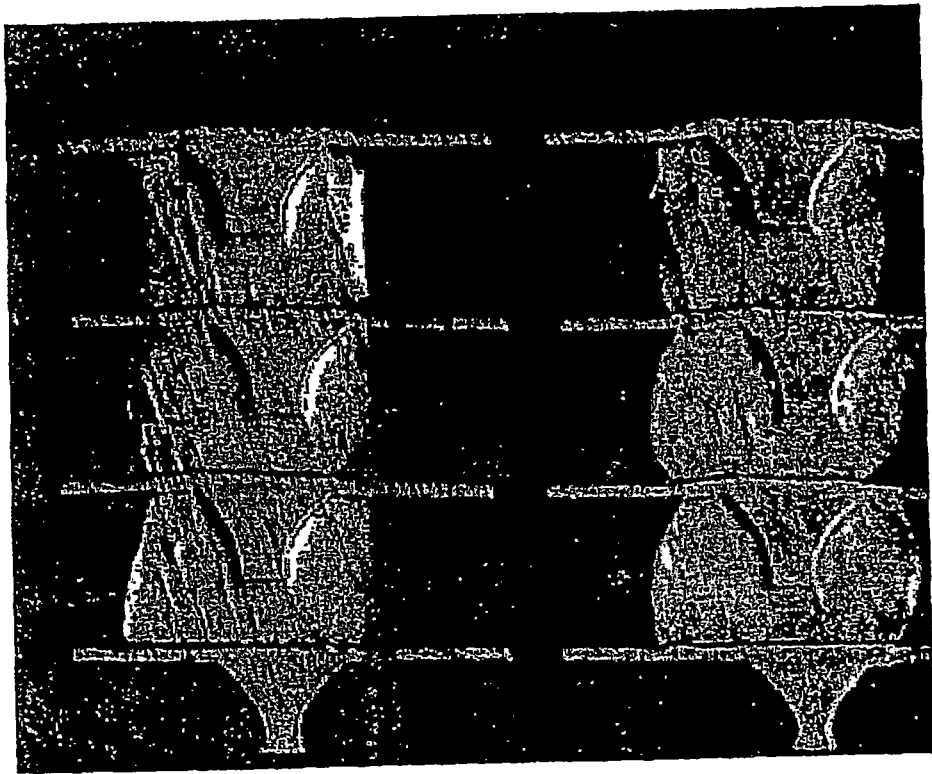


图7