



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I662653 B

(45)公告日：中華民國 108 (2019) 年 06 月 11 日

(21)申請案號：104102336

(22)申請日：中華民國 104 (2015) 年 01 月 23 日

(51)Int. Cl. : **H01L21/822 (2006.01)****H01L27/04 (2006.01)****H01L27/088 (2006.01)**

(30)優先權：2014/01/30 日本

2014-015495

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：宮入秀和 MIYAIRI, HIDEKAZU (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2012/0051119A1

US 2012/0195122A1

WO 2013/190863A1

審查人員：張錦昇

申請專利範圍項數：6 項 圖式數：28 共 139 頁

(54)名稱

半導體裝置、電子裝置及半導體裝置的製造方法

SEMICONDUCTOR DEVICE, ELECTRONIC DEVICE, AND MANUFACTURING METHOD OF
SEMICONDUCTOR DEVICE

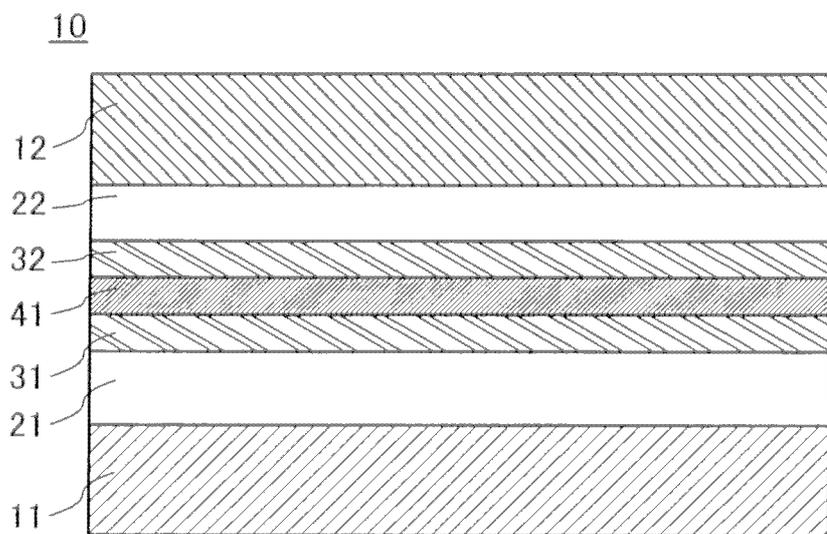
(57)摘要

本發明的目的之一是提供一種適合於微型化的半導體裝置。本發明的一個方式是一種半導體裝置，包括：第一電晶體；位於第一電晶體的上方的第二電晶體；位於第一電晶體與第二電晶體之間的絕緣膜；位於第一電晶體與絕緣膜之間的佈線；以及電極，其中，電極和佈線具有彼此重疊的區域，絕緣膜具有能夠減少水或氫的擴散的功能，第一電晶體的通道具有單晶半導體，第二電晶體的通道具有氧化物半導體，並且，第二電晶體的閘極電極包含與電極所包含的材料相同的材料。

To provide a semiconductor device that is suitable for miniaturization. The semiconductor device includes a first transistor, a second transistor over the first transistor, an insulating film between the first transistor and the second transistor, a wiring between the first transistor and the insulating film, and an electrode. The electrode and the wiring partly overlap each other. The insulating film has a function of reducing diffusion of water or hydrogen. A channel in the first transistor includes a single crystal semiconductor. A channel in the second transistor includes an oxide semiconductor. A gate electrode of the second transistor includes the same material as that included in the electrode.

指定代表圖：

圖 1



符號簡單說明：

10 . . . 疊層結構

11 . . . 第一層

12 . . . 第二層

21 . . . 第一絕緣膜

22 . . . 第二絕緣膜

31 . . . 第一佈線層

32 . . . 第二佈線層

41 . . . 障壁膜

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置、電子裝置及半導體裝置的製造方法

Semiconductor device, electronic device, and manufacturing method of semiconductor device

【技術領域】

[0001] 本發明的一個方式係關於一種具有場效應電晶體的半導體裝置。

[0002] 注意，本發明的一個方式不侷限於上述技術領域。本說明書等所公開的發明的一個方式的技術領域係關於一種物體、方法或製造方法。另外，本發明的一個方式係關於一種製程 (process)、機器 (machine)、產品 (manufacture) 或者組合物 (composition of matter)。由此，更具體地，作為本說明書所公開的本發明的一個方式的技術領域的一個例子，可以舉出半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、照明設備、蓄電裝置、記憶體裝置、它們的驅動方法或它們的製造方法。

[0003] 注意，在本說明書等中，半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置。除了電晶體等半導體元件之外，半導體電路、算術裝置、記憶體裝置為半導體裝置的一個方式。另外，攝像裝置、顯示裝置、液晶顯示裝置、發光裝置、電光裝置、發電裝置 (包括薄膜

太陽能電池、有機薄膜太陽能電池等)及電子裝置有時包括半導體裝置。

【先前技術】

[0004] 使用半導體材料構成電晶體的技術受到關注。該電晶體被廣泛地應用於積體電路(IC)、影像顯示裝置(簡單地記載為顯示裝置)等電子裝置。作為可以用於電晶體的半導體材料,矽類半導體材料被廣泛地周知,而作為其他材料,氧化物半導體受到關注。

[0005] 例如,公開了作為氧化物半導體使用氧化鋅或In-Ga-Zn類氧化物半導體來製造電晶體的技術(參照專利文獻1及專利文獻2)。

[0006] 近年來,隨著電子裝置的高功能化、小型化或輕量化,對高密度地集成有被微型化的電晶體等半導體元件的積體電路的要求提高。

[0007]

[專利文獻1] 日本專利申請公開第2007-123861號公報

[專利文獻2] 日本專利申請公開第2007-96055號公報

【發明內容】

[0008] 本發明的一個方式的目的是提供一種適合於微型化的半導體裝置。

[0009] 另外，本發明的一個方式的目的之一是使半導體裝置具有良好的電特性。此外，本發明的一個方式的目的之一是提供一種可靠性高的半導體裝置。另外，本發明的一個方式的目的之一是提供一種具有新穎結構的半導體裝置。

[0010] 注意，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個方式並不一定必須要實現所有上述目的。另外，說明書、圖式以及申請專利範圍等的記載中顯然存在上述目的以外的目的，可以從說明書、圖式以及申請專利範圍等的記載中獲得上述目的以外的目的。

[0011] 本發明的一個方式是一種半導體裝置，包括：第一電晶體；位於第一電晶體的上方的第二電晶體；位於第一電晶體與第二電晶體之間的絕緣膜；位於第一電晶體與絕緣膜之間的佈線；以及電極，其中，電極和佈線具有彼此重疊的區域，絕緣膜具有能夠減少水或氫的擴散的功能，第一電晶體的通道具有單晶半導體，第二電晶體的通道具有氧化物半導體，並且，第二電晶體的閘極電極包含與電極所包含的材料相同的材料。

[0012] 另外，本發明的其他方式是一種半導體裝置，包括：第一電晶體；位於第一電晶體的上方的第二電晶體；位於第一電晶體與第二電晶體之間的絕緣膜；位於第一電晶體與絕緣膜之間的佈線；以及電極，其中，電極和佈線具有彼此重疊的區域，絕緣膜具有能夠減少水或氫的擴散的功能，第一電晶體的閘極電極、佈線、電極及第

二電晶體的源極和汲極中的一個彼此電連接，第一電晶體的通道具有單晶半導體，第二電晶體的通道具有氧化物半導體，並且，第二電晶體的閘極電極包含與電極所包含的材料相同的材料。

[0013] 另外，在上述結構中，第二電晶體的閘極電極的頂面的高度也可以與電極的頂面的高度一致。

[0014] 此外，在上述結構中，較佳的是，在第二電晶體與絕緣膜之間具有第二絕緣膜，並且第二絕緣膜具有其氧含量超過化學計量組成的區域。

[0015] 另外，在上述結構中，較佳的是，電極包括多個膜，並且第二電晶體的閘極電極包括多個膜。

[0016] 此外，在上述結構中，較佳的是，電極所包括的多個膜中的具有接觸於佈線的區域的膜具有調整功函數的功能。

[0017] 另外，在上述結構中，第二電晶體包括第二閘極電極，並且第二閘極電極也可以包括與佈線所包含的材料相同的材料。

[0018] 此外，本發明的其他方式是一種電子裝置，包括上述半導體裝置和顯示裝置。

[0019] 另外，本發明的其他方式是一種半導體裝置的製造方法，包括如下步驟：形成在通道中包含單晶半導體的第一電晶體；在第一電晶體上形成佈線；在佈線上形成第一絕緣膜；在第一絕緣膜上形成第二絕緣膜；在第二絕緣膜上形成氧化物半導體膜；在氧化物半導體膜上形成

第一電極及第二電極；在第二絕緣膜、第一電極及第二電極上形成閘極絕緣膜；在閘極絕緣膜上形成遮罩；使用遮罩在閘極絕緣膜、第一絕緣膜及第二絕緣膜中形成到達佈線的開口；以填充開口的方式形成第一導電膜及第二導電膜的疊層；對第二導電膜進行平坦化處理；以及對第一導電膜及經過平坦化處理的第二導電膜進行蝕刻，由此形成閘極絕緣膜上的第一閘極電極和第三電極、第一閘極電極上的第二閘極電極以及第三電極上的第四電極，其中，第一絕緣膜具有能夠減少水或氫的擴散的功能。

[0020] 此外，在上述製造方法中，平坦化處理也可以是化學機械拋光（CMP：Chemical Mechanical Polishing）法。

[0021] 根據本發明的一個方式，可以提供一種適合於微型化的半導體裝置。

[0022] 另外，根據本發明的一個方式，可以使半導體裝置具有良好的電特性。此外，可以提供一種可靠性高的半導體裝置。另外，可以提供一種具有新穎結構的半導體裝置。注意，這些效果的記載不妨礙其他效果的存在。此外，本發明的一個方式並不一定必須要具有所有上述效果。另外，說明書、圖式以及申請專利範圍等的記載中顯然存在上述效果以外的效果，可以從說明書、圖式以及申請專利範圍等的記載中獲得上述效果以外的效果。

【圖式簡單說明】

[0023] 在圖式中：

圖 1 是說明根據實施方式的半導體裝置所包括的疊層結構的圖；

圖 2A 和圖 2B 是根據實施方式的半導體裝置的電路圖及結構實例；

圖 3A 和圖 3B 是根據實施方式的半導體裝置的結構實例；

圖 4A 和圖 4B 是根據實施方式的半導體裝置的結構實例；

圖 5A 和圖 5B 是說明根據實施方式的能帶結構的圖；

圖 6A 至圖 6C 是根據實施方式的半導體裝置的結構實例；

圖 7A 至圖 7C 是根據實施方式的半導體裝置的結構實例；

圖 8A 和圖 8B 是根據實施方式的半導體裝置的結構實例；

圖 9A 和圖 9B 是根據實施方式的半導體裝置的結構實例；

圖 10A 和圖 10B 是根據實施方式的半導體裝置的結構實例；

圖 11A 和圖 11B 是根據實施方式的半導體裝置的結構實例；

圖 12A 和圖 12B 是根據實施方式的半導體裝置的結

構實例；

圖 13A 至圖 13D 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 14A 至圖 14C 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 15A 至圖 15C 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 16A 和圖 16B 是說明根據實施方式的半導體裝置的製造方法例子的圖；

圖 17A 至圖 17D 是 CAAC-OS 的剖面的 Cs 校正高解析度 TEM 影像以及 CAAC-OS 的剖面示意圖；

圖 18A 至圖 18D 是 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像；

圖 19A 至圖 19C 是說明利用 XRD 的 CAAC-OS 及單晶氧化物半導體的結構分析的圖；

圖 20A 和圖 20B 是示出 CAAC-OS 的電子繞射圖案圖；

圖 21 是示出照射電子時的 In-Ga-Zn 類氧化物的結晶部的變化的圖；

圖 22A 至圖 22D 是根據實施方式的電路圖；

圖 23 是根據實施方式的 RF 標籤的結構實例；

圖 24 是根據實施方式的 CPU 的結構實例；

圖 25 是根據實施方式的記憶元件的電路圖；

圖 26A 至圖 26C 是根據實施方式的顯示裝置的俯視

圖及電路圖；

圖 27A 至圖 27F 是根據實施方式的電子裝置；

圖 28A 至圖 28F 是根據實施方式的 RF 裝置的使用例子。

【實施方式】

[0024] 參照圖式對實施方式進行詳細的說明。注意，本發明不侷限於以下說明，而所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限於下面所示的實施方式所記載的內容中。

[0025] 注意，在下面說明的發明結構中，在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略反復說明。此外，當表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

[0026] 注意，在本說明書所說明的各個圖式中，有時為了明確起見，誇大表示各構成要素的大小、層的厚度或區域。因此，本發明的一個方式並不限於圖式中的比例。

[0027] 另外，在本說明書等中使用的“第一”、“第二”等序數詞是為了方便識別構成要素而附的，而不是為了在

數目方面上進行限定的。

[0028] 電晶體是半導體元件的一種，可以進行電流或電壓的放大、控制導通或非導通的切換工作等。本說明書中的電晶體包括 IGFET (Insulated Gate Field Effect Transistor : 絕緣閘場效電晶體) 和薄膜電晶體 (TFT : Thin Film Transistor) 。

[0029] 另外，在本說明書中，可以互相調換“膜”和“層”。此外，可以互相調換“絕緣體”和“絕緣膜（或絕緣層）”。另外，可以互相調換“導體”和“導電膜（或導電層）”。此外，可以互相調換“半導體”和“半導體膜（或半導體層）”。

[0030] 在本說明書中，“平行”是指在 -10° 以上且 10° 以下的角度的範圍中配置兩條直線的狀態。因此也包括該角度為 -5° 以上且 5° 以下的狀態。此外，“大致平行”是指在 -30° 以上且 30° 以下的角度的範圍中配置兩條直線的狀態。另外，“垂直”是指在 80° 以上且 100° 以下的角度的範圍中配置兩條直線的狀態。因此也包括該角度為 85° 以上且 95° 以下的狀態。此外，“大致垂直”是指在 60° 以上且 120° 以下的角度的範圍中配置兩條直線的狀態。

[0031] 此外，在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0032]

實施方式 1

[疊層結構的結構實例]

以下，對可以應用於本發明的一個方式的半導體裝置的疊層結構的例子進行說明。圖 1 是以下所示的疊層結構 10 的剖面示意圖。

[0033] 疊層結構 10 具有依次層疊有包括第一電晶體的第一層 11、第一絕緣膜 21、第一佈線層 31、障壁膜 41、第二佈線層 32、第二絕緣膜 22 及包括第二電晶體的第二層 12 的疊層結構。

[0034] 第一層 11 所包括的第一電晶體包含第一半導體材料。另外，第二層 12 所包括的第二電晶體包含第二半導體材料。雖然第一半導體材料和第二半導體材料可以為相同的材料，但是較佳為不同的半導體材料。第一電晶體及第二電晶體分別包括半導體膜、閘極電極、閘極絕緣膜、源極電極及汲極電極（或者源極區域及汲極區域）。

[0035] 作為可以用於第一半導體材料或第二半導體材料的半導體，例如可以舉出：矽、碳化矽、鍺、砷化鎵、磷砷化鎵、氮化鎵等半導體材料；作為 III-V 族半導體材料的典型半導體材料的組合選自 B、Al、Ga、In 和 Tl 中的一種以上及選自 N、P、As 和 Sb 中的一種以上的化合物半導體材料；作為 II-VI 族半導體材料的典型半導體材料的組合選自 Mg、Zn、Cd 和 Hg 中的一種以上及選自 O、S、Se 和 Te 中的一種以上的化合物半導體材料；有機半導體材料；或氧化物半導體材料等。

[0036] 在此，對作為第一半導體材料使用單晶矽且

作為第二半導體材料使用氧化物半導體的情況進行說明。

[0037] 障壁膜 41 具有抑制水及氫從障壁膜 41 的下層擴散到其上層的功能。另外，障壁膜 41 也可以具有用來將設置在障壁膜 41 的上方的電極或佈線與設置在其下方的電極或佈線電連接的開口或插頭。例如，障壁膜 41 具有將第一佈線層 31 所包括的佈線或電極與第二佈線層 32 所包括的佈線或電極電連接的插頭。

[0038] 作為用於第一佈線層 31 及第二佈線層 32 所包括的佈線或電極的材料，除了金屬或合金材料之外，也可以使用導電金屬氮化物。另外，也可以使用包含這種材料的層的單層或兩層以上的疊層。

[0039] 第一絕緣膜 21 具有將第一層 11 與第一佈線層 31 電絕緣的功能。另外，第一絕緣膜 21 也可以具有用來將第一層 11 所包括的第一電晶體、電極或佈線與第一佈線層 31 所包括的電極或佈線電連接的開口或插頭。

[0040] 第二絕緣膜 22 具有將第二層 12 與第二佈線層 32 電絕緣的功能。另外，第二絕緣膜 22 也可以具有用來將第二層 12 所包括的第二電晶體、電極或佈線與第二佈線層 32 所包括的電極或佈線電連接的開口或插頭。

[0041] 另外，第二絕緣膜 22 較佳為包含氧化物。尤其是，較佳為包含藉由加熱使一部分氧脫離的氧化物材料。較佳為使用其氧含量超過化學計量組成的氧化物。當作為第二半導體材料使用氧化物半導體時，從第二絕緣膜 22 脫離的氧供應到氧化物半導體，可以減少氧化物半導

體中的氧缺陷。其結果，可以抑制第二電晶體的電特性變動，而可以提高可靠性。

[0042] 在此，較佳的是，在障壁膜 41 的下層中儘量降低氫或水等。氫或水對氧化物半導體來說有可能成為引起電特性變動的主要原因。另外，雖然可以由障壁膜 41 抑制氫或水藉由障壁膜 41 從下層擴散到上層，但是氫或水有時藉由形成在障壁膜 41 中的開口或插頭等會擴散到上層。

[0043] 為了降低位於障壁膜 41 的下層的各層所包含的氫或水，較佳的是，在形成障壁膜 41 之前，或者剛在障壁膜 41 中形成用來形成插頭的開口之後，進行用來去除障壁膜 41 的下層所包含的氫或水的加熱處理。只要構成半導體裝置的導電膜等的耐熱性、電晶體的電特性不發生劣化，加熱處理的溫度越高越好。明確而言，例如可以將其設定為 450℃ 以上，較佳為 490℃ 以上，更佳為 530℃ 以上，但是也可以設定為 650℃ 以上。較佳的是，在惰性氣體氛圍下或減壓氛圍下進行 1 小時以上，較佳為 5 小時以上，更佳為 10 小時以上的加熱處理。另外，加熱處理的溫度可以考慮到第一層 11 或第一佈線層 31 所包括的佈線或電極的材料以及設置在第一絕緣膜 21 中的插頭的材料耐熱性而決定，例如當該材料的耐熱性低時，可以在 550℃ 以下、600℃ 以下、650℃ 以下或 800℃ 以下的溫度下進行加熱處理。另外，只要進行這種加熱處理至少一次以上即可，而較佳為進行多次。

[0044] 在設置在障壁膜 41 的下層的絕緣膜中，藉由熱脫附譜分析（也稱為 TDS 分析）測量的基板表面溫度為 400°C 時的氫分子（ $m/z=2$ ）的脫離量較佳為基板表面溫度為 300°C 時的氫分子的脫離量的 130% 以下，更佳為 110% 以下。或者，藉由 TDS 分析測量的基板表面溫度為 450°C 時的氫分子的脫離量較佳為基板表面溫度為 350°C 時的氫分子的脫離量的 130% 以下，更佳為 110% 以下。

[0045] 另外，障壁膜 41 本身所包含的水或氫也得到減少是較佳的。例如，作為障壁膜 41，較佳為使用藉由 TDS 分析測量的基板表面溫度為 20°C 至 600°C 的範圍內的氫分子的脫離量低於 2×10^{15} 個/cm²，較佳為低於 1×10^{15} 個/cm²，更佳為低於 5×10^{14} 個/cm² 的材料。或者，作為障壁膜 41，較佳為使用藉由 TDS 分析測量的基板表面溫度為 20°C 至 600°C 的範圍內的水分子（ $m/z=18$ ）的脫離量低於 1×10^{16} 個/cm²，較佳為低於 5×10^{15} 個/cm²，更佳為低於 2×10^{12} 個/cm² 的材料。

[0046] 另外，在作為第一層 11 所包括的第一電晶體的半導體膜使用單晶矽的情況下，該加熱處理可以兼作由氫終結矽的懸空鍵的處理（也稱為氫化處理）。藉由氫化處理，第一層 11 及第一絕緣膜 21 所包含的一部分氫脫離並擴散到第一電晶體的半導體膜中，而使矽中的懸空鍵終結，由此可以提高第一電晶體的可靠性。

[0047] 作為可以用於障壁膜 41 的材料，可以舉出氮化矽、氮氧化矽、氧化鋁、氧氮化鋁、氧化鎵、氧氮化

鎂、氧化鋁、氧氮化鋁、氧化鉛、氧氮化鉛等。尤其是，氧化鋁具有對水或氫的優良的阻擋性，所以是較佳的。

[0048] 作為障壁膜 41，也可以使用不容易使水或氫透過的材料的膜或包含其他絕緣材料的膜的疊層。例如，也可以使用包含氧化矽或氧氮化矽的膜的疊層、包含金屬氧化物的膜的疊層等。

[0049] 另外，作為障壁膜 41，較佳為使用不容易使氧透過的材料。上述材料是不但對氫、水而且對氧也具有優良的阻擋性的材料。藉由使用這種材料，可以抑制當對第二絕緣膜 22 進行加熱時被釋放的氧擴散到障壁膜 41 的下層。其結果，可以增大可能從第二絕緣膜 22 被釋放而供應到第二層 12 中的第二電晶體的半導體膜的氧量。

[0050] 如此，藉由減少位於障壁膜 41 的下層的各層所包含的氫或水的濃度或者去除氫或水，由障壁膜 41 抑制氫或水擴散到第二層 12。另外，障壁膜 41 抑制氫或水的釋放。因此，可以使第二絕緣膜 22 或構成第二層 12 所包括的第二電晶體各層中的氫及水的含量極低。例如，可以使第二絕緣膜 22、第二電晶體的半導體膜或閘極絕緣膜所包含的氫的濃度降低到低於 $5 \times 10^{18} \text{cm}^{-3}$ ，較佳為低於 $1 \times 10^{18} \text{cm}^{-3}$ ，更佳為低於 $3 \times 10^{17} \text{cm}^{-3}$ 。

[0051] 藉由將上述疊層結構 10 應用於本發明的一個方式的半導體裝置，可以實現第一層 11 所包括的第一電晶體和第二層 12 所包括的第二電晶體的高可靠性，而可以實現可靠性極高的半導體裝置。

[0052]

[結構實例]

圖 2A 是本發明的一個方式的半導體裝置的電路圖的一個例子。圖 2A 所示的半導體裝置包括：第一電晶體 110；第二電晶體 100；電容器 130；佈線 SL；佈線 BL；佈線 WL；佈線 CL；以及佈線 BG。

[0053] 在第一電晶體 110 中，源極和汲極中的一個與佈線 BL 電連接，另一個與佈線 SL 電連接，閘極與第二電晶體 100 的源極和汲極中的一個及電容器 130 的一個電極電連接。在第二電晶體 100 中，源極和汲極中的另一個與佈線 BL 電連接，閘極與佈線 WL 電連接。電容器 130 的另一個電極與佈線 CL 電連接。另外，佈線 BG 與第二電晶體 100 的第二閘極電連接。此外，將第一電晶體 110 的閘極、第二電晶體 100 的源極和汲極中的一個與電容器 130 的一個電極之間的節點稱為節點 FN。

[0054] 在圖 2A 所示的半導體裝置中，當第二電晶體 100 處於導通狀態（開啟狀態）時，對應於佈線 BL 的電位的電位施加到節點 FN。另外，當第二電晶體 100 處於非導通狀態（關閉狀態）時，保持節點 FN 的電位。就是說，圖 2A 所示的半導體裝置具有記憶體裝置的記憶單元的功能。另外，當圖 2A 所示的半導體裝置具有與節點 FN 電連接的液晶元件或有機 EL（Electroluminescence：電致發光）元件等顯示元件時，可以將其用作顯示裝置的像素。

[0055] 可以根據施加到佈線 WL 或佈線 BG 的電位控制第二電晶體 100 的導通狀態、非導通狀態的選擇。另外，可以根據施加到佈線 WL 或佈線 BG 的電位控制第二電晶體 100 的臨界電壓。藉由作為第二電晶體 100 使用關態電流小的電晶體，可以長期間地保持非導通狀態下的節點 FN 的電位。因此，可以降低半導體裝置的更新頻率，所以可以實現耗電量小的半導體裝置。另外，作為關態電流小的電晶體的一個例子，可以舉出使用氧化物半導體的電晶體。

[0056] 另外，佈線 CL 被施加參考電位、接地電位或任意的固定電位等恆電位。此時，第二電晶體 100 的外觀上的臨界電壓根據節點 FN 的電位變動。根據外觀上的臨界電壓的變動而第一電晶體 110 的導通狀態、非導通狀態變化，由此可以讀出保持在節點 FN 中的電位的資訊作為資料。

[0057] 在本發明的一個方式的半導體裝置中，障壁膜的下層的氫濃度充分得到降低或者氫的擴散或釋放得到抑制，其結果，其上層的使用氧化物半導體的電晶體可以實現極低的關態電流。

[0058] 藉由將圖 2A 所示的半導體裝置配置為矩陣狀，可以構成記憶體裝置（記憶單元陣列）。

[0059] 圖 2B 示出能夠實現圖 2A 所示的電路的半導體裝置的剖面結構的一個例子。

[0060] 半導體裝置包括第一電晶體 110、第二電晶體

100 及電容器 130。第二電晶體 100 設置在第一電晶體 110 的上方，在第一電晶體 110 與第二電晶體 100 之間設置有障壁膜 120。

[0061]

[第一層]

第一電晶體 110 設置在半導體基板 111 上，並且包括：半導體基板 111 的一部分的半導體膜 112；閘極絕緣膜 114；閘極電極 115；以及用作源極區域或汲極區域的低電阻層 113a 及低電阻層 113b。

[0062] 第一電晶體 110 可以為 p 通道型或 n 通道型，可以根據電路結構或驅動方法使用適當的電晶體。

[0063] 半導體膜 112 的形成通道的區域或其附近的區域、用作源極區域或汲極區域的低電阻層 113a 及低電阻層 113b 等較佳為包含矽類半導體等半導體，更佳為包含單晶矽。另外，也可以使用包含 Ge（鍺）、SiGe（矽鍺）、GaAs（砷化鎵）、GaAlAs（鎵鋁砷）等材料形成。也可以使用對晶格施加應力，改變晶面間距而控制有效質量的矽。此外，第一電晶體 110 也可以是使用 GaAs 和 GaAlAs 等的 HEMT（High Electron Mobility Transistor：高電子移動率電晶體）。

[0064] 在低電阻層 113a 及低電阻層 113b 中，除了應用於半導體膜 112 的半導體材料之外，還包含砷、磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素。

[0065] 作為閘極電極 115，可以使用包含砷、磷等賦

予 n 型導電性的元素或硼等賦予 p 型導電性的元素的矽等半導體材料、金屬材料、合金材料或金屬氧化物材料等導電材料。較佳為使用同時實現耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。

[0066] 在此，包括第一電晶體 110 的結構對應於上述疊層結構 10 中的第一層 11。

[0067] 在此，也可以使用如圖 3A 所示的電晶體 160 代替第一電晶體 110。圖 3A 的左側示出電晶體 160 的通道長度方向上的剖面，右側示出通道寬度方向上的剖面。在圖 3A 所示的電晶體 160 中，形成通道的半導體膜 112（半導體基板的一部分）具有凸形狀，沿著其側面及頂面設置有閘極絕緣膜 114、閘極電極 115a 及閘極電極 115b。另外，閘極電極 115a 可以使用調整功函數的材料。因為利用半導體基板的凸部，所以具有這種結構的電晶體 160 被稱為 FIN 型電晶體。另外，也可以以與凸部的上部接觸的方式具有用作用來形成凸部的遮罩的絕緣膜。此外，雖然在此示出對半導體基板的一部分進行加工來形成凸部的情況，但是也可以對 SOI 基板進行加工來形成具有凸形狀的半導體膜。

[0068]

[第一絕緣膜]

以覆蓋第一電晶體 110 的方式依次層疊有絕緣膜 121、絕緣膜 122 及絕緣膜 123。

[0069] 當將矽類半導體材料用於半導體膜 112 時，

絕緣膜 122 較佳為含有氫。藉由將含有氫的絕緣膜 122 設置在第一電晶體 110 上而進行加熱處理，由絕緣膜 122 中的氫終結半導體膜 112 中的懸空鍵，由此可以提高第一電晶體 110 的可靠性。

[0070] 將絕緣膜 123 用作使因設置在其下層的第一電晶體 110 等而產生的步階平坦化的平坦化膜。為了提高絕緣膜 123 的頂面的平坦性，其頂面也可以藉由利用化學機械拋光法等平坦化處理被平坦化。

[0071] 另外，也可以在絕緣膜 121、絕緣膜 122、絕緣膜 123 中埋入有與低電阻層 113a 或低電阻層 113b 等電連接的插頭 161、與第一電晶體 110 的閘極電極 115 電連接的插頭 162 等。此外，在本說明書等中，電極和電連接到該電極的佈線也可以是一個構成要素。就是說，有時佈線的一部分用作電極，有時電極的一部分用作佈線。

[0072] 包括絕緣膜 121、絕緣膜 122、絕緣膜 123 的結構相當於上述疊層結構 10 中的第一絕緣膜 21。

[0073]

[第一佈線層]

在絕緣膜 123 的上部設置有佈線 131、佈線 132 及佈線 133 等。

[0074] 佈線 131 與插頭 161 電連接。另外，佈線 133 與插頭 162 電連接。

[0075] 在此，包括佈線 131、佈線 132 及佈線 133 等的結構相當於上述疊層結構 10 中的第一佈線層 31。

[0076] 作為佈線 131、佈線 132 及佈線 133 等的材料，可以使用金屬材料、合金材料或金屬氧化物材料等導電材料。較佳為使用同時實現耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。

[0077] 另外，較佳的是，佈線 131、佈線 132 及佈線 133 等以埋入在絕緣膜 124 中的方式設置，並且絕緣膜 124、佈線 131、佈線 132 及佈線 133 等的各頂面被平坦化。

[0078]

[障壁膜]

障壁膜 120 以覆蓋絕緣膜 124、佈線 131、佈線 132 及佈線 133 等的頂面的方式設置。障壁膜 120 相當於上述疊層結構 10 中的障壁膜 41。關於障壁膜 120 的材料可以援用上述障壁膜 41 的記載。

[0079] 另外，障壁膜 120 具有用來將佈線 132 與後面說明的佈線 141 電連接的開口。

[0080]

[第二佈線層]

在障壁膜 120 上設置有佈線 141。包括佈線 141 的結構相當於上述疊層結構 10 中的第二佈線層 32。

[0081] 佈線 141 隔著形成在障壁膜 120 中的開口與佈線 132 電連接。佈線 141 的一部分以與後面說明的第二電晶體 100 的通道形成區域重疊的方式設置，並且用作第二電晶體 100 的第二閘極電極。

[0082] 另外，如圖 4A 所示，也可以作為第二電晶體 100 的第二閘極電極使用佈線 132。

[0083] 在此，作為構成佈線 141 等的材料，可以使用金屬材料、合金材料或金屬氧化物材料等導電材料。尤其是，在需要耐熱性的情況下，較佳為使用鎢或鉬等高熔點材料。另外，在考慮到導電性的情況下，較佳為使用低電阻的金屬材料或合金材料，可以使用鋁、鉻、銅、鈦、鈦等金屬材料或包含該金屬材料的合金材料的單層或疊層。

[0084] 另外，作為構成佈線 141 等的材料，較佳為使用包含磷、硼、碳、氮或過渡金屬元素等主要成分之外的元素的金屬氧化物。這種金屬氧化物可以實現高導電性。例如，可以使用 In-Ga 類氧化物、In-Zn 類氧化物、In-M-Zn 類氧化物（M 為 Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf）等金屬氧化物包含上述元素而提高導電性的材料。再者，因為這種金屬氧化物不容易使氧透過，所以使用包含這種材料的佈線 141 填充形成在障壁膜 120 中的開口，可以抑制當對後面說明的絕緣膜 125 進行加熱處理時被釋放的氧擴散到障壁膜 120 的下方。其結果，可以增大可能從絕緣膜 125 被釋放而供應到第二電晶體 100 的半導體膜的氧量。

[0085] 另外，如圖 4B 所示，也可以設置與佈線 141 同時形成且與它們同時被蝕刻的佈線 141a、佈線 141b。佈線 141a、佈線 141b 與佈線 131、佈線 133 等連接。

[0086]

[第二絕緣層]

以覆蓋障壁膜 120、佈線 141 的方式設置有絕緣膜 125。在此，包括絕緣膜 125 的區域相當於上述疊層結構 10 中的第二絕緣膜 22。

[0087] 較佳的是，絕緣膜 125 的頂面藉由上述平坦化處理被平坦化。

[0088] 作為絕緣膜 125，較佳為使用藉由加熱使一部分氧脫離的氧化物材料。

[0089] 作為藉由加熱使氧脫離的氧化物材料，較佳為使用其氧含量超過化學計量組成的氧化物。在其氧含量超過化學計量組成的氧化物膜中，藉由加熱使一部分氧脫離。其氧含量超過化學計量組成的氧化物膜是在 TDS 分析中，換成為氧原子的氧的脫離量為 $1.0 \times 10^{18} \text{atoms/cm}^3$ 以上，較佳為 $3.0 \times 10^{20} \text{atoms/cm}^3$ 以上的氧化物膜。注意，上述 TDS 分析時的膜的表面溫度較佳為 100°C 以上且 700°C 以下或 100°C 以上且 500°C 以下。

[0090] 例如，作為這種材料，較佳為使用包含氧化矽或氧氮化矽的材料。另外，也可以使用金屬氧化物。注意，在本說明書中，“氧氮化矽”是指在其組成中氧含量多於氮含量的材料，而“氮氧化矽”是指在其組成中氮含量多於氧含量的材料。

[0091]

[第二層]

在絕緣膜 125 的上部設置有第二電晶體 100。包括第二電晶體 100 的結構相當於上述疊層結構 10 中的第二層 12。

[0092] 第二電晶體 100 包括：接觸於絕緣膜 125 的頂面的氧化物膜 101a；接觸於氧化物膜 101a 的頂面的半導體膜 102；接觸於半導體膜 102 的頂面且在重疊於半導體膜 102 的區域彼此分開的電極 103a 及電極 103b；接觸於半導體膜 102 的頂面的氧化物膜 101b；氧化物膜 101b 上的閘極絕緣膜 104；以及隔著閘極絕緣膜 104 及氧化物膜 101b 重疊於半導體膜 102 的閘極電極 105a、閘極電極 105b。另外，以覆蓋第二電晶體 100 的方式設置有絕緣膜 107、絕緣膜 108 及絕緣膜 126。

[0093] 另外，電極 103a（及/或電極 103b）的至少一部分（或全部）設置在半導體膜 102（及/或氧化物膜 101a）等半導體膜的表面、側面、頂面及/或下面的至少一部分（或全部）。

[0094] 另外，電極 103a（及/或電極 103b）的至少一部分（或全部）與半導體膜 102（及/或氧化物膜 101a）等半導體膜的表面、側面、頂面及/或下面的至少一部分（或全部）接觸。此外，電極 103a（及/或電極 103b）的至少一部分（或全部）與半導體膜 102（及/或氧化物膜 101a）等半導體層的至少一部分（或全部）接觸。

[0095] 另外，電極 103a（及/或電極 103b）的至少一部分（或全部）與半導體膜 102（及/或氧化物膜 101a）

等半導體膜的表面、側面、頂面及/或下面的至少一部分（或全部）電連接。此外，電極 103a（及/或電極 103b）的至少一部分（或全部）與半導體膜 102（及/或氧化物膜 101a）等半導體層的至少一部分（或全部）電連接。

[0096] 另外，電極 103a（及/或電極 103b）的至少一部分（或全部）設置在半導體膜 102（及/或氧化物膜 101a）等半導體膜的表面、側面、頂面及/或下面的至少一部分（或全部）的附近。此外，電極 103a（及/或電極 103b）的至少一部分（或全部）設置在半導體膜 102（及/或氧化物膜 101a）等半導體層的至少一部分（或全部）的附近。

[0097] 另外，電極 103a（及/或電極 103b）的至少一部分（或全部）設置在半導體膜 102（及/或氧化物膜 101a）等半導體膜的表面、側面、頂面及/或下面的至少一部分（或全部）的橫方向上。此外，電極 103a（及/或電極 103b）的至少一部分（或全部）設置在半導體膜 102（及/或氧化物膜 101a）等半導體層的至少一部分（或全部）的橫方向上。

[0098] 另外，電極 103a（及/或電極 103b）的至少一部分（或全部）設置在半導體膜 102（及/或氧化物膜 101a）等半導體膜的表面、側面、頂面及/或下面的至少一部分（或全部）的斜上方。此外，電極 103a（及/或電極 103b）的至少一部分（或全部）設置在半導體膜 102（及/或氧化物膜 101a）等半導體層的至少一部分（或全

部)的斜上方。

[0099] 另外，電極 103a (及/或電極 103b) 的至少一部分 (或全部) 設置在半導體膜 102 (及/或氧化物膜 101a) 等半導體膜的表面、側面、頂面及/或下面的至少一部分 (或全部) 的上方。此外，電極 103a (及/或電極 103b) 的至少一部分 (或全部) 設置在半導體膜 102 (及/或氧化物膜 101a) 等的半導體層的至少一部分 (或全部) 的上方。

[0100] 半導體膜 102 也可以在通道形成區域中包含矽類半導體等半導體。尤其是，半導體膜 102 較佳為包含能帶間隙比矽寬的半導體。較佳的是，半導體膜 102 包含氧化物半導體。藉由使用能帶間隙比矽寬且載子密度小的半導體材料，可以降低電晶體的關閉狀態 (off-state) 時的電流，所以是較佳的。

[0101] 例如，較佳的是，作為上述氧化物半導體至少包含銦 (In) 或鋅 (Zn)。更佳的是，氧化物半導體包含以 In-M-Zn 類氧化物 (M 是 Al、Ti、Ga、Ge、Y、Zr、Sn、La、Ce 或 Hf 等金屬) 表示的氧化物。

[0102] 尤其是，作為半導體膜，較佳為使用如下氧化物半導體膜：具有多個結晶部，該結晶部的 c 軸朝向垂直於半導體膜的被形成面或半導體膜的頂面的方向，並且在相鄰的結晶部間不具有晶界。

[0103] 藉由作為半導體膜使用上述材料，可以實現電特性的變動被抑制的可靠性高的電晶體。

[0104] 注意，在後面的實施方式中詳細地說明能夠適用於半導體膜的氧化物半導體的較佳的方式及其形成方法。

[0105] 較佳的是，本發明的一個方式的半導體裝置在氧化物半導體膜與重疊於該氧化物半導體膜的絕緣膜之間包括作為構成元素包含構成氧化物半導體膜的金屬元素中的至少一種金屬元素的氧化物膜。由此，可以抑制氧化物半導體膜與重疊於該氧化物半導體膜的絕緣膜之間的介面形成陷阱能階。

[0106] 就是說，在本發明的一個方式中，較佳的是，氧化物半導體膜中的通道形成區域的至少頂面及底面接觸於被用作防止形成與氧化物半導體膜之間的介面態的障壁膜的氧化物膜。藉由採用這種結構，可以抑制在氧化物半導體膜中及與氧化物半導體膜之間的介面生成成為載子的生成要因的氧缺陷並抑制雜質混入，所以可以使氧化物半導體膜高純度本質化。高純度本質化是指使氧化物半導體膜本質化或實質上本質化。因此，可以抑制包括該氧化物半導體膜的電晶體的電特性變動，可以提供一種可靠性高的半導體裝置。

[0107] 注意，在本說明書等中，實質上本質是指氧化物半導體膜的載子密度低於 $1 \times 10^{17}/\text{cm}^3$ 、低於 $1 \times 10^{15}/\text{cm}^3$ 或低於 $1 \times 10^{13}/\text{cm}^3$ 的狀態。藉由使氧化物半導體膜高純度本質化，可以對電晶體賦予穩定的電特性。

[0108] 氧化物膜 101a 設置在絕緣膜 125 與半導體膜

102 之間。

[0109] 氧化物膜 101b 設置在半導體膜 102 與閘極絕緣膜 104 之間。更明確而言，氧化物膜 101b 以其底面與電極 103a 及電極 103b 的頂面接觸且其頂面與閘極絕緣膜 104 的底面接觸的方式設置。

[0110] 氧化物膜 101a 及氧化物膜 101b 都包含含有與半導體膜 102 相同的金屬元素中的一種以上的氧化物。

[0111] 注意，有時半導體膜 102 與氧化物膜 101a 的邊界或半導體膜 102 與氧化物膜 101b 的邊界不明確。

[0112] 例如，作為氧化物膜 101a 及氧化物膜 101b，使用如下材料：包含 In 或 Ga，典型為 In-Ga 類氧化物、In-Zn 類氧化物、In-M-Zn 類氧化物（M 為 Al、Ti、Ga、Y、Zr、La、Ce、Nd 或 Hf），並且其導帶底能量比半導體膜 102 更近於真空能階。典型的是，氧化物膜 101a 或氧化物膜 101b 的導帶底的能量與半導體膜 102 的導帶底的能量的差異較佳為 0.05eV 以上、0.07eV 以上、0.1eV 以上或 0.15eV 以上，且 2eV 以下、1eV 以下、0.5eV 以下或 0.4eV 以下。

[0113] 藉由將用作穩定劑的 Ga 的含量比半導體膜 102 多的氧化物用於以夾著半導體膜 102 的方式設置的氧化物膜 101a 及氧化物膜 101b，可以抑制氧從半導體膜 102 被釋放。

[0114] 作為半導體膜 102，例如當使用原子個數比為 In:Ga:Zn=1:1:1 或 3:1:2 的 In-Ga-Zn 類氧化物時，作為氧

化物膜 101a 或氧化物膜 101b，例如可以使用原子個數比為 $\text{In:Ga:Zn}=1:3:2$ 、 $1:3:4$ 、 $1:3:6$ 、 $1:6:4$ 、 $1:6:8$ 、 $1:6:10$ 或 $1:9:6$ 等的 In-Ga-Zn 類氧化物。此外，半導體膜 102、氧化物膜 101a 及氧化物膜 101b 的原子個數比分別包括上述原子個數比的 $\pm 20\%$ 的變動的誤差。此外，氧化物膜 101a 及氧化物膜 101b 既可以使用相同的組成的材料形成，又可以使用不同的組成的材料形成。

[0115] 此外，當作為半導體膜 102 使用 In-M-Zn 類氧化物時，作為用來形成成為半導體膜 102 的半導體膜的靶材，當將該靶材所包含的金屬元素的原子個數比設定為 $\text{In:M:Zn}=\text{x}_1:\text{y}_1:\text{z}_1$ 時，較佳為使用如下原子個數比的氧化物： x_1/y_1 的值為 $1/3$ 以上且 6 以下，較佳為 1 以上且 6 以下， z_1/y_1 的值為 $1/3$ 以上且 6 以下，較佳為 1 以上且 6 以下。另外，藉由將 z_1/y_1 設定為 6 以下，可以使後面所述的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子個數比的典型例子，可以舉出 $\text{In:M:Zn}=1:1:1$ 、 $3:1:2$ 等。

[0116] 此外，當作為氧化物膜 101a、氧化物膜 101b 使用 In-M-Zn 類氧化物時，作為用來形成成為氧化物膜 101a、氧化物膜 101b 的氧化物膜的靶材，當將該靶材所包含的金屬元素的原子個數比設定為 $\text{In:M:Zn}=\text{x}_2:\text{y}_2:\text{z}_2$ 時，較佳為使用如下原子個數比的氧化物： $\text{x}_2/\text{y}_2 < \text{x}_1/\text{y}_1$ ， z_2/y_2 的值為 $1/3$ 以上且 6 以下，較佳為 1 以上且 6 以下。另外，藉由將 z_2/y_2 設定為 6 以下，可以使後面所述的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子個數

比的典型例子，可以舉出 $\text{In:M:Zn}=1:3:4$ 、 $1:3:6$ 、 $1:3:8$ 等。

[0117] 另外，藉由將導帶底能量比半導體膜 102 離真空能階近的材料用於氧化物膜 101a 及氧化物膜 101b，主要在半導體膜 102 中形成通道，半導體膜 102 成為主要的電流路徑。如上所述，藉由將形成有通道的半導體膜 102 夾在包含相同的金屬元素的氧化物膜 101a 與氧化物膜 101b 之間，介面態的生成得到抑制，而電晶體的電特性的可靠性得到提高。

[0118] 注意，不侷限於上述記載，可以根據所需的電晶體的半導體特性及電特性（場效移動率、臨界電壓等）使用具有適當的組成的材料。另外，較佳的是，適當地設定半導體膜 102、氧化物膜 101a、氧化物膜 101b 的載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子個數比、原子間距離、密度等，以得到所需的電晶體的半導體特性。

[0119] 在此，在氧化物膜 101a 與半導體膜 102 之間有時存在氧化物膜 101a 和半導體膜 102 的混合區域。另外，在半導體膜 102 與氧化物膜 101b 之間有時存在半導體膜 102 和氧化物膜 101b 的混合區域。混合區域的介面態密度低。因此，在氧化物膜 101a、半導體膜 102 及氧化物膜 101b 的疊層體具有各層之間的介面附近的能量連續地變化（也稱為連接結合）的能帶結構。

[0120] 在此，對能帶結構進行說明。為了容易理

解，關於能帶結構，示出絕緣膜 125、氧化物膜 101a、半導體膜 102、氧化物膜 101b 及閘極絕緣膜 104 的導帶底的能量 (E_c)。

[0121] 如圖 5A、圖 5B 所示，在氧化物膜 101a、半導體膜 102、氧化物膜 101b 中，導帶底的能量連續地變化。這從由於氧化物膜 101a、半導體膜 102、氧化物膜 101b 的構成元素相同，氧容易互相擴散的事實，也可以得到理解。由此可以說，雖然氧化物膜 101a、半導體膜 102、氧化物膜 101b 是組成互不相同的疊層體，但是在物性上是連續的。

[0122] 主要成分相同而層疊的氧化物膜不是簡單地將各層層疊，而以形成連續結合（在此，尤其是指各層之間的導帶底的能量連續地變化的 U 字形井結構）的方式形成。換言之，以在各層的介面之間不存在會形成捕獲中心或再結合中心等缺陷態的雜質的方式形成疊層結構。如果，雜質混入被層疊的多層膜的層間，能帶則失去連續性，因此載子在介面被俘獲或者再結合而消失。

[0123] 注意，圖 5A 示出氧化物膜 101a 的 E_c 與氧化物膜 101b 的 E_c 相同的情況，但是也可以相互不同。例如，當氧化物膜 101b 的 E_c 具有比氧化物膜 101a 的 E_c 高的能量時，能帶結構的一部分表示為圖 5B 所示的能帶結構。

[0124] 從圖 5A 和圖 5B 可知，半導體膜 102 成為井 (well)，在第二電晶體 100 的半導體膜 102 中形成通

道。另外，由於在氧化物膜 101a、半導體膜 102 及氧化物膜 101b 中導帶底的能量連續地變化，因此也可以說氧化物疊層中的能量具有 U 字形井（U-shaped Well）。另外，也可以將具有上述結構的通道稱為埋入通道。

[0125] 另外，雖然在氧化物膜 101a 與氧化矽膜等絕緣膜之間以及氧化物膜 101b 與氧化矽膜等絕緣膜之間的介面附近有可能形成起因於雜質或缺陷的陷阱能階，但是藉由設置氧化物膜 101a 及氧化物膜 101b，可以使半導體膜 102 離該陷阱能階較遠。注意，當氧化物膜 101a 的 E_c 與半導體膜 102 的 E_c 之間或氧化物膜 101b 的 E_c 與半導體膜 102 的 E_c 之間的能量差小時，有時半導體膜 102 的電子越過該能量差到達陷阱能階。電子被陷阱能階俘獲，使得在絕緣膜的介面產生負的固定電荷，這導致電晶體的臨界電壓漂移到正的方向。

[0126] 因此，為了降低電晶體的臨界電壓的變動，需要使氧化物膜 101a 的 E_c 與半導體膜 102 的 E_c 之間及氧化物膜 101b 的 E_c 與半導體膜 102 的 E_c 之間產生能量差。該能量差都較佳為 0.1eV 以上，更佳為 0.15eV 以上。

[0127] 另外，較佳的是，氧化物膜 101a、半導體膜 102 及氧化物膜 101b 包含結晶部。尤其是，藉由使用 c 軸配向結晶，能夠對電晶體賦予穩定的電特性。

[0128] 另外，在圖 5B 所示的能帶結構中，也可以在半導體膜 102 與閘極絕緣膜 104 之間設置 In-Ga 氧化物

(例如，原子數比為 $\text{In} : \text{Ga} = 7 : 93$) 而不設置氧化物膜 101b。

[0129] 作為半導體膜 102，使用電子親和力比氧化物膜 101a 及氧化物膜 101b 大的氧化物。例如，作為半導體膜 102，使用電子親和力比氧化物膜 101a 及氧化物膜 101b 大 0.07eV 以上且 1.3eV 以下，較佳為大 0.1eV 以上且 0.7eV 以下，更佳為大 0.15eV 以上且 0.4eV 以下的氧化物。注意，電子親和力是指真空能階與導帶底的能量之間的差異。

[0130] 在此，半導體膜 102 的厚度至少比氧化物膜 101a 厚是較佳的。半導體膜 102 越厚，可以越提高電晶體的通態電流。另外，氧化物膜 101a 只要具有抑制生成與半導體膜 102 之間的介面態的效果的程度的厚度即可。例如，可以將半導體膜 102 的厚度設定為大於氧化物膜 101a 的厚度，較佳為氧化物膜 101a 的厚度的 2 倍以上，更佳為 4 倍以上，進一步較佳為 6 倍以上。注意，在不需提高電晶體的通態電流的情況下不侷限於此，也可以將氧化物膜 101a 的厚度設定為半導體膜 102 的厚度以上。

[0131] 另外，與氧化物膜 101a 同樣，氧化物膜 101b 也只要具有抑制生成與半導體膜 102 之間的介面態的效果不被失去的程度的厚度即可。例如，可以將氧化物膜 101b 的厚度設定為與氧化物膜 101a 同等或其以下的厚度。在氧化物膜 101b 厚時，有可能來自閘極電極的電場不容易施加到半導體膜 102，所以氧化物膜 101b 較佳為

薄。例如，使氧化物膜 101b 的厚度比半導體膜 102 的厚度薄。另外，不侷限於此，考慮閘極絕緣膜 104 的耐壓，根據驅動電晶體的電壓適當地設定氧化物膜 101b 的厚度即可。

[0132] 這裡，例如在半導體膜 102 接觸於其構成要素與半導體膜 102 不同的絕緣膜（例如，包含氧化矽膜的絕緣膜等）的情況下，在兩層之間的介面會形成介面態，該介面態有可能形成通道。在此情況下，有可能出現具有不同臨界電壓的第二電晶體，而使電晶體的外觀上的臨界電壓發生變動。然而，由於在本結構的電晶體中氧化物膜 101a 包含一種以上的構成半導體膜 102 的金屬元素，因此在氧化物膜 101a 與半導體膜 102 之間的介面不容易形成介面態。因而，藉由設置氧化物膜 101a，可以降低電晶體的臨界電壓等電特性的不均勻或變動。

[0133] 另外，當在閘極絕緣膜 104 與半導體膜 102 之間的介面形成通道時，有時在該介面產生介面散射而使電晶體的場效移動率下降。然而，由於在本結構的電晶體中氧化物膜 101b 包含一種以上的構成半導體膜 102 的金屬元素，因此半導體膜 102 與氧化物膜 101b 之間的介面不容易產生載子散射，而可以提高電晶體的場效移動率。

[0134] 電極 103a 和電極 103b 中的一個用作源極電極，另一個用作汲極電極。

[0135] 電極 103a 藉由插頭 163a、佈線 167a、插頭

163b 及電極 170 與佈線 131 電連接。另外，電極 103b 藉由插頭 164a、佈線 167b、插頭 164b 及電極 171 與佈線 133 電連接。

[0136] 電極 103a 及電極 103b 使用鋁、鈦、鉻、鎳、銅、鈮、銦、銦、鉍、銀、鉭或鎢等金屬或以這些元素為主要成分的合金以單層結構或疊層結構形成。例如，可以舉出包含矽的鋁膜的單層結構、在鈦膜上層疊鋁膜的兩層結構、在鎢膜上層疊鋁膜的兩層結構、在銅-鎂-鋁合金膜上層疊銅膜的兩層結構、在鈦膜上層疊銅膜的兩層結構、在鎢膜上層疊銅膜的兩層結構、依次層疊鈦膜或氮化鈦膜、鋁膜或銅膜以及鈦膜或氮化鈦膜的三層結構、以及依次層疊鉬膜或氮化鉬膜、鋁膜或銅膜以及鉬膜或氮化鉬膜的三層結構等。另外，也可以使用包含氧化銮、氧化錫或氧化鋅的透明導電材料。

[0137] 作為閘極絕緣膜 104，例如可以使用包含氧化矽、氧氮化矽、氮氧化矽、氧化鋁、氧化鉛、氧化鉭、氧化銦、銦鈦酸鉛（PZT）、鈦酸鋇（ SrTiO_3 ）或（Ba, Sr） TiO_3 （BST）等所謂的 high-k 材料的絕緣膜的單層或疊層。另外，例如也可以對這些絕緣膜添加氧化鋁、氧化鈹、氧化銻、氧化鋯、氧化矽、氧化鈦、氧化鎢、氧化鈮、氧化銦。此外，也可以對這些絕緣膜進行氮化處理。還可以在上述絕緣膜上層疊氧化矽、氧氮化矽或氮化矽。

[0138] 另外，與絕緣膜 125 同樣，作為閘極絕緣膜 104 較佳為使用其氧含量超過化學計量組成的氧化物絕緣

膜。

[0139] 此外，藉由將特定的材料用於閘極絕緣膜，在特定的條件下閘極絕緣膜俘獲電子，由此可以增大臨界電壓。例如，如氧化矽及氧化鉛的疊層膜那樣，作為閘極絕緣膜的一部分使用氧化鉛、氧化鋁、氧化鉍等電子俘獲能階多的材料，在更高溫度（比半導體裝置的使用溫度或保管溫度高的溫度、或者 125°C 以上且 450°C 以下，典型的是 150°C 以上且 300°C 以下）下，將閘極電極的電位保持為高於源極電極或汲極電極的電位的狀態 1 秒以上，典型的是 1 分鐘以上，電子從半導體膜向閘極電極移動，其一部分被電子俘獲能階俘獲。

[0140] 像這樣，使電子俘獲能階俘獲所需要的電子的電晶體的臨界電壓向正一側漂移。藉由控制閘極電極的電壓可以控制電子的俘獲量，由此可以控制臨界電壓。另外，俘獲電子的處理在電晶體的製造過程中進行即可。

[0141] 例如，在形成與電晶體的源極電極或汲極電極連接的佈線之後、前製程（晶圓處理）結束之後、晶圓切割製程之後或者封裝之後等發貨之前的任一個步驟進行俘獲電子的處理即可。不管在上述哪一種情況下，都在該處理之後不將電晶體放置在 125°C 以上的溫度下 1 小時以上是較佳的。

[0142] 閘極電極 105a、閘極電極 105b 例如可以使用選自鋁、鉻、銅、鉍、鈦、鉬、鎢中的金屬、以上述金屬為成分的合金或組合上述金屬元素的合金等而形成。另

外，也可以使用選自錳、鋯中的一個或多個的金屬。此外，也可以使用以摻雜有磷等雜質元素的多晶矽為代表的半導體、鎳矽化物等矽化物。例如，可以舉出在鋁膜上層疊鈦膜的雙層結構、在氮化鈦膜上層疊鈦膜的雙層結構、在氮化鈦膜上層疊鎢膜的雙層結構、在氮化鈦膜或氮化鎢膜上層疊鎢膜的雙層結構以及依次層疊鈦膜、該鈦膜上的鋁膜和其上的鈦膜的三層結構等。此外，也可以使用組合鋁與選自鈦、鈮、鎢、鉬、鉻、釷、釷中的一種或多種的合金膜或氮化膜。

[0143] 另外，閘極電極 105a、閘極電極 105b 也可以使用銮錫氧化物、包含氧化鎢的銮氧化物、包含氧化鎢的銮鋅氧化物、包含氧化鈦的銮氧化物、包含氧化鈦的銮錫氧化物、銮鋅氧化物、添加有氧化矽的銮錫氧化物等透光導電材料。此外，也可以採用上述透光導電材料與上述金屬的疊層結構。

[0144] 成為閘極電極 105a 的導電膜可以被用作在閘極絕緣膜 104、氧化物膜 101b、絕緣膜 125 及障壁膜 120 中形成開口時的遮罩。另外，該導電膜具有控制閘極電極的功函數的功能。

[0145] 此外，使用成為閘極電極 105a 的導電膜形成接觸於電極 170 的導電膜 170a、接觸於電極 171 的導電膜 171a。

[0146] 另外，閘極電極 105b、電極 170 及電極 171 在相同的製程中使用相同的材料形成。此外，閘極電極

105b 的頂面的高度、電極 170 的頂面的高度及電極 171 的頂面的高度一致。注意，在此，“一致”是指作為基準的頂面的高度與其他頂面的高度的偏差為 $\pm 20\%$ 以下，較佳為 $\pm 10\%$ 以下，更佳為 $\pm 5\%$ 以下。

[0147] 當在絕緣膜 126、絕緣膜 107、絕緣膜 108、閘極絕緣膜 104、氧化物膜 101b、絕緣膜 125 及障壁膜 120 中同時形成開口時，開口的深度變深，所以難以進行加工。但是，在本發明的一個方式中，藉由分割開口（明確而言，分割成形成在閘極絕緣膜 104、氧化物膜 101b、絕緣膜 125 和障壁膜 120 中的開口以及形成在絕緣膜 126、絕緣膜 107 和絕緣膜 108 中的開口），可以抑制佈線或電極的接觸部的形狀異常。

[0148] 另外，可以在閘極電極 105a 和閘極絕緣膜 104 之間設置 In-Ga-Zn 類氧氮化物半導體膜、In-Sn 類氧氮化物半導體膜、In-Ga 類氧氮化物半導體膜、In-Zn 類氧氮化物半導體膜、Sn 類氧氮化物半導體膜、In 類氧氮化物半導體膜、金屬氮化膜（InN、ZnN 等）等。由於上述膜具有 5eV 以上，較佳為 5.5eV 以上的功函數，所以可以使電晶體的臨界電壓向正方向漂移，從而可以實現所謂常閉特性的切換元件。例如，在使用 In-Ga-Zn 類氧氮化物半導體膜的情況下，使用氮濃度至少高於半導體膜 102，具體為 $7\text{at.}\%$ 以上的 In-Ga-Zn 類氧氮化物半導體膜。

[0149] 另外，在閘極電極 105b 上形成絕緣膜 106，在電極 170 上形成絕緣膜 174，並且在電極 171 上形成絕

緣膜 175。

[0150] 與障壁膜 120 同樣，作為絕緣膜 107 較佳為使用水或氫不容易擴散的材料。另外，尤其是，作為絕緣膜 107 較佳為使用不容易使氧透過的材料。

[0151] 藉由由包含不容易使氧透過的材料的絕緣膜 107 覆蓋半導體膜 102，可以抑制氧從半導體膜 102 釋放到絕緣膜 107 的上方。再者，可以使從絕緣膜 125 脫離的氧封閉在絕緣膜 107 的下側，所以可以增大可能供應到半導體膜 102 的氧量。

[0152] 另外，藉由不容易使水或氫透過的絕緣膜 107，可以抑制從外部混入對氧化物半導體來說是雜質的水或氫，而第二電晶體 100 的電特性變動得到抑制，因此可以實現可靠性高的電晶體。

[0153] 另外，也可以在絕緣膜 107 的下側設置與絕緣膜 125 同樣的藉由加熱使氧脫離的絕緣膜，藉由閘極絕緣膜 104 從半導體膜 102 的上側也供應氧。

[0154] 在此，示出可以應用於第二電晶體 100 的電晶體的結構實例。圖 6A 是以下所例示的電晶體的頂面示意圖，圖 6B、圖 6C 分別是沿著圖 6A 中的切斷線 A1-A2、B1-B2 切斷時的剖面示意圖。另外，圖 6B 相當於電晶體的通道長度方向上的剖面，圖 6C 相當於電晶體的通道寬度方向上的剖面。

[0155] 另外，如圖 6C 所示，藉由在電晶體的通道寬度方向上的剖面中閘極電極與半導體膜 102 的頂面及側面

對置，不但在半導體膜 102 的頂面附近，而且在側面附近也形成通道，實效的通道寬度增大，可以增高開啟狀態下的電流（通態電流）。尤其是，在半導體膜 102 的寬度極小（例如，50nm 以下，較佳為 30nm 以下，更佳為 20nm 以下）的情況下，形成通道的區域擴散到半導體膜 102 的內部；因此，越進行微型化，越有助於通態電流。

[0156] 另外，如圖 7A、圖 7B、圖 7C 所示，也可以縮小閘極電極 105b 的寬度。在此情況下，例如，也可以以電極 103a、電極 103b 和閘極電極 105b 等為遮罩對半導體膜 102 等引入氫、氫、磷、硼等雜質。其結果，也可以在半導體膜 102 等中設置低電阻區域 109a、109b。另外，不一定必須要設置低電阻區域 109a、109b。此外，不但在圖 6A 至圖 6C 中，而且在其他圖式中也可以縮小閘極電極 105b 的寬度。

[0157] 圖 8A 和圖 8B 所示的電晶體與圖 3A 至圖 3B 所例示的電晶體之間的不同之處主要在於：在圖 8A 和圖 8B 所示的電晶體中，氧化物膜 101b 接觸於電極 103a 及電極 103b 的底面。

[0158] 藉由採用這種結構，當形成構成氧化物膜 101a、半導體膜 102 及氧化物膜 101b 的各膜時，不接觸於大氣且連續地進行成膜，所以可以降低各膜之間的介面缺陷。

[0159] 另外，雖然上面說明以與半導體膜 102 接觸的方式設置氧化物膜 101a 及氧化物膜 101b 的結構，但是

也可以採用不設置氧化物膜 101a 和氧化物膜 101b 中的一個或兩個的結構。

[0160] 另外，與圖 6A 至圖 6C 同樣，在圖 8A 和圖 8B 中也可以縮小閘極電極 105b 的寬度。圖 9A 和圖 9B 示出此時的例子。此外，不但在圖 6A 至圖 6C 及圖 8A 和圖 8B 中，而且在其他圖式中也可以縮小閘極電極 105b 的寬度。

[0161] 圖 10A 和圖 10B 示出不設置氧化物膜 101a 和氧化物膜 101b 的例子。另外，圖 11A 和圖 11B 示出設置氧化物膜 101a 且不設置氧化物膜 101b 的例子。此外，圖 12A 和圖 12B 示出設置氧化物膜 101b 且不設置氧化物膜 101a 的例子。

[0162] 注意，通道長度例如是指電晶體的俯視圖中的半導體（或在電晶體處於開啟狀態時，在半導體中電流流過的部分）和閘極電極重疊的區域或者形成通道的區域中的源極（源極區域或源極電極）和汲極（汲極區域或汲極電極）之間的距離。另外，在一個電晶體中，通道長度不一定在所有的區域中具有相同的值。也就是說，一個電晶體的通道長度有時不具有唯一的值。因此，在本說明書中，通道長度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0163] 通道寬度例如是指半導體（或在電晶體處於開啟狀態時，在半導體中電流流過的部分）與閘極電極重疊的區域或者形成通道的區域中的源極或汲極的寬度。另

外，在一個電晶體中，通道寬度不一定在所有的區域中具有相同的值。也就是說，一個電晶體的通道寬度有時並不固定為一個值。因此，在本說明書中，通道寬度是形成通道的區域中的任一個值、最大值、最小值或平均值。

[0164] 另外，根據電晶體的結構，有時實際上形成通道的區域中的通道寬度（下面稱為實效的通道寬度）和電晶體的俯視圖所示的通道寬度（下面稱為外觀上的通道寬度）不同。例如，在具有立體結構的電晶體中，有時因為實效的通道寬度大於電晶體的俯視圖所示的外觀上的通道寬度，所以不能忽略其影響。例如，在具有微型且立體的結構的電晶體中，有時形成在半導體的側面的通道區域的比例大於形成在半導體的頂面的通道區域的比例。在此情況下，實際上形成通道的實效的通道寬度大於俯視圖所示的外觀上的通道寬度。

[0165] 在具有立體結構的電晶體中，有時難以藉由實測估計實效的通道寬度。例如，為了根據設計值估計實效的通道寬度，需要預先知道半導體的形狀作為假定。因此，當半導體的形狀不清楚時，難以正確地測量實效的通道寬度。

[0166] 於是，在本說明書中，有時在電晶體的俯視圖中將作為半導體和閘極電極重疊的區域中的源極和汲極相對的部分的長度的外觀上的通道寬度稱為“圍繞通道寬度（SCW：Surrounded Channel Width）”。此外，在本說明書中，在簡單地表示“通道寬度”時，有時是指圍繞

通道寬度或外觀上的通道寬度。或者，在本說明書中，在簡單地表示“通道寬度”時，有時表示實效的通道寬度。注意，藉由取得剖面 TEM 影像等並對其影像進行分析等，可以決定通道長度、通道寬度、實效的通道寬度、外觀上的通道寬度、圍繞通道寬度等的值。

[0167] 另外，在藉由計算求得電晶體的場效移動率或每個通道寬度的電流值等時，有時使用圍繞通道寬度進行計算。在此情況下，有時得到與使用實效的通道寬度進行計算時不同的值。

[0168] 以上是對第二電晶體 100 的說明。

[0169] 覆蓋第二電晶體 100 的絕緣膜 126 用作覆蓋其下層的凹凸形狀的平坦化膜。另外，絕緣膜 108 也可以具有形成絕緣膜 126 時的保護膜的功能。如果不需要，則可以不設置絕緣膜 108。

[0170] 在氧化物膜 101b、閘極絕緣膜 104、絕緣膜 107、絕緣膜 108 及絕緣膜 126 中，埋入有與電極 103a 電連接的插頭 163a、插頭 163b、與電極 103b 電連接的插頭 164a、插頭 164b 等。

[0171] 另外，佈線 167a 及佈線 167b 以埋入在絕緣膜 127 中的方式設置，絕緣膜 127、佈線 167a 及佈線 167b 的頂面都被平坦化是較佳的。

[0172] 絕緣膜 137 在佈線 167b 與導電膜 138 重疊的區域中被用作電容器 130 的介電層。另外，絕緣膜 139 被用作覆蓋其下層的凹凸形狀的平坦化膜。

[0173] 在此，包括第一電晶體 110 的閘極電極 115、用作電容器 130 的第一電極的佈線 167b 及第二電晶體 100 的電極 103b 的節點相當於圖 2A 所示的節點 FN。

[0174] 因為本發明的一個方式的半導體裝置包括第一電晶體 110 以及位於第一電晶體的上方的第二電晶體 100，所以藉由層疊它們可以縮小元件所占的面積。再者，藉由設置在第一電晶體 110 與第二電晶體 100 之間的障壁膜 120，可以抑制存在於其下層的水或氫等雜質擴散到第二電晶體 100 一側。

[0175] 另外，如圖 3B 所示，也可以在包含氫的絕緣膜 122 上設置包含與障壁膜 120 同樣的材料的絕緣膜 140 的結構。藉由採用這種結構，可以有效地抑制殘留在包含氫的絕緣膜 122 中的水或氫擴散到上方。此時，在形成絕緣膜 140 之前以及在形成絕緣膜 140 之後且形成障壁膜 120 之前一共進行用來去除水或氫的加熱處理 2 次以上是較佳的。

[0176] 以上是結構實例的說明。

[0177]

[製造方法例子]

以下，參照圖 13A 至圖 16B 說明上述結構實例所示的半導體裝置的製造方法的一個例子。

[0178] 首先，準備半導體基板 111。作為半導體基板 111，例如可以使用單晶矽基板（包括 p 型半導體基板或 n 型半導體基板）、以碳化矽或氮化鎵為材料的化合物半

導體基板等。另外，作為半導體基板 111，也可以使用 SOI 基板。以下，對作為半導體基板 111 使用單晶矽的情況進行說明。

[0179] 接著，在半導體基板 111 中形成元件分離層（未圖示）。元件分離層可以利用 LOCOS（Local Oxidation of Silicon：矽局部氧化）法或 STI（Shallow Trench Isolation：淺溝槽隔離）法等形式形成。

[0180] 當在同一基板上形成 p 型電晶體和 n 型電晶體時，也可以在半導體基板 111 的一部分形成 n 井或 p 井。例如，也可以對 n 型半導體基板 111 添加賦予 p 型導電性的硼等雜質元素形成 p 井，在同一基板上形成 n 型電晶體和 p 型電晶體。

[0181] 接著，在半導體基板 111 上形成成為閘極絕緣膜 114 的絕緣膜。例如，也可以在表面氮化處理之後進行氧化處理，使矽與氮化矽之間的介面氧化而形成氧氮化矽膜。例如，在 NH_3 氛圍中以 700°C 在表面上形成熱氮化矽膜，然後進行氧自由基氧化，由此得到氧氮化矽膜。

[0182] 該絕緣膜也可以藉由濺射法、CVD（Chemical Vapor Deposition：化學氣相沉積）法（包括熱 CVD 法、MOCVD（Metal Organic CVD：有機金屬 CVD）法、PECVD（Plasma Enhanced CVD：電漿 CVD）法等）、MBE（Molecular Beam Epitaxy：分子束磊晶）法，ALD（Atomic Layer Deposition：原子層沉積）法或 PLD（Pulsed Laser Deposition：脈衝雷射沉積）法等形式形成。

[0183] 接著，形成成為閘極電極 115 的導電膜。作為導電膜，較佳為使用選自鈿、鎢、鈦、鉬、鉻、銱等的金屬或以這些金屬為主要成分的合金材料或化合物材料。另外，還可以使用添加有磷等雜質的多晶矽。此外，還可以使用金屬氮化物膜和上述金屬膜的疊層結構。作為金屬氮化物，可以使用氮化鎢、氮化鉬或氮化鈦。藉由設置金屬氮化物膜，可以提高金屬膜的緊密性，從而能夠防止剝離。另外，也可以設置控制閘極電極 115 的功函數的金屬膜。

[0184] 導電膜可以藉由濺射法、蒸鍍法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）等形成。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0185] 接著，藉由光微影法等該導電膜上形成光阻遮罩，來去除該導電膜的不需要的部分。然後，去除光阻遮罩，由此可以形成閘極電極 115。

[0186] 在此，對被加工膜的加工方法進行說明。當對被加工膜進行微細加工時，可以使用各種微細加工技術。例如，也可以採用對藉由光微影法等形成的光阻遮罩進行縮小處理的方法。另外，也可以藉由光微影法等形成假圖案，在該假圖案處形成側壁之後去除假圖案，將殘留的側壁用作光阻遮罩，對被加工膜進行蝕刻。此外，為了實現高縱橫比，作為被加工膜的蝕刻較佳為利用各向異性乾蝕刻。另外，也可以使用由無機膜或金屬膜構成的硬遮

罩。

[0187] 作為用來形成光阻遮罩的光，例如可以使用 i 線（波長 365nm）、g 線（波長 436nm）、h 線（波長 405nm）或將這些光混合的光。此外，還可以使用紫外線、KrF 雷射或 ArF 雷射等。此外，也可以利用液浸曝光技術進行曝光。作為用於曝光的光，也可以使用極紫外光（EUV：Extreme Ultra-Violet）或 X 射線。此外，代替用於曝光的光，也可以使用電子束。當使用極紫外光、X 射線或電子束時，可以進行極其精細的加工，所以是較佳的。注意，在藉由掃描電子束等而進行曝光時，不需要光罩。

[0188] 也可以在形成將成為光阻遮罩的光阻膜之前，形成具有提高被加工膜與光阻膜的密接性的功能的有機樹脂膜。可以利用旋塗法等以覆蓋其下層的步階而使其表面平坦化的方式形成該有機樹脂膜，而可以降低形成在該有機樹脂膜的上層的光阻遮罩的厚度的偏差。尤其是，在進行微細的加工時，作為該有機樹脂膜較佳為使用具有對用於曝光的光的反射防止膜的功能的材料。作為具有這種功能的有機樹脂膜，例如有 BARC（Bottom Anti Reflection Coating：底部抗反射塗料）膜等。在去除光阻遮罩的同時或在去除光阻遮罩之後去除該有機樹脂膜即可。

[0189] 在形成閘極電極 115 之後，也可以形成覆蓋閘極電極 115 的側面的側壁。在形成比閘極電極 115 的厚

度厚的絕緣膜之後，進行各向異性蝕刻，只殘留閘極電極 115 的側面部分的該絕緣膜，由此可以形成側壁。

[0190] 在形成側壁的同時，成為閘極絕緣膜 114 的絕緣膜也被蝕刻，由此在閘極電極 115 及側壁的下部形成閘極絕緣膜 114。另外，也可以在形成閘極電極 115 之後以閘極電極 115 或用來形成閘極電極 115 的光阻遮罩為蝕刻遮罩對該絕緣膜進行蝕刻，由此形成閘極絕緣膜 114。此外，也可以將該絕緣膜用作閘極絕緣膜 114 而不對該絕緣膜進行蝕刻。

[0191] 接著，對半導體基板 111 的不設置閘極電極 115（及側壁）的區域添加磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素。此時的剖面示意圖相當於圖 13A。

[0192] 接著，在形成絕緣膜 121 之後，進行用來使上述賦予導電性的元素活化的第一加熱處理。

[0193] 絕緣膜 121 例如可以利用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁等，以疊層或單層設置。絕緣膜 121 可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形式。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0194] 可以在稀有氣體或氬氣體等惰性氣體氛圍下或者在減壓氛圍下，例如以 400°C 以上且低於基板的應變點的溫度進行第一加熱處理。

[0195] 在此步驟形成了第一電晶體 110。

[0196] 下面，形成絕緣膜 122 及絕緣膜 123。

[0197] 除了能夠用於絕緣膜 121 的材料之外較佳為使用包含氧和氬的氮化矽 (SiNOH) 形成絕緣膜 122，因為可以增大藉由加熱脫離的氬量。另外，作為絕緣膜 123，除了能夠用作絕緣膜 121 的材料之外，較佳為使用使 TEOS (Tetra-Ethyl-Ortho-Silicate：四乙氧基矽烷) 或矽烷等與氧或一氧化二氮起反應而形成的步階覆蓋性良好的氧化矽。

[0198] 絕緣膜 122 及絕緣膜 123 例如可以藉由濺射法、CVD 法 (包括熱 CVD 法、MOCVD 法、PECVD 法等)、MBE 法、ALD 法或 PLD 法等形式。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0199] 接著，藉由 CMP 法等使絕緣膜 123 的頂面平坦化。

[0200] 然後，進行用來由從絕緣膜 122 脫離的氬終結半導體膜 112 中的懸空鍵的第二加熱處理。

[0201] 可以在上述疊層結構的說明所例示的條件下

進行第二加熱處理。

[0202] 接著，在絕緣膜 121、絕緣膜 122 及絕緣膜 123 中形成到達低電阻層 113a、低電阻層 113b 及閘極電極 115 等的開口。然後，以填充開口的方式形成導電膜，以使絕緣膜 123 的頂面露出的方式對該導電膜進行平坦化處理，由此形成插頭 161、插頭 162 等。例如藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形成導電膜。

[0203] 接著，在絕緣膜 123 上形成導電膜。然後，藉由與上述方法同樣的方法形成光阻遮罩，藉由蝕刻去除導電膜的不需要的部分。然後，去除光阻遮罩，由此可以形成佈線 131、佈線 132 及佈線 133。

[0204] 接著，以覆蓋佈線 131、佈線 132 及佈線 133 的方式形成絕緣膜，以使各佈線的頂面露出的方式進行平坦化處理，由此形成絕緣膜 124。此時的剖面示意圖相當於圖 13B。

[0205] 成為絕緣膜 124 的絕緣膜可以藉由使用與絕緣膜 121 等同樣的材料及方法形成。

[0206] 在形成絕緣膜 124 之後，較佳為進行第三加熱處理。藉由第三加熱處理，使各層所包含的水或氫脫離，由此可以降低水或氫的含量。在即將形成後面說明的障壁膜 120 之前進行第三加熱處理，徹底去除障壁膜 120 的下層所包含的氫或水，然後形成障壁膜 120，由此可以抑制在後面的製程中水或氫被釋放而擴散到障壁膜 120 的

下層一側。

[0207] 可以在上述疊層結構的說明所例示的條件下進行第三加熱處理。

[0208] 接著，在絕緣膜 124、佈線 131、佈線 132 及佈線 133 等上形成障壁膜 120（圖 13C）。

[0209] 障壁膜 120 例如也可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形式。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0210] 也可以在形成障壁膜 120 之後進行用來降低障壁膜 120 所包含的水或氫或者用來抑制氣體的釋放的加熱處理。

[0211] 接著，藉由與上述方法同樣的方法在障壁膜 120 上形成光阻遮罩，藉由蝕刻去除障壁膜 120 的不需要的部分。然後，去除光阻遮罩，由此形成到達佈線 132 的開口。

[0212] 接著，在障壁膜 120 上形成導電膜，然後藉由與上述方法同樣的方法形成光阻遮罩，藉由蝕刻去除導電膜的不需要的部分。然後，去除光阻遮罩，由此可以形成佈線 141（圖 13D）。

[0213] 接著，形成絕緣膜 125。

[0214] 絕緣膜 125 例如也可以藉由濺射法、CVD 法

(包括熱 CVD 法、MOCVD 法、PECVD 法等)、MBE 法、ALD 法或 PLD 法等形式。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0215] 為了使絕緣膜 125 含有過剩氧，例如，在氧氛圍下進行絕緣膜 125 的形成即可。或者，可以對成膜後的絕緣膜 125 引入氧而形成含有過剩氧的區域。或者，還可以組合上述兩種方法。

[0216] 例如，對成膜之後的絕緣膜 125 引入氧（至少包含氧自由基、氧原子、氧離子中的任一個）而形成包含過剩氧的區域。作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子佈植技術、電漿處理等。

[0217] 引入氧的處理可以使用含有氧的氣體進行。作為含有氧的氣體，可以使用氧、一氧化二氮、二氧化氮、二氧化碳及一氧化碳等。此外，在引入氧的處理中，也可以使含有氧的氣體包含稀有氣體，例如可以使用二氧化碳、氬和氙的混合氣體。

[0218] 另外，在形成絕緣膜 125 之後，為了提高頂面的平坦性，也可以進行使用 CMP 法等的平坦化處理。

[0219] 接著，依次形成成為氧化物膜 101a 的氧化物膜和成為半導體膜 102 的半導體膜。較佳的是，以不接觸於大氣的方式連續地形成該氧化物膜和半導體膜。

[0220] 在形成氧化物膜及半導體膜之後進行第四加

熱處理是較佳的。以 250°C 以上且 650°C 以下，較佳為 300°C 以上且 500°C 以下的溫度，在惰性氣體氛圍下，包含 10ppm 以上的氧化氣體的氛圍下或者減壓狀態下進行加熱處理，即可。另外，在惰性氣體氛圍下進行加熱處理之後，為了填補脫離的氧，也可以在包含 10ppm 以上的氧化氣體的氛圍下進行加熱處理。注意，加熱處理既可以在形成半導體膜之後立即進行，又可以在對半導體膜進行加工來形成島狀半導體膜 102 之後進行。藉由加熱處理，氧從絕緣膜 125 或氧化物膜供應到半導體膜，而可以減少半導體膜中的氧缺陷。

[0221] 然後，在半導體膜上形成用作硬遮罩的導電膜且藉由與上述方法同樣的方法形成光阻遮罩，藉由蝕刻去除導電膜的不需要的部分。然後，以導電膜為遮罩，藉由蝕刻去除半導體膜和氧化物膜的不需要的部分。然後去除光阻遮罩，由此可以形成島狀導電膜 103、島狀氧化物膜 101a 和島狀半導體膜 102 的疊層結構（圖 14A）。

[0222] 導電膜例如也可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形式。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該導電膜時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0223] 另外，如圖 14A 所示，當對氧化物膜及半導體膜進行蝕刻時，絕緣膜 125 的一部分被蝕刻，而絕緣膜

125 中的不被氧化物膜 101a 及半導體膜 102 覆蓋的區域有時薄膜化。因此，較佳的是，預先形成厚度較厚的絕緣膜 125，以便防止該蝕刻導致的絕緣膜 125 的消失。

[0224] 接著，藉由與上述方法同樣的方法在導電膜 103 上形成光阻遮罩，藉由蝕刻去除導電膜 103 的不需要的部分。然後，去除光阻遮罩，由此可以形成電極 103a 及電極 103b。然後，形成氧化物膜 101b 及閘極絕緣膜 104（圖 14B）。

[0225] 接著，藉由與上述方法同樣的方法，在閘極絕緣膜 104 上形成光阻遮罩，使用該遮罩在閘極絕緣膜 104、氧化物膜 101b、絕緣膜 125 及障壁膜 120 中形成到達佈線 131 及佈線 133 等的開口。然後，形成導電膜 165（圖 14C）。另外，導電膜 165 用作控制後面形成的閘極電極的功函數的膜。

[0226] 接著，以填充開口的方式形成藉由 CMP 法等使其頂面平坦化的導電膜 166（圖 15A）。

[0227] 接著，在導電膜 166 上形成絕緣膜，藉由與上述方法同樣的方法在絕緣膜上形成光阻遮罩，藉由蝕刻去除絕緣膜的不需要的部分，由此形成絕緣膜 106、絕緣膜 174 及絕緣膜 175。以絕緣膜 106、絕緣膜 174 及絕緣膜 175 為遮罩藉由蝕刻去除導電膜 165 及導電膜 166 的不需要的部分，由此形成閘極電極 105a、閘極電極 105b、導電膜 170a、電極 170、導電膜 171a 及電極 171。另外，光阻遮罩在形成絕緣膜 106、絕緣膜 174 及絕緣膜 175 之

後或者在形成閘極電極 105a、閘極電極 105b、導電膜 170a、電極 170、導電膜 171a 及電極 171 之後被去除，或者在進行蝕刻時消失（圖 15B）。藉由將絕緣膜 106、絕緣膜 174 及絕緣膜 175 用作遮罩，即使光阻遮罩在進行蝕刻時消失，也可以在準確的位置形成閘極電極 105a、閘極電極 105b、導電膜 170a、電極 170、導電膜 171a 及電極 171。另外，作為絕緣膜 106、絕緣膜 174 及絕緣膜 175，例如可以使用氮化矽膜。

[0228] 另外，此時，因為用被平坦化的導電膜 166 形成閘極電極 105b、電極 170 及電極 171，所以閘極電極 105b 的頂面的高度、電極 170 的頂面的高度及電極 171 的頂面的高度都一致。

[0229] 另外，閘極電極 105a 使用具有控制功函數的功能的導電膜形成，因此可以控制電晶體的臨界值。

[0230] 注意，雖然在本實施方式中設置有絕緣膜 106、絕緣膜 174 及絕緣膜 175，但是不侷限於此，也可以去除絕緣膜 106、絕緣膜 174 及絕緣膜 175。另外，雖然在本實施方式中在導電膜 166 上形成絕緣膜，但是不侷限於此，也可以不形成絕緣膜。

[0231] 在此步驟形成第二電晶體 100。

[0232] 接著，形成絕緣膜 107。絕緣膜 107 例如也可以藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法等）、MBE 法、ALD 法或 PLD 法等形式。尤其是，當藉由 CVD 法、較佳為藉由電漿 CVD 法形成該絕緣

層時，可以提高覆蓋性，所以是較佳的。另外，為了減少電漿所導致的損傷，較佳為利用熱 CVD 法、MOCVD 法或 ALD 法。

[0233] 在形成絕緣膜 107 之後進行第五加熱處理是較佳的。藉由加熱處理，可以將氧從絕緣膜 125 等供應到半導體膜 102，而降低半導體膜 102 中的氧缺陷。另外，此時，從絕緣膜 125 脫離的氧被障壁膜 120 及絕緣膜 107 阻擋，不擴散到障壁膜 120 的下層及絕緣膜 107 的上層，所以可以有效地封閉該氧。因此，可以增大可能供應到半導體膜 102 的氧量，而可以有效地降低半導體膜 102 中的氧缺陷。

[0234] 接著，依次形成絕緣膜 108 及絕緣膜 126（參照圖 15C）。絕緣膜 108 及絕緣膜 126 例如藉由濺射法、CVD 法（包括熱 CVD 法、MOCVD 法、PECVD 法、APCVD（Atmospheric Pressure CVD）法等）、MBE 法、ALD 法或 PLD 法等形式。尤其是，藉由 DC 濺射法形成絕緣膜 108，可以以高生產率形成厚度厚的阻擋性高的膜，所以是較佳的。另外，藉由 ALD 法形成絕緣膜 108，可以減少離子損傷而實現良好的覆蓋性，所以是較佳的。此外，在作為絕緣膜 126 使用有機樹脂等有機絕緣材料的情況下，也可以利用旋塗法等塗佈法。另外，在形成絕緣膜 126 之後，對其頂面進行平坦化處理是較佳的。此外，也可以進行熱處理，使其流動化進行平坦化。另外，為了實現更良好的平坦性，較佳的是，在形成絕緣膜 126 之後

藉由 CVD 法層疊絕緣膜，然後對其頂面進行平坦化處理。

[0235] 接著，藉由與上述方法同樣的方法，在絕緣膜 126、絕緣膜 108、絕緣膜 107、絕緣膜 174、絕緣膜 175、閘極絕緣膜 104 及氧化物膜 101b 中形成開口，形成到達電極 103a 的插頭 163a、到達電極 170 的插頭 163b、到達電極 103b 的插頭 164a 及到達電極 171 的插頭 164b。然後，形成接觸於插頭 163a 及插頭 163b 的佈線 167a、接觸於插頭 164a 及插頭 164b 的佈線 167b。

[0236] 接著，以覆蓋佈線 167a 及佈線 167b 的方式形成絕緣膜，並且以使各佈線的頂面露出的方式進行平坦化處理，由此形成絕緣膜 127（圖 16A）。

[0237] 接著，在佈線 167b 上形成絕緣膜 137，在絕緣膜 137 上形成導電膜 138。在此步驟形成電容器 130。電容器 130 包括：其一部分用作第一電極的佈線 167b；用作第二電極的導電膜 138；以及夾在它們之間的絕緣膜 137。

[0238] 接著，形成絕緣膜 139（圖 16B）。

[0239] 藉由上述製程，可以製造本發明的一個方式的半導體裝置。

[0240]

實施方式 2

在本實施方式中，說明能夠適用於本發明的一個方式的半導體裝置的半導體膜的氧化物半導體。

[0241] 氧化物半導體具有 3.0eV 以上的高能隙。在包括以適當的條件對氧化物半導體進行加工並充分降低其載子密度而獲得的氧化物半導體膜的電晶體中，可以使關閉狀態下的源極與汲極之間的洩漏電流（關態電流）為比習知的使用矽的電晶體小得多。

[0242] 能夠應用的氧化物半導體至少含有銦（In）或鋅（Zn）是較佳的。尤其是較佳為包含 In 及 Zn。另外，作為用來減少使用該氧化物半導體的電晶體的電特性不均勻的穩定劑，除了包含上述元素以外，還包含選自鎵（Ga）、錫（Sn）、鈦（Hf）、鋯（Zr）、鈦（Ti）、釷（Sc）、釷（Y）、鑷系元素（例如，鈾（Ce）、釷（Nd）、釷（Gd））中的一種或多種是較佳的。

[0243] 例如，作為氧化物半導體可以使用氧化銦、氧化錫、氧化鋅、In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物、In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-Zr-Zn 類氧化物、In-Ti-Zn 類氧化物、In-Sc-Zn 類氧化物、In-Y-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn

類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物、In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

[0244] 在此，“In-Ga-Zn 類氧化物”是指以 In、Ga 以及 Zn 為主要成分的氧化物，對 In、Ga 以及 Zn 的比例沒有限制。此外，也可以包含 In、Ga、Zn 以外的金屬元素。

[0245] 另外，作為氧化物半導體，也可以使用以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 且 m 不是整數) 表示的材料。另外，M 表示選自 Ga、Fe、Mn 及 Co 中的一種或多種金屬元素或者用作上述穩定劑的元素。

[0246] 例如，可以使用其原子個數比為 In:Ga:Zn=1:1:1、In:Ga:Zn=1:3:2、In:Ga:Zn=1:3:4、In:Ga:Zn=1:3:6、In:Ga:Zn=3:1:2 或 In:Ga:Zn=2:1:3 的 In-Ga-Zn 類氧化物或接近於上述組成的氧化物。

[0247] 當氧化物半導體膜含有多量的氫時，該氫與氧化物半導體鍵合而使該氫的一部分成為施體，因此產生作為載子的電子。其結果是，導致電晶體的臨界電壓向負向漂移。因此，較佳的是，藉由在形成氧化物半導體膜之後進行脫水化處理（脫氫化處理），從氧化物半導體膜去除氫或水分來進行高度純化以使其儘量不包含雜質。

[0248] 另外，有時氧化物半導體膜中的氧也因脫水化處理（脫氫化處理）而被減少。因此，為了填補因對氧

化物半導體膜的脫水化處理（脫氫化處理）而增加的氧缺陷，將氧添加到氧化物半導體膜是較佳的。在本說明書等中，有時將對氧化物半導體膜供應氧的情況稱為加氧化處理，或者，有時將使氧化物半導體膜的氧含量超過化學計量組成的情況稱為過氧化處理。

[0249] 如上所述，藉由進行脫水化處理（脫氫化處理）從氧化物半導體膜去除氫或水分，並進行加氧化處理以填補氧缺陷，可以得到被 i 型（本質）化的氧化物半導體膜或極其接近於 i 型而實質上呈 i 型（本質）的氧化物半導體膜。注意，“實質上本質”是指：在氧化物半導體膜中，來自於施體的載子極少（近於零），載子密度為 $1 \times 10^{17}/\text{cm}^3$ 以下， $1 \times 10^{16}/\text{cm}^3$ 以下， $1 \times 10^{15}/\text{cm}^3$ 以下， $1 \times 10^{14}/\text{cm}^3$ 以下， $1 \times 10^{13}/\text{cm}^3$ 以下。

[0250] 如此，具備 i 型或實質上呈 i 型的氧化物半導體膜的電晶體可以實現極為優良的關態電流特性。例如，可以將使用氧化物半導體膜的電晶體處於關閉狀態時的汲極電流在室溫（ 25°C 左右）下設定為 $1 \times 10^{-18}\text{A}$ 以下，較佳為 $1 \times 10^{-21}\text{A}$ 以下，更佳為 $1 \times 10^{-24}\text{A}$ 以下，或者，可以將汲極電流在 85°C 的溫度下設定為 $1 \times 10^{-15}\text{A}$ 以下，較佳為 $1 \times 10^{-18}\text{A}$ 以下，更佳為 $1 \times 10^{-21}\text{A}$ 以下。注意，“電晶體處於關閉狀態”是指：在採用 n 通道型電晶體的情況下，閘極電壓充分小於臨界電壓的狀態。明確而言，在閘極電壓比臨界電壓小 1V 以上、2V 以上或 3V 以上時，電晶體成為關閉狀態。

[0251]

<氧化物半導體的結構>

下面說明氧化物半導體的結構。

[0252] 氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體有 CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor: c 軸配向結晶氧化物半導體)、多晶氧化物半導體、微晶氧化物半導體以及非晶氧化物半導體等。

[0253] 從其他觀點看來，氧化物半導體被分為非晶氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及微晶氧化物半導體等。

[0254]

<CAAC-OS>

首先，對CAAC-OS進行說明。注意，也可以將CAAC-OS稱為具有CANC (C-Axis Aligned nanocrystals: c 軸配向奈米晶) 的氧化物半導體。

[0255] CAAC-OS 是包含多個 c 軸配向的結晶部 (也稱為顆粒) 的氧化物半導體之一。

[0256] 在利用穿透式電子顯微鏡 (TEM: Transmission Electron Microscope) 觀察所得到的 CAAC-OS 的明視場影像與繞射圖案的重合分析影像 (也稱為高解析度 TEM 影像) 中，觀察到多個顆粒。然而，在高解析度 TEM 影像中，觀察不到顆粒與顆粒之間的明確的邊界，即晶界

(grain boundary)。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0257] 下面，對利用 TEM 觀察的 CAAC-OS 進行說明。圖 17A 示出從大致平行於樣本面的方向觀察所得到的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正 (Spherical Aberration Corrector) 功能得到高解析度 TEM 影像。將利用球面像差校正功能所得到的高解析度 TEM 影像特別稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等得到 Cs 校正高解析度 TEM 影像。

[0258] 圖 17B 示出將圖 17A 中的區域 (1) 放大的 Cs 校正高解析度 TEM 影像。由圖 17B 可以確認到在顆粒中金屬原子排列為層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面 (也稱為被形成面) 或 CAAC-OS 膜的頂面的凸凹的配置並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0259] 如圖 17B 所示，CAAC-OS 具有特有的原子排列。圖 17C 是以輔助線示出特有的原子排列的圖。由圖 17B 和圖 17C 可知，一個顆粒的尺寸為 1nm 以上或 3nm 以上，由顆粒與顆粒之間的傾斜產生的空隙的尺寸為 0.8nm 左右。因此，也可以將顆粒稱為奈米晶 (nc: nanocrystal)。

[0260] 在此，根據 Cs 校正高解析度 TEM 影像，將基板 5120 上的 CAAC-OS 的顆粒 5100 的配置示意性地表

示為堆積磚塊或塊體的結構（參照圖 17D）。在圖 17C 中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖 17D 所示的區域 5161。

[0261] 圖 18A 示出從大致垂直於樣本面的方向觀察所得到的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 18B、圖 18C 和圖 18D 分別示出將圖 18A 中的區域（1）、區域（2）和區域（3）放大的 Cs 校正高解析度 TEM 影像。由圖 18B、圖 18C 和圖 18D 可知在顆粒中金屬原子排列為三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

[0262] 接著，說明使用 X 射線繞射（XRD：X-Ray Diffraction）裝置進行分析的 CAAC-OS。例如，當利用 out-of-plane 法分析包含 InGaZnO_4 結晶的 CAAC-OS 的結構時，如圖 19A 所示，在繞射角（ 2θ ）為 31° 附近時常出現峰值。由於該峰值來源於 InGaZnO_4 結晶的（009）面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。

[0263] 注意，當利用 out-of-plane 法分析 CAAC-OS 的結構時，除了 2θ 為 31° 附近的峰值以外，有時在 2θ 為 36° 附近時也出現峰值。 2θ 為 36° 附近的峰值表示 CAAC-OS 中的一部分包含不具有 c 軸配向性的結晶。較佳的是，在利用 out-of-plane 法分析的 CAAC-OS 的結構中，在 2θ 為 31° 附近時出現峰值而在 2θ 為 36° 附近時不出現峰值。

[0264] 另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ 為 56° 附近時出現峰值。該峰值來源於 InGaZnO_4 結晶的 (110) 面。在 CAAC-OS 中，即使將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本的條件下進行分析 (ϕ 掃描)，也如圖 19B 所示的那樣觀察不到明確的峰值。相比之下，在 InGaZnO_4 的單晶氧化物半導體中，在將 2θ 固定為 56° 附近來進行 ϕ 掃描時，如圖 19C 所示的那樣觀察到來源於相等於 (110) 面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0265] 接著，說明利用電子繞射進行分析的 CAAC-OS。例如，當對包含 InGaZnO_4 結晶的 CAAC-OS 在平行於樣本面的方向上入射束徑為 300nm 的電子線時，可能會獲得圖 20A 所示的繞射圖案 (也稱為選區透過電子繞射圖案)。在該繞射圖案中包含起因於 InGaZnO_4 結晶的 (009) 面的斑點。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 20B 示出對相同的樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子線時的繞射圖案。由圖 20B 觀察到環狀的繞射圖案。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 20B 中的第一環起因於 InGaZnO_4 結晶的 (010) 面和 (100) 面等。另外，可以

認為圖 20B 中的第二環起因於 (110) 面等。

[0266] 另外，CAAC-OS 是缺陷態密度低的氧化物半導體。氧化物半導體的缺陷例如有起因於雜質的缺陷、氧缺損等。因此，可以將 CAAC-OS 稱為雜質濃度低的氧化物半導體或者氧缺損少的氧化物半導體。

[0267] 包含於氧化物半導體的雜質有時會成為載子陷阱或載子發生源。另外，氧化物半導體中的氧缺損有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0268] 此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0269] 缺陷態密度低（氧缺損少）的氧化物半導體可以具有低載子密度。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷態密度低。也就是說，CAAC-OS 容易成為高純度本質或實質上高純度本質的氧化物半導體。因此，使用 CAAC-OS 的電晶體很少具有負臨界電壓的電特性（很少成為常開啟）。高純度本質或實質上高純度本質的氧化物半導體的載子陷阱少。被氧化物半導體的載子陷阱俘獲的電荷需要很長時間才能被釋放，並且有時像固定

電荷那樣動作。因此，使用雜質濃度高且缺陷態密度高的氧化物半導體的電晶體有時電特性不穩定。但是，使用 CAAC-OS 的電晶體電特性變動小且可靠性高。

[0270] 由於 CAAC-OS 的缺陷態密度低，所以因光照射等而生成的載子很少被缺陷態俘獲。因此，在使用 CAAC-OS 的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0271]

<微晶氧化物半導體>

接著說明微晶氧化物半導體。

[0272] 在微晶氧化物半導體的高解析度 TEM 影像中有能夠觀察到結晶部的區域和觀察不到明確的結晶部的區域。微晶氧化物半導體所包含的結晶部的尺寸大多為 1nm 以上且 100nm 以下或 1nm 以上且 10nm 以下。尤其是，將包含尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶的氧化物半導體稱為 nc-OS (nanocrystalline Oxide Semiconductor: 奈米晶氧化物半導體)。例如，在 nc-OS 的高解析度 TEM 影像中，有時無法明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱為顆粒。

[0273] 在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之

間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與非晶氧化物半導體沒有差別。例如，當利用使用其束徑比顆粒大的 X 射線的 XRD 裝置藉由 out-of-plane 法對 nc-OS 進行結構分析時，檢測不到表示結晶面的峰值。在使用其束徑比顆粒大（例如，50nm 以上）的電子射線對 nc-OS 進行電子繞射（選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對 nc-OS 進行奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0274] 如此，由於在顆粒（奈米晶）之間結晶定向都沒有規律性，所以也可以將 nc-OS 稱為包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

[0275] nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷態密度比非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷態密度比 CAAC-OS 高。

[0276]

<非晶氧化物半導體>

接著，說明非晶氧化物半導體。

[0277] 非晶氧化物半導體是膜中的原子排列沒有規律且不具有結晶部的氧化物半導體。其一個例子為具有如石英那樣的無定形態的氧化物半導體。

[0278] 在非晶氧化物半導體的高解析度 TEM 影像中無法發現結晶部。

[0279] 在使用 XRD 裝置藉由 out-of-plane 法對非晶氧化物半導體進行結構分析時，檢測不到表示結晶面的峰值。在對非晶氧化物半導體進行電子繞射時，觀察到光暈圖案。在對非晶氧化物半導體進行奈米束電子繞射時，觀察不到斑點而只觀察到光暈圖案。

[0280] 關於非晶結構有各種見解。例如，有時將原子排列完全沒有規律性的結構稱為完全的非晶結構（completely amorphous structure）。也有時將到最接近原子間距或到第二接近原子間距具有規律性，並且不是長程有序的結構稱為非晶結構。因此，根據最嚴格的定義，即使是略微具有原子排列的規律性的氧化物半導體也不能被稱為非晶氧化物半導體。至少不能將長程有序的氧化物半導體稱為非晶氧化物半導體。因此，由於具有結晶部，例如不能將 CAAC-OS 和 nc-OS 稱為非晶氧化物半導體或完全的非晶氧化物半導體。

[0281]

<amorphous-like 氧化物半導體>

注意，氧化物半導體有時具有介於 nc-OS 與非晶氧化物半導體之間的結構。將具有這樣的結構的氧化物半導體特別稱為 amorphous-like 氧化物半導體（a-like OS：amorphous-like Oxide Semiconductor）。

[0282] 在 a-like OS 的高解析度 TEM 影像中有時觀察到空洞（void）。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和不能觀察到結晶部的區域。

[0283] 由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0284] 作為進行電子照射的樣本，準備 a-like OS（樣本 A）、nc-OS（樣本 B）和 CAAC-OS（樣本 C）。每個樣本都是 In-Ga-Zn 類氧化物。

[0285] 首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結晶部。

[0286] 注意，如下那樣決定將哪個部分作為一個結晶部。例如，已知 InGaZnO_4 結晶的單位晶格具有包括三個 In-O 層和六個 Ga-Zn-O 層的 9 個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層の間隔與 (009) 面的晶格表面間隔（也稱為 d 值）是幾乎相等的，由結晶結構分析求出其值為 0.29nm。由此，可以將晶格條紋の間隔為 0.28nm 以上且 0.30nm 以下的部分作為 InGaZnO_4 結晶

部。每個晶格條紋對應於 InGaZnO_4 結晶的 a-b 面。

[0287] 圖 21 示出調查了各樣本的結晶部（22 個部分至 45 個部分）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 21 可知，在 a-like OS 中，結晶部根據電子的累積照射量逐漸變大。明確而言，如圖 21 中的（1）所示，可知在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部（也稱為初始晶核）在累積照射量為 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 時生長到 2.6nm 左右。另一方面，可知 nc-OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量為 $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ 的範圍內，結晶部的尺寸都沒有變化。明確而言，如圖 21 中的（2）及（3）所示，可知無論電子的累積照射量如何，nc-OS 及 CAAC-OS 的平均結晶部尺寸都分別為 1.4nm 左右及 2.1nm 左右。

[0288] 如此，有時電子照射引起 a-like OS 中的結晶部的生長。另一方面，可知在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。也就是說，a-like OS 與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0289] 此外，由於 a-like OS 包含空洞，所以其密度比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度為具有相同組成的單晶氧化物半導體的 78.6% 以上且小於 92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶氧化物半導體的 92.3% 以上且小於 100%。注意，難以形成其密度小於單晶氧化物半導體的密度的 78% 的氧化物半導體。

[0290] 例如，在原子數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體中，具有菱方晶系結構的單晶 InGaZnO_4 的密度為 6.357g/cm^3 。因此，例如，在原子數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體中，a-like OS 的密度為 5.0g/cm^3 以上且小於 5.9g/cm^3 。另外，例如，在原子數比滿足 $\text{In:Ga:Zn}=1:1:1$ 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 5.9g/cm^3 以上且小於 6.3g/cm^3 。

[0291] 注意，有時不存在相同組成的單晶。此時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶的組合比例使用加權平均計算出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，儘可能減少所組合的單晶氧化物半導體的種類來計算密度是較佳的。

[0292] 如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、微晶氧化物半導體和 CAAC-OS 中的兩種以上的疊層膜。

[0293] CAAC-OS 膜例如可以使用以下方法而形成。

[0294] CAAC-OS 膜例如使用多晶的氧化物半導體濺射靶材且利用濺射法形成。

[0295] 藉由增高成膜時的基板溫度使濺射粒子在到達基板之後發生遷移。明確而言，在將基板溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C 以上且 500°C 以下

的狀態下進行成膜。藉由增高成膜時的基板溫度，使濺射粒子在到達基板時在基板上發生遷移，於是濺射粒子的平坦的面附著到基板。此時，在濺射粒子帶正電時濺射粒子互相排斥而附著到基板上，由此濺射粒子不會不均勻地重疊，從而可以形成厚度均勻的 CAAC-OS 膜。

[0296] 藉由減少成膜時的雜質混入，可以抑制因雜質導致的結晶狀態的損壞。例如，降低存在於成膜室內的雜質（氫、水、二氧化碳及氮等）的濃度即可。另外，降低成膜氣體中的雜質濃度即可。明確而言，使用露點為 -80°C 以下，較佳為 -100°C 以下的成膜氣體。

[0297] 另外，較佳的是，藉由增高成膜氣體中的氧比例並使電力最佳化，來減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.% 以上，較佳為設定為 100vol.%。

[0298] 或者，CAAC-OS 膜使用以下方法而形成。

[0299] 首先，形成其厚度為 1nm 以上且小於 10nm 的第一氧化物半導體膜。第一氧化物半導體膜使用濺射法形成。明確而言，第一氧化物半導體膜的 formed 條件如下：基板溫度為 100°C 以上且 500°C 以下，較佳為 150°C 以上且 450°C 以下；以及成膜氣體中的氧比例為 30vol.% 以上，較佳為 100vol.%。

[0300] 接著，進行加熱處理，以使第一氧化物半導體膜形成為高結晶性第一 CAAC-OS 膜。將加熱處理的溫度設定為 350°C 以上且 740°C 以下，較佳為 450°C 以上且

650°C 以下。另外，將加熱處理的時間設定為 1 分鐘以上且 24 小時以下，較佳為 6 分鐘以上且 4 小時以下。加熱處理可以在惰性氛圍或氧化性氛圍中進行。較佳的是，先在惰性氛圍中進行加熱處理，然後在氧化性氛圍中進行加熱處理。藉由在惰性氛圍中進行加熱處理，可以在短時間內降低第一氧化物半導體膜的雜質濃度。另一方面，藉由在惰性氛圍中進行加熱處理，有可能在第一氧化物半導體膜中形成氧缺陷。在此情況下，藉由在氧化性氛圍中進行加熱處理，可以減少該氧缺陷。另外，也可以在 1000Pa 以下、100Pa 以下、10Pa 以下或 1Pa 以下的減壓下進行加熱處理。在減壓下，可以在更短時間內降低第一氧化物半導體膜的雜質濃度。

[0301] 藉由將第一氧化物半導體膜的厚度設定為 1nm 以上且低於 10nm，與厚度為 10nm 以上的情況相比可以藉由進行加熱處理而容易地使其結晶化。

[0302] 接著，以 10nm 以上且 50nm 以下的厚度形成其組成與第一氧化物半導體膜相同的第二氧化物半導體膜。使用濺射法形成第二氧化物半導體膜。明確而言，第二氧化物半導體膜的形成條件如下：基板溫度為 100°C 以上且 500°C 以下，較佳為 150°C 以上且 450°C 以下；以及成膜氣體中的氧比例為 30vol.% 以上，較佳為 100vol.%。

[0303] 接著，進行加熱處理，以使第二氧化物半導體膜從第一 CAAC-OS 膜進行固相成長，來形成高結晶性第二 CAAC-OS 膜。將加熱處理的溫度設定為 350°C 以上

且 740°C 以下，較佳為 450°C 以上且 650°C 以下。另外，將加熱處理的時間設定為 1 分鐘以上且 24 小時以下，較佳為 6 分鐘以上且 4 小時以下。加熱處理可以在惰性氛圍或氧化性氛圍中進行。較佳的是，先在惰性氛圍中進行加熱處理，然後在氧化性氛圍中進行加熱處理。藉由在惰性氛圍中進行加熱處理，可以在短時間內降低第二氧化物半導體膜的雜質濃度。另一方面，藉由在惰性氛圍中進行加熱處理，有可能在第二氧化物半導體膜中形成氧缺陷。在此情況下，藉由在氧化性氛圍中進行加熱處理，可以減少該氧缺陷。另外，也可以在 1000Pa 以下、100Pa 以下、10Pa 以下或 1Pa 以下的減壓下進行加熱處理。在減壓下，可以在更短時間內降低第二氧化物半導體膜的雜質濃度。

[0304] 經上述步驟，可以形成總厚度為 10nm 以上的 CAAC-OS 膜。

[0305] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0306]

實施方式 3

在本實施方式中，參照圖式對利用本發明的一個方式的電晶體的電路的一個例子進行說明。

[0307]

[電路結構實例]

在實施方式 1 所示的結構中，藉由改變電晶體、佈

線、電極的連接結構，可以構成各種電路。下面說明藉由使用本發明的一個方式的半導體裝置來可以實現的電路結構的例子。

[0308]

[CMOS 電路]

圖 22A 所示的電路圖示出所謂的 CMOS 電路的結構，其中將 p 通道電晶體 2200 和 n 通道電晶體 2100 串聯連接且將各閘極連接。注意，在圖式中，對使用第二半導體材料的電晶體附上“OS”的符號。

[0309]

[類比開關]

圖 22B 所示的電路圖示出將電晶體 2100 和電晶體 2200 的各源極和汲極連接的結構。藉由採用該結構，可以將其用作所謂的類比開關。

[0310]

[記憶體裝置的例子]

圖 22C 示出半導體裝置（記憶體裝置）的一個例子，該半導體裝置（記憶體裝置）使用本發明的一個方式的電晶體，即使在沒有電力供應的情況下也能夠保持儲存內容，並且，對寫入次數也沒有限制。

[0311] 圖 22C 所示的半導體裝置包括：使用第一半導體材料的電晶體 3200；使用第二半導體材料的電晶體 3300；以及電容元件 3400。作為電晶體 3300，可以使用在上述實施方式中例示的電晶體。

[0312] 電晶體 3300 是其通道形成在包含氧化物半導體的半導體膜中的電晶體。因為電晶體 3300 的關態電流小，所以藉由使用該電晶體，可以長期保持儲存內容。換言之，因為可以形成不需要更新工作或更新工作的頻率極低的半導體記憶體裝置，所以可以充分降低功耗。

[0313] 在圖 22C 中，第一佈線 3001 與電晶體 3200 的源極電極電連接，第二佈線 3002 與電晶體 3200 的汲極電極電連接。此外，第三佈線 3003 與電晶體 3300 的源極電極和汲極電極中的一個電連接，第四佈線 3004 與電晶體 3300 的閘極電極電連接。再者，電晶體 3200 的閘極電極及電晶體 3300 的源極電極和汲極電極中的另一個與電容元件 3400 的電極中的一個電連接，第五佈線 3005 與電容元件 3400 的電極中的另一個電連接。

[0314] 在圖 22C 所示的半導體裝置中，藉由有效地利用能夠保持電晶體 3200 的閘極電極的電位的特徵，可以如下所示那樣進行資料的寫入、保持以及讀出。

[0315] 對資料的寫入及保持進行說明。首先，將第四佈線 3004 的電位設定為使電晶體 3300 成為開啟狀態的電位，使電晶體 3300 成為開啟狀態。由此，第三佈線 3003 的電位施加到電晶體 3200 的閘極電極及電容元件 3400。換言之，對電晶體 3200 的閘極電極施加規定的電荷（寫入）。這裡，施加賦予兩種不同電位位準的電荷（以下，稱為低位準電荷、高位準電荷）中的任一種。然後，藉由將第四佈線 3004 的電位設定為使電晶體 3300 成

為關閉狀態的電位，來使電晶體 3300 成為關閉狀態，而保持施加到電晶體 3200 的閘極電極的電荷（保持）。

[0316] 因為電晶體 3300 的關態電流極小，所以電晶體 3200 的閘極電極的電荷被長時間地保持。

[0317] 接著，對資料的讀出進行說明。當在對第一佈線 3001 施加規定的電位（恆電位）的狀態下對第五佈線 3005 施加適當的電位（讀出電位）時，根據保持在電晶體 3200 的閘極電極中的電荷量，第二佈線 3002 具有不同的電位。這是因為如下緣故：一般而言，在電晶體 3200 為 n 通道電晶體的情況下，對電晶體 3200 的閘極電極施加高位準電荷時的外觀上的臨界電壓 V_{th_H} 低於對電晶體 3200 的閘極電極施加低位準電荷時的外觀上的臨界電壓 V_{th_L} 。在此，外觀上的臨界電壓是指為了使電晶體 3200 成為“開啟狀態”所需要的第五佈線 3005 的電位。因此，藉由將第五佈線 3005 的電位設定為 V_{th_L} 與 V_{th_H} 之間的電位 V_0 ，可以辨別施加到電晶體 3200 的閘極電極的電荷。例如，在寫入時被供應高位準電荷的情況下，如果第五佈線 3005 的電位為 $V_0 (>V_{th_H})$ ，電晶體 3200 則成為“開啟狀態”。當被供應低位準電荷時，即使第五佈線 3005 的電位為 $V_0 (<V_{th_L})$ ，電晶體 3200 還保持“關閉狀態”。因此，藉由辨別第二佈線 3002 的電位，可以讀出所保持的資料。

[0318] 注意，當將記憶單元配置為陣列狀時，需要僅讀出所希望的記憶單元的資料。如此，當不讀出資料

時，對第五佈線 3005 施加不管閘極電極的狀態如何都使電晶體 3200 成為“關閉狀態”的電位，即小於 V_{th_H} 的電位，即可。或者，對第五佈線 3005 施加不管閘極電極的狀態如何都使電晶體 3200 成為“開啟狀態”的電位，即大於 V_{th_L} 的電位，即可。

[0319] 圖 22D 所示的半導體裝置與圖 22C 所示的半導體裝置之間的主要不同點是圖 22D 所示的半導體裝置沒有設置電晶體 3200。在此情況下也可以藉由與上述相同的工作進行資料的寫入及保持工作。

[0320] 接著，對資料的讀出進行說明。在電晶體 3300 成為開啟狀態時，處於浮動狀態的第三佈線 3003 和電容元件 3400 導通，且在第三佈線 3003 和電容元件 3400 之間再次分配電荷。其結果是，第三佈線 3003 的電位產生變化。第三佈線 3003 的電位的變化量根據電容元件 3400 的電極中的一個的電位（或積累在電容元件 3400 中的電荷）而具有不同的值。

[0321] 例如，在電容元件 3400 的電極中的一個的電位為 V ，電容元件 3400 的電容為 C ，第三佈線 3003 所具有的電容成分為 CB ，再次分配電荷之前的第三佈線 3003 的電位為 $VB0$ 時，再次分配電荷之後的第三佈線 3003 的電位為 $(CB \times VB0 + C \times V) / (CB + C)$ 。因此，在假定作為記憶單元的狀態，電容元件 3400 的電極中的一個的電位成為兩種狀態，即 $V1$ 和 $V0$ ($V1 > V0$) 時，可以知道保持電位 $V1$ 時的第三佈線 3003 的電位 ($= (CB \times VB0 + C \times V1)$)

$(CB+C)$) 高於保持電位 V_0 時的第三佈線 3003 的電位
($= (CB \times VB_0 + C \times V_0) / (CB+C)$) 。

[0322] 藉由對第三佈線 3003 的電位和規定的電位進行比較，可以讀出資料。

[0323] 在此情況下，可以將使用上述第一半導體材料的電晶體用於用來驅動記憶單元的驅動電路，並在該驅動電路上作為電晶體 3300 層疊使用第二半導體材料的電晶體。

[0324] 在本實施方式所示的半導體裝置中，藉由使用其通道形成區域包含氧化物半導體的關態電流極小的電晶體，可以極長期地保持儲存內容。換言之，因為不需要進行更新工作，或者，可以使更新工作的頻率變得極低，所以可以充分降低功耗。另外，即使在沒有電力供給的情況下（注意，固定電位是較佳的），也可以長期保持儲存內容。

[0325] 另外，在本實施方式所示的半導體裝置中，資料的寫入不需要高電壓，而且也沒有元件劣化的問題。例如由於不需要如習知的非揮發性記憶體那樣地對浮動閘極注入電子或從浮動閘極抽出電子，因此根本不發生如閘極絕緣層的劣化等的問題。換言之，在根據所公開的發明的半導體裝置中，對重寫的次數沒有限制，這限制是習知的非揮發性記憶體所具有的問題，所以可靠性得到極大提高。再者，根據電晶體的開啟狀態或關閉狀態而進行資料寫入，而可以容易實現高速工作。

[0326] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0327]

實施方式 4

在本實施方式中，參照圖 23 說明包括上述實施方式所例示的電晶體或記憶體裝置的 RF 標籤。

[0328] 本實施方式的 RF 標籤在其內部包括記憶體電路，在該記憶體電路中儲存所需要的資料，並使用非接觸單元諸如無線通訊向外部發送資料和/或從外部接受資料。由於具有這種特徵，RF 標籤可以被用於藉由讀取物品等的個體資訊來識別物品的個體識別系統等。注意，鑒於這些用途，要求極高的可靠性。

[0329] 參照圖 23 說明 RF 標籤的結構。圖 23 是示出 RF 標籤的結構實例的塊圖。

[0330] 如圖 23 所示，RF 標籤 800 包括接收從與通信器 801（也稱為詢問器、讀取器/寫入器等）連接的天線 802 發送的無線信號 803 的天線 804。RF 標籤 800 還包括整流電路 805、恆壓電路 806、解調變電路 807、調變電路 808、邏輯電路 809、記憶體電路 810、ROM811。另外，在包括在解調變電路 807 中的具有整流作用的電晶體中，也可以使用充分地抑制反向電流的材料，諸如氧化物半導體。由此，可以抑制起因於反向電流的整流作用的降低並防止解調變電路的輸出飽和，也就是說，可以使解調變電路的輸入和解調變電路的輸出之間的關係靠近於線性

關係。注意，資料傳輸方法大致分成如下三種方法：將一對線圈相對地設置並利用互感進行通信的電磁耦合方法；利用感應場進行通信的電磁感應方法；以及利用電波進行通信的電波方法。在本實施方式所示的 RF 標籤 800 中可以使用上述任何方法。

[0331] 接著，說明各電路的結構。天線 804 與連接於通信器 801 的天線 802 之間進行無線信號 803 的發送及接受。在整流電路 805 中，對藉由由天線 804 接收無線信號來生成的輸入交流信號進行整流，例如進行半波倍壓整流，並由設置在後級的電容元件使被整流的信號平滑化，由此生成輸入電位。另外，整流電路 805 的輸入一側或輸出一側也可以設置限制器電路。限制器電路是在輸入交流信號的振幅大且內部生成電壓大時進行控制以不使一定以上的電力輸入到後級的電路中的電路。

[0332] 恆壓電路 806 是由輸入電位生成穩定的電源電壓而供應到各電路的電路。恆壓電路 806 也可以在其內部包括重設信號產生電路。重設信號產生電路是利用穩定的電源電壓的上升而生成邏輯電路 809 的重設信號的電路。

[0333] 解調變電路 807 是藉由包封檢測對輸入交流信號進行解調並生成解調信號的電路。此外，調變電路 808 是根據從天線 804 輸出的資料進行調變的電路。

[0334] 邏輯電路 809 是分析解調信號並進行處理的電路。記憶體電路 810 是保持被輸入的資料的電路，並包

括行解碼器、列解碼器、儲存區域等。此外，ROM811 是保持識別號碼（ID）等並根據處理進行輸出的電路。

[0335] 注意，根據需要可以適當地設置或省略上述各電路。

[0336] 在此，可以將上述實施方式所示的記憶體電路用於記憶體電路 810。因為根據本發明的一個方式的記憶體電路即使在關閉電源的狀態下也可以保持資料，所以適用於 RF 標籤。再者，因為根據本發明的一個方式的記憶體電路的資料寫入所需要的電力（電壓）比習知的非揮發性記憶體低得多，所以也可以不產生資料讀出時和寫入時的最大通信距離的差異。再者，根據本發明的一個方式的記憶體電路可以抑制由於資料寫入時的電力不足引起誤動作或誤寫入的情況。

[0337] 此外，因為根據本發明的一個方式的記憶體電路可以用作非揮發性記憶體，所以還可以應用於 ROM811。在此情況下，生產者另外準備用來對 ROM811 寫入資料的指令而防止使用者自由地重寫是較佳的。由於生產者在出貨之前寫入識別號碼，可以僅使出貨的良品具有識別號碼而不使所製造的所有 RF 標籤具有識別號碼，由此不發生出貨後的產品的識別號碼不連續的情況而可以容易根據出貨後的產品進行顧客管理。

[0338] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0339]

實施方式 5

在本實施方式中，說明至少可以使用上述實施方式所說明的電晶體且包含上述實施方式所說明的記憶體裝置的 CPU。

[0340] 圖 24 是示出將在上述實施方式中說明的電晶體用於至少其一一部分的 CPU 的結構的一個例子的塊圖。

[0341] 圖 24 所示的 CPU 在基板 1190 上具有：ALU1191（ALU：Arithmetic logic unit：算術邏輯單元）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198（Bus I/F）、能夠重寫的 ROM1199 以及 ROM 介面 1189（ROM I/F）。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 24 所示的 CPU 只不過是簡化其結構而表示的一個例子，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 24 所示的 CPU 或算術電路的結構為核心，設置多個該核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位元、16 位元、32 位元、64 位元等。

[0342] 藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

[0343] ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並根據 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

[0344] 另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據參考時脈信號 CLK1 生成內部時脈信號 CLK2 的內部時脈發生器，並將內部時脈信號 CLK2 供應到上述各種電路。

[0345] 在圖 24 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用上述實施方式所示的電晶體。

[0346] 在圖 24 所示的 CPU 中，暫存器控制器 1197 根據來自 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 在暫存器 1196 所具有的記憶單元中選擇由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停

止對暫存器 1196 中的記憶單元供應電源電壓。

[0347] 圖 25 是可以用作暫存器 1196 的記憶元件的電路圖的一個例子。記憶元件 1200 包括當關閉電源時丟失儲存資料的電路 1201、當關閉電源時不丟失儲存資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，記憶元件 1200 根據需要還可以包括其他元件諸如二極體、電阻元件或電感器等。

[0348] 在此，電路 1202 可以使用上述實施方式所示的記憶體裝置。在停止對記憶元件 1200 供應電源電壓時，接地電位（0V）或使電晶體 1209 關閉的電位繼續輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0349] 在此示出開關 1203 為具有一導電型（例如，n 通道型）的電晶體 1213，而開關 1204 為具有與此相反的導電型（例如，p 通道型）的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（即，電晶體 1213 的開啟狀態或關閉狀態）由輸入到電晶體 1213 的閘極的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體

1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通（即，電晶體 1214 的開啟狀態或關閉狀態）由輸入到電晶體 1214 的閘極的控制信號 RD 選擇。

[0350] 電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極中的一個及電晶體 1210 的閘極。在此，將連接部分稱為節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）。開關 1204 的第二端子（電晶體 1214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）、開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極中的一個彼此電連接。在此，將連接部分稱為節點 M1。可以對電容元件 1207 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1207 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。可以對電容元件 1208 的一對電極中的另一個輸入固定電位。例如，可以輸入低電源電位（GND

等) 或高電源電位 (VDD 等)。電容元件 1208 的一對電極中的另一個電連接到能夠供應低電源電位的佈線 (例如, GND 線)。

[0351] 當積極地利用電晶體或佈線的寄生電容等時, 可以不設置電容元件 1207 及電容元件 1208。

[0352] 控制信號 WE 輸入到電晶體 1209 的第一閘極 (第一閘極電極)。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇, 當一個開關的第一端子與第二端子之間處於導通狀態時, 另一個開關的第一端子與第二端子之間處於非導通狀態。

[0353] 對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 25 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二端子 (電晶體 1213 的源極和汲極中的另一個) 輸出的信號的邏輯值反轉而成為反轉信號, 將其經由電路 1220 輸入到電路 1201。

[0354] 另外, 雖然圖 25 示出從開關 1203 的第二端子 (電晶體 1213 的源極和汲極中的另一個) 輸出的信號經由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子, 但是不侷限於此。也可以不使從開關 1203 的第二端子 (電晶體 1213 的源極和汲極中的另一個) 輸出的信號的邏輯值反轉而輸入到電路 1201。例如, 當在電路 1201

內存在其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0355] 在圖 25 所示的用於記憶元件 1200 的電晶體中，電晶體 1209 以外的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層中或基板 1190 中的電晶體。例如，可以使用其通道形成在矽層或矽基板中的電晶體。此外，也可以作為用於記憶元件 1200 的所有的電晶體使用其通道形成在氧化物半導體膜中的電晶體。或者，記憶元件 1200 還可以包括電晶體 1209 以外的其通道由氧化物半導體膜形成的電晶體，並且作為剩下的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層中或基板 1190 中的電晶體。

[0356] 圖 25 所示的電路 1201 例如可以使用正反器電路。另外，作為邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0357] 在根據本發明的一個方式的半導體裝置中，在不向記憶元件 1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0358] 另外，其通道形成在氧化物半導體膜中的電晶體的關態電流極小。例如，其通道形成在氧化物半導體膜中的電晶體的關態電流比其通道形成在具有結晶性的矽

中的電晶體的關態電流低得多。因此，藉由將該電晶體用作電晶體 1209，即使在不向記憶元件 1200 供應電源電壓的期間也可以長期間地儲存電容元件 1208 所保持的信號。因此，記憶元件 1200 在停止供應電源電壓的期間也可以保持儲存內容（資料）。

[0359] 另外，由於該記憶元件是以藉由設置開關 1203 及開關 1204 進行預充電工作為特徵的記憶元件，因此它可以縮短在再次開始供應電源電壓之後直到電路 1201 再次保持原來的資料為止的時間。

[0360] 另外，在電路 1202 中，由電容元件 1208 保持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶元件 1200 供應電源電壓之後，可以將由電容元件 1208 保持的信號轉換為電晶體 1210 的狀態（開啟狀態或關閉狀態），並從電路 1202 讀出。因此，即使對應於保持在電容元件 1208 中的信號的電位有些變動，也可以準確地讀出原來的信號。

[0361] 藉由將這種記憶元件 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在整個處理器或構成處理器的一個或多個邏輯電路中在短時間內也可以停止電源，從而可以抑制功耗。

[0362] 在本實施方式中，雖然對將記憶元件 1200 用

於 CPU 的例子進行說明，但是也可以將記憶元件 1200 應用於 LSI 諸如 DSP (Digital Signal Processor : 數位訊號處理器) 、 定製 LSI 、 PLD (Programmable Logic Device : 可程式邏輯裝置) 等、RF (Radio Frequency : 射頻) 裝置。

[0363] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0364]

實施方式 6

在本實施方式中說明本發明的一個方式的顯示面板的結構實例。

[0365]

[結構實例]

圖 26A 是本發明的一個方式的顯示面板的俯視圖，圖 26B 是在將液晶元件用於本發明的一個方式的顯示面板的像素時可以使用的像素電路的電路圖。圖 26C 是在將有機 EL 元件用於本發明的一個方式的顯示面板的像素時可以使用的像素電路的電路圖。

[0366] 可以根據上述實施方式形成配置在像素部中的電晶體。此外，因為該電晶體容易形成為 n 通道電晶體，所以將驅動電路中的可以由 n 通道電晶體構成的驅動電路的一部分與像素部的電晶體形成在同一基板上。如上所述，藉由將上述實施方式所示的電晶體用於像素部或驅動電路，可以提供可靠性高的顯示裝置。

[0367] 圖 26A 示出主動矩陣型顯示裝置的方塊圖的一個例子。在顯示裝置的基板 700 上設置有：像素部 701；第一掃描線驅動電路 702；第二掃描線驅動電路 703；以及信號線驅動電路 704。在像素部 701 中配置有從信號線驅動電路 704 延伸的多個信號線以及從第一掃描線驅動電路 702 及第二掃描線驅動電路 703 延伸的多個掃描線。此外，在掃描線與信號線的交叉區中具有顯示元件的像素配置為矩陣狀。另外，顯示裝置的基板 700 藉由 FPC (Flexible Printed Circuit：撓性印刷電路) 等的連接部連接到時序控制電路 (也稱為控制器、控制 IC)。

[0368] 在圖 26A 中，在設置有像素部 701 的基板 700 上形成有第一掃描線驅動電路 702、第二掃描線驅動電路 703、信號線驅動電路 704。由此，設置在外部的驅動電路等的構件的數量減少，從而能夠實現成本的降低。另外，當在基板 700 的外部設置驅動電路時，需要使佈線延伸，佈線之間的連接數增加。當在基板 700 上設置驅動電路時，可以減少該佈線之間的連接數，從而可以實現可靠性或良率的提高。

[0369]

(液晶面板)

圖 26B 示出像素部的電路結構的一個例子。在此，示出可以用於 VA 方式的液晶顯示面板的像素的像素電路。

[0370] 可以將該像素電路應用於一個像素具有多個像素電極的結構。各像素電極分別與不同的電晶體連接，

以藉由不同閘極信號驅動各電晶體。由此，可以獨立地控制施加到多域像素中的各像素電極的信號。

[0371] 電晶體 716 的閘極佈線 712 和電晶體 717 的閘極佈線 713 彼此分離，以便能夠被提供不同的閘極信號。另一方面，電晶體 716 和電晶體 717 共同使用用作資料線的源極電極或汲極電極 714。作為電晶體 716 及電晶體 717，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的液晶顯示面板。

[0372] 以下說明與電晶體 716 電連接的第一像素電極及與電晶體 717 電連接的第二像素電極的形狀。第一像素電極和第二像素電極被狹縫彼此分離。第一像素電極呈擴展為 V 字型的形狀，第二像素電極以圍繞第一像素電極的方式形成。

[0373] 電晶體 716 的閘極電極連接到閘極佈線 712，而電晶體 717 的閘極電極連接到閘極佈線 713。藉由對閘極佈線 712 和閘極佈線 713 施加不同的閘極信號，可以使電晶體 716 及電晶體 717 的工作時序互不相同來控制液晶配向。

[0374] 另外，也可以由電容佈線 710、用作電介質的閘極絕緣膜以及與第一像素電極或第二像素電極電連接的電容電極形成儲存電容器。

[0375] 多域結構的像素設置有第一液晶元件 718 和第二液晶元件 719。第一液晶元件 718 由第一像素電極、相對電極以及它們之間的液晶層構成，而第二液晶元件

719 由第二像素電極、相對電極以及它們之間的液晶層構成。

[0376] 此外，圖 26B 所示的像素電路不侷限於此。例如，也可以還對圖 26B 所示的像素追加開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

[0377]

(有機 EL 面板)

圖 26C 示出像素的電路結構的其他例子。在此，示出使用有機 EL 元件的顯示面板的像素結構。

[0378] 在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，而產生電流。然後，藉由使電子和電洞再結合，發光有機化合物達到激發態，並且當該激發態返回到基態時，獲得發光。根據這種機制，該發光元件被稱為電流激發型發光元件。

[0379] 圖 26C 是示出可以應用的像素電路的一個例子的圖。這裡示出一個像素包括兩個 n 通道電晶體的例子。本發明的一個方式的金屬氧化物膜可以用於 n 通道電晶體的通道形成區域。另外，該像素電路可以採用數位時間灰階驅動。

[0380] 以下說明可以應用的像素電路的結構及採用數位時間灰階驅動時的像素的工作。

[0381] 像素 720 包括開關電晶體 721、驅動電晶體 722、發光元件 724 以及電容元件 723。在開關電晶體 721

中，閘極電極與掃描線 726 連接，第一電極（源極電極和汲極電極中的一個）與信號線 725 連接，並且第二電極（源極電極和汲極電極中的另一個）與驅動電晶體 722 的閘極電極連接。在驅動電晶體 722 中，閘極電極藉由電容元件 723 與電源線 727 連接，第一電極與電源線 727 連接，第二電極與發光元件 724 的第一電極（像素電極）連接。發光元件 724 的第二電極相當於共同電極 728。共同電極 728 與形成在同一基板上的共用電位線電連接。

[0382] 作為開關電晶體 721 及驅動電晶體 722，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的有機 EL 顯示面板。

[0383] 將發光元件 724 的第二電極（共同電極 728）的電位設定為低電源電位。注意，低電源電位是指低於供應到電源線 727 的高電源電位的電位，例如，低電源電位可以為 GND、0V 等。將高電源電位與低電源電位的電位差設定為發光元件 724 的正向臨界電壓以上，將該電位差施加到發光元件 724 來使電流流過發光元件 724，以獲得發光。發光元件 724 的正向電壓是指為獲得所希望的亮度的電壓，至少包含正向臨界電壓。

[0384] 另外，還可以使用驅動電晶體 722 的閘極電容代替電容元件 723。作為驅動電晶體 722 的閘極電容，也可以利用在通道形成區域和閘極電極之間的電容。

[0385] 接著，說明輸入到驅動電晶體 722 的信號。當採用電壓輸入電壓驅動方式時，對驅動電晶體 722 輸入

使驅動電晶體 722 充分處於開啟狀態或關閉狀態的兩個狀態的視訊信號。為了使驅動電晶體 722 在線性區域中工作，將比電源線 727 的電壓高的電壓施加到驅動電晶體 722 的閘極電極。另外，對信號線 725 施加電源線電壓加驅動電晶體 722 的臨界電壓 V_{th} 的值以上的電壓。

[0386] 當進行類比灰階驅動時，對驅動電晶體 722 的閘極電極施加發光元件 724 的正向電壓加驅動電晶體 722 臨界電壓的 V_{th} 的值以上的電壓。另外，藉由輸入使驅動電晶體 722 在飽和區域中工作的視訊信號，使電流流過發光元件 724。為了使驅動電晶體 722 在飽和區域中工作，使電源線 727 的電位高於驅動電晶體 722 的閘極電位。藉由採用類比方式的視訊信號，可以使與視訊信號對應的電流流過發光元件 724，而進行類比灰階驅動。

[0387] 注意，像素電路的結構不侷限於圖 26C 所示的像素結構。例如，還可以對圖 26C 所示的像素電路追加開關、電阻元件、電容元件、感測器、電晶體或邏輯電路等。

[0388] 當對圖 26A 至圖 26C 所示的電路應用上述實施方式所示的電晶體時，使源極電極（第一電極）及汲極電極（第二電極）分別電連接到低電位一側及高電位一側。再者，可以由控制電路等控制第一閘極電極的電位，且由未圖示的佈線將比源極電極低的電位等如上所示的電位輸入第二閘極電極。

[0389] 本實施方式的至少一部分可以與本說明書所

記載的其他實施方式適當地組合而實施。

[0390]

實施方式 7

根據本發明的一個方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存介質的影像再現裝置（典型的是，能夠再現儲存介質如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以使用根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器終端、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 27A 至圖 27F 示出這些電子裝置的具體例子。

[0391] 圖 27A 是可攜式遊戲機，該可攜式遊戲機包括外殼 901、外殼 902、顯示部 903、顯示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 27A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0392] 圖 27B 是可攜式資料終端，該可攜式資料終端包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示

部 913 設置在第一外殼 911 中，第二顯示部 914 設置在第二外殼 912 中。而且，第一外殼 911 和第二外殼 912 由連接部 915 連接，由連接部 915 可以改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置被稱為光感測器的光電轉換元件來附加位置輸入功能。

[0393] 圖 27C 是膝上型個人電腦，該膝上型個人電腦包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0394] 圖 27D 是電冷藏冷凍箱，該電冷藏冷凍箱包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0395] 圖 27E 是視頻攝影機，該視頻攝影機包括第一外殼 941、第二外殼 942、顯示部 943、操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，顯示部 943 設置在第二外殼 942 中。而且，第一外殼 941 和第二外殼 942 由連接部 946 連接，由連接部 946 可以改變第一外殼 941 和第二外殼 942 之間的角度。顯示部 943 的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0396] 圖 27F 是一般的汽車，該汽車包括車體 951、

車輪 952、儀表板 953 及燈 954 等。

[0397] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0398]

實施方式 8

在本實施方式中，參照圖 28A 至圖 28F 說明根據本發明的一個方式的 RF 裝置的使用例子。RF 裝置的用途廣泛，例如可以設置於物品諸如鈔票、硬幣、有價證券類、不記名證券類、證書類（駕駛證、居民卡等，參照圖 28A）、儲存介質（DVD、錄影帶等，參照圖 28B）、包裝用容器類（包裝紙、瓶子等，參照圖 28C）、車輛類（自行車等，參照圖 28D）、個人物品（包、眼鏡等）、食物類、植物類、動物類、人體、衣服、生活用品類、包括藥品或藥劑的醫療品、電子裝置（液晶顯示裝置、EL 顯示裝置、電視機或行動電話）等或者各物品的裝運標籤（參照圖 28E 和圖 28F）等。

[0399] 當將根據本發明的一個方式的 RF 裝置 4000 固定到物品時，將其附著到物品的表面上或者填埋於物品中。例如，當固定到書本時，將 RF 裝置嵌入在書本的紙張裡，而當固定到有機樹脂的包裝時，將 RF 裝置填埋於有機樹脂內部。根據本發明的一個方式的 RF 裝置 4000 實現了小型、薄型以及輕量，所以即使在固定到物品中也不會影響到該物品的設計性。另外，藉由將根據本發明的一個方式的 RF 裝置 4000 設置於鈔票、硬幣、有價證券類、

不記名證券類或證書類等，可以賦予識別功能。藉由利用該識別功能可以防止偽造。另外，可以藉由在包裝用容器類、儲存介質、個人物品、食物類、衣服、生活用品類或電子裝置等中設置根據本發明的一個方式的 RF 裝置，可以提高檢品系統等系統的運行效率。另外，藉由在車輛類中安裝根據本發明的一個方式的 RF 裝置，可以防止盜竊等而提高安全性。

[0400] 如上所述，藉由將根據本發明的一個方式的 RF 裝置應用於在本實施方式中列舉的各用途，可以降低包括資料的寫入或讀出等的工作的功耗，因此能夠使最大通信距離長。另外，即使在關閉電力供應的狀態下，也可以在極長的期間保持資料，所以上述 RF 裝置適用於寫入或讀出的頻率低的用途。

[0401] 本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【符號說明】

[0402]

10：疊層結構

11：第一層

12：第二層

21：第一絕緣膜

22：第二絕緣膜

31：第一佈線層

- 32：第二佈線層
- 41：障壁膜
- 100：第二電晶體
- 101a：氧化物膜
- 101b：氧化物膜
- 102：半導體膜
- 103：導電膜
- 103a：電極
- 103b：電極
- 104：閘極絕緣膜
- 105a：閘極電極
- 105b：閘極電極
- 106：絕緣膜
- 107：絕緣膜
- 108：絕緣膜
- 109a：低電阻區域
- 109b：低電阻區域
- 110：第一電晶體
- 111：半導體基板
- 112：半導體膜
- 113a：低電阻層
- 113b：低電阻層
- 114：閘極絕緣膜
- 115：閘極電極

115a : 閘極電極

115b : 閘極電極

120 : 障壁膜

121 : 絕緣膜

122 : 絕緣膜

123 : 絕緣膜

124 : 絕緣膜

125 : 絕緣膜

126 : 絕緣膜

127 : 絕緣膜

130 : 電容器

131 : 佈線

132 : 佈線

133 : 佈線

137 : 絕緣膜

138 : 導電膜

139 : 絕緣膜

140 : 絕緣膜

141 : 佈線

141a : 佈線

141b : 佈線

160 : 電晶體

161 : 插頭

162 : 插頭

- 163a : 插頭
- 163b : 插頭
- 164a : 插頭
- 164b : 插頭
- 165 : 導電膜
- 166 : 導電膜
- 167a : 佈線
- 167b : 佈線
- 170 : 電極
- 170a : 導電膜
- 171 : 電極
- 171a : 導電膜
- 174 : 絕緣膜
- 175 : 絕緣膜
- 700 : 基板
- 701 : 像素部
- 702 : 掃描線驅動電路
- 703 : 掃描線驅動電路
- 704 : 信號線驅動電路
- 710 : 電容佈線
- 712 : 閘極佈線
- 713 : 閘極佈線
- 714 : 汲極電極
- 716 : 電晶體

- 717 : 電晶體
- 718 : 液晶元件
- 719 : 液晶元件
- 720 : 像素
- 721 : 開關電晶體
- 722 : 驅動電晶體
- 723 : 電容元件
- 724 : 發光元件
- 725 : 信號線
- 726 : 掃描線
- 727 : 電源線
- 728 : 共用電極
- 800 : RF 標籤
- 801 : 通信器
- 802 : 天線
- 803 : 無線信號
- 804 : 天線
- 805 : 整流電路
- 806 : 恆壓電路
- 807 : 解調變電路
- 808 : 調變電路
- 809 : 邏輯電路
- 810 : 記憶體電路
- 811 : ROM

- 901 : 外殼
- 902 : 外殼
- 903 : 顯示部
- 904 : 顯示部
- 905 : 麥克風
- 906 : 揚聲器
- 907 : 操作鍵
- 908 : 觸控筆
- 911 : 外殼
- 912 : 外殼
- 913 : 顯示部
- 914 : 顯示部
- 915 : 連接部
- 916 : 操作鍵
- 921 : 外殼
- 922 : 顯示部
- 923 : 鍵盤
- 924 : 指向裝置
- 931 : 外殼
- 932 : 冷藏室門
- 933 : 冷凍室門
- 941 : 外殼
- 942 : 外殼
- 943 : 顯示部

- 944 : 操作鍵
- 945 : 透鏡
- 946 : 連接部
- 951 : 車體
- 952 : 車輪
- 953 : 儀表板
- 954 : 燈

- 1189 : ROM 介面
- 1190 : 基板
- 1191 : ALU
- 1192 : ALU 控制器
- 1193 : 指令解碼器
- 1194 : 中斷控制器
- 1195 : 時序控制器
- 1196 : 暫存器
- 1197 : 暫存器控制器
- 1198 : 匯流排介面
- 1199 : ROM
- 1200 : 記憶元件
- 1201 : 電路
- 1202 : 電路
- 1203 : 開關
- 1204 : 開關
- 1206 : 邏輯元件

- 1207 : 電容元件
- 1208 : 電容元件
- 1209 : 電晶體
- 1210 : 電晶體
- 1213 : 電晶體
- 1214 : 電晶體
- 1220 : 電路
- 2100 : 電晶體
- 2200 : 電晶體
- 3001 : 佈線
- 3002 : 佈線
- 3003 : 佈線
- 3004 : 佈線
- 3005 : 佈線
- 3200 : 電晶體
- 3300 : 電晶體
- 3400 : 電容元件
- 4000 : RF 裝置
- 5120 : 基板

I662653

發明摘要

※申請案號：104102336

※申請日：104年01月23日

※IPC分類：*H01L 21/822* (2006.01)
H01L 27/04 (2006.01)
H01L 27/088 (2006.01)

【發明名稱】(中文/英文)

半導體裝置、電子裝置及半導體裝置的製造方法

Semiconductor device, electronic device, and manufacturing method of
semiconductor device

【中文】

本發明的目的之一是提供一種適合於微型化的半導體裝置。本發明的一個方式是一種半導體裝置，包括：第一電晶體；位於第一電晶體的上方的第二電晶體；位於第一電晶體與第二電晶體之間的絕緣膜；位於第一電晶體與絕緣膜之間的佈線；以及電極，其中，電極和佈線具有彼此重疊的區域，絕緣膜具有能夠減少水或氫的擴散的功能，第一電晶體的通道具有單晶半導體，第二電晶體的通道具有氧化物半導體，並且，第二電晶體的閘極電極包含與電極所包含的材料相同的材料。

【 英文 】

To provide a semiconductor device that is suitable for miniaturization. The semiconductor device includes a first transistor, a second transistor over the first transistor, an insulating film between the first transistor and the second transistor, a wiring between the first transistor and the insulating film, and an electrode. The electrode and the wiring partly overlap each other. The insulating film has a function of reducing diffusion of water or hydrogen. A channel in the first transistor includes a single crystal semiconductor. A channel in the second transistor includes an oxide semiconductor. A gate electrode of the second transistor includes the same material as that included in the electrode.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

- 10：疊層結構
- 11：第一層
- 12：第二層
- 21：第一絕緣膜
- 22：第二絕緣膜
- 31：第一佈線層
- 32：第二佈線層
- 41：障壁膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1. 一種半導體裝置的製造方法，包括如下步驟：
形成在其通道中包含單晶半導體的第一電晶體；
在該第一電晶體上形成佈線；
在該佈線上形成第一絕緣膜；
在該第一絕緣膜上形成第二絕緣膜；
在該第二絕緣膜上形成氧化物半導體膜；
在該氧化物半導體膜上形成第一電極和第二電極；
在該第二絕緣膜、該第一電極和該第二電極上形成閘極絕緣膜；
在該閘極絕緣膜上形成遮罩；
使用該遮罩以到達該佈線的方式在該閘極絕緣膜、該第一絕緣膜和該第二絕緣膜中形成開口；
以填充該開口的方式形成第一導電膜和第二導電膜的疊層；
對該第二導電膜進行平坦化處理；以及
對該第一導電膜和被平坦化的該第二導電膜進行蝕刻，由此形成該閘極絕緣膜上的第一閘極電極和第三電極、該第一閘極電極上的第二閘極電極以及該第三電極上的第四電極，
其中，該第一絕緣膜具有減少水或氫的擴散的功能。
2. 一種半導體裝置的製造方法，包括如下步驟：
形成在其通道中包含單晶半導體的第一電晶體；
在該第一電晶體上形成佈線；

在該佈線上形成第一絕緣膜；

在該第一絕緣膜上形成第二絕緣膜；

在該第二絕緣膜上形成氧化物半導體膜；

在該氧化物半導體膜上形成第一電極和第二電極；

在該第二絕緣膜、該第一電極和該第二電極上形成閘極絕緣膜；

在該閘極絕緣膜、該第一絕緣膜和該第二絕緣膜中形成開口，該開口到達該佈線；

以填充該開口的方式形成第一導電膜和第二導電膜的疊層；

對該第二導電膜進行平坦化處理；以及

對該第一導電膜和被平坦化的該第二導電膜進行蝕刻，由此形成該閘極絕緣膜上的第一閘極電極和第三電極，

其中，該第三電極係透過該開口電連接到該佈線。

3.根據申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中該第三電極係電連接到該第一電晶體的閘極電極。

4.根據申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中該第二絕緣膜含有的氧多於化學計量組成中的氧。

5.根據申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中該平坦化處理是化學機械拋光法。

6.根據申請專利範圍第 1 或 2 項之半導體裝置的製造

方法，其中該第一閘極電極的頂面的高度與該第三電極的頂面的高度一致。