



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I680552 B

(45) 公告日：中華民國 108 (2019) 年 12 月 21 日

(21) 申請案號：107113942

(22) 申請日：中華民國 107 (2018) 年 04 月 25 日

(51) Int. Cl. : H01L23/48 (2006.01)

H01L23/522 (2006.01)

(30) 優先權：2017/05/02 美國

15/584,965

(71) 申請人：美商美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國

(72) 發明人：克比 凱爾 K KIRBY, KYLE K. (US)

(74) 代理人：陳長文

(56) 參考文獻：

US 2009/0140383A1

US 2014/0217546A1

US 2016/0109399A1

審查人員：王世賢

申請專利範圍項數：26 項 圖式數：14 共 60 頁

(54) 名稱

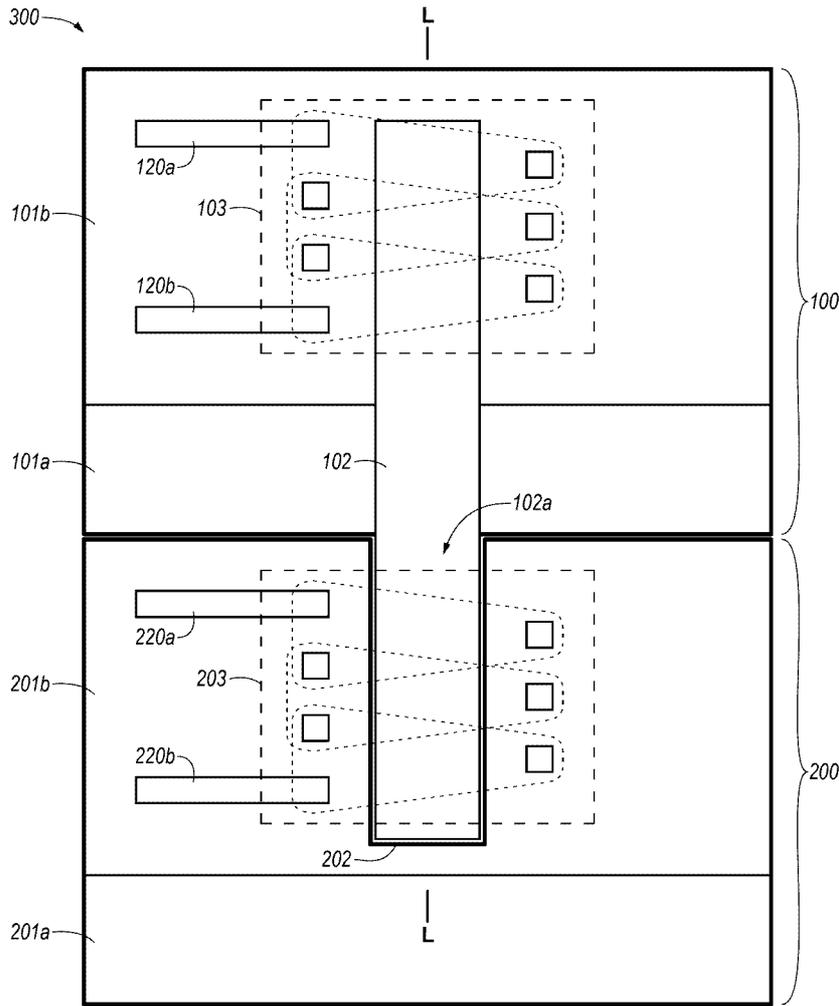
具有貫穿基板通路核心的三維互連多晶粒電感器

(57) 摘要

本發明提供一種半導體裝置，其具有一第一晶粒及一第二晶粒。該裝置之該第一晶粒包含一第一表面及至少實質上延伸穿過該第一晶粒之一貫穿基板通路(TSV)，該 TSV 具有延伸超過該第一表面之一部分。該第一晶粒進一步包含圍繞該 TSV 安置之一第一實質上螺旋形導體。該裝置之該第二晶粒包含一第二表面、其中安置該 TSV 之該部分之該第二表面中之一開口及圍繞該開口安置之一第二實質上螺旋形導體。

A semiconductor device having a first die and a second die is provided. The first die of the device includes a first surface and a through-substrate via (TSV) extending at least substantially through the first die, the TSV having a portion extending past the first surface. The first die further includes a first substantially helical conductor disposed around the TSV. The second die of the device includes a second surface, an opening in the second surface in which the portion of the TSV is disposed, and a second substantially helical conductor disposed around the opening.

指定代表圖：



【圖3】

符號簡單說明：

- 100 . . . 第一晶粒
- 101a . . . 第一基板
- 101b . . . 第一絕緣材料
- 102 . . . 貫穿基板通路(TSV)
- 102a . . . 部分
- 103 . . . 第一導體
- 120a . . . 引線
- 120b . . . 引線
- 200 . . . 第二晶粒
- 201a . . . 第二基板
- 201b . . . 第二絕緣材料
- 202 . . . 開口
- 203 . . . 第二導體
- 220a . . . 引線
- 220b . . . 引線
- 300 . . . 多晶粒半導體裝置
- L . . . 縱向維度

【發明說明書】

【中文發明名稱】

具有貫穿基板通路核心的三維互連多晶粒電感器

【英文發明名稱】

3D INTERCONNECT MULTI-DIE INDUCTORS WITH
THROUGH-SUBSTRATE VIA CORES

【技術領域】

【0001】 本發明大體上係關於半導體裝置，且更特定言之，本發明係關於包含具有貫穿基板通路核心之多晶粒電感器之半導體裝置及其製造及使用方法。

【先前技術】

【0002】 隨著電子電路之小型化需求不斷增長，使諸如電感器之各種電路元件最小化之需求飛速增長。在諸多離散元件電路(諸如阻抗匹配電路、線性濾波器及各種電源電路)中，電感器係一重要組件。由於傳統電感器係大型組件，所以電感器之成功小型化面臨一具挑戰性工程問題。

【0003】 使一電感器小型化之一方法係使用標準積體電路建構區塊(諸如電阻器、電容器)及主動電路(諸如運算放大器)來設計模擬一離散電感器之電性質之一主動電感器。主動電感器可經設計以具有一高電感及一高品質因數，但使用此等設計所製造之電感器消耗大量功率且產生雜訊。另一方法係使用習知積體電路程序來製造一螺旋式電感器。不幸的是，一單一層級(例如平面)中之螺旋電感器佔用一大表面積，使得製造具有高電感之一螺旋電感器會很昂貴且大小過大。因此，需要其他方法來使半導體裝置中之電感元件小型化。

【發明內容】**【圖式簡單說明】**

【0004】 圖1係根據本發明之一實施例之一多晶粒半導體裝置之一第一晶粒之一簡化橫截面圖。

【0005】 圖2係根據本發明之一實施例之一多晶粒半導體裝置之一第一晶粒之一簡化橫截面圖。

【0006】 圖3係根據本發明之一實施例所組態之間包含具有一貫穿基板通路核心之耦合電感器之一多晶粒半導體裝置之一簡化橫截面圖。

【0007】 圖4係根據本發明之一實施例所組態之圍繞一貫穿基板通路安置之一實質上螺旋形導體之一簡化透視圖。

【0008】 圖5係根據本發明之一實施例所組態之包含具有一貫穿基板通路核心之耦合電感器之一多晶粒半導體裝置之一簡化橫截面圖。

【0009】 圖6係根據本發明之一實施例所組態之包含具有貫穿基板通路核心之耦合電感器之一多晶粒半導體裝置之一簡化透視分解圖。

【0010】 圖7係根據本發明之一實施例所組態之包含具有一貫穿基板通路核心之耦合電感器之一多晶粒半導體裝置之一簡化橫截面圖。

【0011】 圖8係根據本發明之一實施例所組態之包含具有一貫穿基板通路核心之耦合電感器之一多晶粒半導體裝置之一簡化橫截面圖。

【0012】 圖9係根據本發明之一實施例所組態之包含具有貫穿基板通路核心之耦合電感器之一多晶粒半導體裝置之一簡化橫截面圖。

【0013】 圖10係根據本發明之一實施例所組態之圍繞一貫穿基板通路安置之一實質上螺旋形導體之一簡化透視圖。

【0014】 圖11A至圖11H係根據本發明之一實施例之一製程之各階

段中之包含具有一貫穿基板通路核心之耦合電感器之一多晶粒半導體裝置之簡化橫截面圖及透視圖。

【0015】 圖12係繪示根據本發明之一實施例之製造包含具有一貫穿基板通路核心之耦合電感器之一多晶粒半導體裝置之一方法的一流程圖。

【0016】 圖13係繪示根據本發明之一實施例之製造包含具有一貫穿基板通路核心之耦合電感器之一多晶粒半導體裝置之一方法的一流程圖。

【0017】 圖14係繪示根據本發明之一實施例之製造包含具有一貫穿基板通路核心之耦合電感器之一多晶粒半導體裝置之一方法的一流程圖。

【實施方式】

相關申請案之交叉參考

【0018】 本申請案含有與名稱為「SEMICONDUCTOR DEVICES WITH BACK-SIDE COILS FOR WIRELESS SIGNAL AND POWER COUPLING」之由Kyle K. Kirby同時申請之一美國專利申請案相關之標的。其揭示內容以引用方式併入本文中之該相關申請案被讓與Micron Technology公司且由代理檔案號10829-9206.US00識別。

【0019】 本申請案含有與名稱為「SEMICONDUCTOR DEVICES WITH THROUGH-SUBSTRATE COILS FOR WIRELESS SIGNAL AND POWER COUPLING」之由Kyle K. Kirby同時申請之一美國專利申請案相關之標的。其揭示內容以引用方式併入本文中之該相關申請案被讓與Micron Technology公司且由代理檔案號10829-9207.US00識別。

【0020】 本申請案含有與名稱為「INDUCTORS WITH COUPLED THROUGH-SUBSTRATE VIA CORES」之由Kyle K. Kirby同時申請之一美國專利申請案相關之標的。其揭示內容以引用方式併入本文中之該相

關申請案被讓與 Micron Technology 公司且由代理檔案號 10829-9208.US00 識別。

【0021】本申請案含有與名稱為「MULTI-DIE INDUCTORS WITH COUPLED THROUGH-SUBSTRATE VIA CORES」之由 Kyle K. Kirby 同時申請之一美國專利申請案相關之標的。其揭示內容以引用方式併入本文中之該相關申請案被讓與 Micron Technology 公司且由代理檔案號 10829-9220.US00 識別。

【0022】在以下描述中討論諸多特定細節以提供本發明之實施例之一透徹且可行描述。然而，熟習相關技術者將認識到，可在無該等特定細節之一或多者之情況下實踐本發明。在其他例項中，未展示或未詳細描述通常與半導體裝置相關聯之熟知結構或操作以避免使本發明之其他態樣不清楚。一般而言，應瞭解，除本文中所揭示之該等特定實施例之外，各種其他裝置、系統及方法亦可在本發明之範疇內。

【0023】如上文所討論，隨著對佔用一小面積之具有高電感之電感器之需求不斷增大，半導體裝置經不斷完善設計。此等需求在具有不同晶粒中之耦合電感器之多晶粒裝置中尤其迫切，其中電感器耦合之效率可部分取決於具有高電感之電感器。因此，根據本發明之半導體裝置之若干實施例可提供具有貫穿基板通路核心之多晶粒耦合電感器，其可在僅佔用一小面積之情況下提供高電感及高效率耦合。

【0024】本發明之若干實施例係針對包括多個晶粒之半導體裝置。在一實施例中，一半導體裝置包括一第一晶粒及一第二晶粒。裝置之第一晶粒包含一第一表面及至少實質上延伸穿過第一晶粒之一貫穿基板通路 (TSV)，TSV 具有延伸超過第一表面之一部分。第一晶粒可進一步包含圍

繞TSV安置之一第一實質上螺旋形導體。裝置之第二晶粒包含一第二表面、其中安置TSV之部分之第二表面中之一開口及圍繞開口安置之一第二實質上螺旋形導體。第一實質上螺旋形導體可為一非平面螺旋，其經組態以回應於第一實質上螺旋形導體中之一第一變化電流而在TSV中誘發一磁場之一變化，且第二實質上螺旋形導體可為一非平面螺旋，其經組態以回應於TSV之部分中之磁場之變化而具有誘發於其內之一第二變化電流。

【0025】圖1係根據本發明之一實施例之一多晶粒半導體裝置之一第一晶粒100之一簡化橫截面圖。第一晶粒100包含一第一基板101a及一第一絕緣材料101b。第一晶粒100進一步包含至少實質上延伸穿過第一晶粒100之一TSV 102 (例如，大致自第一絕緣材料101b之頂面向下延伸穿過第一基板101a)，其中一部分102a延伸至第一基板101a之底面下方。第一晶粒100亦包含圍繞TSV 102安置之一第一實質上螺旋形導體103 (「導體103」)。在本實施例中，第一導體103經展示為包含圍繞TSV 102之三個完整匝(103a、103b及103c)。第一導體103可藉由引線120a及120b來可操作地連接至其他電路元件(圖中未展示)。

【0026】第一導體103之匝103a至103c彼此電絕緣且與TSV 102電絕緣。在一實施例中，第一絕緣材料101b使第一導體103與TSV 102電隔離。在另一實施例中，第一導體103可具有由一介電或絕緣外層覆蓋(例如，塗覆)之一導電內區域。例如，第一導體103之一外層可為氧化物層，且第一導體103之一內區域可為銅、金、鎢或其等之合金。TSV 102亦可包含一外層及外層內之一磁性材料。外層可為使TSV 102之磁性材料與第一導體103電隔離之一介電或絕緣材料(例如氧化矽、氮化矽、聚醯亞胺等等)。第一導體103之一態樣係個別匝103a至103c相對於TSV 102之縱向維

度「L」界定一非平面螺旋。在第一導體103之非平面螺旋中，各後續匝103a至103c位於沿TSV 102之縱向維度L之一不同高度處。

【0027】 根據本發明之一實施例，第一基板101a可為適合於半導體處理方法之若干基板材料之任一者，其包含矽、玻璃、砷化鎵、氮化鎵、有機層板、模製化合物(例如，用於扇出晶圓級準處理之重組晶圓)及其類似者。熟習技術者將容易理解，可藉由將一高縱橫比孔蝕刻至一基板材料中且在一或多個沈積及/或電鍍步驟中使用一或多個材料填充孔來製造一貫穿基板通路，諸如TSV 102。因此，TSV 102至少實質上延伸穿過第一基板101a，此與附加地建構於第一基板101a之頂部上之其他電路元件不同。例如，第一基板101a可為約100 μm 厚之一薄化矽晶圓，且TSV 102可自第一絕緣材料101b之一頂面附近延伸穿過第一基板101a，使得TSV 102之一部分102a自第一基板101a之底面突出10 μm 以上。

【0028】 轉至圖2，其繪示根據本發明之一實施例之多晶粒半導體裝置之一第二晶粒200之一簡化橫截面圖。第二晶粒200包含一第二基板201a及一第二絕緣材料201b。根據本發明之一實施例，第二基板201a可為適合於半導體處理方法之若干基板材料之任一者，其包含矽、玻璃、砷化鎵、氮化鎵、有機層板、模製化合物(例如，用於扇出晶圓級處理之重組晶圓)及其類似者。第二晶粒200進一步包含一開口202，其自第二絕緣材料201b之一頂面延伸至第二基板201a之一頂面附近(例如，其中第二絕緣材料201b之一薄層覆蓋第二基板201a)。第二晶粒200進一步包含圍繞開口202安置之一第二實質上螺旋形導體203(「導體203」)。在本實施例中，第二導體203經展示為包含圍繞開口202之三個完整匝(203a、203b及203c)。第二導體203可藉由引線220a及220b來可操作地連接至其他電路

元件(圖中未展示)。

【0029】 轉至圖3，其繪示根據本發明之一實施例之包含第一晶粒100及第二晶粒200之多晶粒半導體裝置300之一簡化橫截面圖。如參考圖3可見，延伸至第一晶粒100之第一基板101a之底面下方之TSV 102之部分102a安置於第二晶粒200中之開口202內。因此，第二導體203圍繞TSV 102之部分102a安置(例如，與TSV 102同軸)。第二導體203之三個匝203a至203c彼此電絕緣且與TSV 102電絕緣。在一實施例中，絕緣材料201b使第二導體203與TSV 102電隔離。在另一實施例中，第二導體203可具有由一介電或絕緣外層覆蓋(例如，塗覆)之一導電內區域。例如，第二導體203之一外層可為氧化物層，且第二導體203之一內區域可為銅、金、鎢或其等之合金。如上文所闡述，TSV 102亦可包含一外層及外層內之一磁性材料。外層可為使TSV 102之磁性材料與第二導體203電隔離之一介電或絕緣材料(例如氧化矽、氮化矽、聚醯亞胺等等)。第二導體203之一態樣係個別匝203a至203c相對於開口202之縱向維度「L」界定一非平面螺旋。在第二導體203之非平面螺旋中，各後續匝203a至203c位於沿開口之縱向維度L之一不同高度處。此外，開口202亦可部分填充有一模製化合物(圖中未展示)或其他填充材料以消除TSV 102之一外表面與開口202之一內表面之間的空間中之空隙或殘存氣體。

【0030】 根據一實施例，第一導體103可經組態以回應於一電流通過第一導體103 (例如，由跨引線120a及120b所施加之一電壓差提供)而在TSV 102中誘發一磁場。可藉由改變通過第一導體103之電流(例如，藉由施加一交流電或藉由在高電壓狀態與低電壓狀態之間重複切換)來誘發TSV 102中之一變化磁場，其繼而誘發第二導體203中之一變化電流。依

此方式，可在包括第一導體103之一電路與包括第二導體203之另一電路之間耦合信號及/或功率。

【0031】 在另一實施例中，第二導體203可經組態以回應於一電流通過第二導體203 (例如，由跨引線220a及220b所施加之一電壓差提供)而在TSV 102中誘發一磁場。可藉由改變通過第二導體203之電流(例如，藉由施加一交流電或藉由在高電壓狀態與低電壓狀態之間重複切換)來誘發TSV 102中之一變化磁場，其繼而誘發第一導體103中之一變化電流。依此方式，可在包括第二導體203之一電路與包括第一導體103之另一電路之間耦合信號及/或功率。

【0032】 根據本發明之一實施例，TSV 102可包含一磁性材料(例如具有高於第一基板101a及第二基板201a之材料及/或第一絕緣材料101b及第二絕緣材料201b之一磁導率之一材料)以在電流流動通過第一導體103及/或第二導體203時增強TSV 102中之磁場。磁性材料可為鐵磁體、亞鐵磁體或其等之一組合。TSV 102可包含一單一組合物之一塊狀材料或不同材料之離散區域(例如同軸層疊層)中之一種以上材料。例如，TSV 102可包含鎳、鐵、鈷、鈮或其等之合金。

【0033】 根據本發明之一實施例，TSV 102可包含具有所要磁性性質(例如由鎳、鐵、鈷、鈮或其等之一合金提供之高磁導率)之一塊狀材料或可包含多個離散層(其等之僅部分具磁性)。例如，在一高縱橫比蝕刻及一絕緣體沈積之後，可在使用一磁性材料來填充絕緣蝕刻孔之一單一金屬化步驟中提供TSV 102。在另一實施例中，可在用於提供同軸層(例如，兩個或兩個以上磁性層由一或多個非磁性層分離)之多個步驟中形成TSV 102。例如，可在一自下而上填充操作之前執行多個保形電鍍操作以提供

具有使一磁性材料核心及一外磁性材料同軸層分離之一非磁性材料同軸層之一TSV。就此而言，一第一保形電鍍步驟可使用一磁性材料(例如鎳、鐵、鈷、鈮或其等之一合金)來部分填充且窄化蝕刻孔，一第二保形電鍍步驟可使用一非磁性材料(例如聚醯亞胺或其類似者)來進一步部分填充且進一步窄化孔，且一後續自下而上電鍍步驟(例如，在將一晶種材料沈積於窄化開口之底部處之後)可使用另一磁性材料(例如鎳、鐵、鈷、鈮或其等之一合金)來完全填充窄化孔。具有磁性及非磁性材料之層疊同軸層之此一結構可有助於減少一磁通量穿過之一TSV中之渦流損失。

【0034】 在本發明之若干實施例中，圍繞一TSV核心(或圍繞經組態以接納一TSV核心之一部分的一開口)之導電繞組無需呈平滑螺旋形。儘管圖1至圖3中將導體103及203示意性且功能性地繪示成具有在橫截面中表現為使與一各自基板之一表面之距離逐漸增大之匝，但熟習技術者將容易理解，製造具有垂直於一基板之一表面之一軸線之一平滑螺旋面臨一重大工程挑戰。因此，本文中所使用之一「實質上螺旋形」導體描述具有沿TSV之縱向維度L(例如垂直於基板平面之z維度)分離但未必沿z維度平滑變動(例如，實質上螺旋形狀不具有弧形曲面及一恆定螺距角)之匝之一導體。確切而言，導體之一個別匝可具有零度之一螺距角且相鄰匝可藉由具有一較大螺距角之陡直或甚至垂直連接器(例如跡線或通路)來彼此電耦合，使得一「實質上螺旋形」導體可具有一階梯狀結構。此外，由一實質上螺旋形導體之個別匝之路徑勾畫之平面形狀無需為橢圓形或圓形。為便於與高效率半導體處理方法(例如，使用具成本效益倍縮光罩遮罩)整合，一實質上螺旋形導體之個別匝可在一平面圖中勾畫一多邊形路徑(例如圍繞TSV 102或開口202之正方形、六邊形、八邊形或一些其他規則或不規

則多邊形形狀)。因此，本文中所使用之一「實質上螺旋形」導體描述一非平面螺旋導體，其具有在一平面圖(例如，平行於基板表面之平面)中勾畫包圍一中心軸線之任何形狀(其包含圓形、橢圓形、規則多邊形、不規則多邊形或其等之某一組合)之匝。

【0035】 圖4係根據本發明之一實施例所組態之圍繞一貫穿基板通路402安置之一實質上螺旋形導體404 (「導體404」)之一簡化透視圖。為更易於繪示圖4中所繪示之導體404之實質上螺旋形狀，已自繪圖消除其中安置導體404及TSV 402之裝置之基板材料、絕緣材料及其他細節。如參考圖4可見，導體404圍繞TSV 402同軸安置。此特定實施例之導體404具有圍繞TSV 402之三個匝(404a、404b及404c)。如上文所描述，導體404不具有一單一螺距角，而是具有一階梯狀結構，其中具有0之一螺距角之匝(例如放置於裝置400之一平面中之匝)由圍繞匝周向交錯之垂直連接部分連接。就此而言，平面匝404a及404b由一垂直連接部分406連接，且平面匝404b及404c由一垂直連接部分408連接。此階梯狀結構促進使用簡單半導體處理技術(例如用於垂直連接部分之匝及通路形成之平面金屬化步驟)來製造導體404。此外，如圖4中所展示，當定向於一平面圖中時，導體404之匝404a、404b及404c勾畫圍繞TSV 402之一矩形形狀。

【0036】 根據一實施例，TSV 402可視情況(例如由虛線所展示)包含由一或多個同軸層(諸如層402b及402c)包圍之一核心材料402a。例如，核心402a及外同軸層402c可包含磁性材料，而中間同軸層402b可包含一非磁性材料，從而提供可減少渦流損失之一層疊結構。儘管圖4中將TSV 402繪示為視情況包含三層結構(例如，一核心402a由兩個同軸層疊層402b及402c包圍)，但在其他實施例中，可使用任何數目個同軸層疊層來

製造一TSV。

【0037】 儘管上述實例中已展示具有圍繞一TSV (或經組態以接納一TSV之一部分的一開口)之三個匝之實質上螺旋形導體，但一實質上螺旋形導體圍繞一TSV之匝數可根據本發明之不同實施例來變動。如圖4之實例性實施例中所展示，一實質上螺旋形導體無需圍繞一TSV形成整數個匝(例如，頂部匝及/或底部匝可不是一完整匝)。與具有較少匝相比，提供較多匝可增大一電感器之電感，但製造成本及複雜性會增加(例如更多製造步驟)。匝數可低至1或高達期望值。當耦合電感器具有相同繞組數時，其等可在不升高或降低來自初級繞組之電壓之情況下耦合兩個電隔離電路。

【0038】 儘管圖1及圖3之上述實施例已繪示具有兩個晶粒之半導體裝置，但在本發明之其他實施例中，半導體裝置可包含其中耦合電感器共用一單一TSV之三個晶粒。例如，圖5係根據本發明之一實施例所組態之包含具有TSV核心之耦合電感器之一多晶粒半導體裝置之一簡化橫截面圖。裝置500包含一第一晶粒510、一第二晶粒520及一第三晶粒530。第一晶粒510包含一第一基板511a及一第一絕緣材料511b。第一晶粒進一步包含至少實質上延伸穿過第一晶粒510之一TSV 512 (例如，完全延伸穿過第一絕緣材料511b及第一基板511a)，其中一第一部分512a延伸至第一基板511a之底面下方，且一第二部分512b延伸至第一絕緣材料511b之頂面上方。第一晶粒510亦包含圍繞TSV 512安置之一實質上螺旋形導體513 (「導體513」)。在本實施例中，導體513經展示為包含圍繞TSV 512之三個完整匝。第一導體513可藉由引線514a及514b來可操作地連接至其他電路元件(圖中未展示)。

【0039】 第二晶粒520安置於第一晶粒510下方。第二晶粒520包含一第二基板521a及一第二絕緣材料521b。根據本發明之一實施例，第二基板521a可為適合於半導體處理方法之若干基板材料之任一者，其包含矽、玻璃、砷化鎵、氮化鎵、有機層板、模製化合物(例如，用於扇出晶圓級處理之重組晶圓)及其類似者。第二晶粒520進一步包含一開口522，其自第二絕緣材料521b之一頂面延伸至第二基板521a之一頂面附近(例如，其中第二絕緣材料521b之一薄層覆蓋第二基板521a)。第二晶粒520進一步包含圍繞開口522安置之一第二實質上螺旋形導體523(「導體523」)。在本實施例中，第二導體523經展示為包含圍繞開口522之三個完整匝。第二導體523可藉由引線524a及524b來可操作地連接至其他電路元件(圖中未展示)。

【0040】 如參考圖5可見，延伸至第一晶粒510之第一基板511a之底面下方之TSV 512之部分512a安置於第二晶粒520中之開口522內。因此，第二導體523圍繞TSV 512之部分512a安置(例如，與TSV 512同軸)。第二導體523之三個匝彼此電絕緣且與TSV 512電絕緣。此外，開口522亦可部分填充有一模製化合物(圖中未展示)或其他填充材料以消除TSV 512之一外表面與開口522之一內表面之間的空間中之空隙或殘存氣體。

【0041】 第三晶粒530依一面對面配置安置於第一晶粒510上方(例如，在圖5中，第三晶粒530相對於第一晶粒510「顛倒」定向，使得第三晶粒之一頂面定向於第一晶粒之底面下方)。第三晶粒530包含一第三基板531a及一第三絕緣材料531b。根據本發明之一實施例，第三基板531a可為適合於半導體處理方法之若干基板材料之任一者，其包含矽、玻璃、砷

化鎘、氮化鎘、有機層板、模製化合物(例如，用於扇出晶圓級處理之重組晶圓)及其類似者。第三晶粒530進一步包含一開口532，其自第三絕緣材料531b之一頂面(例如與第三基板531a對置之第三絕緣材料531b之表面)延伸至第三基板531a之一頂面附近(例如，其中第三絕緣材料531b之一薄層覆蓋第三基板531a)。第三晶粒530進一步包含圍繞開口532安置之一第三實質上螺旋形導體533(「導體533」)。在本實施例中，第三導體533經展示為包含圍繞開口532之兩個完整匝。第三導體533可藉由引線534a及534b來可操作地連接至其他電路元件(圖中未展示)。

【0042】 如參考圖5可見，延伸至第一晶粒510之第一絕緣材料511b之頂面上方之TSV 512之部分512b安置於第三晶粒530中之開口532內。因此，第三導體533圍繞TSV 512之部分512b安置(例如，與TSV 512同軸)。第三導體533之兩個匝彼此電絕緣且與TSV 512電絕緣。此外，開口532亦可部分填充有一模製化合物(圖中未展示)或其他填充材料以消除TSV 512之一外表面與開口532之一內表面之間的空間中之空隙或殘存氣體。

【0043】 根據一實施例，第一導體513可經組態以回應於一電流通過第一導體513(例如，由跨引線514a及514b所施加之一電壓差提供)而在TSV 512中誘發一磁場。可藉由改變通過第一導體513之電流(例如，藉由施加一交流電或藉由在高電壓狀態與低電壓狀態之間重複切換)來誘發TSV 512中之一變化磁場，其繼而誘發第二導體523及第三導體533中之一變化電流。依此方式，可在包括第一導體513之一電路與包括第二導體523及第三導體533之其他電路之間耦合信號及/或功率。

【0044】 根據本發明之一實施例，TSV 512可包含一磁性材料(例如

具有高於基板材料511a、521a及531a及/或絕緣材料511b、521b及531b之一磁導率之一材料)以在電流流動通過三個導體513、523及533之一者時增強TSV 512中之磁場。磁性材料可為鐵磁體、亞鐵磁體或其等之一組合。TSV 512可包含一單一組合物之一塊狀材料或不同材料之離散區域(例如同軸層疊層)中之一種以上材料。例如，TSV 512可包含鎳、鐵、鈷、鈮或其等之合金。磁性及非磁性材料之層疊層可有助於減少TSV 512中之渦流損失。

【0045】 根據本發明之一實施例，TSV 512可包含具有所要磁性性質(例如由鎳、鐵、鈷或鈮或其等之一合金提供之高磁導率)之一塊狀材料或可包含多個離散層(其等之僅部分具磁性)。例如，在一高縱橫比蝕刻及一絕緣體沈積之後，可在使用一磁性材料來填充絕緣蝕刻孔之一單一金屬化步驟或提供同軸層(例如，多個磁性層由諸如聚醯亞胺之非磁性層分離)之多個層疊步驟中提供TSV 512。在一實施例中，為提供具有一多層結構之一TSV，可利用保形及自下而上填充電鍍操作之一混合(例如，一或多個保形電鍍步驟使用一或多個材料來部分填充且窄化蝕刻開口，且一後續自下而上電鍍步驟使用另一材料來完全填充窄化開口)。

【0046】 如圖5中所展示，第三導體533具有不同於第一導體513及第二導體523之一匝數。熟習技術者將容易理解，此配置容許將裝置500操作為一升壓或降壓變壓器(取決於將哪個導體用作初級繞組及哪個導體用作次級繞組)。例如，鑑於此組態中之初級繞組與次級繞組之間的3:2匝比，將一第一變化電流(例如3 V交流電)施加至第一導體513將在第三導體533中誘發具有一較低電壓(例如2 V交流電)之一變化電流。當操作為一升壓變壓器(例如，藉由將第三導體533用作初級繞組且將第一導體513及第

二導體523用作次級繞組)時，鑑於此組態中之初級繞組與次級繞組之間的2:3匝比，將一第一變化電流(例如4 V交流電)施加至第三導體533將在第一導體513及第二導體523中誘發具有較高電壓(例如6 V交流電)之變化電流。

【0047】 根據本發明之一態樣，一第一晶粒中之一TSV之暴露部分與一第二晶粒中之一互補開口一起容許形成如此組態之晶粒之間的三維互連(「3DI」)。然而，與經組態以載送電信號之TSV不同，形成一多晶粒耦合電感器組態之磁心之TSV無需電連接至任何電路元件。因此，根據本發明之一實施例，可自裝置500之一製造方法省略用於改良TSV與其他電路元件之間的電連接之諸多步驟(例如凸塊下金屬化、焊球形成、焊料回流等等)。此一有利省略可促成具有一高數目或一高密度之此等3DI之晶粒之較簡單連接，如將參考圖6更詳細繪示。

【0048】 轉至圖6，其繪示根據本發明之一實施例之包含具有貫穿基板通路核心之耦合電感器之一多晶粒半導體裝置600之一簡化透視分解圖。如參考圖6可見，裝置600包含具有複數個TSV 612 (圖中僅標記一個)之一第一晶粒610，複數個TSV 612各具有延伸至第一晶粒610之一下表面下方之一暴露部分，且裝置600進一步包含具有複數個開口622 (圖中僅標記一個)之一第二晶粒620，複數個開口622經組態以接收第一晶粒610之TSV之暴露部分。TSV 612各具有依一同軸配置圍繞其安置之一或多個實質上螺旋形導體，如上文所更詳細闡述。開口622各具有依一同軸配置圍繞其安置之一或多個實質上螺旋形導體(如上文所更詳細闡述)，使得當TSV 612之暴露部分安置於開口622中時，圍繞各開口622之實質上螺旋形導體將圍繞延伸至第二晶粒620中之TSV 612之部分安置。

【0049】 儘管上述實施例已繪示在各晶粒中具有一單一實質上螺旋形導體之多晶粒半導體裝置，但本發明之其他實施例可在一單一晶粒中組態有一個以上此導體，如下文將更詳細闡述。例如，圖7係根據本發明之一實施例所組態之包含具有一TSV核心之耦合電感器之一多晶粒半導體裝置700之一簡化橫截面圖。裝置700包含一第一晶粒710、一第二晶粒720及一第三晶粒730。第一晶粒710包含一第一基板711a及一第一絕緣材料711b。第一晶粒進一步包含至少實質上延伸穿過第一晶粒710之一TSV 712 (例如，完全延伸穿過第一絕緣材料711b及第一基板711a兩者)，其中一第一部分712a延伸至第一基板711a之底面下方，且一第二部分712b延伸至第一絕緣材料711b之頂面上方。第一晶粒710亦包含圍繞TSV 712之一第一部分安置之一第一實質上螺旋形導體713a (「導體713a」)。在本實施例中，第一導體713a經展示為包含圍繞TSV 712之三個完整匝。第一導體713a可藉由引線714a及714b來可操作地連接至其他電路元件(圖中未展示)。第一晶粒710亦包含圍繞TSV 712之一第二部分安置之一第二實質上螺旋形導體713b (「導體713b」)。在本實施例中，第二導體713b經展示為包含圍繞TSV 712之兩個完整匝。第二導體713b可藉由引線714c及714d來可操作地連接至其他電路元件(圖中未展示)。

【0050】 第二晶粒720安置於第一晶粒710下方。第二晶粒包含一第二基板721a及一第二絕緣材料721b。第二晶粒720進一步包含一開口722，其自第二絕緣材料721b之一頂面延伸至將近第二基板721a之一頂面附近(例如，其中第二絕緣材料721b之一薄層覆蓋第二基板721a)。第二晶粒720進一步包含圍繞開口722安置之一第三實質上螺旋形導體723 (「導體723」)。在本實施例中，第三導體723經展示為包含圍繞開口722之三

個完整匝。第三導體723藉由引線724a及724b來可操作地連接至其他電路元件(圖中未展示)。

【0051】 如參考圖7可見，延伸至第一晶粒710之第一基板711a之底面下方之TSV 712之第一部分712a安置於第二晶粒720中之開口722內。因此，第三導體723圍繞TSV 712之部分712a安置(例如，與TSV 712同軸)。第三導體723之三個匝彼此電絕緣且與TSV 712電絕緣。此外，開口722亦可部分填充有一模製化合物(圖中未展示)或其他填充材料以消除TSV 712之一外表面與開口722之一內表面之間的空間中之空隙或殘存氣體。

【0052】 第三晶粒730依一面對面配置安置於第一晶粒710上方(例如，在圖7中，第三晶粒730相對於第一晶粒「顛倒」定向，使得第三晶粒之一頂面定向於底面下方)。第三晶粒包含一第三基板731a及一第三絕緣材料731b。第三晶粒730進一步包含一開口732，其自第三絕緣材料731b之一頂面(例如與第三基板731a對置之第三絕緣材料731b之表面)延伸至第三基板731a之一頂面附近(例如，其中第三絕緣材料731b之一薄層覆蓋第三基板731a)。第三晶粒730進一步包含圍繞開口732安置之一第四實質上螺旋形導體733(「導體733」)。在本實施例中，第四導體733經展示為包含圍繞開口732之兩個完整匝。第四導體733可藉由引線734a及734b來可操作地連接至其他電路元件(圖中未展示)。

【0053】 如參考圖7可見，延伸至第一晶粒710之第一絕緣材料711b之頂面上方之TSV 712之第二部分712b安置於第三晶粒730中之開口732內。因此，第四導體733圍繞TSV 712之第二部分712b安置(例如，與TSV 712同軸)。第四導體733之兩個匝彼此電絕緣且與TSV 712電絕緣。此

外，開口732亦可部分填充有一模製化合物(圖中未展示)或其他填充材料以消除TSV 712之一外表面與開口732之一內表面之間的空間中之空隙或殘存氣體。

【0054】 根據一實施例，圍繞TSV 712之一導體(例如第一導體713a)可經組態以回應於一電流通過第一導體713a (例如，由跨引線714a及714b所施加之一電壓差提供)而在TSV 712中誘發一磁場。可藉由改變通過第一導體713a之電流(例如，藉由施加一交流電或藉由在高電壓狀態與低電壓狀態之間重複切換)來誘發TSV 712中之一變化磁場，其繼而誘發第二導體713b、第三導體723及第四導體733中之一變化電流。依此方式，可在包括第一導體713a之一電路與包括第二導體713b、第三導體723及第四導體733之其他電路之間耦合信號及/或功率。

【0055】 儘管圖7繪示包含具有在兩個不同高度處圍繞一TSV安置之兩個實質上螺旋形導體或繞組(例如，同軸但不同心)之一晶粒之一實施例，但在其他實施例中，可在相同高度處提供具有不同直徑之多個實質上螺旋形導體(例如，在相同層中具有徑向間隔導電匝)。由於一實質上螺旋形導體之電感至少部分取決於其直徑及與TSV (實質上螺旋形導體圍繞其安置)之徑向間隔，所以此一方法可用於減少層處理步驟之數目比增大如此徑向間隔之實質上螺旋形導體之電感更值得期待之情況中。

【0056】 轉至圖8，其繪示根據本發明之一實施例之包含具有一貫穿基板通路核心之耦合電感器之一多晶粒半導體裝置800之一簡化橫截面圖。裝置包含一第一晶粒810及一第二晶粒820。第一晶粒810包含一第一基板811a及一第一絕緣材料811b。第一晶粒810進一步包含一貫穿基板通路(TSV) 812，其具有第一基板材料811a中之一第一部分及延伸穿過第一

絕緣材料811b之一第二部分。因此，TSV 812延伸至第一基板材料811a中且穿過第一絕緣材料811b，其中一部分812a延伸穿過第一絕緣材料811b之一頂面。第一晶粒810亦包含圍繞TSV 812安置之一第一實質上螺旋形導體813（「導體813」）。在本實施例中，第一導體813經展示為包含圍繞TSV 812之三個完整匝，其中匝安置於絕緣材料811b內。第一導體813可藉由引線814a及814b來可操作地連接至其他電路元件(圖中未展示)。第一導體813之匝彼此電絕緣且與TSV 812電絕緣。

【0057】 第二晶粒820依一面對面配置安置於第一晶粒810上方(例如，在圖8中，第二晶粒820相對於第一晶粒810「顛倒」定向，使得第二晶粒820之一頂面定向於第一晶粒之底面下方)。第二晶粒820包含一第二基板821a及一第二絕緣材料821b。第二晶粒820進一步包含一開口822，其自第二絕緣材料821b之一頂面(例如與基板821a對置之絕緣材料821b之表面)延伸至第二基板821a之一頂面附近(例如，其中絕緣材料821b之一薄層覆蓋基板821a)。第二晶粒820進一步包含圍繞開口822安置之一第二實質上螺旋形導體823a（「導體823a」)及亦圍繞開口822安置之一第三實質上螺旋形導體823b（「導體823b」)。在本實施例中，第二導體823a及第三導體823b經展示為各包含圍繞開口822之兩個完整匝。第二導體823a可藉由引線834a及834b來可操作地連接至其他電路元件(圖中未展示)，且第三導體823b可藉由引線834c及834d來可操作地連接至其他電路元件(圖中未展示)。

【0058】 如參考圖8可見，延伸至第一晶粒810之第一絕緣材料811b之頂面上方之TSV 812之部分812a安置於第二晶粒820中之開口822內。因此，第二導體823a及第三導體823b圍繞TSV 812之部分812a安置(例

如，與TSV 812同軸)。第二導體823a及第三導體823b之各者之兩個匝彼此電絕緣且與TSV 812電絕緣。此外，開口822亦可部分填充有一模製化合物(圖中未展示)或其他填充材料以消除TSV 812之一外表面與開口822之一內表面之間的空間中之空隙或殘存氣體。

【0059】 根據一實施例，第一導體813可經組態以回應於一電流通過第一導體813 (例如，由跨引線814a及814b所施加之一電壓差提供)而在TSV 812中誘發一磁場。可藉由改變通過第一導體813之電流(例如，藉由施加一交流電或藉由在高電壓狀態與低電壓狀態之間重複切換)來誘發TSV 812中之一變化磁場，其繼而誘發第二導體823a及第三導體823b中之一變化電流。依此方式，可在包括第一導體813之一電路與包括第二導體823a及第三導體823b之其他電路之間耦合信號及/或功率。

【0060】 上述實例性實施例已繪示具有一開口核心(例如其中磁場僅使磁場之路徑之部分穿過一較高磁導率材料的一核心)之電感器，但本發明之實施例亦可具有一閉口核心。例如，圖9係根據本發明之一實施例所組態之包含具有TSV核心之耦合電感器之一多晶粒半導體裝置900之一簡化橫截面圖。參考圖9，裝置900包含一第一晶粒910及一第二晶粒920。第一晶粒910包含一第一基板911a及一第一絕緣材料911b。裝置900進一步包含至少實質上延伸穿過第一晶粒910之第一TSV 912及第二TSV 916 (例如，大致自第一絕緣材料911b之頂面向下延伸穿過第一基板911a)。第一TSV 912之一部分912a延伸至第一基板911a之底面下方，第二TSV 916之一部分916a亦延伸至第一基板911a之底面下方。第一TSV 912及第二TSV 916藉由一上耦合部件917來耦合於第一導體913上方。第一晶粒910亦包含圍繞第一TSV 912安置之一第一實質上螺旋形導體913 (「導體

913」)。在本實施例中，第一導體913經展示為包含圍繞第一TSV 912之兩個完整匝。第一導體913可藉由引線914a及914b來可操作地連接至其他電路元件(圖中未展示)。

【0061】 第二晶粒920包含一第二基板921a及一第二絕緣材料921b。第二晶粒920進一步包含第一開口922及第二開口926，其等自第二絕緣材料921b之一頂面延伸至第二基板921a之一頂面附近(例如，其中第二絕緣材料921b之一薄層覆蓋第二基板921a)。第二晶粒920進一步包含第一開口922與第二開口926之間的一下耦合部件927。第二晶粒920進一步包含圍繞第一開口922安置之一第二實質上螺旋形導體923(「導體923」)。在本實施例中，第二導體923經展示為包含圍繞開口922之兩個完整匝。第二導體923可藉由引線924a及924b來可操作地連接至其他電路元件(圖中未展示)。

【0062】 根據一實施例，第一導體913可經組態以回應於一電流通過第一導體913(例如，由跨引線914a及914b所施加之一電壓差提供)而在兩個TSV 912及916及上耦合部件917及下耦合部件927中誘發一磁場。可藉由改變通過第一導體913之電流(例如，藉由施加一交流電或藉由在高電壓狀態與低電壓狀態之間重複切換)來誘發兩個TSV 912及916及上耦合部件917及下耦合部件927中之一變化磁場，其繼而誘發第二導體923中之一變化電流。依此方式，可在包括第一導體913之一電路與包括第二導體923之另一電路之間耦合信號及/或功率。

【0063】 上耦合部件917及下耦合部件927可包含一磁性材料，其具有高於第一基板911a及第二基板921a及/或第一絕緣材料911b及第二絕緣材料921b之磁導率的一磁導率。上耦合部件917及下耦合部件927之磁性

材料可為相同於兩個TSV 912及916之材料的材料或為一不同材料。上耦合部件917及下耦合部件927之磁性材料可為一塊狀材料(例如鎳、鐵、鈷、鈮或其等之一合金)或具有不同層(例如磁性材料及非磁性材料)之一層疊材料。磁性及非磁性材料之層疊層可有助於減少上耦合部件917及下耦合部件927中之渦流損失。根據本發明之一態樣，兩個TSV 912及916可與上耦合部件917及下耦合部件927一起提供由第一導體913誘發之磁場之一實質上閉合路徑，使得裝置900之電感大於僅提供兩個TSV 912及916時之電感。

【0064】 儘管在圖9所繪示之實施例中將兩個耦合鄰近電感器展示為具有相同匝數，但在本發明之其他實施例中，可在類似組態之電感器上提供不同繞組數。熟習技術者將容易理解，可藉由提供具有不同繞組數之耦合電感器來將如此組態之一裝置操作為一升壓或降壓變壓器(取決於將哪個導體用作初級繞組及將哪個導體用作次級繞組)。

【0065】 儘管在圖9所繪示之實例性實施例中將耦合電感器繪示為共用一閉口核心(例如其中高磁導率材料之一實質上連續路徑穿過一導電繞組之中間的一核心)，但在其他實施例中，可省略上耦合部件917及下耦合部件927之一或兩者。在此一實施例中，具有高磁導率之一次級TSV(例如，除圍繞其安置繞組之TSV之外)可位於圍繞其安置繞組之TSV附近以提供一開口核心實施例，該開口核心實施例具有高於其中不存在次級TSV之一實施例之電感。此外，儘管圖9之實例性實施例繪示兩晶粒配置(其中上耦合部件安置於相同於TSV之晶粒中，且下耦合部件位於一下部晶粒中)，但本發明之其他配置係可行的。例如，在三晶粒配置中，一上耦合部件可位於一顛倒最上晶粒中，一下耦合部件位於一最下晶粒中，且

具有TSV之晶粒中無耦合部件。替代地，在其中TSV之部分向上延伸至一絕緣材料外之兩晶粒配置中，上耦合部件可位於一顛倒上晶粒中，且下耦合部件位於具有TSV之晶粒中。

【0066】 根據一實施例，一閉口磁心(諸如圖9中依舉例方式所繪示)可提供其中可安置一或多個繞組(例如，用於提供一變壓器或功率耦合)之額外空間。例如，儘管圖9繪示其中兩個繞組安置於相同TSV 912上且一鄰近TSV 916不具有繞組之一裝置，但在另一實施例中，兩個鄰近TSV可在各TSV上具有一單一繞組。替代地，可在由一閉口磁心或一開口核心實施例中之一鄰近TSV提供之空間中提供額外繞組以提供全部與相同磁場相互作用之兩個以上耦合電感器。

【0067】 儘管在圖9所繪示之實施例中，提供一單一額外TSV來提高由圍繞一第一TSV之一初級繞組產生之磁場之返回路徑之磁導率，但在本發明之其他實施例中，可提供多個返回路徑TSV來進一步提高如此組態之電感器之電感。例如，本發明之實施例可使用兩個、三個、四個或任何數目個額外TSV來提供具有提高磁導率之磁場之一返回路徑。此額外TSV可藉由上耦合部件及/或下耦合部件來耦合至圍繞其安置一或多個實質上螺旋形導體之TSV (例如一閉口核心組態)，或可僅足夠鄰近以聚集磁場之返回路徑之磁通量之部分來提高如此組態之裝置之效能。

【0068】 儘管上述實例性實施例中已將各實質上螺旋形導體繪示成在與一對應基板之表面之一給定距離處具有圍繞一TSV之一單一匝，但在其他實施例中，一實質上螺旋形導體可在與基板表面之相同距離處具有圍繞一TSV之一個以上匝(例如，多個匝同軸配置於各層級處)。例如，圖10係根據本發明之一實施例所組態之圍繞一貫穿基板通路1002安置之一實

質上螺旋形導體1004(「導體1004」)之一簡化透視圖。如參考圖10可見，導體1004包含圍繞TSV 1002安置之一第一實質上螺旋形導體1004a(「導體1004a」)，其連接至一第二同軸對準之實質上螺旋形導體1004b(「導體1004b」)，使得一單一導電路徑在一第一平均徑向距離處圍繞TSV 1002向下纏繞且在一第二平均徑向距離處圍繞TSV 1002向上回繞。因此，導體1004在沿TSV 1002之縱向維度「L」之相同位置處包含圍繞TSV 1002之兩個匝(例如導體1004a之最上匝及導體1004b之最上匝)。在另一實施例中，一實質上螺旋形導體可在一第一層級處形成圍繞一TSV之兩個匝(例如，向外螺旋)，在一第二層級處形成圍繞一TSV之兩個匝(例如，向內螺旋)，等等，依一類似方式用於與期望一樣多之匝數。

【0069】 圖11A至圖11H係根據本發明之一實施例之一製程之各種狀態中之包含具有一貫穿基板通路核心之一電感器之一裝置1100之簡化圖。在圖11A中，提供一基板1101來供進一步處理步驟使用。基板1101可為若干基板材料之任一者，其包含矽、玻璃、砷化鎵、氮化鎵、有機層板、模製化合物(例如，用於扇出晶圓級處理之重組晶圓)及其類似者。在圖11B中，已將一實質上螺旋形導體之一第一匝1103安置於基板1101上方之材料1102之一層中。絕緣材料1102可為適合於半導體處理之若干絕緣材料之任一者，其包含氧化矽、氮化矽、聚醯亞胺或其類似者。導體之第一匝1103可為適合於半導體處理之若干導電材料之任一者，其包含銅、金、鎢、其等之合金或其類似者。

【0070】 在圖11C中，已將實質上螺旋形導體之一第二匝1104安置於絕緣材料1102之此時變厚層中且藉由絕緣材料1102之一層來使第二匝1104與第一匝1103間隔。第二匝1104藉由一第一通路1105來電連接至第

一匝1103。亦已提供一第二通路1106來將第一匝1103之一端路由至裝置1100之一最終較高層。在圖11D中，已將實質上螺旋形導體之一第三匝1107安置於絕緣材料1102之此時變厚層中且藉由絕緣材料1102之一層來使第三匝1107與第二匝1104間隔。第三匝1107藉由一第三通路1108來電連接至第二匝1104。已進一步延伸第二通路1106以繼續將第一匝1103之一端路由至裝置1100之一最終較高層。

【0071】 轉至圖11E，其繪示已蝕刻穿過絕緣材料1102而至基板1101中之一開口1109之後之裝置1100之一簡化透視圖。使用能夠提供具有一高縱橫比之一實質上垂直開口之若干蝕刻操作之任一者來蝕刻實質上與實質上螺旋形導體之匝1103、1104及1107同軸之開口1109。例如，可使用深反應性離子蝕刻、雷射鑽孔或其類似者來形成開口909。在圖11F中，已一TSV 1110安置於開口1109中。TSV 1110可包含一磁性材料(例如具有高於基板1101及/或絕緣材料1102之一磁導率之一材料)以在電流流動通過實質上螺旋形導體時增強TSV 1110中之磁場。磁性材料可為鐵磁體、亞鐵磁體或其等之一組合。TSV 1110可包含一單一組合物之一塊狀材料或不同材料之離散區域(例如同軸層疊層)中之一種以上材料。例如，TSV 1110可包含鎳、鐵、鈷、鈮或其等之合金。磁性及非磁性材料之層疊層可有助於減少TSV 1110中之渦流損失。可在填充開口1109之一單一金屬化步驟或層疊層(例如，多個磁性層由非磁性層分離)之多個步驟中提供TSV 1110。在一實施例中，為提供具有一多層結構之一TSV，可利用保形及自下而上填充電鍍操作之一混合(例如，一保形電鍍步驟使用一第一材料來部分填充且窄化蝕刻開口，及一後續自下而上電鍍步驟使用一第二材料來完全填充窄化開口)。

【0072】轉至圖11G，其繪示已薄化基板1101以暴露延伸至基板1101之一底面下方之TSV 1110之一部分1110a以提供一薄化晶粒1111之後之裝置1100。圖11H中繪示已將薄化晶粒1111安置於一第二晶粒1112 (其中一開口由一實質上螺旋形導體包圍)(例如類似於相對於圖11E所繪示之晶粒但具有覆蓋實質上螺旋形導體之第三匝1107之絕緣材料之一額外層的一晶粒)上方之後之裝置1100。TSV 1110之部分1110a安置於第二晶粒1112之開口中，使得第二晶粒1112之實質上螺旋形導體圍繞TSV 1110之部分1110a安置。

【0073】圖12係繪示根據本發明之一實施例之製造具有一貫穿基板之通路核心之一電感器之一方法的一流程圖。方法開始於其中提供一基板之步驟1210。在步驟1220中，將一實質上螺旋形導體安置於基板上方之一絕緣材料中。在步驟1230中，沿實質上螺旋形導體之一軸線蝕刻穿過絕緣材料而至基板中之一孔。在步驟1240中，將一TSV安置至孔中。在步驟1250中，薄化基板以暴露基板下方之TSV之一部分。在步驟1260中，將包括TSV之晶粒安置於一第二晶粒上方，該第二晶粒具有圍繞其中安置TSV之部分之一開口安置之另一實質上螺旋形導體。

【0074】圖13係繪示根據本發明之一實施例之製造具有一貫穿基板通路核心之一電感器之一方法的一流程圖。方法開始於其中提供一基板之步驟1310。在步驟1320中，將一實質上螺旋形導體安置於基板上方之一絕緣材料中。在步驟1330中，沿實質上螺旋形導體之一軸線蝕刻穿過絕緣材料而至基板中之一孔。在步驟1340中，將一TSV安置至孔中。在步驟1350中，薄化絕緣材料以暴露絕緣材料上方之TSV之一第一部分。在步驟1360中，將具有圍繞一開口安置之一第二實質上螺旋形導體之一第二晶

粒安置於包括TSV之晶粒上方，使得TSV之第一部分安置於第二晶粒之開口中。

【0075】 圖14係繪示根據本發明之一實施例之製造具有一貫穿基板通路核心之一電感器之一方法的一流程圖。方法開始於其中提供一基板之步驟1410。在步驟1420中，將一實質上螺旋形導體安置於基板上方之一絕緣材料中。在步驟1430中，沿實質上螺旋形導體之一軸線蝕刻穿過絕緣材料而至基板中之一孔。在步驟1440中，將一TSV安置至孔中。在步驟1450中，薄化絕緣材料以暴露絕緣材料上方之TSV之一第一部分。在步驟1460中，薄化基板以暴露基板下方之TSV之一第二部分。在步驟1470中，將包括TSV之晶粒安置於具有圍繞一開口安置之一第二實質上螺旋形導體之一第二晶粒上方，使得TSV之第二部分安置於第二晶粒之開口中。在步驟1480中，將具有圍繞一開口安置之一第三實質上螺旋形導體之一第三晶粒安置於包括TSV之晶粒上方，使得TSV之第一部分安置於第三晶粒之開口中。

【0076】 應自上文瞭解，本文中已出於繪示之目的而描述本發明之特定實施例，但可在不背離本發明之範疇之情況下作出各種修改。因此，本發明僅受隨附申請專利範圍限制。

【符號說明】

【0077】

- | | |
|------|-------------|
| 100 | 第一晶粒 |
| 101a | 第一基板 |
| 101b | 第一絕緣材料 |
| 102 | 貫穿基板通路(TSV) |

102a	部分
103	第一導體
103a	匝
103b	匝
103c	匝
120a	引線
120b	引線
200	第二晶粒
201a	第二基板
201b	第二絕緣材料
202	開口
203	第二導體
203a	匝
203b	匝
203c	匝
220a	引線
220b	引線
300	多晶粒半導體裝置
400	裝置
402	TSV
402a	核心材料
402b	中間同軸層
402c	外同軸層

404	導體
404a	匝
404b	匝
404c	匝
406	垂直連接部分
408	垂直連接部分
500	裝置
510	第一晶粒
511a	第一基板
511b	第一絕緣材料
512	TSV
512a	第一部分
512b	第二部分
513	第一導體
514a	引線
514b	引線
520	第二晶粒
521a	第二基板
521b	第二絕緣材料
522	開口
523	第二導體
524a	引線
524b	引線

530	第三晶粒
531a	第三基板
531b	第三絕緣材料
532	開口
533	第三導體
534a	引線
534b	引線
600	多晶粒半導體裝置
610	第一晶粒
612	TSV
620	第二晶粒
622	開口
700	多晶粒半導體裝置
710	第一晶粒
711a	第一基板
711b	第一絕緣材料
712	TSV
712a	第一部分
712b	第二部分
713a	第一導體
713b	第二導體
714a	引線
714b	引線

714c	引線
714d	引線
720	第二晶粒
721a	第二基板
721b	第二絕緣材料
722	開口
723	第三導體
724a	引線
724b	引線
730	第三晶粒
731a	第三基板
731b	第三絕緣材料
732	開口
733	第四導體
734a	引線
734b	引線
800	多晶粒半導體裝置
810	第一晶粒
811a	第一基板
811b	第一絕緣材料
812	TSV
812a	部分
813	第一導體

814a	引線
814b	引線
820	第二晶粒
821a	第二基板
821b	第二絕緣材料
822	開口
823a	第二導體
823b	第三導體
834a	引線
834b	引線
834c	引線
834d	引線
900	多晶粒半導體裝置
910	第一晶粒
911a	第一基板
911b	第一絕緣材料
912	第一TSV
912a	部分
913	第一導體
914a	引線
914b	引線
916	第二TSV
916a	部分

917	上耦合部件
920	第二晶粒
921a	第二基板
921b	第二絕緣材料
922	第一開口
923	第二導體
924a	引線
924b	引線
926	第二開口
927	下耦合部件
1002	TSV
1004	導體
1004a	第一導體
1004b	第二導體
1100	裝置
1101	基板
1102	絕緣材料
1103	第一匝
1104	第二匝
1105	第一通路
1106	第二通路
1107	第三匝
1108	第三通路

1109	開口
1110	TSV
1110a	部分
1111	薄化晶粒
1112	第二晶粒
1210	步驟
1220	步驟
1230	步驟
1240	步驟
1250	步驟
1260	步驟
1310	步驟
1320	步驟
1330	步驟
1340	步驟
1350	步驟
1360	步驟
1410	步驟
1420	步驟
1430	步驟
1440	步驟
1450	步驟
1460	步驟

- 1470 步驟
- 1480 步驟
- L 縱向維度



I680552

【發明摘要】

【中文發明名稱】

具有貫穿基板通路核心的三維互連多晶粒電感器

【英文發明名稱】

3D INTERCONNECT MULTI-DIE INDUCTORS WITH
THROUGH-SUBSTRATE VIA CORES

【中文】

本發明提供一種半導體裝置，其具有一第一晶粒及一第二晶粒。該裝置之該第一晶粒包含一第一表面及至少實質上延伸穿過該第一晶粒之一貫穿基板通路(TSV)，該TSV具有延伸超過該第一表面之一部分。該第一晶粒進一步包含圍繞該TSV安置之一第一實質上螺旋形導體。該裝置之該第二晶粒包含一第二表面、其中安置該TSV之該部分之該第二表面中之一開口及圍繞該開口安置之一第二實質上螺旋形導體。

【英文】

A semiconductor device having a first die and a second die is provided. The first die of the device includes a first surface and a through-substrate via (TSV) extending at least substantially through the first die, the TSV having a portion extending past the first surface. The first die further includes a first substantially helical conductor disposed around the TSV. The second die of the device includes a second surface, an opening in the second surface in which the portion of the TSV is disposed, and a second substantially helical conductor disposed around the opening.

【指定代表圖】

圖3

【代表圖之符號簡單說明】

100	第一晶粒
101a	第一基板
101b	第一絕緣材料
102	貫穿基板通路(TSV)
102a	部分
103	第一導體
120a	引線
120b	引線
200	第二晶粒
201a	第二基板
201b	第二絕緣材料
202	開口
203	第二導體
220a	引線
220b	引線
300	多晶粒半導體裝置
L	縱向維度

【發明申請專利範圍】

【第1項】

一種半導體裝置，其包括：

一第一晶粒，其包含：

一第一表面，

一貫穿基板通路(TSV)，其至少實質上延伸穿過該第一晶粒，該 TSV 具有延伸超過該第一表面之一部分，及

一第一實質上螺旋形導體，其圍繞該 TSV 安置；及

一第二晶粒，其包含：

一第二表面，

一開口，其位於該第二表面中，該 TSV 之該部分安置於該開口中，及

一第二實質上螺旋形導體，其圍繞該開口安置。

【第2項】

如請求項1之半導體裝置，其中該第一實質上螺旋形導體經組態以回應於該第一實質上螺旋形導體中之一第一變化電流而在該 TSV 中誘發一磁場之一變化，且其中該第二實質上螺旋形導體經組態以回應於 TSV 之該部分中之該磁場之該變化而具有誘發於其內之一第二變化電流。

【第3項】

如請求項1之半導體裝置，其中該第一晶粒進一步包含：

一第二 TSV，其至少實質上延伸穿過該第一晶粒，該第二 TSV 具有延伸超過該第一表面之一部分，及

一第三實質上螺旋形導體，其圍繞該第二 TSV 安置；及

其中該第二晶粒進一步包含：

一第二開口，其位於該第二表面中，該第二TSV之該部分安置於該第二開口中，及

一第四實質上螺旋形導體，其圍繞該第二開口安置。

【第4項】

如請求項1之半導體裝置，其中該TSV包括一鐵磁材料或一亞鐵磁材料。

【第5項】

如請求項1之半導體裝置，其中該第一實質上螺旋形導體包括不同於該第二實質上螺旋形導體之圍繞該TSV之一匝數。

【第6項】

如請求項1之半導體裝置，其中該第一實質上螺旋形導體及該第二實質上螺旋形導體包括圍繞該TSV之一相同匝數。

【第7項】

如請求項1之半導體裝置，其中該第一實質上螺旋形導體及該第二實質上螺旋形導體與該TSV同軸對準。

【第8項】

如請求項1之半導體裝置，其中該第一實質上螺旋形導體包括圍繞該TSV之一個以上匝，且該第二實質上螺旋形導體包括圍繞該TSV之一個以上匝。

【第9項】

如請求項1之半導體裝置，其中該第一實質上螺旋形導體及該第二實質上螺旋形導體彼此電隔離且與該TSV電隔離。

【第10項】

如請求項1之半導體裝置，其中該第一實質上螺旋形導體及該第二實質上螺旋形導體之一者電連接至一電源供應器，且該第一實質上螺旋形導體及該第二實質上螺旋形導體之另一者電連接至一負載。

【第11項】

如請求項1之半導體裝置，其中該第一表面係該第一晶粒之一基板材料之一下表面。

【第12項】

如請求項1之半導體裝置，其中該第一表面係該第一晶粒之一上表面，該上表面位於與該第一晶粒之一基板材料對置之該第一實質上螺旋形導體之一側上。

【第13項】

一種半導體裝置，其包括：

一第一晶粒，其包含：

一第一頂面及一第一底面，

一貫穿基板通路(TSV)，其至少實質上延伸穿過該第一晶粒，該TSV具有延伸超過該第一頂面之一頂部部分及延伸超過該第一底面之一底部部分，及

一第一實質上螺旋形導體，其圍繞該TSV安置；

一第二晶粒，其包含：

一第二頂面，其具有一開口，該TSV之該底部部分安置於該開口中，及

一第二實質上螺旋形導體，其圍繞該第二頂面中之該開口安置；及

一第三晶粒，其包含：

一第二底面，其具有一開口，該TSV之該頂部部分安置於該開口中，及

一第三實質上螺旋形導體，其圍繞該第二底面中之該開口安置。

【第14項】

如請求項13之半導體裝置，其中該第一實質上螺旋形導體經組態以回應於該第一實質上螺旋形導體中之一第一變化電流而在該TSV中誘發一磁場之一變化，

其中該第二實質上螺旋形導體經組態以回應於該TSV之該底部部分中之該磁場之該變化而具有誘發於其內之一第二變化電流，且

其中該第三實質上螺旋形導體經組態以回應於該TSV之該頂部部分中之該磁場之該變化而具有誘發於其內之一第三變化電流。

【第15項】

如請求項13之半導體裝置，其中該TSV包括一鐵磁材料或一亞鐵磁材料。

【第16項】

如請求項13之半導體裝置，其中該第一實質上螺旋形導體包括不同於該第二實質上螺旋形導體及該第三實質上螺旋形導體之至少一者之圍繞該TSV之一匝數。

【第17項】

如請求項13之半導體裝置，其中該第一實質上螺旋形導體、該第二實質上螺旋形導體及該第三實質上螺旋形導體包括圍繞該TSV之一相同匝數。

【第18項】

如請求項13之半導體裝置，其中該第一實質上螺旋形導體、該第二實質上螺旋形導體及該第三實質上螺旋形導體與該TSV同軸對準。

【第19項】

如請求項13之半導體裝置，其中該第一實質上螺旋形導體包括圍繞該TSV之一個以上匝，且該第二實質上螺旋形導體及該第三實質上螺旋形導體之至少一者包括圍繞該TSV之一個以上匝。

【第20項】

如請求項13之半導體裝置，其中該第一實質上螺旋形導體、該第二實質上螺旋形導體及該第三實質上螺旋形導體彼此電隔離且與該TSV電隔離。

【第21項】

如請求項13之半導體裝置，其中該第一實質上螺旋形導體、該第二實質上螺旋形導體及該第三實質上螺旋形導體之一者電連接至一電源供應器，且該第一實質上螺旋形導體、該第二實質上螺旋形導體及該第三實質上螺旋形導體之另一者電連接至一負載。

【第22項】

一種半導體封裝，其包括：

一第一晶粒；

一第二晶粒，其安置於該第一晶粒上方；及

一耦合電感器，其包含：

一磁心，其具有至少實質上延伸穿過該第一晶粒而至該第二晶粒中之一開口中之一貫穿基板通路(TSV)，

一初級繞組，其圍繞該TSV安置於該第一晶粒中，及
一次級繞組，其圍繞該TSV安置於該第二晶粒中。

【第23項】

如請求項22之半導體封裝，其中該初級繞組經組態以回應於該初級繞組中之一第一變化電流而在該TSV中誘發一磁場之一變化，且其中該次級繞組經組態以回應於該TSV中之該磁場之該變化而具有誘發於其內之一第二變化電流。

【第24項】

如請求項22之半導體封裝，其中該TSV包括一鐵磁材料或一亞鐵磁材料。

【第25項】

如請求項22之半導體封裝，其中該初級繞組包括圍繞該TSV同軸安置之一實質上螺旋形導體。

【第26項】

如請求項22之半導體封裝，其中該次級繞組包括圍繞該TSV同軸安置之一實質上螺旋形導體。