

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月22日(22.05.2020)



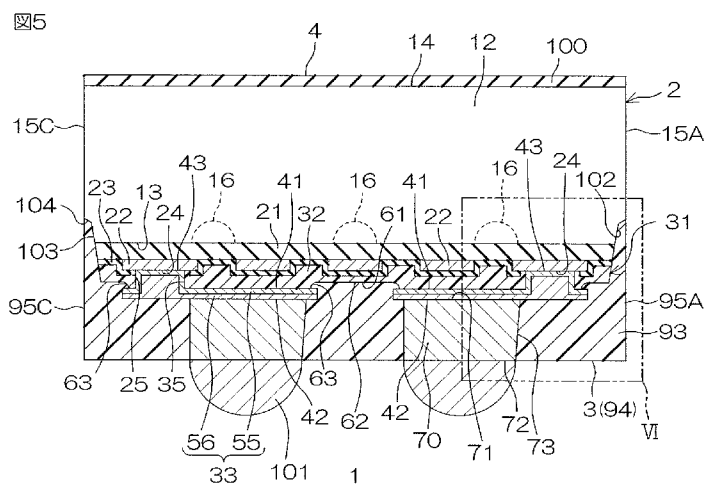
(10) 国際公開番号

WO 2020/100947 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) *H01L 23/31* (2006.01)
H01L 23/29 (2006.01) *H01L 21/60* (2006.01)
- (21) 国際出願番号: PCT/JP2019/044563
- (22) 国際出願日: 2019年11月13日(13.11.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-214867 2018年11月15日(15.11.2018) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 倉田 真斗 (KURATA, Manato);
〒6158585 京都府京都市右京区西院溝崎町2-1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 特許業務法人 あい 特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410054 大阪府大阪市中央区南本町二丁目6番12号 サンマリオンNBFタワー21階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device includes: a semiconductor layer having a principal surface; an electrode pad formed on the principal surface; rewiring which has a first wiring surface connected to the electrode pad and a second wiring surface that is positioned on the opposite side of the first wiring surface and has a roughened surface, and which is formed on the principal surface so as to be drawn out to an outer region of the electrode pad; and a resin which covers the second wiring surface on the principal surface and encapsulates the rewiring.

[続葉有]

MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

(57) 要約：半導体装置は、主面を有する半導体層と、前記主面の上に形成された電極パッドと、前記電極パッドに接続された第1配線面、および、前記第1配線面の反対側に位置し、粗面化された第2配線面を有し、前記電極パッド外の領域に引き出されるように前記主面の上に形成された再配線と、前記主面の上において前記第2配線面を被覆し、前記再配線を封止する樹脂と、を含む。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、再配線を有する半導体装置に関する。

背景技術

[0002] 特許文献1は、WL-CSP（ウェハーレベル・チップサイズパッケージ）型の半導体装置を開示している。この半導体装置は、シリコン基板と、シリコン基板の上に形成された端子パッド（電極）と、端子パッドに接続された再配線と、再配線に接続された銅ポストと、シリコン基板の上で再配線および銅ポスト（ポスト電極）を封止するモールド樹脂（樹脂）と、を含む。

先行技術文献

特許文献

[0003] 特許文献1：特開2007-134552号公報

発明の概要

発明が解決しようとする課題

[0004] 本発明の一実施形態は、樹脂の剥離を抑制できる半導体装置を提供する。

課題を解決するための手段

[0005] 本発明の一実施形態は、主面を有する半導体層と、前記主面の上に形成された電極パッドと、前記電極パッドに接続された第1配線面、および、前記第1配線面の反対側に位置し、粗面化された第2配線面を有し、前記電極パッド外の領域に引き出されるように前記主面の上に形成された再配線と、前記主面の上において前記第2配線面を被覆し、前記再配線を封止する樹脂と、を含む、半導体装置を提供する。

[0006] この半導体装置によれば、粗面化された第2配線面によって再配線に対する樹脂の密着力を高めることができる。よって、樹脂の剥離を抑制できる半導体装置を提供できる。

[0007] 本発明の一実施形態は、主面を有する半導体層と、前記主面の上に形成さ

れた電極パッドと、前記電極パッドに接続され、前記電極パッド外の領域に引き出されるように前記主面の上に形成された再配線と、前記再配線に接続された第１電極面、前記第１電極面の反対側に位置する第２電極面、ならびに、前記第１電極面および前記第２電極面を接続し、粗面化された電極側面を有するポスト電極と、前記主面の上において前記第２電極面を露出させ、前記電極側面を被覆するように、前記再配線および前記ポスト電極を封止する樹脂と、を含む、半導体装置を提供する。

[0008] この半導体装置によれば、粗面化された電極側面によってポスト電極に対する樹脂の密着力を高めることができる。よって、樹脂の剥離を抑制できる半導体装置を提供できる。

[0009] 本発明における上述の、またはさらに他の目的、特徴および効果は、添付図面を参照して次に述べる実施形態の説明により明らかにされる。

図面の簡単な説明

[0010] [図1]図１は、本発明の第１実施形態に係る半導体装置の模式的な斜視図である。

[図2]図２は、図１に示す半導体層の第１主面の上の構造を、封止樹脂層を透過して示す平面図である。

[図3]図３は、図２に示す領域IIIの拡大図である。

[図4]図４は、図２に示す領域IVの拡大図である。

[図5]図５は、図１に示す半導体装置の模式的な断面図である。

[図6]図６は、図５の領域VIの拡大図である。

[図7]図７は、図６の領域VIIの拡大図である。

[図8]図８は、図７の領域VIIIの拡大図である。

[図9]図９は、図７の領域IXの拡大図である。

[図10A]図１０Ａは、図１に示す半導体装置の製造方法の一例を説明するための断面図である。

[図10B]図１０Ｂは、図１０Ａの後の工程を示す断面図である。

[図10C]図１０Ｃは、図１０Ｂの後の工程を示す断面図である。

[図10D]図10Dは、図10Cの後の工程を示す断面図である。

[図10E]図10Eは、図10Dの後の工程を示す断面図である。

[図10F]図10Fは、図10Eの後の工程を示す断面図である。

[図10G]図10Gは、図10Fの後の工程を示す断面図である。

[図10H]図10Hは、図10Gの後の工程を示す断面図である。

[図10I]図10Iは、図10Hの後の工程を示す断面図である。

[図10J]図10Jは、図10Iの後の工程を示す断面図である。

[図10K]図10Kは、図10Jの後の工程を示す断面図である。

[図10L]図10Lは、図10Kの後の工程を示す断面図である。

[図10M]図10Mは、図10Lの後の工程を示す断面図である。

[図10N]図10Nは、図10Mの後の工程を示す断面図である。

[図10O]図10Oは、図10Nの後の工程を示す断面図である。

[図10P]図10Pは、図10Oの後の工程を示す断面図である。

[図10Q]図10Qは、図10Pの後の工程を示す断面図である。

[図10R]図10Rは、図10Qの後の工程を示す断面図である。

[図11]図11は、図5に対応する断面図であって、本発明の第2実施形態に係る半導体装置の模式的な断面図である。

[図12]図12は、図5に対応する断面図であって、本発明の第3実施形態に係る半導体装置の模式的な断面図である。

[図13]図13は、図12の領域XIIIの拡大図である。

[図14]図14は、図13の領域XIVの拡大図である。

発明を実施するための形態

[0011] 図1は、本発明の第1実施形態に係る半導体装置1の模式的な斜視図である。図2は、図1に示す半導体層12の第1主面13の上の構造を、封止樹脂層93を透過して示す平面図である。図3は、図2に示す領域IIIの拡大図である。図4は、図2に示す領域IVの拡大図である。図5は、図1に示す半導体装置1の模式的な断面図である。図6は、図5の領域VIの拡大図である。図7は、図6の領域VIIの拡大図である。図8は、図7の領域VIIIの拡大図

である。図9は、図7の領域IXの拡大図である。図5は、説明に必要な構成を模式的に示したものであり、半導体装置1の特定箇所の断面を示すものではない。

[0012] 図1～図5を参照して、半導体装置1は、WL-CSP (Wafer Level - Chip Size Package) がパッケージタイプとして適用された電子部品である。半導体装置1は、直方体形状に形成されたデバイス本体2を含む。デバイス本体2は、一方側の第1デバイス主面3、他方側の第2デバイス主面4、ならびに、第1デバイス主面3および第2デバイス主面4を接続するデバイス側面5A, 5B, 5C, 5Dを有している。

[0013] 第1デバイス主面3および第2デバイス主面4は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状（この形態では正形状）に形成されている。第1デバイス主面3は、この形態では、実装基板等の接続対象に実装される際に当該実装基板に対向する実装面として形成されている。

[0014] デバイス側面5A～5Dは、法線方向Zに沿って平面的に延びている。デバイス側面5Aおよびデバイス側面5Cは、第1方向Xに沿って延び、第1方向Xに交差する第2方向Yに互いに対向している。デバイス側面5Bおよびデバイス側面5Dは、第2方向Yに沿って延び、第1方向Xに互いに対向している。第2方向Yは、より具体的には、第1方向Xに直交している。

[0015] デバイス側面5Aおよびデバイス側面5Cの長さL1は、0.1mm以上10mm以下であってもよい。長さL1は、0.1mm以上2mm以下、2mm以上4mm以下、4mm以上6mm以下、6mm以上8mm以下、または、8mm以上10mm以下であってもよい。

[0016] デバイス側面5Bおよびデバイス側面5Dの長さL2は、0.1mm以上10mm以下であってもよい。長さL1は、0.1mm以上2mm以下、2mm以上4mm以下、4mm以上6mm以下、6mm以上8mm以下、または、8mm以上10mm以下であってもよい。

[0017] デバイス本体2の厚さTは、100μm以上1500μm以下であっても

よい。厚さ T は、 $100\mu\text{m}$ 以上 $250\mu\text{m}$ 以下、 $250\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、 $500\mu\text{m}$ 以上 $750\mu\text{m}$ 以下、 $750\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下、 $1000\mu\text{m}$ 以上 $1250\mu\text{m}$ 以下、または、 $1250\mu\text{m}$ 以上 $1500\mu\text{m}$ 以下であってもよい。

[0018] デバイス本体2は、半導体層12を含む。半導体層12は、直方体形状に形成されている。半導体層12は、Si（シリコン）を含むSi半導体層であってもよい。Si半導体層は、Si半導体基板およびSiエピタキシャル層を含む積層構造を有していてもよい。Si半導体層は、Si半導体基板からなる単層構造を有していてもよい。

[0019] 半導体層12は、 2.0eV 以上のバンドギャップを有するワイドバンドギャップ半導体材料を含むワイドバンドギャップ半導体層であってもよい。半導体層12は、ワイドバンドギャップ半導体材料の一例としてのSiC（炭化シリコン）を含むSiC半導体層であってもよい。SiC半導体層は、SiC半導体基板およびSiCエピタキシャル層を含む積層構造を有していてもよい。SiC半導体層は、SiC半導体基板からなる単層構造を有していてもよい。

[0020] 半導体層12は、化合物半導体材料を含む化合物半導体層であってもよい。化合物半導体層は、化合物半導体基板および化合物半導体エピタキシャル層を含む積層構造を有していてもよい。化合物半導体層は、化合物半導体基板からなる単層構造を有していてもよい。化合物半導体材料は、III-V族化合物半導体材料であってもよい。III-V族化合物半導体材料は、AlN（窒化アルミニウム）、InN（窒化インジウム）、GaN（窒化ガリウム）、および、GaAs（ヒ化ガリウム）のうちの少なくとも1つを含んでいてもよい。

[0021] 半導体層12は、一方側の第1主面13、他方側の第2主面14、ならびに、第1主面13および第2主面14を接続する側面15A、15B、15C、15Dを含む。側面15A～15Dは、デバイス側面5A～5Dの一部をそれぞれ形成している。側面15A～15Dは、この形態では、研削面からなる。

- [0022] 半導体層 12 の厚さは、 $50\text{ }\mu\text{m}$ 以上 $1000\text{ }\mu\text{m}$ 以下であってもよい。
半導体層 12 の厚さは、 $50\text{ }\mu\text{m}$ 以上 $200\text{ }\mu\text{m}$ 以下、 $200\text{ }\mu\text{m}$ 以上 $400\text{ }\mu\text{m}$ 以下、 $400\text{ }\mu\text{m}$ 以上 $600\text{ }\mu\text{m}$ 以下、 $600\text{ }\mu\text{m}$ 以上 $800\text{ }\mu\text{m}$ 以下、または、 $800\text{ }\mu\text{m}$ 以上 $1000\text{ }\mu\text{m}$ 以下であってもよい。
- [0023] 第 1 主面 13 は、機能デバイス 16 の主たる構造が形成されるデバイス形成面として形成されている。機能デバイス 16 は、半導体層 12 の第 1 主面 13 の表層部、および／または、半導体層 12 の第 1 主面 13 の上の領域を利用して形成される。図 5 では、半導体層 12 の第 1 主面 13 の表層部に示された破線によって、機能デバイス 16 を簡略化して示している。
- [0024] 機能デバイス 16 は、受動デバイス、半導体整流デバイス、および、半導体スイッチングデバイスのうちの少なくとも 1 つを含んでいてもよい。受動デバイスは、半導体受動デバイスを含んでいてもよい。受動デバイス（半導体受動デバイス）は、抵抗、コンデンサ、および、コイルのうちの少なくとも 1 つを含んでいてもよい。半導体整流デバイスは、pn 接合ダイオード、ツェナーダイオード、ショットキーバリアダイオード、および、ファーストリカバリーダイオードのうちの少なくとも 1 つを含んでいてもよい。
- [0025] 半導体スイッチングデバイスは、BJT (Bipolar Junction Transistor)、MISFET (Metal Insulator Field Effect Transistor)、IGBT (Insulated Gate Bipolar Junction Transistor)、および、JFET (Junction Field Effect Transistor) のうちの少なくとも 1 つを含んでいてもよい。
- [0026] 機能デバイス 16 は、受動デバイス（半導体受動デバイス）、半導体整流デバイスおよび半導体スイッチングデバイスのうちの任意の 2 種以上のデバイスが選択的に組み合わされた回路網を含んでいてもよい。回路網は、集積回路の一部または全部を形成していてもよい。集積回路は、SSI (Small Scale Integration)、LSI (Large Scale Integration)、MSI (Medium Scale Integration)、VLSI (Very Large Scale Integration) または ULSI (Ultra-Very Large Scale Integration) を含んでいてもよい。

- [0027] デバイス本体 2 は、主面絶縁層 2 1 を含む。主面絶縁層 2 1 は、半導体層 1 2 の第 1 主面 1 3 を被覆している。主面絶縁層 2 1 は、単一の絶縁層からなる単層構造を有していてもよい。主面絶縁層 2 1 は、複数の絶縁層が積層された積層構造を有していてもよい。主面絶縁層 2 1 として適用される単一のまたは複数の絶縁層は、酸化シリコン層および／または窒化シリコン層を含んでいてもよい。
- [0028] 主面絶縁層 2 1 は、多層配線構造を有していてもよい。多層配線構造は、複数の絶縁層、および、複数の絶縁層の間の領域に選択的に介在された 1 つまたは複数の配線層を含んでいてもよい。複数の配線層は、機能デバイス 1 6 に電氣的に接続される。
- [0029] デバイス本体 2 は、主面絶縁層 2 1 の上に形成された複数の配線電極 2 2 を含む。複数の配線電極 2 2 は、それぞれ、主面絶縁層 2 1 の上に選択的に引き回されている。複数の配線電極 2 2 は、機能デバイス 1 6 に電氣的に接続されている。複数の配線電極 2 2 は、電氣的に開放された 1 つまたは複数の配線電極 2 2 を含んでいてもよい。複数の配線電極 2 2 の平面形状は、任意であり、特定の形状に限定されない。
- [0030] 配線電極 2 2 は、アルミニウム、銅、アルミニウム合金、および、銅合金のうちの少なくとも 1 種をそれぞれ含んでいてもよい。配線電極 2 2 は、Al-Si-Cu（アルミニウム-シリコン-銅）合金、Al-Si（アルミニウム-シリコン）合金、および、Al-Cu（アルミニウム-銅）合金のうちの少なくとも 1 種を含んでいてもよい。配線電極 2 2 は、アルミニウムを含む好ましい。
- [0031] 図 5 を参照して、デバイス本体 2 は、保護絶縁層 2 3 を含む。保護絶縁層 2 3 は、主面絶縁層 2 1 の上において複数の配線電極 2 2 を一括して被覆している。保護絶縁層 2 3 は、複数の配線電極 2 2 をはじめとする下層の構造を保護する。保護絶縁層 2 3 は、パッシベーション層とも称される。
- [0032] 保護絶縁層 2 3 は、単一の絶縁層からなる単層構造を有していてもよい。保護絶縁層 2 3 は、複数の絶縁層が積層された積層構造を有していてもよい。

。保護絶縁層 23 として適用される単一のまたは複数の絶縁層は、酸化シリコン層および／または窒化シリコン層を含んでいてもよい。保護絶縁層 23 は、この形態では、窒化シリコン層からなる単層構造を有している。

[0033] 保護絶縁層 23 は、複数の第 1 パッド開口 25 を有している。複数の第 1 パッド開口 25 は、複数の配線電極 22 の一部の領域を電極パッド 24 としてそれぞれ露出させている。各第 1 パッド開口 25 の平面形状は任意であり、特定の形状に限定されない。各第 1 パッド開口 25 は、平面視において三角形形状、四角形状、六角形状等の多角形状に形成されていてもよいし、円形状または楕円形状に形成されていてもよい。

[0034] 複数の電極パッド 24 は、規則的に配列されていてもよいし、不規則的に配列されていてもよい。複数の電極パッド 24 は、その配列に応じて、複数の群を形成していてもよい。図 2 では、複数の電極パッド 24 が、第 1 電極パッド群 26、第 2 電極パッド群 27 および第 3 電極パッド群 28 を含む形態が示されている。

[0035] 第 1 電極パッド群 26 は、第 1 方向 X または第 2 方向 Y に沿って等しい間隔を空けて一列に配列された複数の電極パッド 24 を含む。第 2 電極パッド群 27 は、第 1 方向 X に沿って等しい間隔を空けて一列に配列された複数の電極パッド 24、および、第 2 方向 Y に沿って等しい間隔を空けて一列に配列された複数の電極パッド 24 を含む。第 3 電極パッド群 28 は、互いに異なる間隔を空けて不規則に配列された複数の電極パッド 24 を含む。

[0036] デバイス本体 2 は、再配線構造 31 を含む。再配線構造 31 は、主面絶縁層 21 の上において複数の配線電極 22 を被覆している。再配線構造 31 は、この形態では、下地層 32 および複数の再配線層 33（再配線）を含む。

[0037] 下地層 32 は、保護絶縁層 23 の上において複数の配線電極 22 を被覆している。下地層 32 は、複数の第 2 パッド開口 35 を有している。複数の第 2 パッド開口 35 は、対応する電極パッド 24 をそれぞれ露出させている。複数の第 2 パッド開口 35 は、より具体的には、対応する電極パッド 24 を 1 対 1 対応の関係でそれぞれ露出させている。

- [0038] 各第2パッド開口35の平面形状は任意であり、特定の形状に限定されない。各第2パッド開口35は、平面視において三角形状、四角形状、六角形状等の多角形状に形成されていてもよいし、円形状または楕円形状に形成されていてもよい。
- [0039] 各第2パッド開口35は、この形態では、各第1パッド開口25の内壁に取り囲まれた領域に位置する内壁を含む。つまり、下地層32は、この形態では、保護絶縁層23の上から各第1パッド開口25に入り込み、各電極パッド24を露出させている。下地層32は、各第1パッド開口25内において、各第1パッド開口25の内壁および各電極パッド24の一部を被覆している。
- [0040] 各第2パッド開口35の内壁は、各第1パッド開口25の内壁に連通していてもよい。この場合、各第2パッド開口35の内壁は、各第1パッド開口25の内壁に面一に形成されていてもよいし、各第1パッド開口25の内壁の外側に形成されていてもよい。
- [0041] 下地層32は、有機系の絶縁材料を含む。下地層32は、この形態では、有機系の絶縁材料の一例としての感光性樹脂を含む。下地層32は、ネガティブタイプの感光性樹脂の一例としてのポリイミド樹脂を含んでいてもよい。下地層32は、ポジティブタイプの感光性樹脂の一例としてのポリベンゾオキサゾールを含んでいてもよい。
- [0042] 下地層32の厚さは、 $1\mu\text{m}$ 以上 $20\mu\text{m}$ であってもよい。下地層32の厚さは、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下、 $10\mu\text{m}$ 以上 $15\mu\text{m}$ 以下、または、 $15\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。
- [0043] 各再配線層33は、対応する電極パッド24に接続されている。各再配線層33は、対応する電極パッド24から下地層32の上に引き出されている。各再配線層33の大部分は、対応する電極パッド24外の領域に位置している。
- [0044] 各再配線層33は、より具体的には、パッド接続部36、電極接続部37および配線部38を有している。パッド接続部36は、電極パッド24を被

覆し、第2パッド開口35内において電極パッド24に電氣的に接続されている。パッド接続部36の平面形状は任意であり、特定の形状に限定されない。

[0045] 電極接続部37は、パッド接続部36から間隔を空けて下地層32の上に形成されている。電極接続部37は、電極パッド24の平面面積を超える平面面積を有している。電極接続部37の平面形状は任意であり、特定の形状に限定されない。

[0046] 配線部38は、パッド接続部36および電極接続部37を接続している。配線部38は、パッド接続部36および電極接続部37の間の領域を延びている。配線部38の平面形状は任意であり、特定の形状に限定されない。

[0047] 複数の再配線層33は、電極パッド24との接続態様に応じて、複数種の称呼を有していてもよい。図2～図4を参照して、複数の再配線層33は、第1再配線層33Aおよび第2再配線層33Bを含んでいてもよい。第1再配線層33Aは、1つの電極パッド24だけに接続されている。第2再配線層33Bは、複数の電極パッド24に接続されている。

[0048] 図3を参照して、第1再配線層33Aは、第1パッド接続部36A、第1電極接続部37Aおよび第1配線部38Aを含む。第1パッド接続部36Aは、対応する1つの電極パッド24を被覆し、第2パッド開口35内において当該電極パッド24に電氣的に接続されている。第1パッド接続部36Aの平面形状は任意であり、特定の形状に限定されない。第1パッド接続部36Aは、平面視において三角形状、四角形状、六角形状等の多角形状に形成されていてもよいし、円形状または楕円形状に形成されていてもよい。

[0049] 第1電極接続部37Aは、第1パッド接続部36Aから間隔を空けて下地層32の上に形成されている。第1電極接続部37Aは、対応する1つの電極パッド24の平面面積を超える平面面積を有している。第1電極接続部37Aの平面形状は任意であり、特定の形状に限定されない。第1電極接続部37Aは、平面視において三角形状、四角形状、六角形状等の多角形状に形成されていてもよいし、円形状または楕円形状に形成されていてもよい。

- [0050] 第1配線部38Aは、第1パッド接続部36Aおよび第1電極接続部37Aを接続している。第1配線部38Aは、第1パッド接続部36Aおよび第1電極接続部37Aの間の領域を延びている。第1配線部38Aの平面形状は任意であり、特定の形状に限定されない。第1配線部38Aは、第1パッド接続部36Aおよび第1電極接続部37Aの間の領域を帯状、直線状、L字状または葛折り状に延びていてもよい。
- [0051] 第1配線部38Aは、他の再配線層33を第1方向Xおよび／または第2方向Yに沿って横切ってもよい。第1配線部38Aは、他の再配線層33を第1方向Xおよび／または第2方向Yに沿って横切らないように延びてもよい。第1パッド接続部36A、第1電極接続部37Aおよび第1配線部38Aは、個々の平面形状が区別されず、全体として多角形状に形成されていてもよい。
- [0052] 図4を参照して、第2再配線層33Bは、第2パッド接続部36B、第2電極接続部37Bおよび第2配線部38Bを有している。第2再配線層33Bは、この形態では、複数（この形態では2つ）の第2電極接続部37B、および、複数（この形態では2つ）の第2配線部38Bを含む。
- [0053] 第2パッド接続部36Bは、対応する複数の電極パッド24を一括して被覆している。第2パッド接続部36Bは、対応する複数の第2パッド開口35内において対応する電極パッド24に電氣的に接続されている。第2パッド接続部36Bの平面形状は任意であり、特定の形状に限定されない。
- [0054] 複数の第2電極接続部37Bは、第2パッド接続部36Bから間隔を空けて下地層32の上にそれぞれ形成されている。各第2電極接続部37Bは、電極パッド24の平面面積を超える平面面積を有している。各第2電極接続部37Bの平面形状は任意であり、特定の形状に限定されない。
- [0055] 複数の第2配線部38Bは、第2パッド接続部36Bおよび対応する第2電極接続部37Bをそれぞれ接続している。各第2配線部38Bは、第2パッド接続部36Bおよび対応する第2電極接続部37Bの間の領域を延びている。各第2配線部38Bの平面形状は任意であり、特定の形状に限定され

ない。各第2配線部38Bは、第2パッド接続部36Bおよび対応する第2電極接続部37Bの間の領域を帯状、直線状、L字状または葛折り状に延びていてもよい。

[0056] 各第2配線部38Bは、他の再配線層33を第1方向Xおよび／または第2方向Yに沿って横切ってもよい。各第2配線部38Bは、他の再配線層33を第1方向Xおよび／または第2方向Yに沿って横切らないように延びていてもよい。第2パッド接続部36B、第2電極接続部37Bおよび第2配線部38Bは、個々の平面形状が区別されず、全体として多角形状に形成されていてもよい。

[0057] 図5～図8を参照して、各再配線層33は、半導体層12側の第1配線面41、および、第1配線面41の反対側に位置する第2配線面42を含む。第1配線面41は、対応する1つのまたは複数の電極パッド24に接続された1つのまたは複数のコンタクト部43を有している。

[0058] 第2配線面42は、粗面化されている。第2配線面42は、第1算術平均粗さRa1を有している。第1算術平均粗さRa1は、下記式(1)によって定義される。

[0059] [数1]

$$Ra1 = \frac{1}{L1} \int_0^{L1} |f(a)| da \cdots (1)$$

[0060] 上記式(1)において「L1」は、第2配線面42に形成された粗さ曲線から当該粗さ曲線の平均線に沿う方向に沿って抜き取られる任意の長さである。「f(a)」は、平均線に沿う方向にa軸を設定し、法線方向Zにz軸を設定したとき、a軸およびz軸によって表される粗さ曲線の関数(z=f(a))である。第1算術平均粗さRa1の単位は、「μm」である。

[0061] 第1算術平均粗さRa1は、0.5μm以上2μm以下であってもよい。第1算術平均粗さRa1は、0.5μm以上0.75μm以下、0.75μm以上1μm以下、1μm以上1.25μm以下、1.25μm以上1.5

μm 以下、 $1.5\mu\text{m}$ 以上 $1.75\mu\text{m}$ 以下、または、 $1.75\mu\text{m}$ 以上 $2\mu\text{m}$ 以下であってもよい。第1算術平均粗さ R_a1 は、 $0.65\mu\text{m}$ 以上 $1.3\mu\text{m}$ 以下であることが好ましい。

[0062] 第2配線面42は、より具体的には、複数の配線リセス44を含み、複数の配線リセス44によって粗面化されている。複数の配線リセス44は、第2配線面42から第1配線面41に向かって不規則な形状でそれぞれ窪んでいる。これにより、第2配線面42には、不規則な凹凸構造が形成されている。

[0063] 図7および図8を参照して、複数の配線リセス44は、1つまたは複数の先太りリセス45を含んでいてもよい。先太りリセス45は、開口縁46、および、開口縁46から第1配線面41に向けて開口幅が広がる内部空間47を有している。複数の配線リセス44は、1つまたは複数の先細りリセス48を含んでいてもよい。先細りリセス48は、開口縁49、および、開口縁49から第1配線面41に向けて開口幅が狭まる内部空間50を有している。

[0064] 図7を参照して、第2配線面42は、粗面化された粗面領域51（第1領域）および粗面領域51に対して面粗さの小さい非粗面領域52（第2領域）を含む。粗面領域51は、複数の配線リセス44を含み、第1算術平均粗さ R_a1 を有している。非粗面領域52は、配線リセス44を含まない領域である。非粗面領域52は、第1算術平均粗さ R_a1 未満（ $0.5\mu\text{m}$ 未満）の算術平均粗さを有している。

[0065] 粗面領域51は、パッド接続部36、電極接続部37および配線部38の第2配線面42に形成されている。非粗面領域52は、電極接続部37の第2配線面42において後述するポスト電極70が接続される領域に形成されている。粗面領域51は、この形態では、非粗面領域52以外の領域の全域に形成されている。

[0066] 図5および図6を参照して、各再配線層33は、この形態では、複数の配線層が積層された積層構造を有している。各再配線層33は、配線電極22

側からこの順に積層された下地配線層 5 5 およびボディ配線層 5 6 を含む。

下地配線層 5 5 は、U B M (Under Bump Metal) と称されてもよい。

[0067] 下地配線層 5 5 は、再配線層 3 3 の第 1 配線面 4 1 を形成している。下地配線層 5 5 は、下地層 3 2 および第 2 パッド開口 3 5 の内面に沿う膜状に形成されている。下地配線層 5 5 は、第 2 パッド開口 3 5 内において凹状の空間を区画している。

[0068] 下地配線層 5 5 は、この形態では、配線電極 2 2 側からこの順に積層された第 1 配線層 5 7 および第 2 配線層 5 8 を含む積層構造を有している。第 2 配線層 5 8 は、第 1 配線層 5 7 とは異なる導電材料を含む。第 1 配線層 5 7 は、T i (チタン) を主成分に含む T i 層を含む。T i 層は、T i バリア層であってもよい。第 2 配線層 5 8 は、C u (銅) を主成分に含む C u 層を含む。C u 層は、C u シード層であってもよい。

[0069] ボディ配線層 5 6 は、再配線層 3 3 の第 2 配線面 4 2 を形成している。ボディ配線層 5 6 は、下地配線層 5 5 の上において下地配線層 5 5 に倣って膜状に形成されている。ボディ配線層 5 6 は、第 2 パッド開口 3 5 内において下地配線層 5 5 によって区画された凹状の空間に入り込んでいる。

[0070] ボディ配線層 5 6 は、C u (銅) を主成分に含む C u 層を含む。ボディ配線層 5 6 は、C u 層を含む単層構造を有している。ボディ配線層 5 6 の C u 層は、C u めっき層であってもよい。ボディ配線層 5 6 は、第 2 配線層 5 8 と一体を成していてもよい。ボディ配線層 5 6 は、第 2 配線層 5 8 との界面が消失する態様で形成されていてもよい。ボディ配線層 5 6 は、第 2 配線層 5 8 との界面が残存する態様で形成されていてもよい。

[0071] 図 6 を参照して、第 1 配線層 5 7 は、第 1 周縁 5 7 A を有している。第 2 配線層 5 8 は、第 1 周縁 5 7 A に対して外側に突出した第 2 周縁 5 8 A を有している。ボディ配線層 5 6 は、第 1 周縁 5 7 A に対して外側に突出した第 3 周縁 5 6 A を有している。

[0072] ボディ配線層 5 6 の第 3 周縁 5 6 A は、第 2 配線層 5 8 の第 2 周縁 5 8 A に連なっている。ボディ配線層 5 6 の第 3 周縁 5 6 A は、より具体的には、

第2配線層58の第2周縁58Aに面一に形成されている。第1周縁57A、第2周縁58Aおよび第3周縁56Aによって、再配線層33の周縁が形成されている。

[0073] 再配線層33の総厚さは、 $5\mu\text{m}$ 以上 $15\mu\text{m}$ 以下であってもよい。再配線層33の総厚さは、 $5\mu\text{m}$ 以上 $7.5\mu\text{m}$ 以下、 $7.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下、 $10\mu\text{m}$ 以上 $12.5\mu\text{m}$ 以下、または、 $12.5\mu\text{m}$ 以上 $15\mu\text{m}$ 以下であってもよい。

[0074] 図3～図6を参照して、下地層32には、半導体層12に向かって窪んだアンカーリセス61が形成されている。アンカーリセス61は、下地層32において再配線層33から露出する部分に形成されている。アンカーリセス61は、底壁および側壁を含む。アンカーリセス61の底壁は、再配線層33の第1配線面41に対して半導体層12の第1主面13側に位置している。アンカーリセス61の底壁は、隆起および／または沈下することによって凹凸状に形成されていてもよい。

[0075] アンカーリセス61の側壁は、この形態では、再配線層33の周縁に対して再配線層33の内方側に位置している。これにより、アンカーリセス61の底壁は、平面視において再配線層33から露出する露出部62、および、平面視において再配線層33に重なる隠蔽部63を含む。隠蔽部63は、各再配線層33の周縁全周に亘って形成されている。隠蔽部63は、各再配線層33に独立して形成され、平面視において再配線層33と同じ輪郭を有している。各隠蔽部63は、半導体層12の第1主面13に向かう湾曲面を有している。

[0076] 図5を参照して、アンカーリセス61は、下地層32において再配線層33から露出する部分の全域に形成され、互いに隣り合う再配線層33の間に跨っている。したがって、一方側の再配線層33（たとえば、図5の紙面左側の再配線層33）の隠蔽部63および他方側の再配線層33（たとえば、図5の紙面右側の再配線層33）の隠蔽部63は、共通の露出部62を介して連続している。

- [0077] アンカーリセス61の深さは、 $0\mu\text{m}$ を超えて $10\mu\text{m}$ 以下であってもよい。アンカーリセス61の深さは、 $0\mu\text{m}$ を超えて $2\mu\text{m}$ 以下、 $2\mu\text{m}$ 以上 $4\mu\text{m}$ 以下、 $4\mu\text{m}$ 以上 $6\mu\text{m}$ 以下、 $6\mu\text{m}$ 以上 $8\mu\text{m}$ 以下、または、 $8\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。アンカーリセス61の深さは、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であることが好ましい。
- [0078] 図2、図5および図7を参照して、デバイス本体2は、複数のポスト電極70を含む。複数のポスト電極70は、この形態では、平面視において第1方向Xおよび第2方向Yに沿って間隔を空けて形成されている。複数のポスト電極70は、平面視において行列状に配列されている。
- [0079] 複数のポスト電極70は、対応する再配線層33の電極接続部37にそれぞれ接続されている。複数のポスト電極70は、より具体的には、対応する再配線層33の電極接続部37において非粗面領域52に接続されている。第1再配線層33Aの1つの電極接続部37には、1つのポスト電極70が接続されている。第2再配線層33Bの2つの電極接続部37には、ポスト電極70が1つずつ接続されている。
- [0080] 複数のポスト電極70は、再配線層33の第2配線面42の法線方向（法線方向Z）に沿って延びる柱状にそれぞれ形成されている。ポスト電極70は、ピラー電極とも称される。複数のポスト電極70は、四角柱状、六角柱状等の多角柱状、または、円柱状または楕円柱状それぞれ形成されていてもよい。複数のポスト電極70は、この形態では、円柱状に形成されている。
- [0081] 複数のポスト電極70は、対応する再配線層33において第2配線面42に接続された第1電極面71、第1電極面71の反対側に位置する第2電極面72、ならびに、第1電極面71および第2電極面72を接続する電極側面73をそれぞれ有している。
- [0082] 第2電極面72は、平坦面を有している。第2電極面72は、半導体層12の第1主面13に平行に形成されている。第2電極面72は、より具体的には、研削面である。第2電極面72は、実装端子として機能する。つまり、半導体装置1は、実装基板等の接続対象に第2電極面72が接合されるこ

とによって、当該接続対象に実装される。

[0083] 電極側面 7 3 は、法線方向 Z に沿って平面的に延びている。複数のポスト電極 7 0 は、第 2 電極面 7 2 から第 1 電極面 7 1 に向けて先細り形状に形成された 1 つまたは複数の先細りのポスト電極 7 0 を含んでいてもよい。この場合、先細りのポスト電極 7 0 は、第 1 平面面積を有する第 1 電極面 7 1、第 1 平面面積を超える第 2 平面面積を有する第 2 電極面 7 2、および、第 1 電極面 7 1 から第 2 電極面 7 2 に向けて下り傾斜した電極側面 7 3 を有している。

[0084] 図 5 を参照して、先細りのポスト電極 7 0 は、断面視において第 1 電極面 7 1 の法線に対して非対象（より具体的には非線対称形状）に形成されていてもよい。つまり、先細りのポスト電極 7 0 は、断面視において一方側の電極側面 7 3 の傾斜角が他方側の電極側面 7 3 の傾斜角と異なるように形成されていてもよい。むろん、全てのポスト電極 7 0 が、先細りに形成されていてもよい。

[0085] ポスト電極 7 0 は、再配線層 3 3 の厚さを超える厚さを有している。再配線層 3 3 の厚さに対するポスト電極 7 0 の厚さの比は、1 を超えて 3 0 以下であってもよい。再配線層 3 3 の厚さに対するポスト電極 7 0 の厚さの比は、1 を超えて 5 以下、5 以上 1 0 以下、1 0 以上 1 5 以下、1 5 以上 2 0 以下、2 0 以上 2 5 以下、または、2 5 以上 3 0 以下であってもよい。

[0086] ポスト電極 7 0 の厚さは、 $50\ \mu\text{m}$ 以上 $150\ \mu\text{m}$ 以下であってもよい。ポスト電極 7 0 の厚さは、 $50\ \mu\text{m}$ 以上 $75\ \mu\text{m}$ 以下、 $75\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下、 $100\ \mu\text{m}$ 以上 $125\ \mu\text{m}$ 以下、または、 $125\ \mu\text{m}$ 以上 $150\ \mu\text{m}$ 以下であってもよい。ポスト電極 7 0 の厚さは、 $90\ \mu\text{m}$ 以上 $110\ \mu\text{m}$ 以下であることが好ましい。

[0087] 図 7 および図 9 を参照して、電極側面 7 3 は、粗面化されている。電極側面 7 3 は、第 2 算術平均粗さ $R_a 2$ を有している。第 2 算術平均粗さ $R_a 2$ は、下記式 (2) によって定義される。

[0088]

[数2]

$$R a 2 = \frac{1}{L 2} \int_0^{L 2} | f (b) | d b \cdots (2)$$

[0089] 上記式(2)において「L 2」は、電極側面73に形成された粗さ曲線から当該粗さ曲線の平均線に沿う方向に沿って抜き取られる任意の長さである。「f (b)」は、平均線に沿う方向にb軸を設定し、電極側面73の法線方向Z eにz e軸を設定したとき、b軸およびz e軸によって表される粗さ曲線の関数(z e = f (b))である。第2算術平均粗さR a 2の単位は、「μm」である。

[0090] 電極側面73の第2算術平均粗さR a 2は、第2配線面42の第1算術平均粗さR a 1未満(R a 1 > R a 2)である。第2算術平均粗さR a 2は、0 μmを超えて0.5 μm未満であってもよい。第2算術平均粗さR a 2は、0 μmを超えて0.1 μm以下、0.1 μm以上0.2 μm以下、0.2 μm以上0.3 μm以下、0.3 μm以上0.4 μm以下、または、0.4 μm以上0.5 μm以下であってもよい。第2算術平均粗さR a 2は、0.1 μm以上0.3 μm以下であることが好ましい。

[0091] 図7および図9を参照して、電極側面73は、より具体的には、複数の電極リセス74を含み、複数の電極リセス74によって粗面化されている。複数の電極リセス74は、電極側面73から内方に向かって不規則な形状でそれぞれ窪んでいる。これにより、電極側面73には、不規則な凹凸構造が形成されている。

[0092] 複数の電極リセス74は、1つまたは複数の先太リリセス75を含んでもよい。先太リリセス75は、開口縁76、および、開口縁76から内方に向けて開口幅が広がる内部空間77を有している。複数の電極リセス74は、1つまたは複数の先細リリセス78を含んでもよい。先細リリセス78は、開口縁79、および、開口縁79から内方に向けて開口幅が狭まる内部空間80を有している。

- [0093] 電極側面 7 3 は、第 2 配線面 4 2 との接続部において配線リセス 4 4 と一体を成す配線／電極リセス 8 1 を含んでいてもよい。配線／電極リセス 8 1 からは、再配線層 3 3 およびポスト電極 7 0 が露出している。
- [0094] 配線／電極リセス 8 1 は、開口縁 8 2 および内部空間 8 3 を含む。配線／電極リセス 8 1 は、開口縁 8 2 から第 2 配線面 4 2 に平行な横方向に沿って延びる内部空間 8 3 を有していてもよい。配線／電極リセス 8 1 は、開口縁 8 2 から内方に向けて開口幅が広がる内部空間 8 3 を有する先太りリセスであってもよい。配線／電極リセス 8 1 は、開口縁 8 2 から内方に向けて開口幅が狭まる内部空間 8 3 を有する先細りリセスであってもよい。
- [0095] デバイス本体 2 は、封止樹脂層 9 3（樹脂）を含む。封止樹脂層 9 3 は、第 1 デバイス主面 3 を形成している。封止樹脂層 9 3 は、半導体層 1 2 の第 1 主面 1 3 の上において、複数のポスト電極 7 0 の第 2 電極面 7 2 を露出させるように、複数の再配線層 3 3 および複数のポスト電極 7 0 を一括して被覆している。
- [0096] 封止樹脂層 9 3 は、樹脂主面 9 4 および樹脂側面 9 5 A, 9 5 B, 9 5 C, 9 5 D を含む。樹脂主面 9 4 は、複数のポスト電極 7 0 の第 2 電極面 7 2 に連なっている。樹脂主面 9 4 は、複数のポスト電極 7 0 の第 2 電極面 7 2 に面一に形成されている。樹脂主面 9 4 は、より具体的には、複数のポスト電極 7 0 の第 2 電極面 7 2 との間で 1 つの研削面を形成している。
- [0097] 樹脂側面 9 5 A～9 5 D は、樹脂主面 9 4 の周縁から半導体層 1 2 に向けて延び、側面 1 5 A～1 5 D に接続されている。樹脂側面 9 5 A～9 5 D は、側面 1 5 A～1 5 D に連なっている。樹脂側面 9 5 A～9 5 D は、より具体的には、側面 1 5 A～1 5 D に対して面一に形成されている。樹脂側面 9 5 A～9 5 D は、側面 1 5 A～1 5 D との間で 1 つの研削面を形成している。
- [0098] 封止樹脂層 9 3 の厚さは、 $50\text{ }\mu\text{m}$ 以上 $200\text{ }\mu\text{m}$ 以下であってもよい。封止樹脂層 9 3 の厚さは、 $50\text{ }\mu\text{m}$ 以上 $75\text{ }\mu\text{m}$ 以下、 $75\text{ }\mu\text{m}$ 以上 $100\text{ }\mu\text{m}$ 以下、 $100\text{ }\mu\text{m}$ 以上 $125\text{ }\mu\text{m}$ 以下、 $125\text{ }\mu\text{m}$ 以上 $150\text{ }\mu\text{m}$ 以下

、 $150\mu\text{m}$ 以上 $175\mu\text{m}$ 以下、または、 $175\mu\text{m}$ 以上 $200\mu\text{m}$ 以下であってもよい。封止樹脂層93の厚さは、 $100\mu\text{m}$ 以上 $120\mu\text{m}$ 以下であることが好ましい。

[0099] 図7～図9を参照して、封止樹脂層93において再配線層33の第2配線面42を被覆する部分は、複数の配線リセス44に入り込んでいる。これにより、複数の再配線層33に対する封止樹脂層93の密着力が高められている。また、封止樹脂層93においてポスト電極70の電極側面73を被覆する部分は、複数の電極リセス74（配線／電極リセス81）に入り込んでいる。これにより、複数のポスト電極70に対する封止樹脂層93の密着力が高められている。

[0100] さらに、封止樹脂層93において下地層32を被覆する部分は、アンカーリセス61に入り込んでいる。これにより、下地層32に対する封止樹脂層93の密着力が高められている。封止樹脂層93においてアンカーリセス61内に位置する部分は、アンカーリセス61の露出部62および隠蔽部63を埋めている。これにより、下地層32に対する封止樹脂層93の密着力が高められている。

[0101] 封止樹脂層93においてアンカーリセス61内に位置する部分は、アンカーリセス61および再配線層33によって区画された部分に噛み合っている。また、封止樹脂層93は、再配線層33の第1配線面41および第2配線面42を、アンカーリセス61の内側および外側から挟み込んでいる。これにより、下地層32に対する封止樹脂層93の密着力が適切に高められている。

[0102] 図7～図9を参照して、封止樹脂層93は、モールド樹脂の一例としての熱硬化性樹脂を含む。熱硬化性樹脂は、エポキシ樹脂を含んでいてもよい。封止樹脂層93は、マトリックス樹脂96、および、マトリックス樹脂96に添加（充填）された複数のフィラー97を含む。マトリックス樹脂96は、この形態では、エポキシ樹脂を含む。複数のフィラー97は、この形態では、酸化シリコンを含み、不均一な径（サイズ）をそれぞれ有する粒子状ま

たは球体状に形成されている。

[0103] 複数のフィラー 97 は、より具体的には、複数の大径フィラー 98 および複数の小径フィラー 99 を含む。複数の大径フィラー 98 は、配線リセス 44 の開口幅および電極リセス 74 の開口幅を超える径を有する複数のフィラー 97 を含む。複数の小径フィラー 99 は、配線リセス 44 の開口幅および電極リセス 74 の開口幅未満の径を有する複数のフィラー 97 を含む。

[0104] 複数の大径フィラー 98 の径は、 $5\ \mu\text{m}$ を超えて $15\ \mu\text{m}$ 以下であってもよい。複数の大径フィラー 98 の径は、 $5\ \mu\text{m}$ を超えて $7.5\ \mu\text{m}$ 以下、 $7.5\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下、 $10\ \mu\text{m}$ 以上 $12.5\ \mu\text{m}$ 以下、または、 $12.5\ \mu\text{m}$ 以上 $15\ \mu\text{m}$ 以下であってもよい。

[0105] 複数の小径フィラー 99 の径は、 $0\ \mu\text{m}$ を超えて $5\ \mu\text{m}$ 以下であってもよい。複数の小径フィラー 99 の径は、 $0\ \mu\text{m}$ を超えて $0.1\ \mu\text{m}$ 以下、 $0.1\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下、 $0.5\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下、 $1\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下、 $2\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下、 $2.5\ \mu\text{m}$ 以上 $3\ \mu\text{m}$ 以下、 $3\ \mu\text{m}$ 以上 $3.5\ \mu\text{m}$ 以下、 $3.5\ \mu\text{m}$ 以上 $4\ \mu\text{m}$ 以下、 $4\ \mu\text{m}$ 以上 $4.5\ \mu\text{m}$ 以下、または、 $4.5\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下であってもよい。

[0106] 複数の大径フィラー 98 は、複数の配線リセス 44 外の領域および複数の電極リセス 74 外の領域においてマトリックス樹脂 96 と共に再配線層 33 およびポスト電極 70 をそれぞれ封止している。

[0107] 一方、複数の小径フィラー 99 は、複数の配線リセス 44 および複数の電極リセス 74 に入り込んでいる。とりわけ、複数の小径フィラー 99 のうちの $1\ \mu\text{m}$ 以下の径を有する複数の小径フィラー 99 は、複数の配線リセス 44 および複数の電極リセス 74 に入り込みやすい。

[0108] 複数の小径フィラー 99 は、マトリックス樹脂 96 と共に複数の配線リセス 44 および複数の電極リセス 74 をそれぞれ埋めている。複数の小径フィラー 99 は、マトリックス樹脂 96 を複数の配線リセス 44 内および複数の電極リセス 74 内に導く。このようにして、複数の再配線層 33 および複数

のポスト電極 70 に対する封止樹脂層 93 の密着力が高められている。

[0109] また、複数の小径フィラー 99 は、配線リセス 44 の先太りリセス 45 および電極リセス 74 の先太りリセス 75 にも入り込んでいる。複数の小径フィラー 99 は、マトリックス樹脂 96 と共に先太りリセス 45 および先太りリセス 75 を埋めている。このような構造によれば、複数の再配線層 33 および複数のポスト電極 70 に対する封止樹脂層 93 のアンカー効果を高めることができる。

[0110] 図示は省略されるが、複数の小径フィラー 99 は、アンカーリセス 61 に入り込んでいる。複数の小径フィラー 99 は、マトリックス樹脂 96 と共にアンカーリセス 61 を埋めている。また、複数の大径フィラー 98 は、アンカーリセス 61 に入り込んでいてもよい。複数の大径フィラー 98 は、マトリックス樹脂 96 と共にアンカーリセス 61 を埋めていてもよい。

[0111] 封止樹脂層 93 は、 $0\ \mu\text{m}$ を超えて $2\ \mu\text{m}$ 以下の径を有する気泡（図示略）を含んでいてもよい。このような気泡を有する封止樹脂層 93 は、コンプレッションモールド法によって形成される。

[0112] 気泡の径は、 $0\ \mu\text{m}$ を超えて $0.25\ \mu\text{m}$ 以下、 $0.25\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下、 $0.5\ \mu\text{m}$ 以上 $0.75\ \mu\text{m}$ 以下、 $0.75\ \mu\text{m}$ 以上 $1\ \mu\text{m}$ 以下、 $1.25\ \mu\text{m}$ 以上 $1.5\ \mu\text{m}$ 以下、 $1.5\ \mu\text{m}$ 以上 $1.75\ \mu\text{m}$ 以下、または、 $1.75\ \mu\text{m}$ 以上 $2\ \mu\text{m}$ 以下であってもよい。気泡の径は、 $1\ \mu\text{m}$ 以下であることが好ましい。

[0113] 気泡は、封止樹脂層 93 の剥離起点になる可能性がある。したがって、気泡の径を $2\ \mu\text{m}$ 以下（好ましくは $1\ \mu\text{m}$ 以下）に制限することにより、気泡を起点とする封止樹脂層 93 の剥離を抑制できる。

[0114] さらに、配線リセス 44 を形成したうえで、気泡の径を $2\ \mu\text{m}$ 以下（好ましくは $1\ \mu\text{m}$ 以下）に制限することにより、再配線層 33 に対する封止樹脂層 93 の接触面積を増加させることができるから、再配線層 33 からの封止樹脂層 93 の剥離を適切に抑制できる。

[0115] また、電極リセス 74 を形成したうえで、気泡の径を $2\ \mu\text{m}$ 以下（好まし

くは $1\ \mu\text{m}$ 以下)に制限することにより、ポスト電極70に対する封止樹脂層93の接触面積を増加させることができるから、ポスト電極70からの封止樹脂層93の剥離を適切に抑制できる。

[0116] また、アンカーリセス61を形成したうえで、気泡の径を $2\ \mu\text{m}$ 以下(好ましくは $1\ \mu\text{m}$ 以下)に制限することにより、下地層32に対する封止樹脂層93の接触面積を増加させることができるから、下地層32からの封止樹脂層93の剥離を適切に抑制できる。

[0117] また、これらの構造において大径フィラー98および小径フィラー99を含む封止樹脂層93を適用することにより、アンカーリセス61、再配線層33およびポスト電極70からの封止樹脂層93の剥離を適切に抑制できる。

[0118] 図1および図5を参照して、デバイス本体2は、主面保護層100を含む。主面保護層100は、半導体層12の第2主面14の上に形成されている。主面保護層100は、半導体層12の第2主面14の全面を覆っていてもよいし、第2主面14の一部(たとえば第2主面14の周縁部)を露出させていてもよい。主面保護層100は、第2デバイス主面4、および、デバイス側面5A~5Dの一部を形成している。

[0119] 主面保護層100は、有機系の絶縁材料層からなる単層構造を有していてもよい。主面保護層100は、有機系の絶縁材料層の一例としての熱硬化性樹脂を含んでいてもよい。主面保護層100は、エポキシ樹脂を含んでいてもよい。

[0120] 主面保護層100の厚さは、 $5\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下であってもよい。主面保護層100の厚さは、 $5\ \mu\text{m}$ 以上 $25\ \mu\text{m}$ 以下、 $25\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下、 $50\ \mu\text{m}$ 以上 $75\ \mu\text{m}$ 以下、または、 $75\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下であってもよい。

[0121] デバイス本体2は、複数の導電接合材101を含む。複数の導電接合材101は、樹脂主面94から露出するポスト電極70の第2電極面72の上にそれぞれ形成されている。複数の導電接合材101は、対応する第2電極面

72に対して1対1対応の関係で形成されている。したがって、複数の導電接合材101は、第1方向Xおよび第2方向Yに沿って間隔を空けて形成されている。複数の導電接合材101は、平面視において行列状に配列されている。

[0122] 複数の導電接合材101は、第2電極面72から突出した半球状にそれぞれ形成されている。複数の導電接合材101は、半田または金属ペーストをそれぞれ含む。半田は、鉛フリーであることが好ましい。

[0123] 半田は、Sn（錫）を含んでいてもよい。半田は、SnAg合金、SnSb合金、SnAgCu合金、SnZnBi合金、SnCu合金、SnCuNi合金、および、SnSbNi合金のうちの少なくとも1種を含んでいてもよい。金属ペーストは、アルミニウム、銅、銀、および、金のうちの少なくとも1種を含んでいてもよい。

[0124] 半導体層12は、この形態では、第1主面13の周縁に形成された周縁リセス102を含む。周縁リセス102は、第1主面13から第2主面14に向けて窪んでいる。周縁リセス102は、より具体的には、下地層32、保護絶縁層23および主面絶縁層21を貫通し、第1主面13に形成されている。

[0125] 周縁リセス102は、平面視において第1主面13の周縁に沿って帯状に延びている。周縁リセス102は、より具体的には、平面視において第1主面13の周縁に沿って延びる環状（この形態では四角環状）に形成されている。

[0126] 周縁リセス102は、第1主面13側に位置する第1壁面103および第2主面14側に位置する第2壁面104を有している。第1壁面103は、第1主面13に対して傾斜している。第2壁面104は、第1壁面103に対して傾斜している。第2壁面104は、第1壁面103とは異なる角度で傾斜している。

[0127] 第2壁面104が周縁リセス102内において第1壁面103との間で成すリセス角度は、90°を超えて150°以下であってもよい。リセス角度

は、 90° を超えて 100° 以下、 100° 以上 110° 以下、 110° 以上 120° 以下、 120° 以上 130° 以下、 130° 以上 140° 以下、または、 140° 以上 150° 以下であってもよい。

[0128] 封止樹脂層 93 は、周縁リセス 102 に入り込んでいる。封止樹脂層 93 において周縁リセス 102 に入り込んだ部分によって、樹脂側面 95A～95D が形成されている。図示は省略されるが、複数の小径フィラー 99 は、周縁リセス 102 に入り込んでいてもよい。複数の小径フィラー 99 は、マトリックス樹脂 96 と共にアンカーリセス 61 を埋めていてもよい。また、複数の大径フィラー 98 は、アンカーリセス 61 に入り込んでいてもよい。複数の大径フィラー 98 は、マトリックス樹脂 96 と共にアンカーリセス 61 を埋めていてもよい。

[0129] 図 10A～図 10R は、図 1 に示す半導体装置 1 の製造方法の一例を説明するための断面図である。図 10A～図 10R の製造方法では、複数の半導体装置 1 が同時に製造されるが、便宜的に、2 つの半導体装置 1 が製造される領域を示している。

[0130] まず、図 10A を参照して、ウエハ状の半導体層 12 が用意される。半導体層 12 は、 $200\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下の厚さを有していてもよい。次に、機能デバイス 16 が、半導体層 12 に形成される。次に、主面絶縁層 21 が、第 1 主面 13 の上に形成される。次に、配線電極 22 が、主面絶縁層 21 の上に形成される。

[0131] 次に、保護絶縁層 23 が、主面絶縁層 21 の上に形成される。保護絶縁層 23 は、主面絶縁層 21 の上において配線電極 22 を被覆する。次に、配線電極 22 の一部の領域を電極パッド 24 として露出させる第 1 パッド開口 25 が、保護絶縁層 23 に形成される。第 1 パッド開口 25 は、保護絶縁層 23 の不要な部分を除去することによって形成される。保護絶縁層 23 の不要な部分は、マスク（図示せず）を介するエッチング法によって除去されてもよい。

[0132] 次に、下地層 32 が、保護絶縁層 23 の上に形成される。下地層 32 は、

この形態では、感光性樹脂からなる。下地層 32 は、スピンコート法やスプレーコート法等によって形成されてもよい。次に、電極パッド 24 を露出させる第 2 パッド開口 35 が、下地層 32 に形成される。第 2 パッド開口 35 は、下地層 32 を予め定められたパターンで露光した後、現像することによって形成される。

[0133] 次に、図 10B を参照して、下地配線層 55 が、下地層 32 の上に形成される。下地配線層 55 の形成工程は、Ti（チタン）を主成分に含む第 1 配線層 57、および、Cu（銅）を主成分に含む第 2 配線層 58 を下地層 32 の上からこの順に形成する工程を含む。第 1 配線層 57 および第 2 配線層 58 は、スパッタ法によってそれぞれ形成されてもよい。

[0134] 次に、図 10C を参照して、所定パターンを有するマスク 111 が、下地配線層 55 の上に形成される。下地配線層 55 は、ボディ配線層 56 を形成すべき領域を露出させる複数の開口 112 を有している。

[0135] 次に、図 10D を参照して、Cu（銅）を主成分に含むボディ配線層 56 が、下地配線層 55 の上に形成される。ボディ配線層 56 は、下地配線層 55 において複数の開口 112 から露出する部分の上に形成される。ボディ配線層 56 は、銅めっき法によって形成されてもよい。

[0136] 次に、図 10E を参照して、マスク 111 が除去される。

[0137] 次に、図 10F を参照して、マスク 113 が、ボディ配線層 56 を被覆するように下地配線層 55 の上に形成される。マスク 113 は、感光性樹脂を塗布することによって形成されてもよい。マスク 113 は、感光性樹脂製のドライフィルム等のマスク材料が貼着されることによって形成されてもよい。

[0138] 次に、図 10G を参照して、ポスト電極 70 を形成すべき領域をそれぞれ露出させる複数の開口 114 が、マスク 113 に形成される。複数の開口 114 は、マスク 113 を予め定められたパターンで露光した後、現像することによって形成される。

[0139] 次に、図 10H を参照して、Cu（銅）を主成分に含むポスト電極 70 が、ボディ配線層 56 の上に形成される。ポスト電極 70 は、ボディ配線層 5

6において複数の開口114から露出する部分の上に形成される。ポスト電極70は、銅めっき法によって形成されてもよい。

[0140] 次に、図10Iを参照して、マスク113が除去される。

[0141] 次に、図10Jを参照して、下地配線層55の不要な部分が、除去される。下地配線層55の不要な部分は、マスク（図示せず）を介するエッチング法によって除去されてもよい。エッチング法は、ウエットエッチング法であってもよい。

[0142] この工程では、まず、ボディ配線層56から露出する第2配線層58が、除去される。次に、第2配線層58から露出する第1配線層57が、除去される。これにより、下地配線層55およびボディ配線層56を含む再配線層33が、形成される。

[0143] 次に、図10Kを参照して、溝115が、第1主面13に形成される。溝115は、下地層32、保護絶縁層23および主面絶縁層21を貫通して、第1主面13に形成される。溝115は、周縁リセス102のベースとなる。溝115は、ダイシングブレード等による研削部材を用いた研削法によって形成されてもよい。溝115の内壁は、研削部材の刃先の形状に応じた形状に形成される。

[0144] この工程では、第1主面13側に位置する第1壁面103および第2主面14側に位置する第2壁面104を有する溝115が形成される。第1壁面103は、第1主面13に対して傾斜している。第2壁面104は、第1壁面103とは異なる角度で傾斜している。第2壁面104が溝115内において第1壁面103との間で成す角度（リセス角度）は、 90° を超えて 150° 以下であってもよい。

[0145] 次に、図10Lを参照して、アンカーリセス61が、下地層32において再配線から露出する部分に形成される。アンカーリセス61は、下地層32に対するアッシング処理法によって形成されてもよい。アッシング処理法では、下地層32の不要な部分が等方的に除去される。これにより、露出部62および隠蔽部63を有するアンカーリセス61が形成される。

[0146] 次に、図 10M を参照して、再配線層 33 の外面が粗面化され、ポスト電極 70 の外面が粗面化される。再配線層 33 の粗面化工程およびポスト電極 70 の粗面化工程は同時に実施される。この工程では、銅に反応する粗化エッチング液を利用したウエットエッチング法によって、再配線層 33 の外面およびポスト電極 70 の外面がそれぞれ粗面化される。粗化エッチング液は、硫酸および過酸化水素を含む水溶液であってもよい。

[0147] 粗化エッチング液は、半導体層 12 を法線方向 Z に沿う回転軸回りに回転させた状態で、半導体層 12 の第 1 主面 13 の上に供給されてもよい。この場合、粗化エッチング液は、半導体層 12 の回転に起因する遠心力を受けて、半導体層 12 外に排出される。これにより、再配線層 33 の外面に複数の配線リセス 44 が形成され、ポスト電極 70 の外面に複数の電極リセス 74 が形成される。

[0148] 粗化エッチング液は、半導体層 12 が回転された状態において、半導体層 12 の中央部から周縁部に向かう排出流路（図 10M の矢印参照）を形成する。ポスト電極 70 の電極側面 73 において排出流路の上流側に位置する領域は、粗化エッチング液を部分的に堰き止める。

[0149] これにより、ポスト電極 70 の電極側面 73 において排出流路の上流側に位置する領域がオーバエッチングされてもよい。この場合、断面視において先細り形状のポスト電極 70 が形成されてもよい。ポスト電極 70 は、より具体的には、断面視において第 1 電極面 71 の法線に対して非対象（より具体的には非線対称形状）に形成されていてもよい。

[0150] 粗面化工程の後、リンス工程が実施されてもよい。リンス液は、半導体層 12 を法線方向 Z に沿う回転軸回りに回転させた状態で、半導体層 12 の第 1 主面 13 の上に供給されてもよい。第 1 主面 13 の上に残存した粗化エッチング液は、リンス液によって洗い流される。リンス液は、純水（脱イオン水：Deionized Water）、炭酸水、電解イオン水、水素水、オゾン水、および、希釈濃度の塩酸水のうちの少なくとも 1 つを含んでいてもよい。

[0151] 次に、図 10N を参照して、封止樹脂層 93 が、半導体層 12 の第 1 主面

13の上に形成される。封止樹脂層93は、再配線層33およびポスト電極70を一括して被覆する。封止樹脂層93は、この形態では、マトリックス樹脂96（エポキシ樹脂）、および、マトリックス樹脂96に添加（充填）された不均一な径をそれぞれ有する複数のフィラー97を含む。複数のフィラー97は、複数の大径フィラー98および複数の小径フィラー99を含む。

[0152] 封止樹脂層93は、減圧雰囲気の下で、コンプレッションモールド法によって押し固められることにより形成される。封止樹脂層93の形成時の気圧は、封止樹脂層93内の気泡の径が $2\mu\text{m}$ 以下（好ましくは $1\mu\text{m}$ 以下）となる程度に設定される。これにより、配線リセス44、電極リセス74、アンカーリセス61および溝115を埋めて、再配線層33およびポスト電極70を一括して被覆する封止樹脂層93が形成される。

[0153] 封止樹脂層93の形成工程に先立って、再配線層33およびポスト電極70を一括して被覆する酸化抑制膜を形成する工程が実施されてもよい。酸化抑制膜は、再配線層33およびポスト電極70を酸化から保護する。酸化抑制膜は、有機系の絶縁材料を含む有機薄膜であってもよい。有機薄膜は、 0.1nm 以上 10nm 以下の厚さを有していてもよい。有機薄膜は、エポキシ樹脂を含んでいてもよい。

[0154] この場合、封止樹脂層93は、封止樹脂層93の形成工程において、酸化抑制膜と一体的に形成される。つまり、酸化抑制膜は、封止樹脂層93の一部として組み込まれる。むしろ、封止樹脂層93は、酸化抑制膜との界面が残存する態様で形成されていてもよい。

[0155] 次に、図100を参照して、封止樹脂層93の樹脂主面94が、ポスト電極70が露出するまで研削される。封止樹脂層93は、CMP（Chemical Mechanical Polishing）法によって研削されてもよい。この工程において、ポスト電極70の第2電極面72は、封止樹脂層93の樹脂主面94と共に研削される。これにより、封止樹脂層93の樹脂主面94は、ポスト電極70の第2電極面72との間で一つの研削面を形成する。

- [0156] 次に、図10Pを参照して、半導体層12が、第2主面14側から研削されることにより、所望の厚さになるまで薄化される。半導体層12は、CMP法によって研削されてもよい。次に、半導体層12の第2主面14の上に、主面保護層100が形成される。主面保護層100は、エポキシ樹脂を含む。主面保護層100は、スピコート法やスプレーコート法等によって形成されてもよい。
- [0157] 次に、図10Qを参照して、導電接合材101が、ポスト電極70の第2電極面72の上に形成される。導電接合材101は、半田を含んでいてもよい。導電接合材101が半田を含む場合、半田が溶融する温度でリフロー処理が施されてもよい。
- [0158] 次に、図10Rを参照して、ウエハ状の半導体層12が、溝115に沿って切断される。これにより、1枚のウエハ状の半導体層12から複数の半導体装置1が切り出される。半導体層12は、ダイシングブレード等による研削部材によって切断される。この工程において、溝115の幅未満の刃先を有するダイシングブレードが用いられてもよい。封止樹脂層93のうち、溝115を被覆する部分は、デバイス本体2のデバイス側面5A～5Dの一部となる。以上を含む工程を経て、半導体装置1が製造される。
- [0159] 図10A～図10Rの工程順は一例であり、前記工程順に限定されるものではない。たとえば、粗面化工程（図10M参照）は、溝形成工程（図10K参照）に先立って実施されてもよい。また、再配線層33に対する粗面化工程およびポスト電極70に対する粗面化工程（図10M参照）は、異なるタイミングで実施されてもよい。
- [0160] たとえば、再配線層33に対する粗面化工程（図10M参照）は、ボディ配線層56の形成工程（図10E参照）の後、ポスト電極70の形成工程（図10I参照）に先立って実施されてもよい。この場合、再配線層33の第2配線面42の全域が粗面化される。
- [0161] そして、ポスト電極70に対する粗面化工程（図10M参照）は、ポスト電極70の形成工程（図10I参照）後の任意のタイミングで実施されても

よい。この場合、ポスト電極 70 は、再配線層 33 において粗面化された第 2 配線面 42 の上に形成される。

[0162] 成膜性を鑑みると、ポスト電極 70 は、第 2 配線面 42 において粗面化されていない領域（非粗面領域 52）に形成されることが好ましい。したがって、再配線層 33 に対する粗面化工程およびポスト電極 70 に対する粗面化工程は、同時に実施されることが好ましい。

[0163] 以上、半導体装置 1 によれば、粗面化された第 2 配線面 42 によって再配線層 33 に対する封止樹脂層 93 の密着力を高めることができる。また、半導体装置 1 によれば、粗面化された電極側面 73 によってポスト電極 70 に対する封止樹脂層 93 の密着力を高めることができる。よって、封止樹脂層 93 の剥離を抑制できる。

[0164] また、半導体装置 1 によれば、ポスト電極 70 は、再配線層 33 の第 2 配線面 42 において非粗面領域 52 の上に形成されている。これにより、再配線層 33 に対するポスト電極 70 の成膜性を高めながら、封止樹脂層 93 の密着力を高めることができる。

[0165] また、半導体装置 1 によれば、封止樹脂層 93 が、マトリックス樹脂 96 および不均一な径をそれぞれ有する複数のフィラー 97 を含む。複数のフィラー 97 のうちの複数の大径フィラー 98 は、複数の配線リセス 44 外の領域および複数の電極リセス 74 外の領域においてマトリックス樹脂 96 と共に再配線層 33 およびポスト電極 70 を封止する。

[0166] また、複数のフィラー 97 のうちの複数の小径フィラー 99 は、マトリックス樹脂 96 と共に複数の配線リセス 44 および複数の電極リセス 74 を埋める。これにより、再配線層 33 およびポスト電極 70 に対する封止樹脂層 93 の密着力を適切に高めることができるから、封止樹脂層 93 の剥離を適切に抑制できる。

[0167] とりわけ、複数の配線リセス 44 が先太りリセス 45 を含み、複数の電極リセス 74 が先太りリセス 75 を含む場合には、複数の配線リセス 44 および複数の電極リセス 74 に対する封止樹脂層 93 のアンカー効果を高めるこ

とができる。

[0168] 複数のフィラー 97 が小径フィラー 99 を含む場合には、小径フィラー 99 によってマトリックス樹脂 96 を先太りリセス 45 および先太りリセス 75 内に適切に導くことができる。これにより、複数の配線リセス 44 および複数の電極リセス 74 に対する封止樹脂層 93 のアンカー効果を適切に高めることができる。

[0169] また、半導体装置 1 によれば、封止樹脂層 93 が下地層 32 に形成されたアンカーリセス 61 に入り込んでいる。これにより、下地層 32 に対する封止樹脂層 93 の密着力を高めることができるから、封止樹脂層 93 の剥離を抑制できる。

[0170] この場合、アンカーリセス 61 の底壁は、隆起および／または沈下することによって凹凸状に形成されていることが好ましい。これにより、アンカーリセス 61 の底壁に対する封止樹脂層 93 の接触面積を増加させることができるから、下地層 32 に対する封止樹脂層 93 の密着力を適切に高めることができる。

[0171] また、半導体装置 1 によれば、アンカーリセス 61 の底壁が、平面視において再配線層 33 から露出する露出部 62、および、平面視において再配線層 33 に重なる隠蔽部 63 を含む。封止樹脂層 93 は、再配線層 33 の上からアンカーリセス 61 に入り込み、再配線層 33 の第 1 配線面 41 および第 2 配線面 42 を挟み込んでいる。これにより、アンカーリセス 61 に対する封止樹脂層 93 のアンカー効果を高めることができる。よって、封止樹脂層 93 の剥離を適切に抑制できる。

[0172] また、半導体装置 1 によれば、封止樹脂層 93 は、 $0\ \mu\text{m}$ を超えて $2\ \mu\text{m}$ 以下の径を有する気泡（図示略）を含む。封止樹脂層 93 内の気泡は、封止樹脂層 93 の剥離起点になる可能性がある。したがって、気泡の径を $2\ \mu\text{m}$ 以下（好ましくは $1\ \mu\text{m}$ 以下）に制限することにより、下地層 32、再配線層 33 およびポスト電極 70 に対する封止樹脂層 93 の接触面積を適切に増加させることができる。これにより、気泡を起点とする下地層 32、再配線

層 3 3 およびポスト電極 7 0 からの封止樹脂層 9 3 の剥離を適切に抑制できる。

[0173] 図 1 1 は、図 5 に対応する断面図であって、本発明の第 2 実施形態に係る半導体装置 1 2 1 の模式的な断面図である。図 1 1 は、説明に必要な構成を模式的に示したものであり、半導体装置 1 2 1 の特定箇所の断面を示すものではない。以下では、半導体装置 1 に対して述べた構造に対応する構造については、同一の参照符号を付して説明を省略する。

[0174] 半導体装置 1 は、ポスト電極 7 0 を有している。これに対して、半導体装置 1 2 1 では、導電接合材 1 0 1 が、ポスト電極 7 0 を介さずに再配線層 3 3 に電氣的に接続されている。以下、半導体装置 1 2 1 の構造について具体的に説明する。

[0175] 図 1 1 を参照して、封止樹脂層 9 3 は、この形態では、複数の開口 1 2 2 を有している。複数の開口 1 2 2 は、対応する再配線層 3 3 の電極接続部 3 7 をそれぞれ露出させている。再配線層 3 3 の第 2 配線面 4 2 の全域は、この形態では、複数の配線リセス 4 4 によって粗面化されている。したがって、電極接続部 3 7 において開口 1 2 2 から露出する部分は、粗面領域 5 1 からなる。むろん、電極接続部 3 7 において開口 1 2 2 から露出する部分は、非粗面領域 5 2 であってもよい。

[0176] デバイス本体 2 は、この形態では、複数の下地電極層 1 2 3 を含む。下地電極層 1 2 3 は、UBM 層とも称される。各下地電極層 1 2 3 は、対応する開口 1 2 2 内に形成されている。各下地電極層 1 2 3 は、対応する開口 1 2 2 内において再配線層 3 3 に電氣的に接続されている。各下地電極層 1 2 3 は、対応する開口 1 2 2 の内壁に沿って膜状に延び、樹脂主面 9 4 の上に引き出されている。各下地電極層 1 2 3 は、対応する開口 1 2 2 内において凹状の空間を区画している。

[0177] 各下地電極層 1 2 3 は、この形態では、複数の電極層が積層された積層構造を有している。複数の電極層は、この形態では、再配線層 3 3 側からこの順に積層された第 1 電極層 1 2 4 および第 2 電極層 1 2 5 を含む。第 1 電極

層 1 2 4 は、T i（チタン）を主成分に含む T i 層を含んでいてもよい。第 2 電極層 1 2 5 は、C u（銅）を主成分に含む C u 層を含んでいてもよい。

[0178] 複数の導電接合材 1 0 1 は、1 対 1 対応の関係で複数の下地電極層 1 2 3 にそれぞれ接続されている。複数の導電接合材 1 0 1 は、この形態では、実装基板等の接続対象に接続される外部端子としてそれぞれ機能する。各導電接合材 1 0 1 は、埋設部 1 2 6 および突出部 1 2 7 を含む。各導電接合材 1 0 1 の埋設部 1 2 6 は、対応する開口 1 2 2 内において下地電極層 1 2 3 によって区画された凹状の空間に位置している。各導電接合材 1 0 1 の突出部 1 2 7 は、樹脂主面 9 4 の上において下地電極層 1 2 3 を被覆し、半球状に突出している。

[0179] 以上、半導体装置 1 2 1 によれば、ポスト電極 7 0 に係る効果を得ることはできないが、それ以外については、半導体装置 1 に対して述べた効果と同様の効果を奏することができる。

[0180] 図 1 2 は、図 5 に対応する断面図であって、本発明の第 3 実施形態に係る半導体装置 1 3 1 の模式的な断面図である。図 1 3 は、図 1 2 の領域 XIII の拡大図である。図 1 4 は、図 1 3 の領域 XIV の拡大図である。半導体装置 1 3 1 において半導体装置 1 に対して述べた構造に対応した構造については同一の参照符号を付して説明を省略する。

[0181] 図 1 2 を参照して、半導体装置 1 3 1 は、半導体装置 1 と同様に、W L - C S P（Wafer Level - Chip Size Package）がパッケージタイプとして適用された電子部品である。半導体装置 1 3 1 は、半導体装置 1 とは異なり、再配線層 3 3 を有していない。半導体装置 1 3 1 は、再配線層 3 3 に代えて、複数の U B M（Under Bump（Barrier）Metal）電極 1 3 2 を含む。複数の U B M 電極 1 3 2 は、対応する電極パッド 2 4 にそれぞれ接続されている。

[0182] 各 U B M 電極 1 3 2 は、具体的には、対応する第 2 パッド開口 3 5 内において対応する電極パッド 2 4 に接続されている。各 U B M 電極 1 3 2 は、電極パッド 2 4 および第 2 パッド開口 3 5 の壁面に沿って膜状に形成され、電極パッド 2 4 の上から下地層 3 2 の上に引き出されている。

- [0183] これにより、各UBM電極132は、半導体層12の第1主面13に対向し、第2パッド開口35に倣って半導体層12側に窪んだ電極面133、および、下地層32の上に位置する電極側面134を有している。電極側面134は、下地層32に対してほぼ垂直に延びている。電極面133は、必ずしも半導体層12側に窪んでいる必要はない。電極面133は、第1主面13に対して平行に延びる平坦面を有していてもよい。各UBM電極132の平面形状は任意であり、特定の形状に限定されない。
- [0184] 各UBM電極132は、複数の電極層が積層された積層構造を有している。各UBM電極132は、この形態では、配線電極22側からこの順に積層された下地電極層135およびボディ電極層136を含む。下地電極層135は、Ti（チタン）を主成分に含むTi層を含む。Ti層は、Tiバリア層であってもよい。ボディ電極層136は、Cu（銅）を主成分に含むCu層からなる。ボディ電極層136は、下地電極層135よりも外側に突出し、下地層32との間で空間を区画していてもよい。
- [0185] 下地電極層135は、スパッタ法によって形成されてもよい。ボディ電極層136は、スパッタ法および／または銅めっき法によって形成されてもよい。各UBM電極132は、下地電極層135を有さず、ボディ電極層136からなる単層構造を有していてもよい。
- [0186] 図14を参照して、各UBM電極132の電極側面134は、第1実施形態に係る電極側面73と同様、複数の電極リセス74を含み、複数の電極リセス74によって粗面化されている。複数の電極リセス74は、具体的には、電極側面134においてボディ電極層136に形成されている。複数の電極リセス74は、下地電極層135から露出するボディ電極層136の下面に形成されていてもよい。各UBM電極132の電極側面134は、第1実施形態に係る電極側面73と同様、第2算術平均粗さRa2を有している。
- [0187] 複数の電極リセス74は、複数のUBM電極132の電極側面134に対して粗面化工程を実施することによって形成されている。この工程では、銅に反応する粗化エッチング液を利用したウェットエッチング法によって、複

数のUBM電極132の電極側面134が粗面化されている。粗化エッチング液は、硫酸および過酸化水素を含む水溶液であってもよい。

[0188] 複数の電極リセス74は、電極側面134からUBM電極132の内方に向かって不規則な形状でそれぞれ窪んでいる。これにより、電極側面134には、不規則な凹凸構造が形成されている。複数の電極リセス74は、第1実施形態に係る電極リセス74と同様に、1つまたは複数の先太りリセス75を含んでいてもよい。また、複数の電極リセス74は、第1実施形態に係る電極リセス74と同様に、1つまたは複数の先細りリセス78を含んでいてもよい。

[0189] 前述の封止樹脂層93は、この形態では、半導体層12の第1主面13の上において、下地層32および複数のUBM電極132の電極側面134を被覆し、複数のUBM電極132の電極面133を露出させている。封止樹脂層93は、複数のUBM電極132の電極側面134の全域を被覆していることが好ましい。

[0190] 封止樹脂層93の樹脂主面94は、UBM電極132の電極面133に対して面一に形成されていてもよい。封止樹脂層93の樹脂主面94は、UBM電極132の電極面133に対して半導体層12とは反対側に向けて突出していてもよい。むしろ、封止樹脂層93の樹脂主面94は、UBM電極132の電極面133に対して半導体層12側に位置していてもよい。つまり、封止樹脂層93は、複数のUBM電極132の電極側面134の一部を露出させていてもよい。

[0191] 図14を参照して、封止樹脂層93は、マトリックス樹脂96、および、マトリックス樹脂96に添加（充填）された複数のフィラー97を含む。複数のフィラー97のうちの複数の大径フィラー98は、複数の電極リセス74外の領域においてマトリックス樹脂96と共に複数のUBM電極132の電極側面134および下地層32をそれぞれ封止している。複数の大径フィラー98は、マトリックス樹脂96と共に、ボディ電極層136および下地層32の間に区画された空間を埋めていてもよい。

[0192] 一方、複数のフィラー 97 のうちの複数の小径フィラー 99（図 14 では図示せず）は、複数の電極リセス 74 に入り込んでいる。とりわけ、複数の小径フィラー 99 のうちの $1\ \mu\text{m}$ 以下の径を有する複数の小径フィラー 99 は、複数の電極リセス 74 に入り込みやすい。複数の小径フィラー 99 は、マトリックス樹脂 96 と共に複数の電極リセス 74 をそれぞれ埋めている。複数の小径フィラー 99 は、マトリックス樹脂 96 を複数の電極リセス 74 内に導く。このようにして、複数の UBM 電極 132 に対する封止樹脂層 93 の密着力が高められている。複数の小径フィラー 99 は、マトリックス樹脂 96 と共に、ボディ電極層 136 および下地層 32 の間に区画された空間を埋めていてもよい。

[0193] 前述の複数の導電接合材 101 は、対応する UBM 電極 132 の電極面 133 の上に 1 対 1 対応の関係でそれぞれ形成されている。複数の導電接合材 101 は、対応する UBM 電極 132 を介して対応する電極パッド 24 に接続されている。複数の導電接合材 101 は、封止樹脂層 93 の樹脂主面 94 から突出した半球状にそれぞれ形成されている。

[0194] 以上、半導体装置 131 によれば、粗面化された UBM 電極 132 の電極側面 134 によって UBM 電極 132 に対する封止樹脂層 93 の密着力を高めることができる。

[0195] この形態では、複数の UBM 電極 132 の電極側面 134 が粗面化されている例について説明した。しかし、複数の UBM 電極 132 の電極面 133 も、電極側面 134 と同様に、複数の電極リセス 74 を含み、複数の電極リセス 74 によって粗面化されていてもよい。この場合、複数の UBM 電極 132 の電極面 133 および電極側面 134 を同時に粗面化すればよい。複数の UBM 電極 132 の電極面 133 は、第 1 実施形態に係る第 2 配線面 42 と同様に、第 1 算術平均粗さ R_a 1 を有していてもよい。

[0196] 本発明の実施形態は、他の形態で実施できる。

[0197] 前述の第 1 実施形態では、複数の導電接合材 101 が、ポスト電極 70 の第 2 電極面 72 の上にそれぞれ形成された例を説明した。しかし、複数の導

電接合材 101 は、取り除かれてもよい。

[0198] 前述の第2実施形態では、下地電極層 123 が形成された例について説明した。しかし、下地電極層 123 は、取り除かれてもよい。この場合、複数の導電接合材 101 は、対応する開口 122 内において、再配線層 33 に直接接続されてもよい。

[0199] 前述の各実施形態では、半導体層 12 の第1主面 13 に周縁リセス 102 が形成された例を説明した。しかし、周縁リセス 102 は、取り除かれてもよい。この場合、デバイス側面 5A～5D は、半導体層 12 および封止樹脂層 93 に加えて、主面絶縁層 21、保護絶縁層 23 および下地層 32 によって形成されてもよい。このような形態は、個片化工程（図 10R 参照）において、溝 115 の幅を超える刃先を有する研削部材によって半導体層 12 を切断することによって形成される。

[0200] 前述の各実施形態では、粗面化された電極が樹脂によって被覆された例について説明した。粗面化された電極が樹脂によって被覆された形態は、半導体パッケージにも適用できる。半導体パッケージとして、TOP (Transistor Outline Package)、SOP (Small Outline Package)、QFN (Quad Flat Non Lead Package)、DFP (Dual Flat Package)、DIP (Dual In-line Package)、QFP (Quad Flat Package)、SIP (Single In-line Package)、もしくは、SOJ (Small Outline J-leaded Package)、または、これらに類する種々のパッケージが適用されてもよい。

[0201] 半導体パッケージは、リードフレーム、半導体チップ、接合材、導線およびモールド樹脂を含む。リードフレームは、パッケージの種類に応じて種々の形態に成形され、電氣的に分離された複数の部分を含む。リードフレームの外周の一部または全域は、複数のリセスを含み、当該複数のリセスによって粗面化されている。

[0202] 半導体チップは、リードフレームの任意の部分の上に配置されている。接合材は、金属接合材または絶縁接合材からなる。接合材は、リードフレームおよび半導体チップの間に介在し、半導体チップをリードフレームに接合し

ている。導線は、たとえばボンディングワイヤからなり、半導体チップの任意の領域およびリードフレームの任意の部分に接続されている。

[0203] モールド樹脂は、半導体パッケージのパッケージ本体を形成する。モールド樹脂は、リードフレーム、半導体チップ、導線および接合材を封止し、リードフレームの任意の複数の部分を外部端子として露出させている。モールド樹脂は、リードフレームの外面に形成された複数のリセスを埋めている。

[0204] モールド樹脂は、具体的には、マトリックス樹脂、および、マトリックス樹脂に添加（充填）された複数のフィラーを含む。マトリックス樹脂は、エポキシ樹脂を含む。複数のフィラーは、絶縁体（たとえば酸化シリコン）を含み、不均一な径（サイズ）をそれぞれ有する粒子状または球体状に形成されている。複数のフィラーのうちの複数の大径フィラーは、複数のリセス外の領域においてマトリックス樹脂と共にリードフレーム、半導体チップ、導線および接合材をそれぞれ封止している。

[0205] 一方、複数のフィラーのうちの複数の小径フィラーは、マトリックス樹脂と共にリードフレームの複数のリセスをそれぞれ埋めている。複数の小径フィラーは、マトリックス樹脂をリードフレームの複数のリセス内に導く。とりわけ、複数の小径フィラーのうちの $1\ \mu\text{m}$ 以下の径を有する複数の小径フィラーは、リードフレームの複数のリセスに入り込みやすい。このようにして、モールド樹脂がリードフレームの複数のリセスに噛み合い、リードフレームに対するモールド樹脂の密着力が高められている。

[0206] 半導体パッケージの製造工程では、まず、リードフレームを用意する工程が実施される。次に、接合材を介して半導体チップをリードフレームの任意の部分の上に接合する工程が実施される。次に、半導体チップの任意の領域およびリードフレームの任意の部分に導線を接続する工程が実施される。次に、リードフレームの任意の複数の部分を外部端子として露出させるように、リードフレーム、半導体チップ、導線および接合材をモールド樹脂によって封止する工程が実施される。この工程の後、パッケージの種類に応じて、リードフレーム、半導体チップ、導線、接合材およびモールド樹脂を含む封

止構造を切断し、半導体パッケージを切り出す工程が実施されてもよい。

[0207] リードフレームの粗面化工程は、モールド樹脂による封止工程の前に、任意のタイミングで実施できる。リードフレームの粗面化工程は、半導体チップをリードフレームに接合する工程の前に実施されてもよい。この場合、リードフレームの外面の一部分が粗面化されてもよいし、リードフレームの外面の全域が粗面化されてもよい。リードフレームに対する粗化エッチング液は、リードフレームの材質に応じて選択される。モールド樹脂は、リードフレームの外面に形成された複数のリセスを埋めて、リードフレーム、半導体チップ、導線および接合材を封止する。これにより、リードフレームに対するモールド樹脂の密着力が高められる。

[0208] 以下、この明細書および図面（特に図12～図14）から抽出される特徴の例を示す。以下の[A1]～[A9]は、UBM（Under Bump (Barrier) Metal）電極に対する樹脂の密着力を高めることができる半導体装置を提供することを目的としている。

[0209] [A1] 主面を有する半導体層と、前記主面の上に形成された電極パッドと、前記主面を被覆し、前記電極パッドを露出させるパッド開口を有する下地層と、前記パッド開口内において前記電極パッドに接続され、前記下地層の上に引き出されたUBM電極であって、前記主面に対向する電極面、および、前記下地層の上に位置し、粗面化された電極側面を有するUBM電極と、前記下地層および前記UBM電極の前記電極側面を被覆し、前記UBM電極の前記電極面を露出させる樹脂と、を含む、半導体装置。

[0210] この半導体装置によれば、UBM電極の粗面化された電極側面によってUBM電極に対する樹脂の密着力を高めることができる。

[0211] [A2] 前記電極面の上に形成された導電接合材をさらに含む、A1に記載の半導体装置。

[0212] [A3] 前記UBM電極は、銅を含む、A1またはA2に記載の半導体装置。

[0213] [A4] 前記樹脂は、マトリックス樹脂、および、前記マトリックス樹脂

に添加され、不均一な径をそれぞれ有する複数のフィラーを含む、A 1～A 3のいずれか一つに記載の半導体装置。

[0214] [A 5] 前記UBM電極の前記電極側面は、複数のリセスによって粗面化されており、前記樹脂は、複数の前記リセス外の領域において前記マトリックス樹脂と共に前記下地層および前記電極側面を被覆する複数の大径フィラー、ならびに、前記マトリックス樹脂と共に複数の前記リセスを埋める複数の小径フィラーを含む、A 4に記載の半導体装置。

[0215] [A 6] 前記マトリックス樹脂は、エポキシ樹脂からなる、A 4またはA 5に記載の半導体装置。

[0216] [A 7] 前記UBM電極は、前記電極パッドおよび前記パッド開口の内壁に沿って膜状に形成されている、A 1～A 6のいずれか一つに記載の半導体装置。

[0217] [A 8] 前記下地層は、感光性樹脂からなる、A 1～A 7のいずれか一つに記載の半導体装置。

[0218] [A 9] チップサイズパッケージからなる、A 1～A 8のいずれか一つに記載の半導体装置。

[0219] この出願は、2018年11月15日に日本国特許庁に提出された特願2018-214867号に対応しており、この出願の全開示はここに引用により組み込まれる。本発明の実施形態について詳細に説明してきたが、これらは本発明の技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によってのみ限定される。

符号の説明

- [0220] 1 半導体装置
1 2 半導体層
1 3 第1主面
2 3 保護絶縁層
2 4 電極パッド

3 3	再配線層
4 1	第 1 配線面
4 2	第 2 配線面
4 4	配線リセス
5 1	非粗面領域
5 2	粗面領域
7 0	ポスト電極
7 1	第 1 電極面
7 2	第 2 電極面
7 3	電極側面
7 4	電極リセス
9 3	封止樹脂層
9 4	樹脂主面
9 6	マトリックス樹脂
9 7	フィラー
9 8	大径フィラー
9 9	小径フィラー
1 0 0	導電接合材
1 2 1	半導体装置

請求の範囲

- [請求項1] 主面を有する半導体層と、
前記主面の上に形成された電極パッドと、
前記電極パッドに接続された第1配線面、および、前記第1配線面の反対側に位置し、粗面化された第2配線面を有し、前記電極パッド外の領域に引き出されるように前記主面の上に形成された再配線と、
前記主面の上において前記第2配線面を被覆し、前記再配線を封止する樹脂と、を含む、半導体装置。
- [請求項2] 前記第2配線面に接続されたポスト電極をさらに含み、
前記樹脂は、前記ポスト電極の一部を露出させるように、前記再配線および前記ポスト電極を封止している、請求項1に記載の半導体装置。
- [請求項3] 前記第2配線面は、粗面化された第1領域および前記第1領域に対して面粗さの小さい第2領域を含み、
前記ポスト電極は、前記第2領域に接続されている、請求項2に記載の半導体装置。
- [請求項4] 前記ポスト電極は、前記第2配線面に接続された第1電極面、前記第1電極面の反対側に位置する第2電極面、ならびに、前記第1電極面および前記第2電極面を接続し、粗面化された電極側面を有しており、
前記樹脂は、前記第2電極面を露出させ、前記電極側面を被覆するように前記ポスト電極を封止している、請求項2または3に記載の半導体装置。
- [請求項5] 前記第2配線面は、第1算術平均粗さを有しており、
前記電極側面は、前記第1算術平均粗さ未満の第2算術平均粗さを有している、請求項4に記載の半導体装置。
- [請求項6] 前記第1算術平均粗さは、 $0.5\mu\text{m}$ 以上 $2.0\mu\text{m}$ 以下である、請求項5に記載の半導体装置。

- [請求項7] 前記第2算術平均粗さは、 $0\ \mu\text{m}$ を超えて $0.5\ \mu\text{m}$ 未満である、請求項5または6に記載の半導体装置。
- [請求項8] 前記ポスト電極は、前記再配線の厚さを超える厚さを有している、請求項2～7のいずれか一項に記載の半導体装置。
- [請求項9] 前記ポスト電極は、前記第2配線面の法線方向に沿って延びる柱状に形成されている、請求項2～8のいずれか一項に記載の半導体装置。
- [請求項10] 前記ポスト電極は、前記再配線から前記半導体層とは反対方向に向けて先細り形状に形成されている、請求項2～9のいずれか一項に記載の半導体装置。
- [請求項11] 前記ポスト電極は、銅を含む、請求項2～10のいずれか一項に記載の半導体装置。
- [請求項12] 前記ポスト電極に接続された導電接合材をさらに含む、請求項2～11のいずれか一項に記載の半導体装置。
- [請求項13] 前記樹脂は、マトリックス樹脂、および、前記マトリックス樹脂に添加され、不均一な径をそれぞれ有する複数のフィラーを含む、請求項1～12のいずれか一項に記載の半導体装置。
- [請求項14] 前記再配線の前記第2配線面は、複数の配線リセスによって粗面化されており、
前記樹脂は、複数の前記配線リセス外の領域において前記マトリックス樹脂と共に前記再配線を封止する複数の大径フィラー、および、前記マトリックス樹脂と共に複数の前記配線リセスを埋める複数の小径フィラーを含む、請求項13に記載の半導体装置。
- [請求項15] 前記再配線は、銅を含む、請求項1～14のいずれか一項に記載の半導体装置。
- [請求項16] 前記主面の上に形成され、前記電極パッドを露出させる開口を有する下地層をさらに含み、
前記再配線は、前記開口内において前記電極パッドに接続され、前

記開口から前記下地層の上に引き出されている、請求項 1 ～ 15 のいずれか一項に記載の半導体装置。

[請求項17] 主面を有する半導体層と、
 前記主面の上に形成された電極パッドと、
 前記電極パッドに接続され、前記電極パッド外の領域に引き出されるように前記主面の上に形成された再配線と、
 前記再配線に接続された第 1 電極面、前記第 1 電極面の反対側に位置する第 2 電極面、ならびに、前記第 1 電極面および前記第 2 電極面を接続し、粗面化された電極側面を有するポスト電極と、
 前記主面の上において前記第 2 電極面を露出させ、前記電極側面を被覆するように、前記再配線および前記ポスト電極を封止する樹脂と、
 を含む、半導体装置。

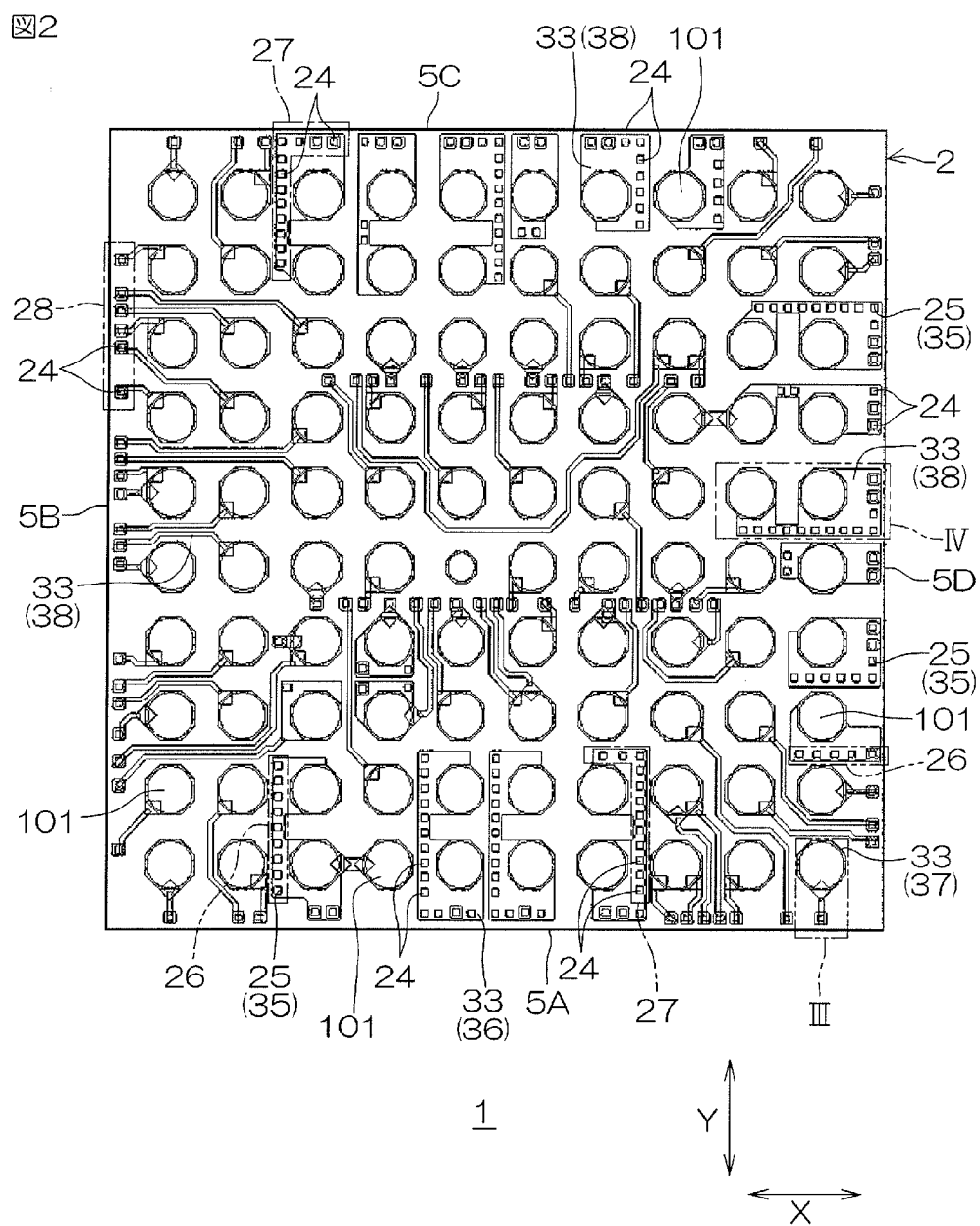
[請求項18] 前記樹脂は、前記第 2 電極面に連なる樹脂主面を有している、請求項 17 に記載の半導体装置。

[請求項19] 前記樹脂は、マトリックス樹脂、および、前記マトリックス樹脂に添加され、不均一な径をそれぞれ有する複数のフィラーを含む、請求項 17 または 18 に記載の半導体装置。

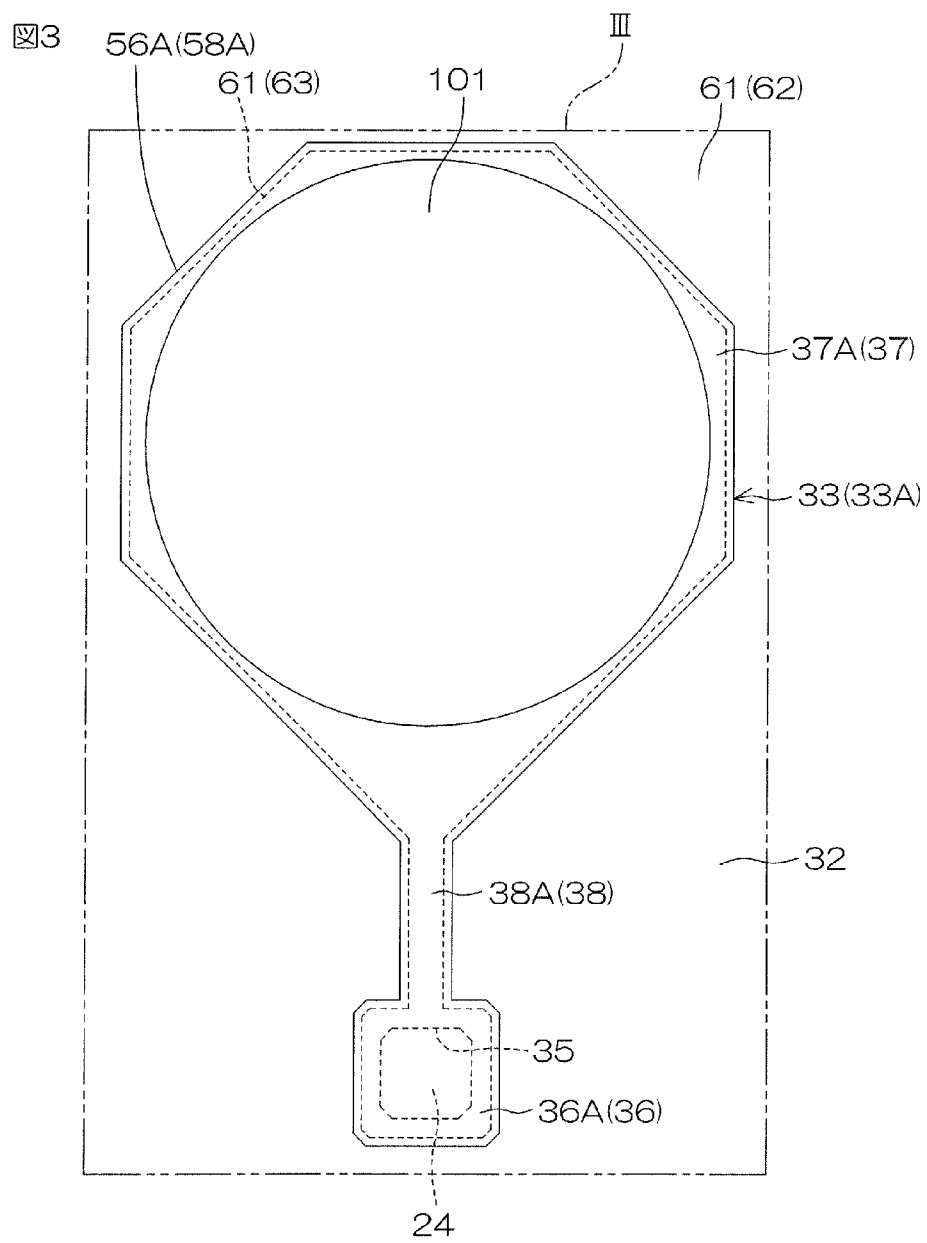
[請求項20] 前記ポスト電極の前記電極側面は、複数の電極リセスによって粗面化されており、

 前記樹脂は、複数の前記電極リセス外の領域において前記マトリックス樹脂と共に前記再配線および前記ポスト電極を封止する複数の大径フィラー、および、前記マトリックス樹脂と共に複数の前記電極リセスを埋める複数の小径フィラーを含む、請求項 19 に記載の半導体装置。

[図2]



[図3]



[図4]

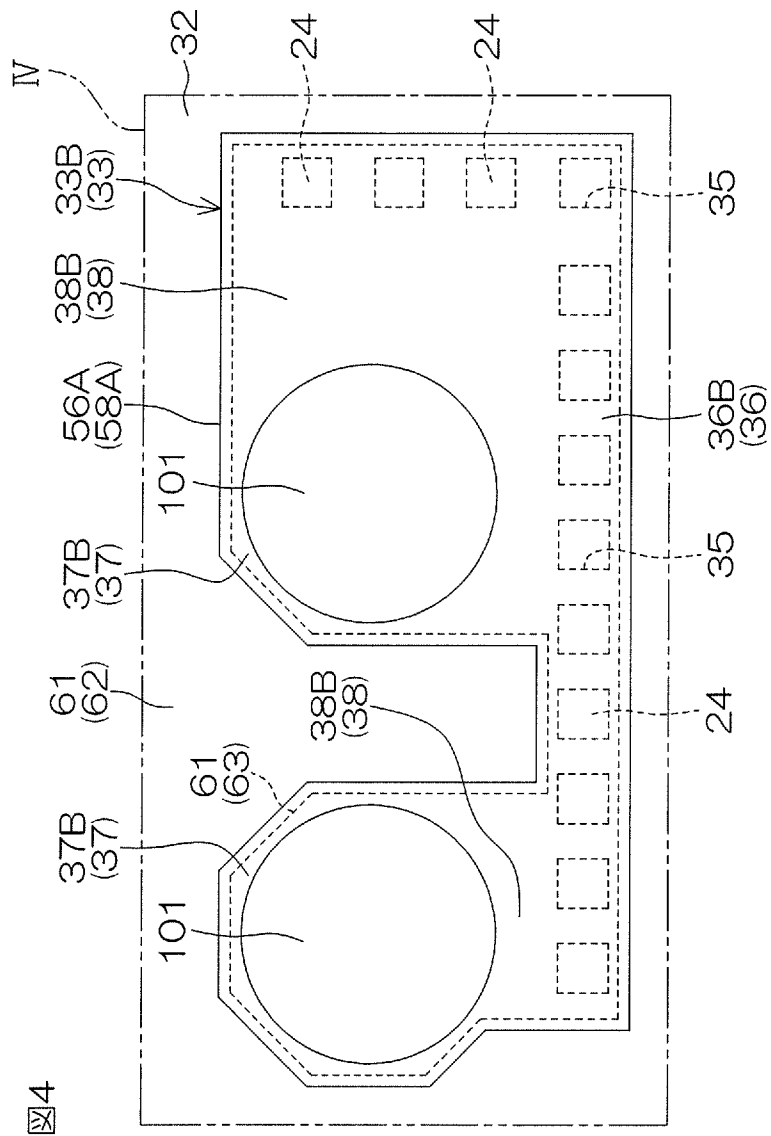
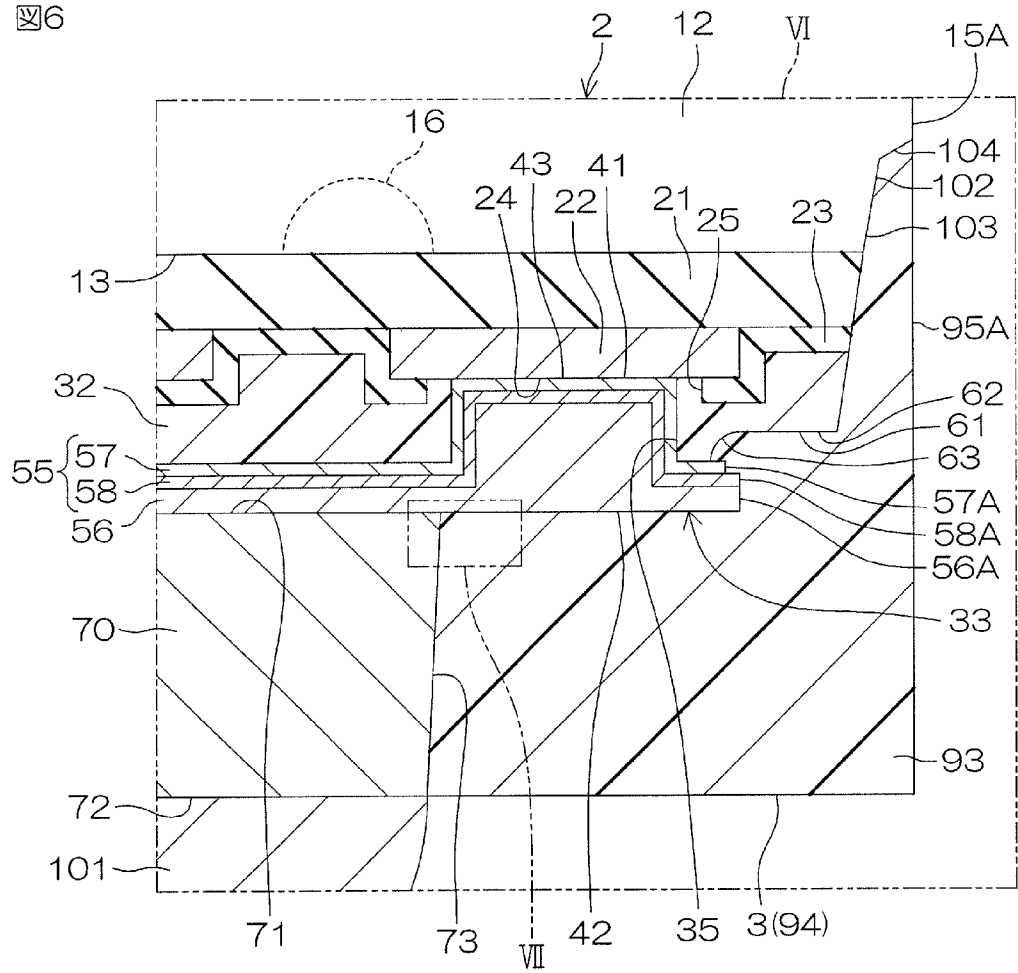
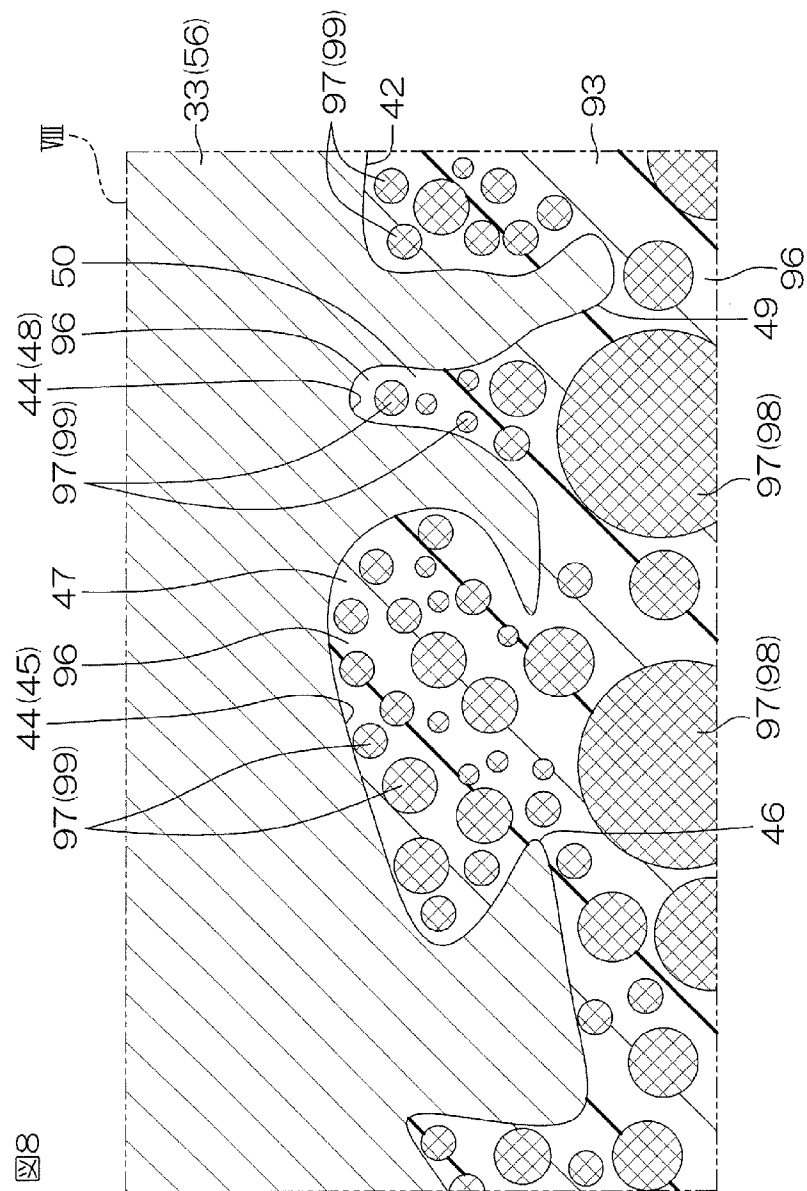


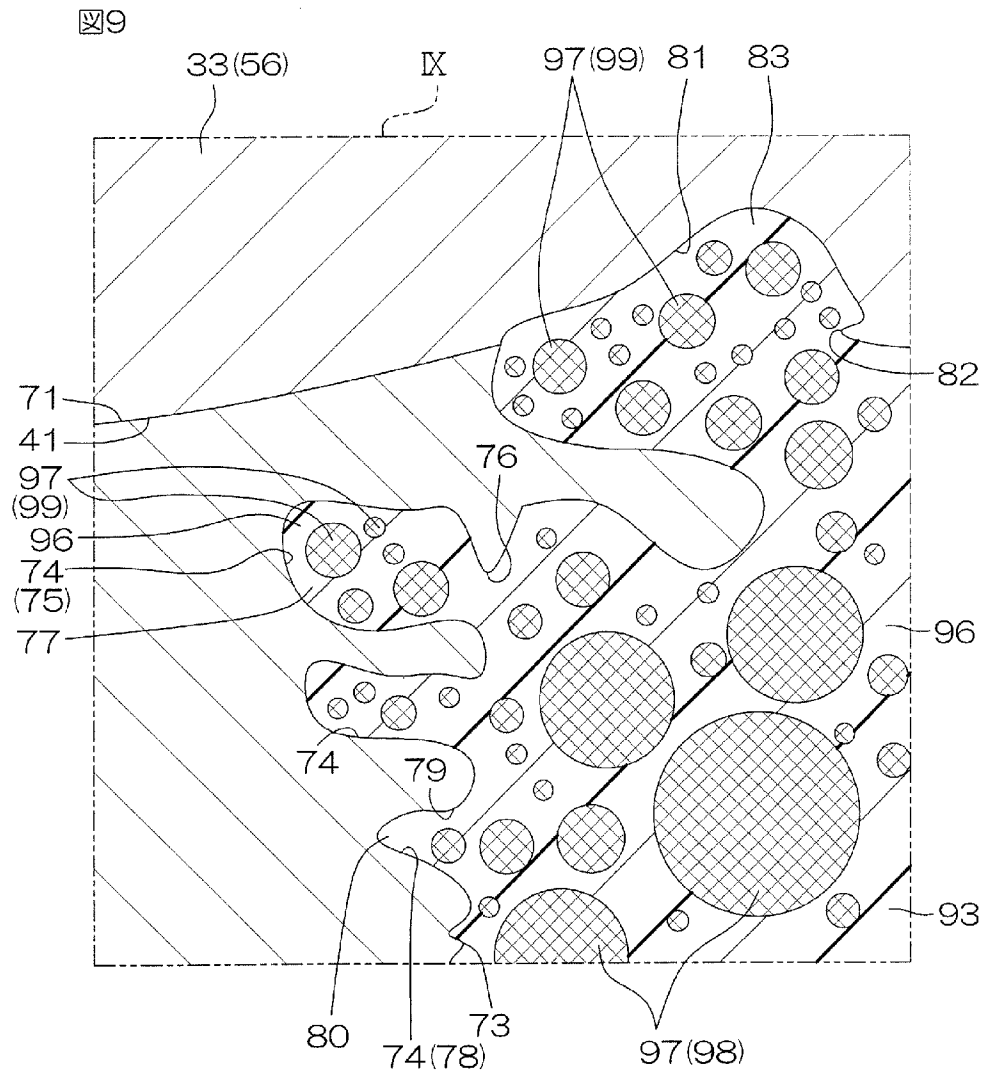
图6



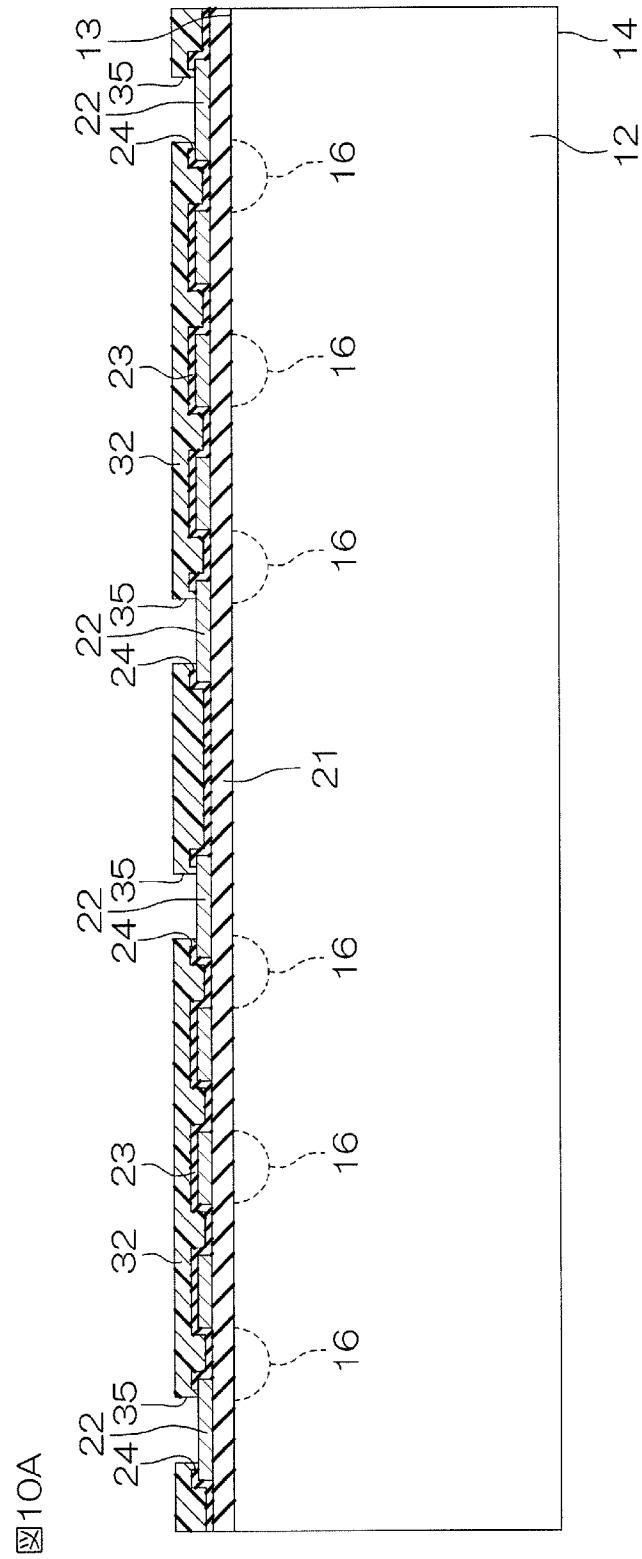
[図8]



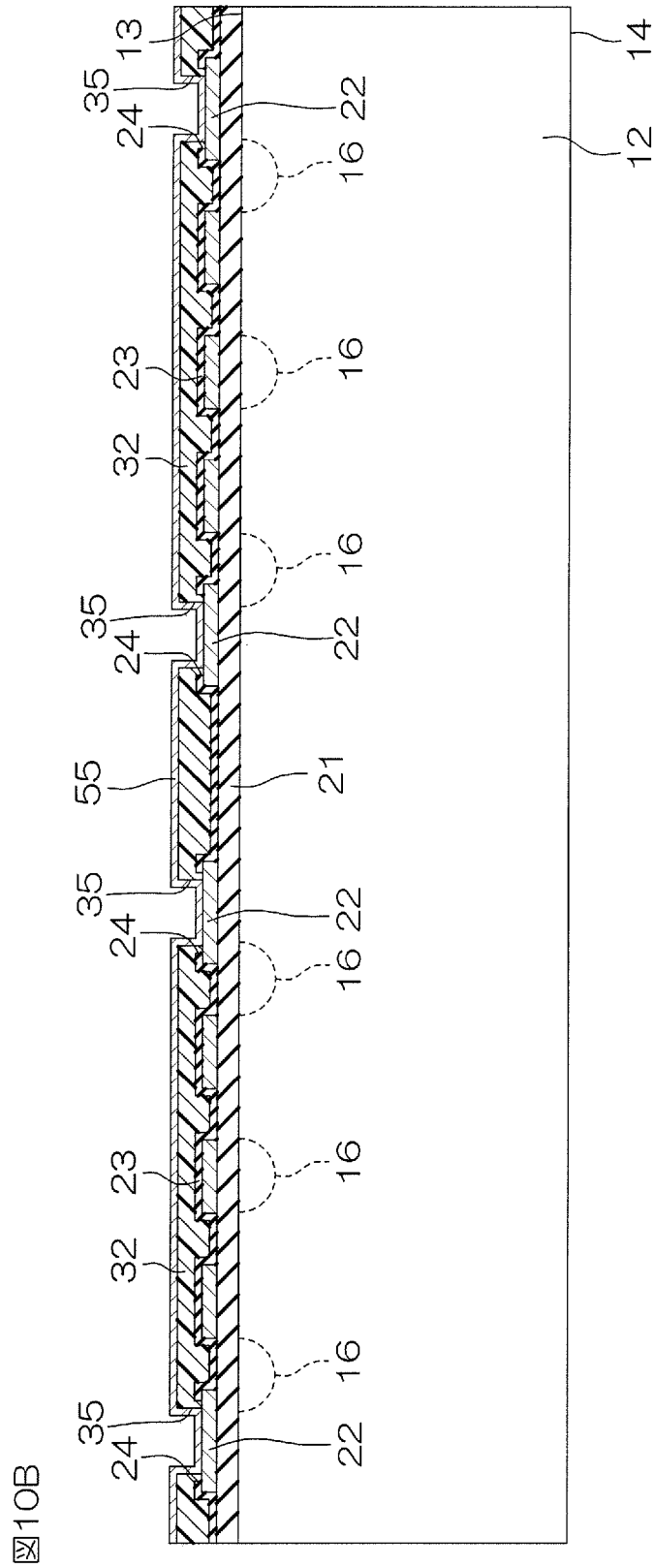
[図9]



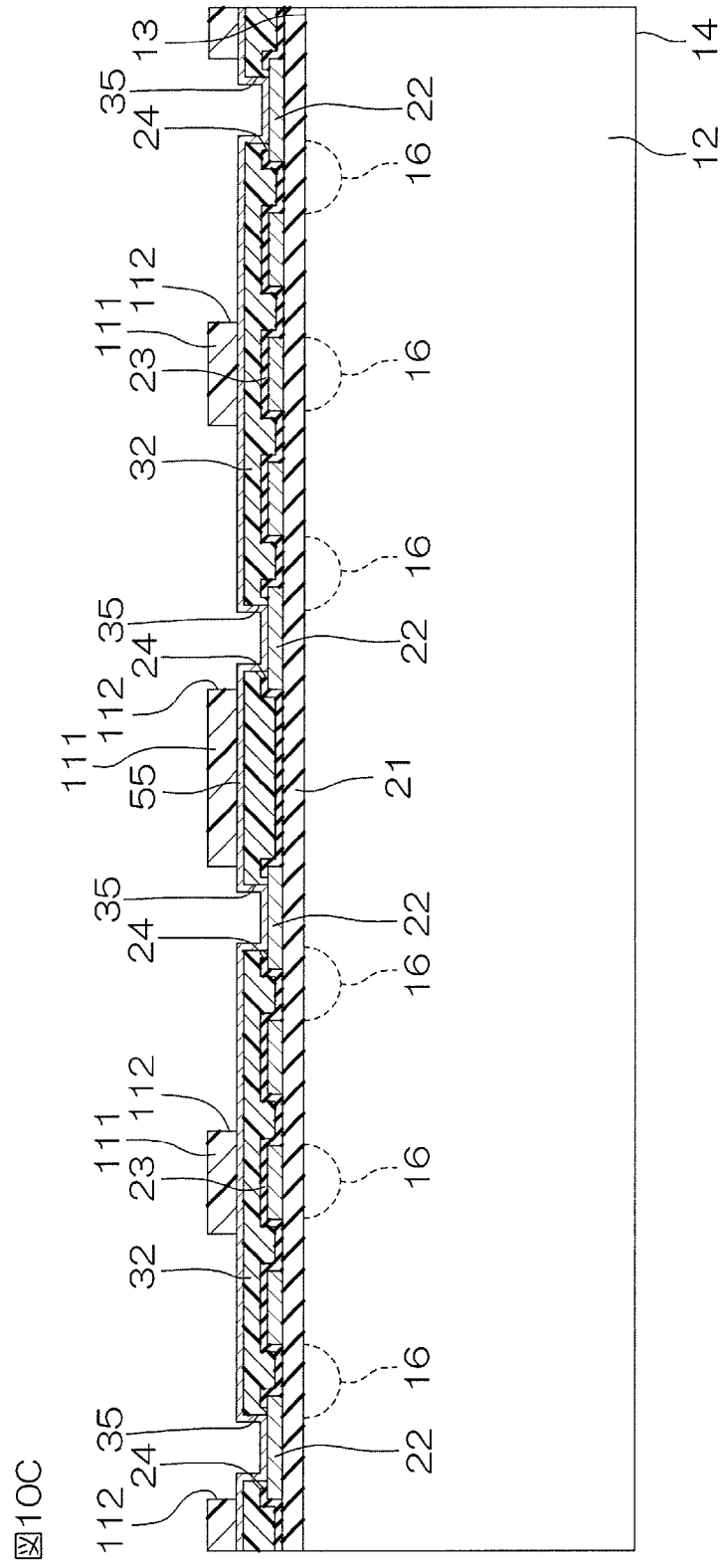
[図10A]



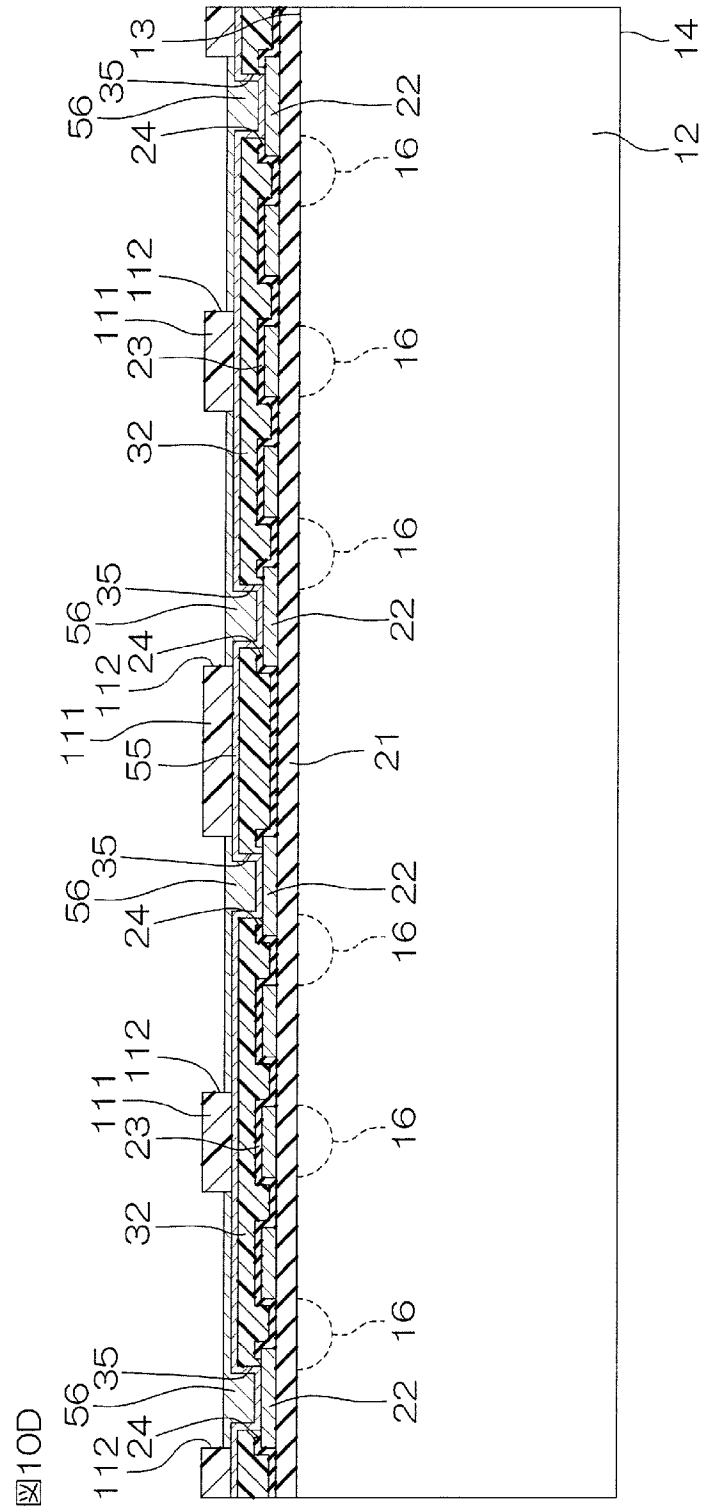
[図10B]



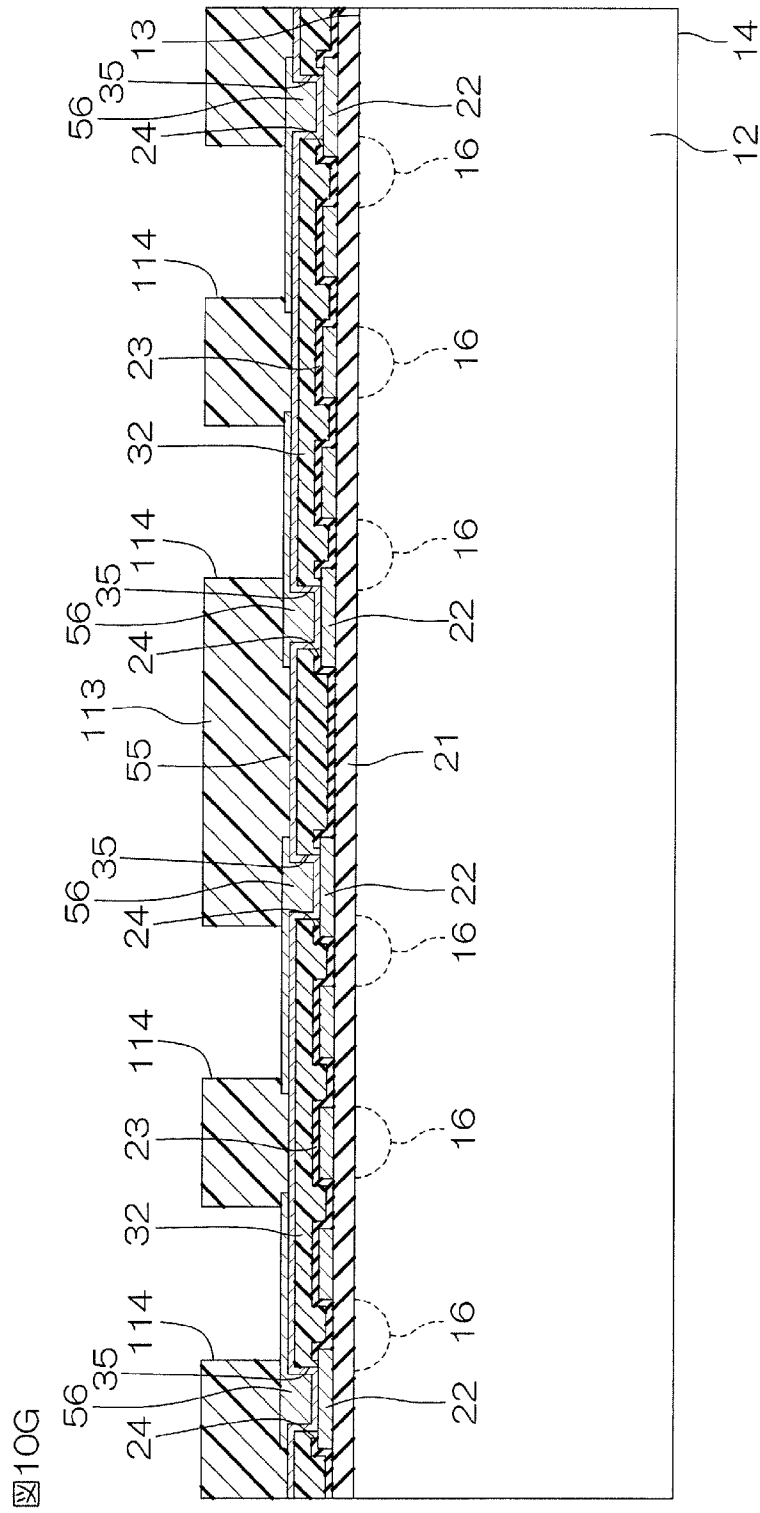
[図10C]



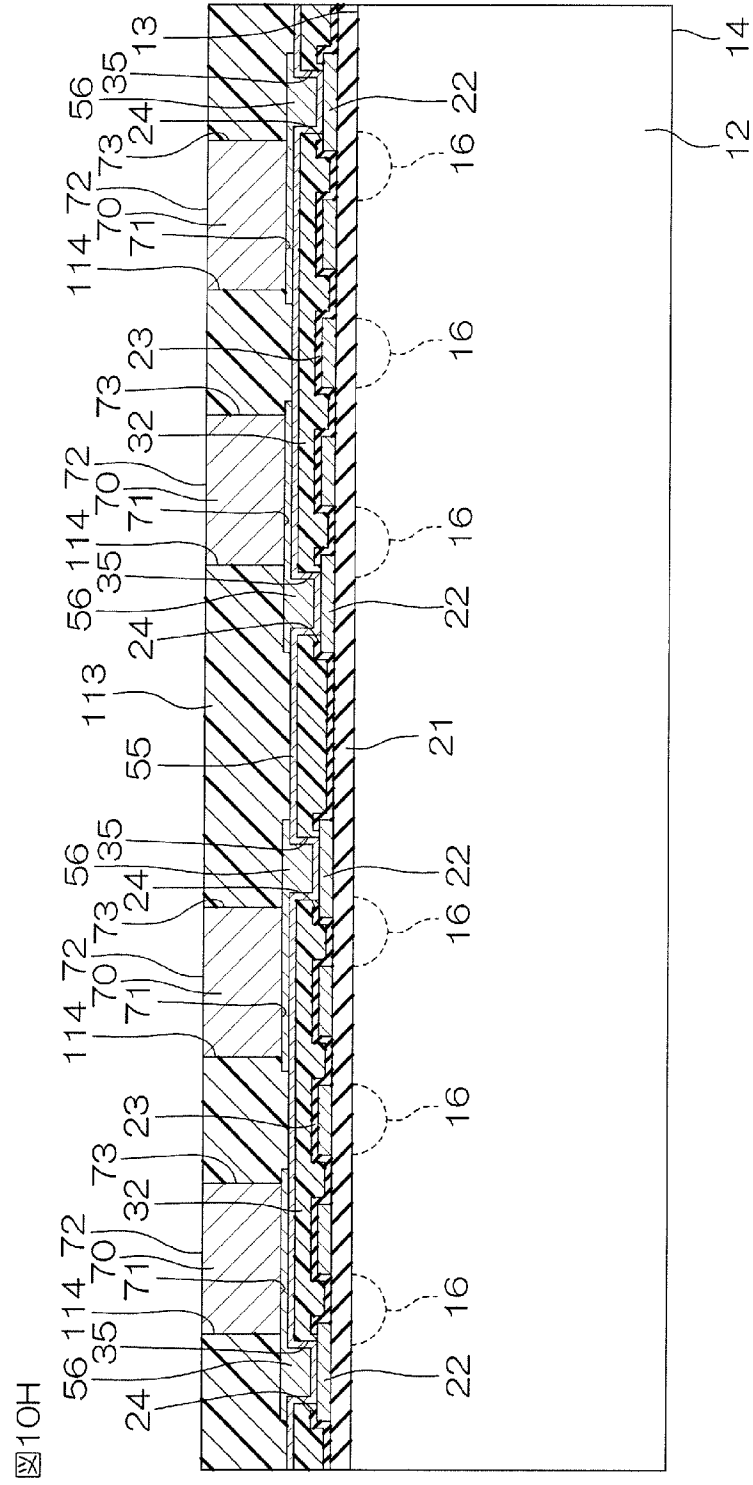
[図10D]



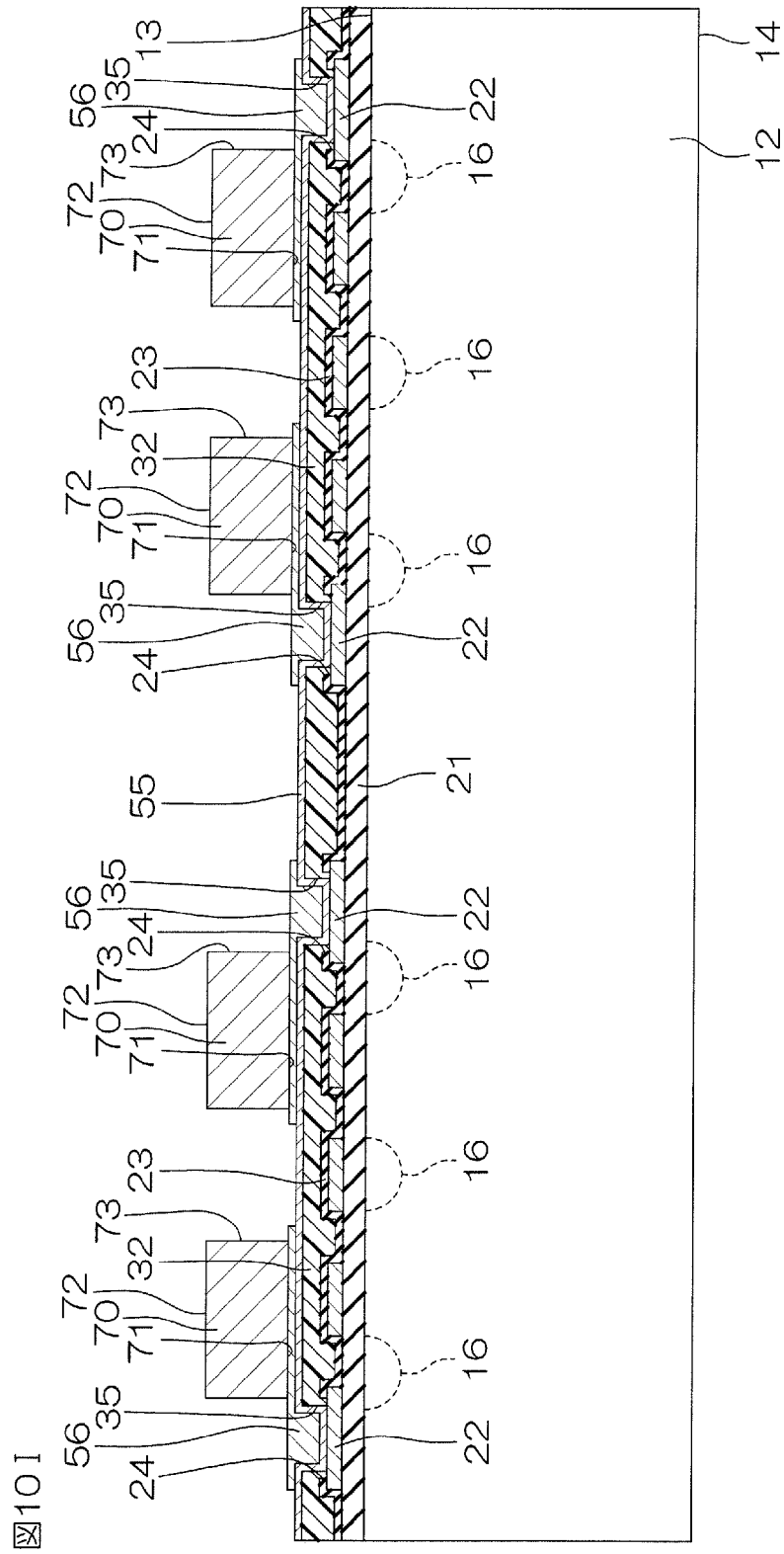
[図10G]



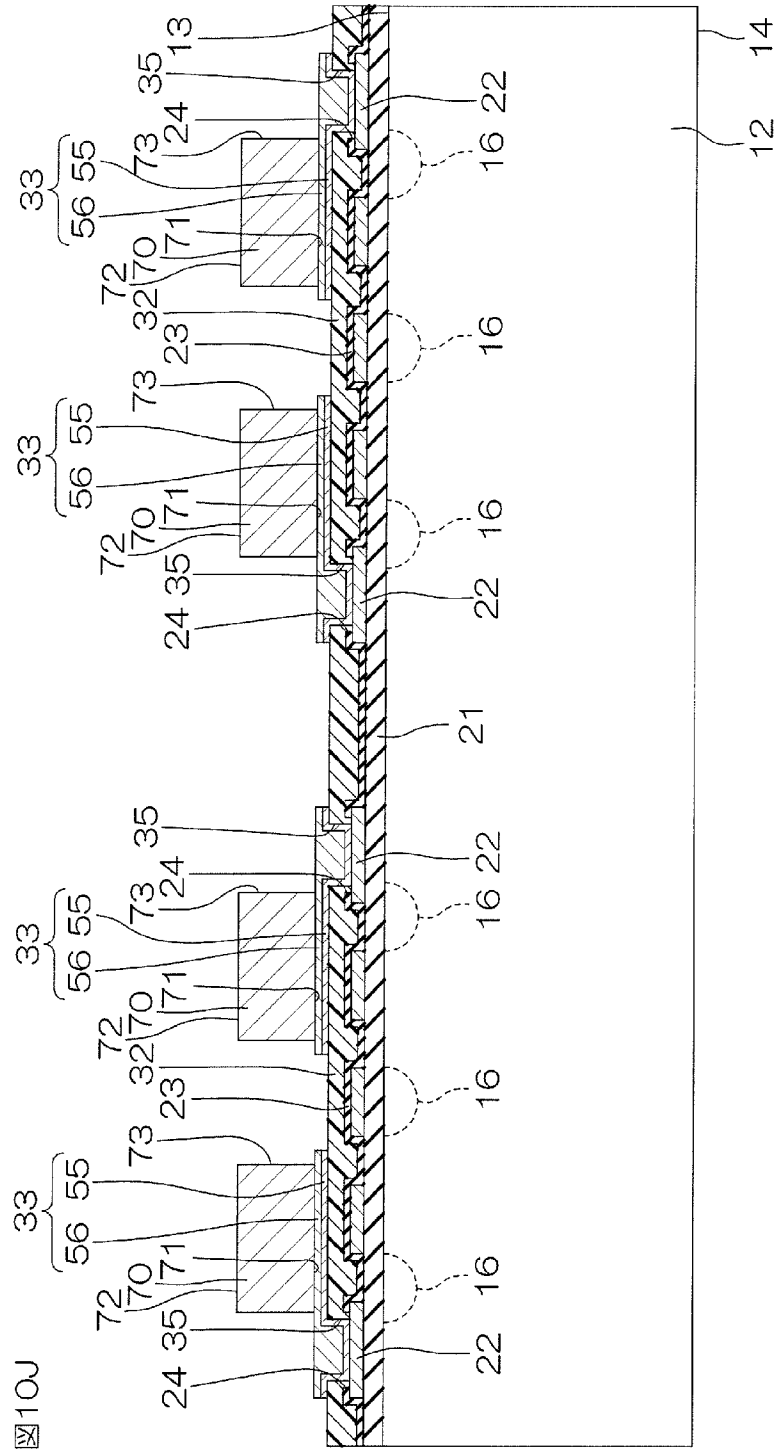
[図10H]



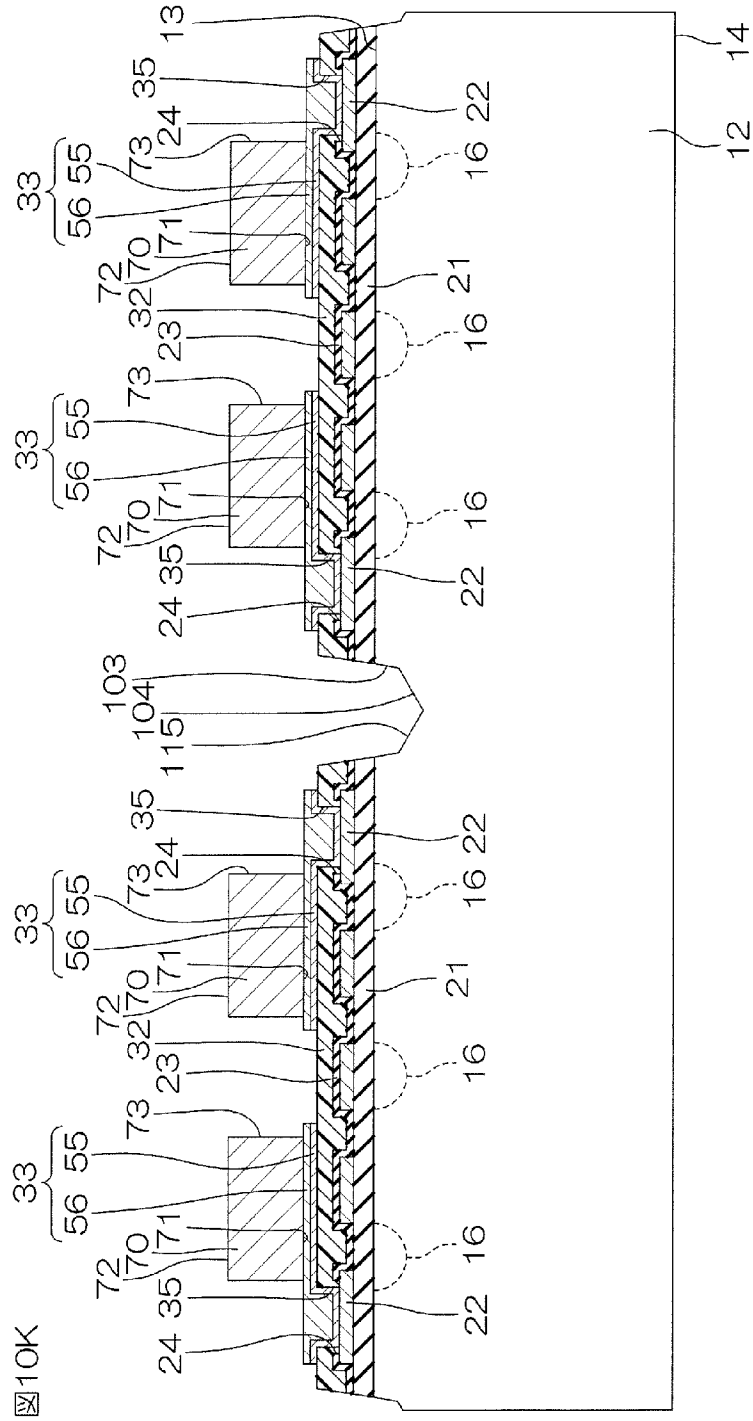
[図10I]



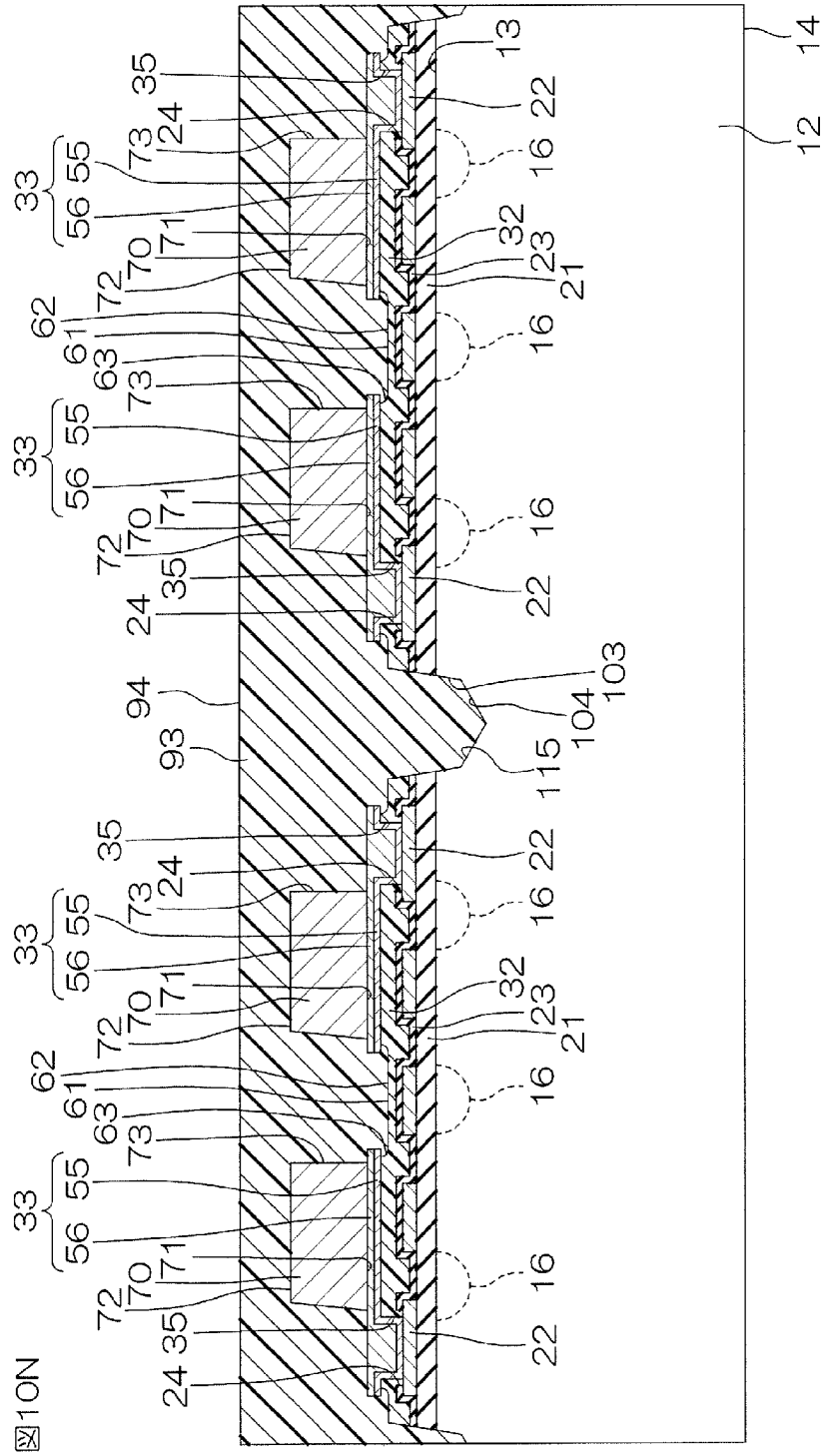
[図10J]



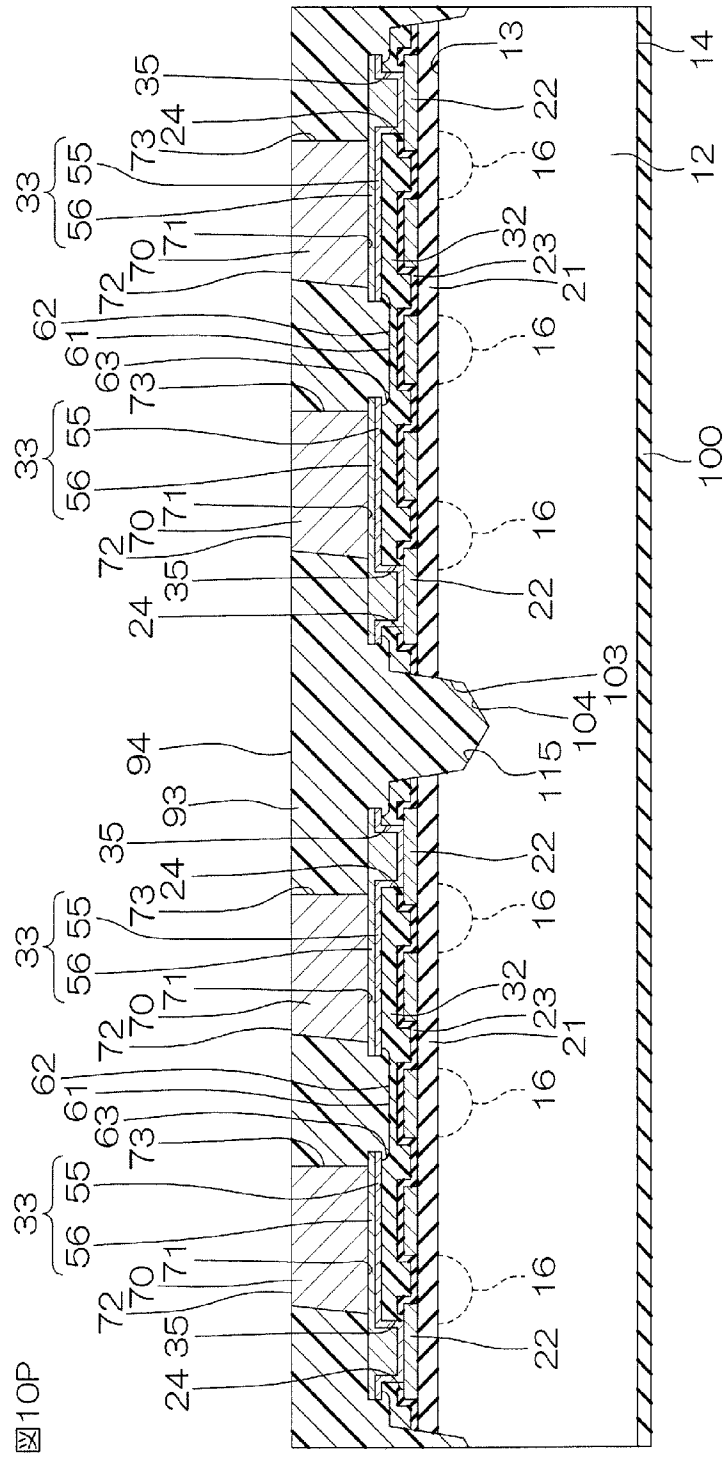
[図10K]



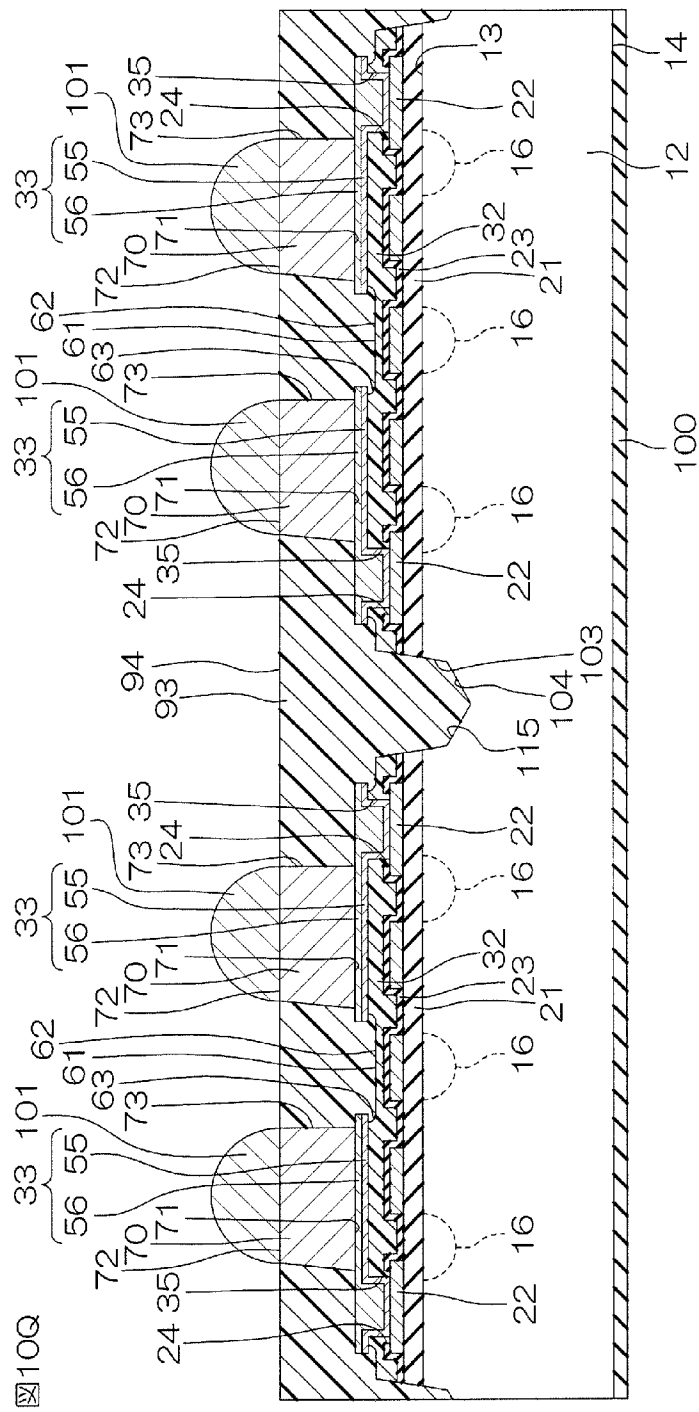
[図10N]



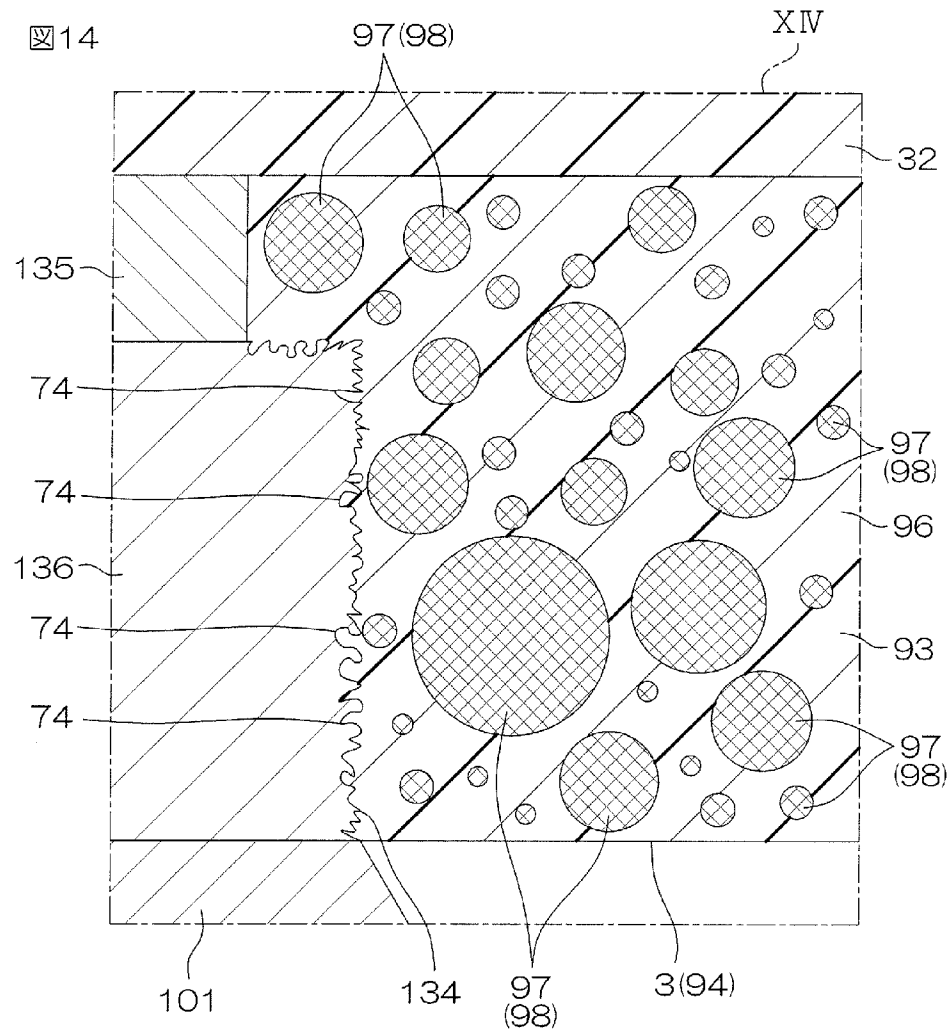
[図10P]



[図10Q]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/044563

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/12 (2006.01) i; H01L 23/29 (2006.01) i; H01L 23/31 (2006.01) i; H01L 21/60 (2006.01) i

FI: H01L23/12 501P; H01L21/60 31 10; H01L23/30 R

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12; H01L23/29; H01L23/31; H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-277034 A (YAMAHA CORP.) 06.10.2005 (2005-10-06) paragraphs [0025]-[0039], fig. 1-4	1-13, 15-19
Y	JP 2006-210406 A (FUJIKURA LTD.) 10.08.2006 (2006-08-10) paragraph [0055]	1-13, 158-19
A	JP 11-186468 A (OKI ELECTRIC INDUSTRY CO., LTD.) 09.07.1999 (1999-07-09) paragraph [0020]	1-20
A	JP 2004-282035 A (SANYO ELECTRIC CO., LTD.) 07.10.2004 (2004-10-07) paragraphs [0037]-[0038]	1-20
A	JP 2013-115336 A (RENESAS ELECTRONICS CORP.) 10.06.2013 (2013-06-10)	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
31 January 2020 (31.01.2020)Date of mailing of the international search report
10 February 2020 (10.02.2020)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2019/044563

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2005-277034 A	06 Oct. 2005	US 2005/0230827 A1 paragraphs [0096]- [0131], fig. 1-4 EP 1580568 A2 KR 10-2006-0044544 A CN 1674270 A TW 200600815 A (Family: none)	
JP 2006-210406 A	10 Aug. 2006	US 6107679 A c3142-163 KR 10-0522620 B1	
JP 11-186468 A	09 Jul. 1999	US 2004/0229445 A1 paragraphs [0046]- [0047] EP 1453090 A2 TW 200425428 A KR 10-0661042 B1 CN 1591789 A (Family: none)	
JP 2004-282035 A	07 Oct. 2004		
JP 2013-115336 A	10 Jun. 2013		

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i; H01L 23/29(2006.01)i; H01L 23/31(2006.01)i; H01L 21/60(2006.01)i FI: H01L23/12 501P; H01L21/60 311Q; H01L23/30 R														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L23/12; H01L23/29; H01L23/31; H01L21/60														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y	JP 2005-277034 A（ヤマハ株式会社）06.10.2005（2005 - 10 - 06） [0025]-[0039], [図1]-[図4]	1-13, 15-19												
Y	JP 2006-210406 A（株式会社フジクラ）10.08.2006（2006 - 08 - 10） [0055]	1-13, 15-19												
A	JP 11-186468 A（沖電気工業株式会社）09.07.1999（1999 - 07 - 09） [0020]	1-20												
A	JP 2004-282035 A（三洋電機株式会社）07.10.2004（2004 - 10 - 07） [0037]-[0038]	1-20												
A	JP 2013-115336 A（ルネサスエレクトロニクス株式会社）10.06.2013（2013 - 06 - 10）	1-20												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 31.01.2020	国際調査報告の発送日 10.02.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 河合 俊英 5F 3238 電話番号 03-3581-1101 内線 3516													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/044563

引用文献			公表日	パテントファミリー文献	公表日
JP	2005-277034	A	06.10.2005	US 2005/0230827 A1 [0096]-[0131], FIGS. 1-4 EP 1580568 A2 KR 10-2006-0044544 A CN 1674270 A TW 200600815 A	
JP	2006-210406	A	10.08.2006	(ファミリーなし)	
JP	11-186468	A	09.07.1999	US 6107679 A c3142-163 KR 10-0522620 B1	
JP	2004-282035	A	07.10.2004	US 2004/0229445 A1 [0046]-[0047] EP 1453090 A2 TW 200425428 A KR 10-0661042 B1 CN 1591789 A	
JP	2013-115336	A	10.06.2013	(ファミリーなし)	