(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3697073号
(P3697073)
(45)発行日　平成17年9月21日(2005.9.21)　(24)登録日　平成17年7月8日(2005.7.8)

(51)Int.Cl.[7]　F I
H04N 5/335　H04N 5/335 E
H01L 27/146　H01L 27/14 A

請求項の数 10　(全 16 頁)

(21)出願番号　特願平10-221681
(22)出願日　平成10年8月5日(1998.8.5)
(65)公開番号　特開2000-59697(P2000-59697A)
(43)公開日　平成12年2月25日(2000.2.25)
審査請求日　平成12年5月31日(2000.5.31)

前置審査

(73)特許権者　000001007
キヤノン株式会社
東京都大田区下丸子３丁目３０番２号
(74)代理人　100065385
弁理士　山下　穣平
(72)発明者　橋本　誠二
東京都大田区下丸子３丁目３０番２号　キヤノン株式会社内

審査官　松田　岳士

(56)参考文献　国際公開第９７／００７６３１（WO, A１）
特開平０８－１８２００５（ＪＰ, A）
特開平０６－２０４４５０（ＪＰ, A）
最終頁に続く

(54)【発明の名称】撮像装置及びそれを用いた撮像システム

(57)【特許請求の範囲】

【請求項１】

複数の光電変換部と、前記複数の光電変換部からの信号が入力される共通アンプとが配置された、複数列の単位セルと、

前記共通アンプの入力部で、水平方向に配された複数の光電変換部からの信号を加算する手段と、

複数の単位セル列毎に一つずつ設けられた、前記単位セルからの信号が出力される複数の垂直出力線と、

前記垂直出力線を介して出力される前記単位セルからの信号が蓄積される複数の蓄積容量と、

前記複数の蓄積容量からの信号が転送される水平出力線と、

前記蓄積容量からの信号を前記水平出力線上で加算あるいは前記蓄積容量間を接続して加算する加算手段、または前記水平出力線に接続され、前記水平出力線に出力された信号を加算する加算手段とを有し、

垂直方向または斜め方向に配された複数の光電変換部からの信号を前記加算手段を用いて加算することを特徴とする撮像装置。

【請求項２】

請求項１に記載の撮像装置において、複数の光電変換部からの信号を２行毎に加算して、インタレース走査により前記水平出力線から読み出すことを特徴とする撮像装置。

【請求項３】

請求項１又は２に記載の撮像装置において、前記共通アンプは前記単位セル中の複数の光電変換部からの信号を増幅する増幅手段と前記単位セル中をリセットするリセット手段を有することを特徴とする撮像装置。

【請求項４】

請求項１～３のいずれかの請求項に記載の撮像装置において、

前記単位セル内の共通アンプからの画像信号を蓄積する画像信号蓄積手段と、

前記共通アンプの特性のバラツキを補正するための前記共通アンプの特性のバラツキ信号を蓄積するバラツキ信号蓄積手段と、

前記画像信号蓄積手段からの信号から前記バラツキ信号蓄積手段からの信号を差分する差分手段と、

を有することを特徴とする撮像装置。

【請求項５】

請求項１～３のいずれかの請求項に記載の撮像装置において、

前記単位セル中の前記共通アンプからの画像信号を蓄積する第１の蓄積手段と、

前記共通アンプからのノイズ信号を蓄積する第２の蓄積手段と、

前記第１の蓄積手段からの前記画像信号から前記第２の蓄積手段からの前記ノイズ信号を差分する差分手段と、

を有することを特徴とする撮像装置。

【請求項６】

請求項１～５のいずれかの請求項に記載の撮像装置において、少なくとも前記光電変換部間のピッチを少なくとも垂直方向または水平方向の一方向で等ピッチに調整するための調整手段を設けたことを特徴とする撮像装置。

【請求項７】

請求項６に記載の撮像装置において、前記調整手段は遮光膜であることを特徴とする撮像装置。

【請求項８】

請求項７に記載の撮像装置において、前記遮光膜は隣り合う単位セル間に配置したことを特徴とする撮像装置。

【請求項９】

請求項８に記載の撮像装置において、前記遮光膜は少なくとも前記単位セルの水平方向または垂直方向の中心線に対して線対称となる位置に配置したことを特徴とする撮像装置。

【請求項１０】

請求項１～９のいずれかの請求項に記載の撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は撮像装置及びそれを用いた撮像システムに係わり、特に共通アンプに複数の画素を設けた時のインタレース駆動と画素数変換に関するものである。

【０００２】

【従来の技術】

１９９８年から米国でデジタル放送が開始され、２００６年にはＮＴＳＣ放送（５２５Ｖ）が廃止され、ＴＶ放送は全てＨＤデジタルにする計画がある。またデジタルスチルカメラは１３０万画素のものが市場を席巻する勢いである。このことは、高画素のセンサーから高解像度信号と低解像度信号を必要に応じて出力することが望まれることを意味する。

【０００３】

こういう状況のなか、ＣＣＤでは画素サイズのシュリンク化（縮小化）が進んでいる。しかし、５μｍ□サイズ程度のＣＣＤでは高速読出しができず、現状では６０万画素、６０

フレーム／秒程度のものが製品化されるに留まっている。
【０００４】
一方、ＣＭＯＳ製造プロセスと同様のプロセスで作製される、ＣＭＯＳセンサーはランダムアクセスが可能であるので、将来の高速化に適したセンサーとして期待されている。
【０００５】
ところで、高画素数のセンサーから低画素数を読出す場合、間引き走査を行うことで低画素の情報を得ることができる。この間引き走査において、
▲１▼　ＣＣＤでは不要な水平ラインの画素信号を水平シフトレジスタに設けたオーバフロードレインに捨てていた。またＣＣＤから読み出される信号で必要な信号のみをサンプリングしていた。
▲２▼　ＣＭＯＳセンサーではランダムアクセスにより必要な信号のみを出力していた。
【０００６】
【発明が解決しようとする課題】
しかしながら、上記▲１▼のＣＣＤの間引き走査では、不要な画素の電荷も転送するので無駄な電力を要する。また不要な信号は間引いて捨てるので、低サンプリングによるモアレが発生する。また上記▲２▼の間引き走査でも同様にモアレが発生する。
【０００７】
本発明の目的は、共通アンプに接続された画素をインタレース走査するとき、また、高画素のセンサーから低画素の信号を読出すとき、共通アンプ間の信号レベル差が発生しないように、信号を読出すことのできる撮像装置を提供することにある。
【０００８】
【課題を解決するための手段】
本発明の撮像装置は、複数の光電変換部と、前記複数の光電変換部からの信号が入力される共通アンプとが配置された、複数列の単位セルと、
前記共通アンプの入力部で、水平方向に配された複数の光電変換部からの信号を加算する手段と、
複数の単位セル列毎に一つずつ設けられた、前記単位セルからの信号が出力される複数の垂直出力線と、
前記垂直出力線を介して出力される前記単位セルからの信号が蓄積される複数の蓄積容量と、
前記複数の蓄積容量からの信号が転送される水平出力線と、
前記蓄積容量からの信号を前記水平出力線上で加算あるいは前記蓄積容量間を接続して加算する加算手段、または前記水平出力線に接続され、前記水平出力線に出力された信号を加算する加算手段とを有し、
垂直方向または斜め方向に配された複数の光電変換部からの信号を前記加算手段を用いて加算することを特徴とする。
【００１０】
本発明の撮像システムは、上記本発明の撮像装置と、前記撮像装置へ光を結像するレンズと、前記撮像装置からの出力信号を処理する信号処理回路とを有することを特徴とする。
【００１１】
【発明の実施の形態】
まず、本発明の説明に先だって、公知の関連技術との違いについて説明する。
【００１２】
暗い被写体を撮像する場合、ＣＭＯＳセンサーでは垂直２画素の信号を加算することは既に行われている。例えば、特開平９－４６５９６号公報の図４には同時刻に垂直方向の上下２つの光電変換部の信号をセル内で加算することが記載されている。しかし、水平方向の光電変換部からの信号加算についての開示、および垂直方向または斜め方向の光電変換部の信号の加算を水平転送手段で加算することについては開示はなく、また色信号を加算して読み出す場合に同色の信号を加算して読み出すことの開示はない。

【００１３】
また、垂直方向の２画素又は３以上の画素の光電変換部について一つの増幅手段を設けることについては、特開平４－４６１号公報に開示され、水平・垂直方向の４画素の光電変換部について一つの増幅手段を設けることについては、特開昭６３－１００８７９号公報に開示されているが、いずれも加算処理についての開示はない。
【００１４】
図１は本発明の撮像装置の一部の構成を示す概略図、図２は図１の撮像装置の単位セルＳの構成を示す図である。
【００１５】
図２に示すように、単位セルＳは、共通アンプ１つに光電変換部４つ（ここでは、a_{11}，a_{12}，a_{21}，a_{22}）を配置して構成されている。その他の単位セルについても同様な構成となっている。なお、ここでは共通アンプは増幅手段MSF、リセット手段MRES、セレクト手段MSELから構成され、共通アンプの入力部は増幅手段MSFのゲート部である。
【００１６】
４画素単位で、水平方向の上２光電変換部（a_{11}，a_{12}）の信号転送を制御するラインを奇数の垂直シフトレジスタV_o（V_{o1}，V_{o2}，V_{o3}，・・・）に接続し、水平方向の下２光電変換部（a_{21}，a_{22}）の信号転送を制御するラインを偶数の垂直シフトレジスタV_e（V_{e1}，V_{e2}，V_{e3}，・・・）に接続する。共通アンプのリセットスイッチMRES及びセレクトスイッチMSELは奇数の選択回路S_o（S_{o1}，S_{o2}，・・・）と偶数の選択回路S_e（S_{e1}，S_{e2}，・・・）を経てそれぞれの垂直シフトレジスタV_o，V_eに接続される。垂直シフトレジスタV_o，V_eと選択回路S_o，S_eは独立に制御することができる。
【００１７】
図３にインタレース走査時の垂直シフトレジスタのタイミングチャートを示す。図３（ａ）は奇数フィールドのタイミングチャート、図３（ｂ）は偶数フィールドのタイミングチャートを示す。
【００１８】
図３（ａ）では、共通アンプに接続された２ライン毎に水平走査が行われる。即ち奇数（odd）行の垂直シフトレジスタV_{on}と偶数（even）行の垂直シフトレジスタV_{en}が同時に制御される。ここで、信号ϕ_o，ϕ_eがHighのレベルが水平ブランキング期間に相当し、センサのリセット動作と読出し動作が行われる。
【００１９】
図３（ｂ）では、共通アンプに接続された２ラインの画素で、共通アンプ間の隣接するラインが選択され、水平走査が行われる。即ち図３（ａ）に対し垂直シフトレジスタの各セル番号が１つずれて、垂直シフトレジスタV_{on+1}と垂直シフトレジスタV_{en}、垂直シフトレジスタV_{on+2}と垂直シフトレジスタV_{en+1}の組合せで駆動される。
【００２０】
上記のインターレス走査において、上記画素信号の加算処理を行う場合、同一単位セル内の複数の光電変換部からの信号を加算処理するときには、同一の共通アンプの入力部で加算処理を行うことができるが、異なる単位セル内にある複数の光電変換部からの信号を加算処理するときには、同一の共通アンプの入力部で加算処理を行うことができない。図４に示す撮像装置の各単位セルを用いて説明すると、同一単位セル内での加算、例えば、水平方向に配列された光電変換部からの信号の加算（$a_{11}+a_{12}$、$a_{21}+a_{22}$、$a_{31}+a_{32}$、・・・）、垂直方向に配列された光電変換部からの信号の加算（$a_{11}+a_{21}$、$a_{31}+a_{41}$、・・・）、および斜め方向に配列された光電変換部からの信号の加算（$a_{11}+a_{22}$、$a_{31}+a_{42}$、・・・あるいは$a_{12}+a_{21}$、$a_{32}+a_{41}$、・・・）の場合には同一の共通アンプＡにより加算処理して単一セルから読み出すことができる。しかし、異なる単位セル間での加算、例えば、垂直方向に配列された光電変換部からの信号の加算（$a_{21}+a_{31}$、$a_{41}+a_{51}$、・・・）、および斜め方向に配列された光電変換部からの信号の加算（$a_{21}+a_{32}$、$a_{41}+a_{52}$、・・・あるいは$a_{22}+a_{31}$、$a_{42}+a_{51}$、・・・）の場合には同一の共通アンプＡにより加算処理して単一セルから読み出すことができない。

【００２１】
そこで、本発明では、複数の光電変換部と該複数の光電変換部からの信号が入力される共通アンプとを配置した単位セルが複数列配列された撮像装置において、異なる単位セル内にある複数の光電変換部からの信号を加算処理するモードを含む場合には、垂直方向または斜め方向に配列された光電変換部からの信号の加算を水平転送手段を用いて行う。
【００２２】
以下、本発明について具体的に説明する。
【００２３】
まずカラーセンサーで色分離を行う場合について説明する。図５にＧを市松状に配置した場合の色フィルタを設けた単位セルを示す。
【００２４】
図５に示すように、４画素から成る繰返し単位セル３０のうち、左上と右下に、解像度に最も効くＧ（緑）画素が配置されている。このＧ画素においては単位セル３０の中心に配置されている共通アンプ部３２の占める領域と中心対称な位置に遮光部３５が存在している。従って、Ｇ画素における光電変換部３１の重心は、Ｇ画素の中心に存在する。これによりＧ画素の光電変換部a_{11}，a_{22}は、縦方向、横方向に等間隔ａで配置できている。Ｒ（赤）画素は単位セル３０の右上に、Ｂ（青）画素は単位セル３０の左下に配置されている。これらはＧ画素のように特に考慮された遮光部は有しないものの、その単位セル３０における配置数が１のため、単位セル３０の間隔２ａで等間隔に配置できている。
【００２５】
図６に色フィルタがＧ市松、Ｒ・Ｂ線順次配置時の色信号読出しタイミングチャートを示す。図７は各色信号の読出しを行うための回路図である。なお、図７には後述する低画素信号読出しでの同一色信号の加算処理を行うための加算処理手段も示されている。
【００２６】
図６において、期間T_1では、パルスϕ_{RV}で垂直信号線をリセットし、信号線上の残留電荷の除去を行うとともに、パルスϕ_{TN1}，ϕ_{TN2}，ϕ_{TN3}，ϕ_{TN4}，ϕ_{TS1}，ϕ_{TS2}，ϕ_{TS3}，ϕ_{TS4}で一時蓄積用容量C_{TN1}，C_{TN2}，C_{TN3}，C_{TN4}，C_{TS1}，C_{TS2}，C_{TS3}，C_{TS4}上の残留電荷の除去を行う。
【００２７】
期間T_2では、１行目の光電変換部行（a_{11}，a_{12}，・・・a_{1n}）のなかで、まずG_1画素（図５中左上のＧ画素）の光電変換信号を転送する前段階として、共通アンプの増幅手段MSFのゲート部（入力部）をパルスϕ_{oR}でリセットし残留電荷を除去する。除去した後ゲート部にはリセットノイズが残る。
【００２８】
期間T_3では、期間T_2でのリセットノイズと共通アンプのオフセット電圧を容量C_{TN1}へ転送する期間である。パルスϕ_{oS}で共通アンプの出力部を垂直信号線へ接続し、また共通アンプを動作状態にするためにパルスϕ_Lで負荷MOS Trを導通させ、パルスϕ_{TN1}で垂直信号線と容量C_{TN1}を接続させる。容量C_{TN1}にはノイズ（N_1）として蓄積される。
【００２９】
期間T_4では、G_1画素の光電変換部（a_{11}，a_{13}，・・・a_{1n}）からの光電変換信号（S_1）を容量C_{TS1}へ転送する期間である。パルスϕ_L，ϕ_{TS1}，ϕ_{oS}により共通アンプから容量C_{TS1}までが導通状態となる。
【００３０】
パルスϕ_{o11}で光電変換信号は、光電変換部から共通アンプのゲート部へ転送される。この時点でゲートにはT_2期間でのリセットノイズに上記光電変換信号が加算されることになる。このゲート電圧は、共通アンプのオフセット電圧に重畳し、容量C_{TS1}上では信号（S_1+N_1）として蓄積される。
【００３１】
その後、パルスϕ_{RV}で垂直信号線をリセットし、信号線上の残留電荷の除去を行い、期間T_2'にリセット、期間T_3'に共通アンプのノイズ（N_2）の転送、期間T_4'にR_1画素から

の信号（S_2+N_2）が転送される。同様にして、期間T_3''，T_3'''に共通アンプのノイズ転送（N_3、N_4）、期間T_4''，T_4'''にノイズが加算されたB_2画素からの信号（S_3+N_3）、G_2画素（図中右下のＧ画素）からの信号（S_4+N_4）が転送される。そして差動アンプで色信号からノイズが除去されて、信号S_1（Ｇ），S_2（Ｒ），S_3（Ｂ），S_4（Ｇ）が出力される。

【００３２】

以上はインタレース走査の奇数フィールドの動作を示すものであるが、図３で述べた様に垂直シフトレジスタV_oとV_eの組合せを変えることで偶数フィールドの動作を行うことができる。

【００３３】

次に上記で、低画素信号読出しについて説明する。ここでは、Ｇ信号の加算処理を行う場合について説明する。

【００３４】

なお、奇数フィールドで単位セル内の光電変換部a_{11}と光電変換部a_{22}からのＧ信号を加算する場合には、共通アンプの入力部で加算することもできる。しかし、偶数フィールドで光電変換部a_{22}と光電変換部a_{31}からのＧ信号を加算する場合には、共通アンプの入力部で加算することができないので、それぞれの単位セルからＧ信号を読み出した後に加算することになる。この場合、共通アンプで加算した信号と共通アンプから出力後に加算した信号とをインタレースパルスで切替える必要があるが、この時ゲインを精度良く一致させるのが困難である。

【００３５】

そこで、本発明では、光電変換部a_{11}とａ光電変換部$_{22}$からのＧ信号も光電変換部a_{22}と光電変換部a_{31}からのＧ信号も、ともに水平転送手段で加算処理をする。各色信号の読出し方法は上述した図６を用いて説明した読出し方法と同様である。

【００３６】

同一色信号の加算処理は図７の信号読出し回路で行われる。図７の回路の場合は、加算処理が同一信号系を経るのでゲイン差は生じない。図７では水平転送手段となる水平シフトレジスタ（Ｈ・ＳＲ）とこれに接続されるスイッチングトランジスタにより各容量C_{TN1}，C_{TS1}，C_{TN2}，C_{TS2}，C_{TN3}，C_{TS3}，C_{TS4}，C_{TN4}から信号を水平出力線に同時に出力し、減算アンプA_1～A_4で信号（ノイズ成分を含む）からノイズを減算した後に加算器で加算している。他の方法として、水平出力線で容量C_{TS1}と容量C_{TS4}を、容量C_{TN1}と容量C_{TN4}を加算しても良い。あるいは一時蓄積容量間を接続して加算しても良い。

【００３７】

次に単一センサーで色分離しない場合の実施例のタイミングチャートを図８に示す。この場合は同一色信号なので、水平方向の画素信号を共通アンプの入力部で加算できる。以下に説明する奇数フィールドでは$a_{11}+a_{12}$，$a_{21}+a_{22}$，…の信号が得られる。

【００３８】

期間T_1では、パルスϕ_{RV}で垂直信号線をリセットし、信号線上の残留電荷の除去を行うとともに、パルスϕ_{TN1}，ϕ_{TN2}，ϕ_{TS1}，ϕ_{TS2}で一時蓄積用容量C_{TN1}，C_{TN2}，C_{TS1}，C_{TS2}上の残留電荷の除去を行う。

【００３９】

期間T_2で共通アンプのゲートをϕ_{0R}でリセットし、期間T_3で共通アンプのノイズ（N_1）を容量C_{N1}へ転送する。次に期間T_4で水平２つの光電変換部からの信号を転送パルスϕ_{on1}，ϕ_{on2}で導通状態にし、ゲート部で加算する。この加算信号に対応する信号（S_1+N_1；S_1は水平２光電変換部（$a_{11}+a_{12}$）の加算信号成分、N_1はノイズ成分）は容量C_{S1}へ転送される。

【００４０】

次に、パルスϕ_{RV}で垂直信号線をリセットし、信号線上の残留電荷の除去を行い、期間T_2'で共通アンプのゲートをϕ_{0R}でリセットし、期間T_3'で共通アンプのノイズ（N_2）を容量C_{N2}へ転送する。次に期間T_4'で水平２つの光電変換部からの信号を転送パルス

Φ_{en1}，Φ_{en2}で導通状態にし、ゲート部で加算する。この加算信号に対応する信号（S_2+N_2；S_2は水平２光電変換部（$a_{21}+a_{22}$）の加算信号成分、N_2はノイズ成分）は容量C_{S2}へ転送される。

【００４１】

図３に示すように、垂直シフトレジスタV_oとV_eの組合せを変えることで偶数フィールドの動作を行うことができる。偶数フィールドでは$a_{21}+a_{22}$，$a_{31}+a_{32}$，…の信号が得られる。

【００４２】

垂直方向の画素信号の加算をする読出し回路構成図を図９に示す。なお図９の読出し回路に各光電変換部からの信号を読み出すタイミングは図６を用いて説明したタイミングチャートと同じである。図９においては垂直出力線と各容量C_{TN1}，C_{TS1}，C_{TN2}，C_{TS2}，C_{TN3}，C_{TS3}，C_{TS4}，C_{TN4}とを接続するトランジスタおよび制御信号Φ_{TN1}，Φ_{TS1}，Φ_{TN2}，Φ_{TS2}，Φ_{TN3}，Φ_{TS3}，Φ_{TS4}，Φ_{TN4}は省略している。

【００４３】

図９の回路では、水平転送手段となる水平シフトレジスタ（Ｈ・ＳＲ）とこれに接続されるスイッチングトランジスタにより各容量C_{TN1}，C_{TS1}，C_{TN2}，C_{TS2}，C_{TN3}，C_{TS3}，C_{TS4}，C_{TN4}から信号を水平出力線に同時に出力し、減算アンプA_1～A_4により減算処理を行った後に垂直方向の信号Ｓ１とＳ３とを加算器で加算を行っている。奇数フィールドでは$a_{11}+a_{21}$，$a_{12}+a_{22}$，…の信号が得られ、偶数フィールドでは$a_{21}+a_{31}$，$a_{22}+a_{32}$，…の信号が得られる。加算方法としては先に述べた様に水平出力線での加算、あるいは一時蓄積容量上での加算も可能である。

【００４４】

以上述べた水平方向の画素信号の加算、あるいは垂直方向または斜め方向の画素信号の加算は、等価的に低画素の信号読出しになるので記録系や表示系の画素数に合う様に駆動すれば、低消費電力、低モアレの高品質の画像を得ることができる。

【００４５】

図１０にシステム概略図を示す。同図に示すように、光学系７１、絞り８０を通って入射した画像光はＣＭＯＳセンサー７２上に結像する。ＣＭＯＳセンサー７２上に配置されている画素アレーによって光情報は電気信号へと変換される。その電気信号は信号処理回路７３によって予め決められた方法によって信号変換処理され、出力される。信号処理された信号は、記録系、通信系７４により情報記録装置により記録、あるいは情報転送される。記録、あるいは転送された信号は再生系７７により再生される。絞り８０、ＣＭＯＳセンサー７２、信号処理回路７３はタイミング制御回路７５により制御され、光学系７１、タイミング制御回路７５、記録系・通信系７４、再生系７７はシステムコントロール回路７６により制御される。

【００４６】

前述した高画素読出し（全画素読出し）と低画素読出し（加算読出し）とでは水平と垂直駆動パルスが異なる。従って読出しモード毎にセンサーの駆動タイミング、信号処理回路の解像度処理、記録系の記録画素数を変える必要がある。これらの制御はシステムコントロール回路７６で各読出しモードに応じて行われる。また読出しモードで、加算により感度が異なる。例えば高画素読出しに対し加算読出しでは信号量が２倍になる。このままではダイナミックレンジが１／２になるため絞り８０を半絞り小さく制御することにより適正信号を得る。この結果、低照度時は１／２の明るさまで撮影可能となる。

【００４７】

次に本発明の撮像装置に好適に用いることができる単位セルの具体的な構成について説明する。

【００４８】

図１８に示す配置は、光電変換部１７３の配列が等ピッチとはならないために（$a_1 \neq a_2$）、それぞれの画素内の光を関知する領域（受光部）の間隔が等しくならず、次のような問題が生じる。すなわち、同色の等ピッチでない配列は、部分的に空間周波数、解像度が

等しくないために、解像度の低下、モアレ縞等の不良を発生させる。また、モアレ縞の発生は非常に重大な問題であり、そのような撮像装置は、事実上製品として成り立ち得ない。これは前記単位セルを構成する画素数が４以外の場合にも同様に成り立つ。

【００４９】

本発明者らは、複数画素中に分散された増幅手段を有するＣＭＯＳセンサーにおいても、光電変換部のピッチを一定とすることによってそれぞれの受光部の間隔は等しくなり、解像度の低下とモアレ縞の発生を防止し、開口率等を向上させ、良好な性能を得ることができる撮像装置を見出した。このような撮像装置は本発明において好適に用いることができる。

【００５０】

図１１は２行２列の画素が共通アンプ部１２を共有する例を示す図である。図１１では、共有する共通アンプ部１２が４つの画素の中心に配置され、４つの光電変換部（a_{11}，a_{12}，a_{21}，a_{22}）が共通アンプ部１２を取囲むように配置されている。ここで共通アンプ部１２には図２の増幅手段MSF、リセット手段MSEL、選択手段MSELの他、転送手段MTX1～MTX4を含んでいる。

【００５１】

しかも、共通アンプ部１２の占める各画素における領域と中心対称な位置に遮光部１５が存在している。従って、各画素における光電変換部１１の重心は前記各画素の中心に存在する。これにより前記４つの光電変換部（a_{11}～a_{22}）は縦方向、横方向に等間隔ａで配置できている。

【００５２】

また図１２では、共有する共通アンプ部２２が４つの画素の横方向の中心部に配置され、４つの光電変換部２１（a_{11}，a_{12}，a_{21}，a_{22}）が共通アンプ部２２をはさむように配置されている。

【００５３】

しかも、共通アンプ部２２の占める各画素における領域と中心対称な位置に遮光部２５が存在している。従って各画素における前記光電変換部２１の重心は各画素の中心に存在する。これにより４つの光電変換部（a_{11}～a_{22}）は縦方向、横方向に等間隔ａで配置できている。

【００５４】

上述した図１２の実施形態は、横方向と縦方向を入れ換えても全く同様に成立する。

【００５５】

図１３にＣＭＯＳセンサーの画素アレー部の第１の構成例の具体的なパターンレイアウト図を示す。

【００５６】

図１３に示すＣＭＯＳセンサーは単結晶基板上にレイアウトルール０．４μｍによって形成されており、画素の大きさは８μｍ角であり、増幅手段であるソースフォロワアンプは２行２列の４画素で共有されている。従って、図中点線領域で示した繰返し単位セル８１の大きさは１６μｍ×１６μｍ角であり、２次元アレーが形成されている。

【００５７】

光電変換部であるホトダイオード８２ａ，８２ｂ，８２ｃ，８２ｄは各画素の中央に斜めに形成されており、その形状は上下左右でほぼ回転対称、鏡像対称である。またこれらのホトダイオード８２ａ，８２ｂ，８２ｃ，８２ｄの重心ｇは各画素に対して同一になるように設計されている。また９５は遮光部である。

【００５８】

８８－ａは左上の転送ゲート８３－ａを制御する走査線、９０は行選択線、９２はMOSゲート９３を制御するリセット線である。

【００５９】

ホトダイオード８２ａ～８２ｄ中に蓄積された信号電荷は転送ゲート８３ａ～８３ｄを通ってＦＤ８５に導かれる。ゲート８３ａ～８３ｄのMOSサイズはＬ＝０．４μｍ，Ｗ＝

１．０μｍ（Ｌはチャネル長、Ｗはチャネル巾を示す。）である。

【００６０】

ＦＤ８５は巾０．４μｍのＡｌ配線によってソースフォロワの入力ゲート８６に接続されており、ＦＤ８５に転送された信号電荷は入力ゲート８６の電圧を変調させる。入力ゲート８６のＭＯＳの大きさはＬ＝０．８μｍ，Ｗ＝１．０μｍであり、ＦＤ８５と入力ゲート８６の容量の和は５ｆＦ程度である。Ｑ＝ＣＶであるから、10^5 個の電子の蓄積によって入力ゲート８６の電圧は、３．２Ｖ変化することになる。

【００６１】

V_{DD}端子９１から流れ込む電流は入力ゲート８６によって変調され、垂直信号線８７に流出する。垂直信号線８７に流出する電流は図示しない信号処理回路によって信号処理され、最終的には画像情報となる。

【００６２】

その後、ホトダイオード８２ａ～８２ｄ，ＦＤ８５，入力ゲート８６の電位を所定の値のV_{DD}とするために、リセット線９２に接続されたＭＯＳゲート９３を開くことで（このとき転送ゲート８３ａ～８３ｄも開く）、ホトダイオード８２ａ～８２ｄ，ＦＤ８５，入力ゲート８６はV_{DD}端子とショートされる。

【００６３】

その後、転送ゲート８３ａ～８３ｄを閉じることでホトダイオード８２ａ～８２ｄの電荷蓄積が再び始まる。

【００６４】

ここで注目すべきは、水平方向に貫通する配線８８ａ～８８ｄ，９０，９２の全ては透明な導体である厚さ１５００ÅのＩＴＯ（Indium Tin Oxide）で形成されているために、前記配線部分のうち、ホトダイオード８２ａ～８２ｄ上では光が透過するため、前記ホトダイオードの重心ｇは光を感知する領域（受光部）の重心と一致することである。

【００６５】

本構成例によれば画素ピッチが等しい比較的高面積率、高開口率なＣＭＯＳセンサーを提供することができる。

【００６６】

本発明のＣＭＯＳセンサーの画素アレー部の第２の構成例の具体的なパターンレイアウト図を図１４に示す。

【００６７】

図１４において、１０２ａ～１０２ｄはホトダイオード、１０３ａ～１０３ｄは転送ゲート、１０５はＦＤ、１０６はソースフォロワの入力ゲート、１０７は垂直信号線、１０８ａ～１０８ｄは走査線、１１０は行選択線、１１２はＭＯＳゲート１１３を制御するリセット線である。

【００６８】

本構成例においては水平方向に走る配線１０８ａ～１０８ｄ，１１０，１１２が３本づつ各画素の中心を横切るように走っているために、ホトダイオード１０２ａ～１０２ｄに入射する光を妨げるような金属配線であっても、光を感知する領域の重心ｇの移動は生じず、従って前記画素の中心と一致する。

【００６９】

本構成例によれば電気抵抗が小さな通常の（不透明な）金属を使用できるため、前記横方向の配線の時定数が改善され、更に高速な撮像装置を提供することができる。

【００７０】

以上の構成例では、遮光膜の下の部分が有効利用されているため、図１５に示すように遮光膜の下の部分にまで光電変換部であるホトダイオードを形成し、電荷蓄積部として機能させることも可能である。

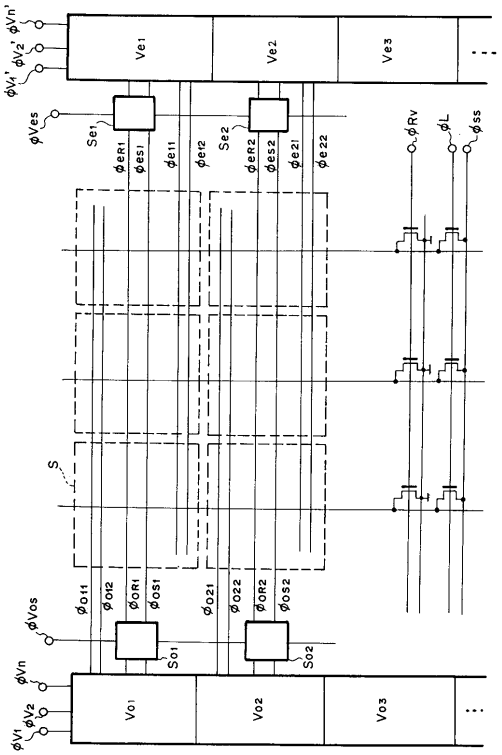
【００７１】

上述の第２構成例においては、最も光集光効率が良い画素の中心を横切るために、撮像装置の感度の低下が懸念される。そこで更に改善された第３構成例を図１６に示す。

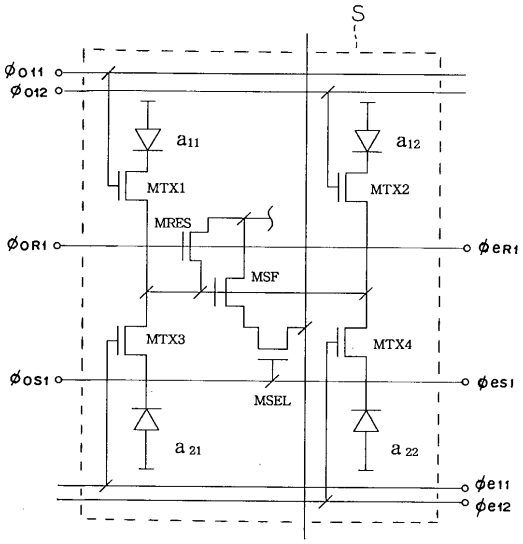
【００７２】
本構成例においては転送ゲート１２３ａ～１２３ｄ、ＦＤ１２５、ソースフォロワの入力ゲート１２６、リセット用のＭＯＳゲート１３３全てが横方向を走る配線（走査線１２８ａ～１２８ｄ，行選択線１３０，リセット線１３２）下に形成されているため、ホトダイオード１２２ａ～１２２ｄ，及びその開口を最大とすることができる。しかも、その開口部は各画素の中心に連続して存在する。また遮光部は水平、垂直配線部分に形成されている。
【００７３】
また本構成例においては前記増幅手段であるソースフォロワとリセット用のＭＯＳトランジスタを各画素の周辺の水平方向に分割して配置したためにコンパクトに前記水平方向の配線下に配置可能となっている。
【００７４】
また右上の画素の配線下には未使用のスペースが未だ存在するため、例えばスマートセンサー等、新規の構成を追加することも可能である。
【００７５】
本構成例によれば、ホトダイオードの面積、及び開口率が大きく取れることから、広ダイナミックレンジ、高感度な撮像装置を提供することができる。また、将来微細化が進み、前記ホトダイオードの開口部分の寸法が光の波長程度になっても光が入射しなくなるといった恐れは生じにくく、永らくその性能を発揮することができる。
【００７６】
また、以上の構成例では、増幅手段は単位セルの中心部に配置し、光を感知する領域の重心と、画素の中心は一致したものであるが、これらに限られず、図１７に示したような開口部が並進対称となっている構成のものでもよい。
【００７７】
つまり、開口部が並進対称となっていることにより、光を感知する領域は、等ピッチとなるためである。
【００７８】
【発明の効果】
以上説明したように、本発明によれば、共通アンプに複数の光電変換部を配置したことによる高開口率に加えて、インタレース駆動を行っても高画質が得られる。また低画素数駆動では低消費電力、記録あるいは表示画素像は低モアレで美しい画像が得られる。
【図面の簡単な説明】
【図１】本発明の撮像装置の一部の構成を示す概略図である。
【図２】図１の撮像装置の単位セルＳの構成を示す図である。
【図３】インタレース走査時の垂直シフトレジスタのタイミングチャートを示す図である。
【図４】撮像装置の各単位セルを示す図である。
【図５】Ｇを市松状に配置した場合の色フィルタを設けた単位セルを示す図である。
【図６】色フィルタがＧ市松、Ｒ・Ｂ線順次配置時の色信号読出しタイミングチャートである。
【図７】同一色信号の加算処理を行う信号読出し回路の回路構成図である。
【図８】単一センサーで色分離しない場合の実施例のタイミングチャートである。
【図９】垂直方向の画素信号の加算をする読出し回路構成図である。
【図１０】本発明によるシステム概略図である。
【図１１】本発明の単位セルのレイアウトを示す図である。
【図１２】本発明の単位セルのレイアウトを示す図である。
【図１３】本発明の一構成例のパターンレイアウト図である。
【図１４】本発明の一構成例のパターンレイアウト図である。
【図１５】本発明の一構成例を表す図である。
【図１６】本発明の一構成例のパターンレイアウト図である。

【図１７】本発明の一構成例を表す図である。
【図１８】撮像装置の一例の単位セルのレイアウト図である。
【符号の説明】
１１　光電変換部
１２　共通アンプ部
１５　遮光部
２１　光電変換部
２２　共通アンプ部
２５　遮光部

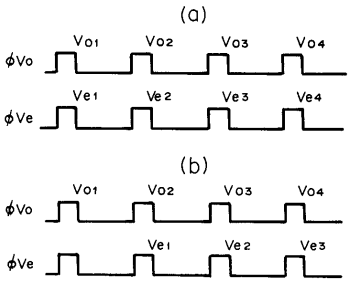
【図１】



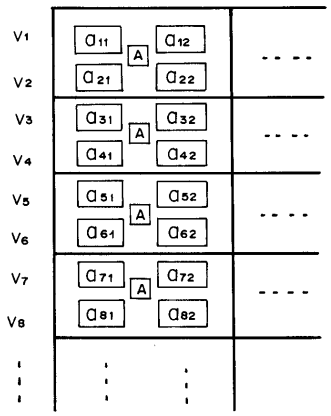
【図２】



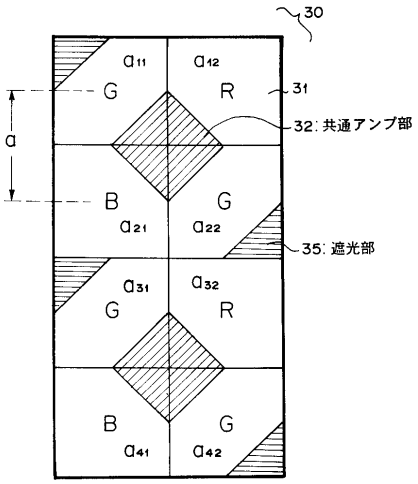
【図３】



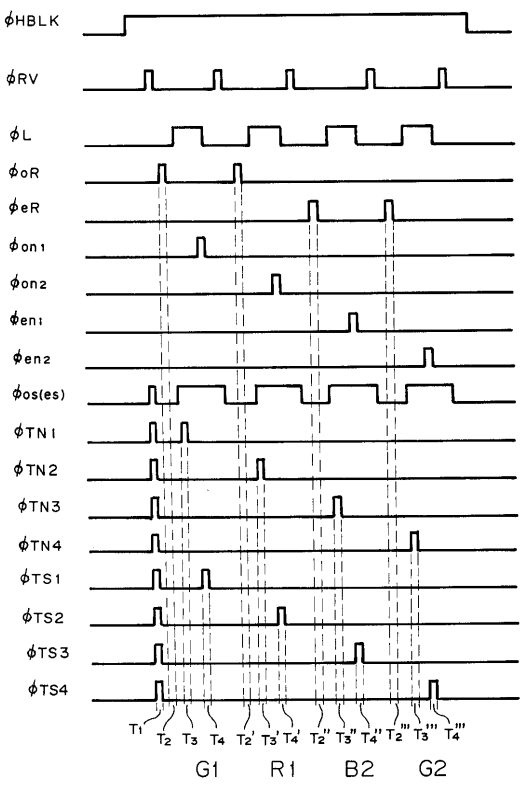
【図４】


V1
V2
V3
V4
V5
V6
V7
V8
a11
a12
a21
a22
a31
a32
a41
a42
a51
a52
a61
a62
a71
a72
a81
a82
A

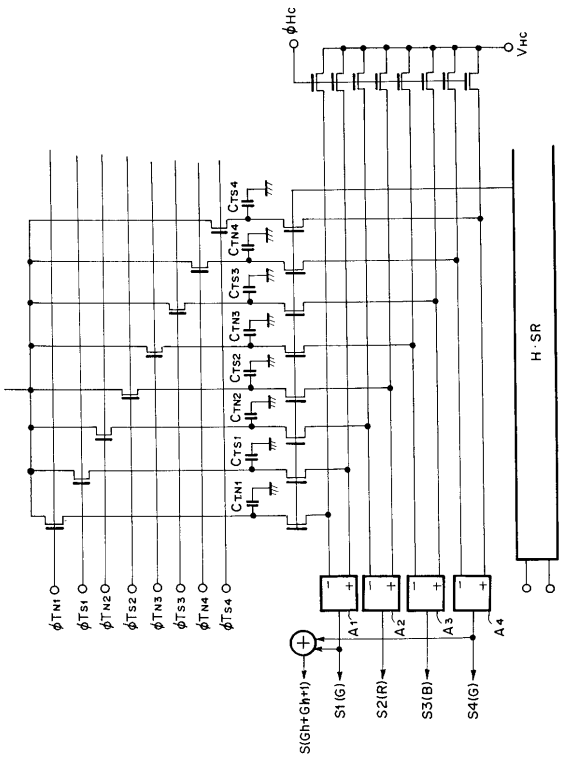
【図５】


30
31
32: 共通アンプ部
35: 遮光部
a
G
R
B
G
G
R
B
G
a11
a12
a21
a22
a31
a32
a41
a42

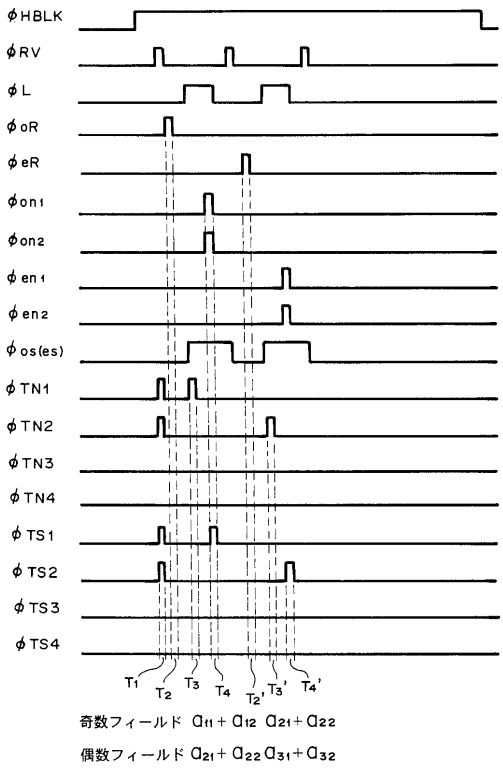
【図６】


φHBLK
φRV
φL
φoR
φeR
φon1
φon2
φen1
φen2
φos(es)
φTN1
φTN2
φTN3
φTN4
φTS1
φTS2
φTS3
φTS4
G1
R1
B2
G2

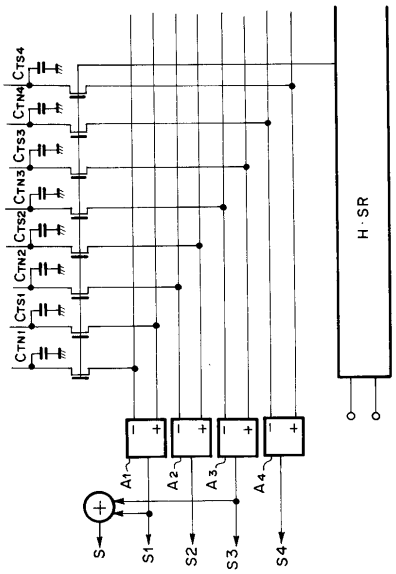
【図７】


φHc
VHc
H-SR
φTN1
φTS1
φTN2
φTS2
φTN3
φTS3
φTN4
φTS4
A1
A2
A3
A4
S(Gn+Gn+1)
S1(G)
S2(R)
S3(B)
S4(G)

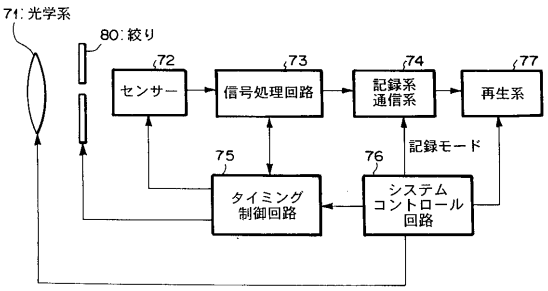
【図８】



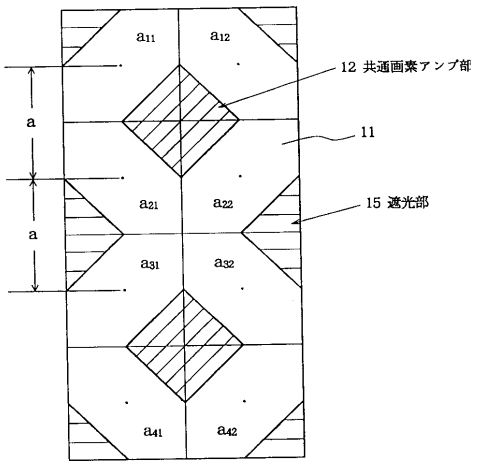
【図９】



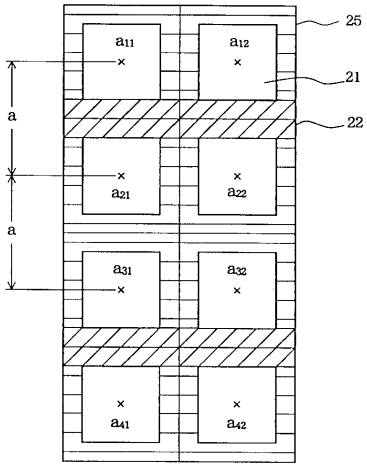
【図１０】



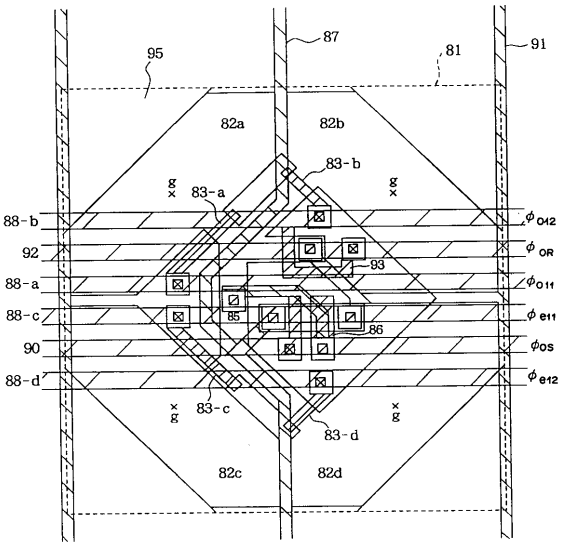
【図１１】



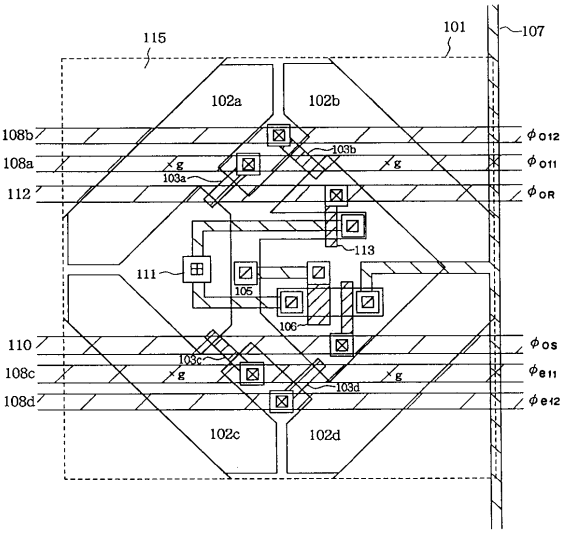
【図１２】



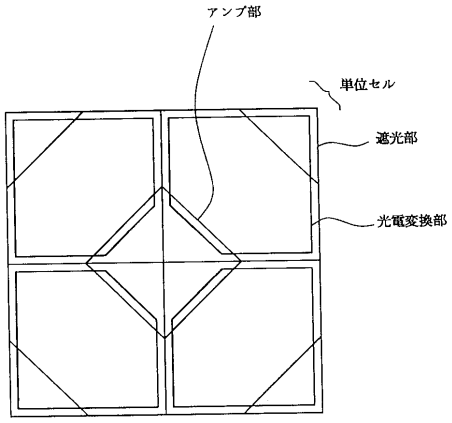
【図１３】



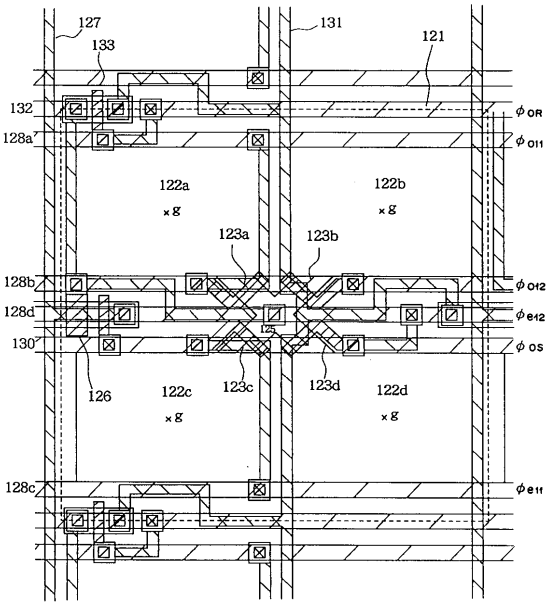
【図１４】



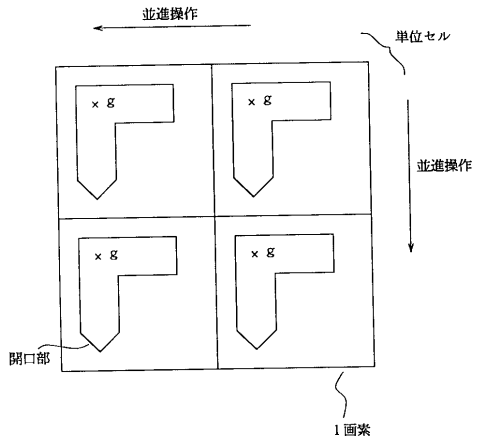
【図１５】



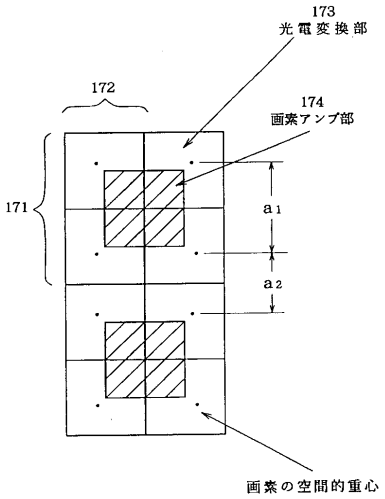
【図１６】



【図１７】


並進操作
単位セル
並進操作
× g
× g
× g
× g
開口部
1画素

【図１８】


173
光電変換部
172
174
画素アンプ部
171
a1
a2
画素の空間的重心

$a_1 > a_2$

フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)
H04N 5/335
H01L 27/146