

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5426944号
(P5426944)

(45) 発行日 平成26年2月26日 (2014. 2. 26)

(24) 登録日 平成25年12月6日 (2013. 12. 6)

(51) Int. Cl.

F 1

A 6 3 F 7/02 (2006. 01)

A 6 3 F 7/02 3 3 4

A 6 3 F 7/02 3 2 0

A 6 3 F 7/02 3 2 6 Z

A 6 3 F 7/02 3 4 0

請求項の数 1 (全 55 頁)

(21) 出願番号 特願2009-155652 (P2009-155652)
 (22) 出願日 平成21年6月30日 (2009. 6. 30)
 (65) 公開番号 特開2011-10738 (P2011-10738A)
 (43) 公開日 平成23年1月20日 (2011. 1. 20)
 審査請求日 平成24年6月28日 (2012. 6. 28)

(73) 特許権者 000132747
 株式会社ソフィア
 群馬県桐生市境野町7丁目201番地
 (74) 代理人 100075513
 弁理士 後藤 政喜
 (74) 代理人 100114236
 弁理士 藤井 正弘
 (74) 代理人 100120260
 弁理士 飯田 雅昭
 (74) 代理人 100137604
 弁理士 須藤 淳
 (72) 発明者 田中 雅也
 群馬県太田市吉沢町990番地 株式会社
 ソフィア内

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技に係わる演出を行う複数の演出装置を備える遊技機において、
前記複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置
を制御するためのグループ単位制御手段を各グループ毎に設けるとともに、
前記各グループ単位制御手段には、複数のグループ単位制御手段の間で共通となる共通
アドレスと、各グループ単位制御手段同士で相違する個別アドレスと、が予め割り当てら
れ、
複数の前記グループ単位制御手段を統括的に制御するグループ統括制御手段を設け、
該各グループ単位制御手段と該グループ統括制御手段とを、複数の接続線を一体化して
構成したハーネスによりコネクタを介して接続し、
該ハーネスは、
前記グループ統括制御手段から前記グループ単位制御手段へタイミング信号を伝達する
タイミング信号線と、
前記グループ統括制御手段から前記グループ単位制御手段へデータを伝達するデータ線
と、
前記グループ単位制御手段に電源電圧を供給するための電源線と、
を含んでおり、
前記グループ統括制御手段は、
前記グループ単位制御手段へのデータ送信を開始する際に、前記タイミング信号線の信

10

20

号レベルをハイレベルに維持させた状態で前記データ線の信号レベルをハイレベルからロウレベルに変化させることで送信開始を指令する送信開始指令手段と、

前記送信開始の指令後に、前記データ線の信号レベルを送信データに対応する信号レベルに設定しながら、前記タイミング信号線の信号レベルを繰り返し変化させることによって、前記グループ単位制御手段にデータを順次送信するとともに、該データ線の信号レベルの変更を、前記タイミング信号線の信号レベルがロウレベルとなっている状態で行う送信手段と、

前記グループ単位制御手段へのデータ送信を終了する際に、前記タイミング信号線の信号レベルをハイレベルに維持させた状態で前記データ線の信号レベルをロウレベルからハイレベルに変化させることで送信終了を指令する送信終了指令手段と、

を備え、

前記グループ単位制御手段は、

前記ハーネスを構成するデータ線から、当該グループ単位制御手段宛のデータを取り込む取込手段と、

前記ハーネスを構成する電源線からの電源供給が開始された場合に、当該グループ単位制御手段自身の初期化を行う初期化手段と、

を備えるとともに、取り込んだデータが演出制御データであった場合には、該演出制御データに基づいて対応するグループに属する演出装置を制御し、

前記送信手段が前記演出制御データを送信する際は、前記データ線に前記個別アドレスのデータが出力されることを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

グループに分割された演出装置を制御する複数のグループ単位制御手段と、複数のグループ単位制御手段を制御するグループ統括制御手段とを備える遊技機に関し、特に、グループ単位制御手段の初期化方法に関する。

【背景技術】

【0002】

主制御部と周辺制御部との間、特に主制御部から周辺制御部への信号の伝達方式を改良することにより、信号線系統の煩雑化を解消し、電氣的構成の簡略化を図ることができる遊技機が知られている。この遊技機では、主制御部から周辺制御部への指令信号の伝送を、作動指令対象となる周辺制御部を特定可能な状態にて行う。これにより、複数の周辺制御部への信号伝送経路を共通化することが可能となる。その結果、指令信号の伝達経路を個々の周辺制御部毎に形成する態様と比較して信号線の数的大幅に減らすことができ、また、主制御部側の指令信号の出力ポートを統合できるので信号線系統の煩雑化を解消し、電氣的構成の簡略化を図ることができる（例えば、特許文献1参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2001-038021号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1に開示された遊技機では、これ以上に基板間の配線を少なくすることはできなかった。

【0009】

本発明は、グループ統括制御手段とグループ単位制御手段とを接続する接続線の数削減できる遊技機を提供することを目的とする。

【課題を解決するための手段】

【0010】

10

20

30

40

50

本発明は、遊技領域にて実行される補助遊技の結果に対応して特別遊技状態を発生させるとともに、遊技に係わる演出を行う複数の演出装置を備える遊技機において、前記複数の演出装置を複数グループに分割し、該分割されたグループに属する演出装置を制御するためのグループ単位制御手段を各グループ毎に設けるとともに、前記各グループ単位制御手段には、複数のグループ単位制御手段の間で共通となる共通アドレスと、各グループ単位制御手段同士で相違する個別アドレスと、が予め割り当てられ、複数の前記グループ単位制御手段を統括的に制御するグループ統括制御手段を設け、該各グループ単位制御手段と該グループ統括制御手段とを、複数の接続線を一体化して構成したハーネスによりコネクタを介して接続し、該ハーネスは、前記グループ統括制御手段から前記グループ単位制御手段へタイミング信号を伝達するタイミング信号線と、前記グループ統括制御手段から前記グループ単位制御手段へデータを伝達するデータ線と、前記グループ単位制御手段に電源電圧を供給するための電源線と、を含んでおり、前記グループ統括制御手段は、前記グループ単位制御手段へのデータ送信を開始する際に、前記タイミング信号線の信号レベルをハイレベルに維持させた状態で前記データ線の信号レベルをハイレベルからロウレベルに変化させることで送信開始を指令する送信開始指令手段と、前記送信開始の指令後に、前記データ線の信号レベルを送信データに対応する信号レベルに設定しながら、前記タイミング信号線の信号レベルを繰り返し変化させることによって、前記グループ単位制御手段にデータを順次送信するとともに、該データ線の信号レベルの変更を、前記タイミング信号線の信号レベルがロウレベルとなっている状態で行う送信手段と、前記グループ単位制御手段へのデータ送信を終了する際に、前記タイミング信号線の信号レベルをハイレベルに維持させた状態で前記データ線の信号レベルをロウレベルからハイレベルに変化させることで送信終了を指令する送信終了指令手段と、を備え、前記グループ単位制御手段は、前記ハーネスを構成するデータ線から、当該グループ単位制御手段宛のデータを取り込む取込手段と、前記ハーネスを構成する電源線からの電源供給が開始された場合に、当該グループ単位制御手段自身の初期化を行う初期化手段と、を備えるとともに、取り込んだデータが演出制御データであった場合には、該演出制御データに基づいて対応するグループに属する演出装置を制御し、前記送信手段が前記演出制御データを送信する際は、前記データ線に前記個別アドレスのデータが出力される。

【発明の効果】

【 0 0 1 7 】

本発明によると、タイミング信号線及びデータ線だけを用いて、データの送信開始と送信終了をグループ単位制御手段に通知できるので、基板間の配線をさらに少なくすることができる。

【図面の簡単な説明】

【 0 0 2 5 】

【図 1】本発明の第 1 の実施形態の遊技機の説明図である。

【図 2】本発明の第 1 の実施形態の遊技盤の正面図である。

【図 3】本発明の第 1 の実施形態の遊技機の構成を示すブロック図である。

【図 4】本発明の第 1 の実施形態の演出制御装置の構成を示すブロック図である。

【図 5】本発明の第 1 の実施形態の装飾制御装置の接続の説明図である。

【図 6】本発明の第 1 の実施形態の装飾制御装置のブロック図である。

【図 7】本発明の第 1 の実施形態の I²C I / O エクスパンダのブロック図である。

【図 8 A】本発明の第 1 の実施形態の装飾装置を制御する装飾制御装置の I²C I / O エクスパンダ周辺の回路図である。

【図 8 B】本発明の第 1 の実施形態の役物駆動 M O T 及び役物駆動 S O L を制御する装飾制御装置の I²C I / O エクスパンダ周辺の回路図である。

【図 9】本発明の第 1 の実施形態の中継基板の入出力に関する接続線の回路図である。

【図 1 0】本発明の第 1 の実施形態の装飾制御装置の入出力に関する接続線の回路図である。

【図 1 1】本発明の第 1 の実施形態の演出制御装置から装飾制御装置に出力されるデータ

に含まれるスレーブアドレスの説明図である。

【図１２】本発明の第１の実施形態のＩ^２ＣＩ／Ｏエクスパンダアドレステーブルの説明図である。

【図１３】本発明の第１の実施形態のＩ^２ＣＩ／Ｏエクスパンダに備わる出力設定レジスタに割り当てられたワークレジスタを説明するための図である。

【図１４】本発明の第１の実施形態のマスタＩＣが接続線ＳＤＡ及び接続線ＳＣＬを介して出力するデータのスタート条件及びストップ条件の説明図である。

【図１５】本発明の第１の実施形態のマスタＩＣから出力されたデータが入力された装飾制御装置が返答信号を出力するタイミングチャートである。

【図１６】本発明の第１の実施形態のマスタＩＣが演出制御データを出力する場合の接続線ＳＤＡ及び接続線ＳＣＬの信号レベルのタイミングチャートである。

10

【図１７】本発明の第１の実施形態のマスタＩＣが、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタＩＣとＩ^２ＣＩ／Ｏエクスパンダとの間で授受されるデータのフォーマットを説明する図である。

【図１８】本発明の第１の実施形態のマスタＩＣが、スレーブの個別アドレスを指定して装飾制御装置に演出制御データを設定する場合において、マスタＩＣとＩ^２ＣＩ／Ｏエクスパンダとの間で授受される演出制御データに具体的な数値を適用したものである。

【図１９】本発明の第１の実施形態の演出制御データの別の形態を説明する図である。

【図２０】本発明の第１の実施形態のマスタＩＣがＩ^２ＣＩ／Ｏエクスパンダを初期化するとき、マスタＩＣからＩ^２ＣＩ／Ｏエクスパンダへ送信される初期化指示データのデータフォーマットを説明する図である。

20

【図２１】本発明の第１の実施形態の異常判定テーブルを説明する図である。

【図２２】本発明の第１の実施形態の演出制御装置による処理のフローチャートである。

【図２３】本発明の第１の実施形態のタイマ割込処理のフローチャートである。

【図２４】本発明の第１の実施形態の発光制御スレーブ出力処理のフローチャートである。

【図２５】本発明の第１の実施形態のスレーブ連続処理のフローチャートである。

【図２６】本発明の第１の実施形態のスレーブリセット処理のフローチャートである。

【図２７】本発明の第１の実施形態の遊技機全体に設けられる装飾制御装置６１０の接続形態を示す図である。

30

【図２８】本発明の第２の実施形態を説明する図である。

【発明を実施するための形態】

【００２６】

(第１の実施形態)

以下、本発明の第１の実施形態について、図１～図２７を参照して説明する。

【００２７】

図１は、本発明の第１の実施形態の遊技機１の説明図である。

【００２８】

遊技機１の前面枠（遊技枠）３は本体枠（外枠）２にヒンジ４を介して、遊技機１の前面に開閉回動可能に組み付けられる。前面枠３の表側には、遊技盤１０（図２参照）が収装される。また、前面枠３には、遊技盤１０の前面を覆うカバーガラス（透明部材）を備えたガラス枠１８が取り付けられている。

40

【００２９】

ガラス枠１８のカバーガラスの周囲には、装飾光が発光される装飾部材９が備えられている。この装飾部材９の内部にはランプやＬＥＤ等からなる装飾装置６２０（図４参照）が備えられている。この装飾装置６２０を所定の発光態様によって発光することによって、装飾部材９が所定の発光態様によって発光する。

【００３０】

ガラス枠１８の左右には、音響（例えば、効果音）を発するスピーカ３０が備えられている。また、ガラス枠１８の上方には照明ユニット１１が備えられている。照明ユニット

50

１１の内部には、前述した装飾装置６２０が備えられている。

【００３１】

照明ユニット１１の右側には、遊技機１において異常が発生したことを報知するための異常報知ＬＥＤ２９が備えられている。

【００３２】

前面枠３の下部の開閉パネル２０には図示しない打球発射装置に遊技球を供給する上皿２１が、固定パネル２２には灰皿１５、下皿２３及び打球発射装置の操作部２４等が備えられる。下皿２３には、下皿２３に貯まった遊技球を排出するための下皿球抜き機構１６が備えられる。前面枠３下部右側には、ガラス枠１８を施錠するための鍵２５が備えられている。

10

【００３３】

また、遊技者が操作部２４を回転操作することによって、打球発射装置は、上皿２１から供給される遊技球を発射する。

【００３４】

また、上皿２１の上縁部には、遊技者からの操作入力を受け付けるための演出ボタン１７が備えられている。

【００３５】

遊技者が演出ボタン１７を操作することによって、遊技盤１０に設けられた表示装置５３（図２参照）における特図変動表示ゲームの演出内容を選択して、表示装置５３における特図変動表示ゲームに、遊技者の操作を介入させた演出を行うことができる。

20

【００３６】

なお、特図変動表示ゲームは、発射された遊技球が遊技盤１０に備わる第１始動入賞口４５（図２参照）又は普通変動入賞装置３６（図２参照）の第２始動入賞口に入賞した場合に開始される。特図変動表示ゲームでは、表示装置５３において複数の識別情報が変動表示する。そして、変動表示していた識別情報が停止し、停止した識別情報の結果態様が特定の結果態様である場合に、遊技機１の状態が遊技者に有利な状態（特典が付与される状態）である特別遊技状態に遷移する。

【００３７】

上皿２１の右上部には、遊技者が遊技球を借りる場合に操作する球貸ボタン２６、及び、図示しないカードユニットからプリペイドカードを排出させるために操作される排出ボタン２７が設けられている。これらのボタン２６、２７の間には、プリペイドカードの残高を表示する残高表示部２８が設けられる。

30

【００３８】

図２は、本発明の第１の実施形態の遊技盤１０の正面図である。

【００３９】

図１に示す遊技機１は、内部の遊技領域１０ａ内に遊技球を発射して（弾球して）遊技を行うもので、ガラス枠１８のカバーガラスの奥側には、遊技領域１０ａを構成する遊技盤１０が設置されている。

【００４０】

遊技盤１０は、各種部材の取付ベースとなる平板状の遊技盤本体１０ｂ（木製又は合成樹脂製）を備え、該遊技盤本体１０ｂの前面にガイドレール３２で囲まれた遊技領域１０ａを有している。また、遊技盤本体１０ｂの前面であってガイドレール３２の外側には、前面構成部材３３、３３、...が取り付けられている。そして、このガイドレール３２で囲まれた遊技領域１０ａ内に発射装置から遊技球（打球；遊技媒体）を発射して遊技を行うようになっている。

40

【００４１】

遊技領域１０ａの略中央には、特図変動表示ゲームの表示領域となる窓部５２を形成するセンターケース５１が取り付けられている。このセンターケース５１に形成された窓部５２の後方には、複数の識別情報を変動表示する特図変動表示ゲームの演出を実行可能な演出表示装置としての表示装置５３が配されるようになっている。この表示装置５３は、

50

例えば、液晶ディスプレイを備え、表示内容が変化可能な表示部 5 3 a がセンターケース 5 1 の窓部 5 2 を介して遊技盤 1 0 の前面側から視認可能となるように配されている。なお、表示装置 5 3 は、液晶ディスプレイを備えるものに限らず、E L、C R T 等のディスプレイを備えるものであってもよい。

【 0 0 4 2 】

センターケース 5 1 の窓部 5 2 の上端付近には、遊技状態に基づいて動作可能な可動役物 6 0 が取り付けられる。

【 0 0 4 3 】

また、遊技盤 1 0 には、普図始動ゲート 3 4 と、普図変動表示ゲームの未処理回数を表示する普図記憶表示器 4 7、普図変動表示ゲームを表示する普図表示器 3 5 が設けられている。また、遊技領域 1 0 a 内には、第 1 の始動入賞領域をなす第 1 始動入賞口 4 5 と、第 2 の始動入賞領域をなす第 2 始動入賞口を有する普通変動入賞装置 3 6 と、が設けられている。そして、遊技球が第 1 始動入賞口 4 5 に入賞した場合は、補助遊技として第 1 特図変動表示ゲームが実行され、遊技球が普通変動入賞装置 3 6 に入賞した場合は、補助遊技として第 2 特図変動表示ゲームが実行されるようになっている。

【 0 0 4 4 】

また、遊技盤 1 0 には、第 1 特図変動表示ゲームを表示する第 1 特図表示器 3 8 と、第 2 特図変動表示ゲームを表示する第 2 特図表示器 3 9 と、が設けられている。また、第 1 特図変動表示ゲームの未処理回数（第 1 特図始動記憶）を表示する第 1 特図記憶表示器 4 8 と、第 2 特図変動表示ゲームの未処理回数（第 2 特図始動記憶）を表示する第 2 特図記憶表示器 4 9 が設けられている。なお、普図記憶表示器 4 7、普図表示器 3 5、第 1 特図表示器 3 8、第 2 特図表示器 3 9、第 1 特図記憶表示器 4 8、第 2 特図記憶表示器 4 9 は、遊技状態を表す遊技状態表示 L E D（図示略）と併せて、セグメント L E D として一体に設けられている。

【 0 0 4 5 】

さらに遊技領域 1 0 a には、上端側が手前側に倒れる方向に回動して開放可能になっているアタッカ形式の開閉扉 4 2 a を有し、第 1 特図変動表示ゲーム、第 2 特図変動表示ゲームの結果如何によって大入賞口を閉じた状態（遊技者にとって不利な状態）から開放状態（遊技者にとって有利な状態）に変換する特別変動入賞装置 4 2、入賞口などに入賞しなかった遊技球を回収するアウト穴 4 3 が設けられている。この他、遊技領域 1 0 a には、一般入賞口 4 4、4 4、...、打球方向変換部材としての風車 4 6、多数の障害釘（図示略）などが配設されている。

【 0 0 4 6 】

普図始動ゲート 3 4 内には、該普図始動ゲート 3 4 を通過した遊技球を検出するためのゲート S W 3 4 a（図 3 参照）が設けられている。そして、遊技領域 1 0 a 内に打ち込まれた遊技球が普図始動ゲート 3 4 内を通過すると、普図変動表示ゲームが行われる。

【 0 0 4 7 】

また、普図変動表示ゲームを開始できない状態中に、普図始動ゲート 3 4 を遊技球が通過すると、普図始動記憶数が上限数未満であるならば、普図始動記憶数が 1 加算されて、当該普図変動表示ゲームが当たりとなるか否かを示す乱数が普図始動記憶として一つ記憶される。

【 0 0 4 8 】

普図変動表示ゲームを開始できない状態とは、例えば、普図変動表示ゲームが既に行われ、その普図変動表示ゲームが終了していない状態や、普図変動表示ゲームが当って普通変動入賞装置 3 6 が開状態に変換されている状態のことをいう。

【 0 0 4 9 】

なお、普図変動表示ゲームの始動記憶数は、L E D を備える普図記憶表示器 4 7 にて表示される。

【 0 0 5 0 】

普図変動表示ゲームは、遊技盤 1 0 に設けられた普図表示器 3 5 で実行されるようにな

10

20

30

40

50

っている。なお、表示装置 5 3 の表示領域の一部で普図変動表示ゲームを表示するようにしてもよく、この場合は識別図柄として、例えば、数字、記号、キャラクタ図柄などを用い、この識別図柄を所定時間変動表示させた後、停止表示させることにより行うようにする。

【 0 0 5 1 】

この普図変動表示ゲームの停止表示が特別の結果態様となれば、普図変動表示ゲームが当たりとなって、普通変動入賞装置 3 6 の開閉部材 3 6 a、3 6 a が所定時間（例えば、0 . 5 秒間）開放される。これにより、普通変動入賞装置 3 6 に遊技球が入賞しやすくなり、第 2 特図変動表示ゲームの始動が容易となる。

【 0 0 5 2 】

普通変動入賞装置 3 6 は左右一對の開閉部材 3 6 a、3 6 a を具備し、第 1 始動入賞口 4 5 の下部に配設される。この開閉部材 3 6 a、3 6 a は、常時は遊技球の直径程度の間隔をおいて閉じた状態（遊技者にとって不利な状態）を保持しているが、普図変動表示ゲームの結果が所定の停止表示態様となった場合（普図変動表示ゲームが当たりとなった場合）には、駆動装置としてのソレノイド（普電 S O L 3 6 b、図 3 参照）によって、逆「ハ」の字状に開いて普通変動入賞装置 3 6 に遊技球が流入し易い状態（遊技者にとって有利な状態）に変化させられるようになっている。

【 0 0 5 3 】

また、本実施形態の遊技機 1 は、特図変動表示ゲームの結果態様に基づき、遊技状態として、表示装置 5 3 における特図変動表示ゲームの変動表示時間を短縮する時短動作状態（第 2 動作状態）を発生可能となっている。この時短動作状態（第 2 動作状態）は、普通変動入賞装置 3 6 の動作状態が、通常動作状態（第 1 動作状態）に比べて開放状態となりやすい状態である。

【 0 0 5 4 】

この時短動作状態においては、上述の普図変動表示ゲームの実行時間が、通常動作状態における長い実行時間よりも短くなるように制御され（例えば、1 0 秒が 1 秒）、これにより、単位時間当りの普通変動入賞装置 3 6 の開放回数が実質的に多くなるように制御される。また、時短動作状態においては、普図変動表示ゲームが当たり結果となって普通変動入賞装置 3 6 が開放される場合に、開放時間が通常動作状態の短い開放時間より長くされるように制御される（例えば、0 . 3 秒が 1 . 8 秒）。また、時短動作状態においては、普図変動表示ゲームの 1 回の当たり結果に対して、普通変動入賞装置 3 6 が 1 回ではなく、複数回（例えば、2 回）開放される。さらに、時短動作状態においては普図変動表示ゲームの当たり結果となる確率が通常動作状態より高くなるように制御される。すなわち、通常動作状態よりも普通変動入賞装置 3 6 の開放回数が増加され、普通変動入賞装置 3 6 に遊技球が入賞しやすくなり、第 2 特図変動表示ゲームの始動が容易となる。

【 0 0 5 5 】

第 1 始動入賞口 4 5 の内部には第 1 始動口 S W 4 5 a（図 3 参照）が備えられ、この第 1 始動口 S W 4 5 a によって遊技球を検出することに基づき、補助遊技としての第 1 特図変動表示ゲームを開始する始動権利が発生するようになっている。また、普通変動入賞装置 3 6 の内部には第 2 始動口 S W 3 6 d（図 3 参照）が備えられ、この第 2 始動口 S W 3 6 d によって遊技球を検出することに基づき、補助遊技としての第 2 特図変動表示ゲームを開始する始動権利が発生するようになっている。

【 0 0 5 6 】

この第 1 特図変動表示ゲームを開始する始動権利は、所定の上限数（例えば 4）の範囲内で第 1 始動記憶（特図 1 始動記憶）として記憶される。そして、この第 1 始動記憶数は、第 1 特図記憶表示器 4 8 に表示される。また、第 2 特図変動表示ゲームを開始する始動権利は、所定の上限数（例えば 4）の範囲内で第 2 始動記憶（特図 2 始動記憶）として記憶される。そして、この第 2 始動記憶数は、第 2 特図記憶表示器 4 9 にて表示される。

【 0 0 5 7 】

そして、第 1 特図変動表示ゲームが開始可能な状態（第 1 始動記憶数及び第 2 始動記憶

10

20

30

40

50

数が0の状態)で、第1始動入賞口45に遊技球が入賞すると、始動権利の発生に伴って抽出された乱数が第1始動記憶として記憶されて、第1始動記憶数が1加算されるとともに、直ちに第1始動記憶に基づいて、第1特図変動表示ゲームが開始され、この際に第1始動記憶数が1減算される。

【0058】

また、第2特図変動表示ゲームは第1特図変動表示ゲームよりも優先して実行されるため、第1始動記憶数が0でなくても、第2始動記憶数が0であれば、第2始動入賞口をなす普通変動入賞装置36に遊技球が入賞すると、始動権利の発生に伴って抽出された乱数が第2始動記憶として記憶されて、第2始動記憶数が1加算されるとともに、実行中の第1特図変動表示ゲームが終了後直ちに第2始動記憶に基づいて、第2特図変動表示ゲームが開始され、この際に第2始動記憶数が1減算される。

10

【0059】

一方、第1特図変動表示ゲーム又は第2特図変動表示ゲームが直ちに開始できない状態、例えば、既に第1特図変動表示ゲーム又は第2特図変動表示ゲームが行われ、その特図変動表示ゲームが終了していない状態や、特別遊技状態となっている場合に、第1始動入賞口45に遊技球が入賞すると、第1始動記憶数が上限数未満(例えば、4個未満)ならば、第1始動記憶数が1加算されて、第1始動入賞口45に遊技球が入賞したタイミングで抽出された乱数が第1始動記憶として一つ記憶される。

【0060】

同様に、この場合に第2始動入賞口をなす普通変動入賞装置36に遊技球が入賞すると、第2始動記憶数が上限数未満(例えば、4個未満)ならば、第2始動記憶数が1加算されて、第2始動入賞口に遊技球が入賞したタイミングで抽出された乱数が第2始動記憶として一つ記憶される。

20

【0061】

そして、第1特図変動表示ゲーム又は第2特図変動表示ゲームが開始可能な状態となると、第1始動記憶又は第2始動記憶に基づき第1特図変動表示ゲーム又は第2特図変動表示ゲームが開始される。このとき、第1特図変動表示ゲームと第2特図変動表示ゲームは同時に実行されることはなく、第2特図変動表示ゲームが第1特図変動表示ゲームよりも優先して実行されるようになっている。

【0062】

すなわち、第1始動記憶と第2始動記憶がある場合には、第2特図変動表示ゲームが実行される。

30

【0063】

補助遊技としての第1特図変動表示ゲーム、第2特図変動表示ゲームは、遊技盤10に設けられた第1特図表示器38、第2特図表示器39で実行されるようになっており、複数の識別情報を変動表示したのち、所定の結果態様を停止表示することで行われる。また、表示装置53にて各特図変動表示ゲームに対応して複数種類の識別情報(例えば、数字、記号、キャラクタ図柄など)を変動表示させる特図変動表示ゲームが実行される。そして、この特図変動表示ゲームの結果として、第1特図表示器38又は第2特図表示器39の表示態様が特別結果態様となった場合には、大当たりとなって特別遊技状態(いわゆる、大当たり状態)となる。また、これに対応して表示装置53の表示態様も特別結果態様(例えば、「7, 7, 7」等のゾロ目数字の何れか)となる。なお、遊技機に第1特図表示器38、第2特図表示器39を備えずに、表示装置53のみで特図変動表示ゲームを実行するようにしてもよい。

40

【0064】

また、本実施形態の遊技機1は、特図変動表示ゲームの結果態様に基づき、遊技状態として確変状態(第2確率状態)を発生可能となっている。この確変状態(第2確率状態)は、特図変動表示ゲームでの当り結果となる確率が、通常確率状態(第1確率状態)に比べて高い状態である。なお、第1特図変動表示ゲームと第2特図変動表示ゲームのどちらの特図変動表示ゲームの結果態様に基づき確変状態となっても、第1特図変動表示ゲーム

50

及び第２特図変動表示ゲームの両方が確変状態となる。また、確変状態と上述した時短動作状態はそれぞれ独立して発生可能であり、両方を同時に発生することも可能であるし、一方のみを発生させることも可能である。

【００６５】

図３は、本発明の第１の実施形態の遊技機１の構成を示すブロック図である。

【００６６】

遊技機１は、遊技を統括的に制御する遊技制御装置５００、各種演出を行うために表示装置５３及びスピーカ３０等を制御する演出制御装置５５０、遊技球を払い出すために図示しない払出モータを制御する払出制御装置５８０を備える。

【００６７】

まず、遊技制御装置５００について説明する。図４では、演出制御装置５５０について説明する。

【００６８】

遊技制御装置５００は、遊技用マイコン５０１、入力Ｉ／Ｆ（Interface）５０５、出力Ｉ／Ｆ（Interface）５０６、及び外部通信端子５０７を備える。

【００６９】

遊技用マイコン５０１は、ＣＰＵ５０２、ＲＯＭ（Read Only Memory）５０３及びＲＡＭ（Random Access Memory）５０４を備える。

【００７０】

ＣＰＵ５０２は、遊技を統括的に制御する主制御装置であって、遊技制御を司る。ＲＯＭ５０３は、遊技制御のための不変の情報（プログラム、データ等）を記憶している。ＲＡＭ５０４は、遊技制御時にワークエリアとして利用される。

【００７１】

外部通信端子５０７は、遊技制御装置５００の設定情報等を検査する検査装置等の外部機器に遊技制御装置５００を接続する。

【００７２】

ＣＰＵ５０２は、入力Ｉ／Ｆ５０５を介して各種入力装置（第１始動口ＳＷ４５ａ、第２始動口ＳＷ３６ｄ、一般入賞口ＳＷ４４ａ、ゲートＳＷ３４ａ、カウントＳＷ４２ｄ、ガラス枠開放ＳＷ１８ａ、前面枠開放ＳＷ３ａ、球切れＳＷ５４、振動センサ５５、及び磁気センサ５６）からの検出信号を受けて、大当り抽選等、種々の処理を行う。

【００７３】

第１始動口ＳＷ４５ａは、第１始動入賞口４５に遊技球が入賞したことを検出するスイッチである。第２始動口ＳＷ３６ｄは、普通変動入賞装置３６の第２始動入賞口に遊技球が入賞したことを検出するスイッチである。

【００７４】

一般入賞口ＳＷ４４ａ～４４ｎは、一般入賞口４４に遊技球が入賞したことを検出するスイッチである。ゲートＳＷ３４ａは、普図始動ゲート３４を遊技球が通過したことを検出するスイッチである。

【００７５】

カウントＳＷ４２ｄは、特別変動入賞装置４２の大入賞口に遊技球が入賞したことを検出するスイッチである。

【００７６】

ガラス枠開放ＳＷ１８ａは、ガラス枠１８が開放されたことを検出するスイッチである。前面枠開放ＳＷ３ａは、前面枠３が開放されたことを検出するスイッチである。

【００７７】

球切れＳＷ５４は、遊技機１の内部に貯留され、払い出しに用いられる遊技球の数が所定数以下になったことを検出するスイッチである。

【００７８】

振動センサ５５は、遊技機１に与えられた振動を検出するセンサであり、遊技機１に振動を与えて、不当に遊技球を獲得する不正を検出する。磁気センサ５６は、第１始動入賞

10

20

30

40

50

口45、普通変動入賞装置36の第2始動入賞口、一般入賞口44、特別変動入賞装置42の大入賞口、及び普図始動ゲート34付近に設けられ、磁力を検出するセンサである。磁気センサ93は、各入賞口付近に磁石を近づけて、遊技領域10aに発射された遊技球を各入賞口に導く不正を検出する。

【0079】

また、CPU502は、出力I/F506を介して、第1特図表示器38、第1特図記憶表示器48、第2特図表示器39、第2特図記憶表示器49、普図表示器35、普電SOL36b、大入賞口SOL42b、払出制御装置580、及び演出制御装置550に指令信号を送信して、遊技を統括的に制御する。

【0080】

10

第1特図表示器38には、第1始動入賞口45に遊技球が入賞した場合に補助遊技として実行される第1特図変動表示ゲームが表示される。第1特図記憶表示器48には、所定の上限数の範囲内で記憶される第1特図変動表示ゲームを開始する始動権利である第1始動記憶数が表示される。

【0081】

第2特図表示器39には、普通変動入賞装置36の大入賞口に遊技球が入賞した場合に補助遊技として実行される第2特図変動表示ゲームが表示される。第2特図記憶表示器49には、所定の上限数の範囲内で記憶される第2特図変動表示ゲームを開始する始動権利である第2始動記憶数が表示される。

【0082】

20

普図表示器35には、遊技球が普図始動ゲート34を通過した場合に行われる普図変動表示ゲームが表示される。

【0083】

普電SOL36bは、普図表示器35で実行される普図変動表示ゲームの停止表示が特別の結果態様となった場合に、開閉部材36a、36aを開放し、普通変動入賞装置36の第2始動入賞口を遊技球が入賞しやすい状態にする。

【0084】

大入賞口SOL42bは、第1特図変動表示ゲーム又は第2特図変動表示ゲームの結果が特別の結果態様となり、特別遊技状態となった場合に、特別変動入賞装置42の開閉扉42aを開放して、大入賞口を遊技球が入賞しやすい状態に変換する。

30

【0085】

また、遊技制御装置500は、遊技機データを、外部情報端子508を介して、図示しない情報収集端末装置を介して、図示しない遊技場管理装置に出力する。遊技場管理装置は、遊技場に設置された遊技機1の遊技データを収集管理する計算機である。

【0086】

また、払出制御装置580は、遊技球が一般入賞口44又は大入賞口に入賞した場合に、入賞した入賞口に対応する数の遊技球の払い出し、又は球貸ボタン26が操作された場合に、所定数の遊技球の払い出しを行う払出指令を遊技制御装置500から受信した場合に、受信した払出指令に基づいて、図示しない払出モータを制御する。なお、払出指令には、払い出す遊技球の数が含まれる。

40

【0087】

遊技制御装置500は、変動開始コマンド、客待ちデモコマンド、ファンファーレコマンド、確率情報コマンド、及びエラー指定コマンド等を、遊技の状況を示す遊技データとして、出力I/F506を介して、演出制御装置550へ送信する。

【0088】

図4は、本発明の第1の実施形態の演出制御装置550の構成を示すブロック図である。

【0089】

演出制御装置550は、遊技制御装置500から入力される遊技データに基づいて、演出内容を決定して、表示装置53、及びスピーカ30を制御するとともに、装飾制御装置

50

610を介して装飾装置620、役物駆動SOL560（ソレノイド）、及び役物駆動MOT（モータ）561を制御する。詳細は後述するが、これら装飾装置620、役物駆動SOL560、及び役物駆動MOT561（総称して演出装置という）によって、遊技の演出が行われる。また、演出制御装置550は、演出ボタン17から当該演出ボタン17が操作されたことを示す信号が入力される。

【0090】

演出制御装置550は、CPU551、制御ROM552、RAM553、画像ROM554、音ROM555、VDP556、音LSI557、入出力I/F558、電源投入検出回路559、マスタIC570、及びNORゲート回路590を備える。

【0091】

CPU551は、遊技制御装置500に接続され、遊技制御装置500から指令信号が割込信号（INT）として入力され、入力された指令信号に基づいて、各種演出を制御する主制御装置である。また、CPU551には、マスタIC570の後述するコントローラ574から割込信号が入力されるとともに、VDP556から割込信号が入力される。

【0092】

なお、CPU551に割込信号が入力されると、CPU551は、現在実行中の処理を中断して、入力された割込信号に対応する処理を実行する。

【0093】

制御ROM552には、演出制御のための不変の情報（プログラム、データ等）が格納されている。RAM553は、演出制御時にワークエリアとして利用される。

【0094】

画像ROM554には、表示装置53に表示される画像データが格納され、画像ROM554はVDP556に接続されている。音ROM555には、スピーカ30から出力される音データが格納され、音ROM555は音LSI557に接続されている。

【0095】

VDP556は、表示装置53への画像出力を制御するプロセッサである。音LSI557は、スピーカ30からの音声出力を制御する回路である。

【0096】

なお、VDP556は、表示装置53に表示される画像を更新する周期（33ms周期）と同期する同期信号を発生させる同期信号発生手段を備える。同期信号発生手段は、同期信号を発生させるごとに、発生させた同期信号をCPU551に割込信号として入力する。

【0097】

入出力I/F558は、演出ボタン17及びNORゲート回路590に接続されるインタフェースであり、演出ボタン17からの操作信号をCPU551へ伝達するとともに、CPU551からのリセット信号をNORゲート回路590へ伝達する。

【0098】

なお、演出ボタン17は、上皿21の上縁部に設けられ、表示装置53で実行される第1特図変動表示ゲーム又は第2特図変動表示ゲームにおける演出で、遊技者によって操作される。

【0099】

CPU551、VDP556、RAM553、制御ROM552、音LSI557、及び入出力I/F558はバス563を介してそれぞれ接続されている。

【0100】

電源投入検出回路559は、演出制御装置550に電源が投入された場合に、マスタIC570の図示しないレジスタをデフォルト状態（すべて0）に初期化するリセット信号を発生させ、発生させたリセット信号をNORゲート回路590へ出力する。

【0101】

また、CPU551は、所定の条件が成立した場合に、リセット信号をバス563を介して入出力I/F558に出力し、入出力I/F558は入力されたリセット信号をNO

10

20

30

40

50

Rゲート回路590へ出力する。

【0102】

なお、電源投入検出回路559からNORゲート回路590へ入力されるリセット信号、及びCPU551から入出力I/F558を介してNORゲート回路590へ入力されるリセット信号は、いずれの場合にもロウレベルの状態である場合にリセットを指令する信号として機能する。そのため、電源投入検出回路559及びCPU551の少なくとも一方からNORゲート回路590にリセット信号が出力されていれば、NORゲート回路590を介してリセット信号がマスタIC570に入力される。

【0103】

次に、マスタIC570について説明する。

10

【0104】

マスタIC570は、制御対象となる演出装置の装飾制御装置610のアドレスを指定して、指定したアドレスの装飾制御装置610に演出装置の制御内容を出力する。

【0105】

マスタIC570は、接続線Vcc、接続線Vact、接続線SDA、接続線SCL、及び接続線GND（図5参照）の5本の接続線を介して、中継基板（装飾制御装置）600に接続される。

【0106】

接続線Vccは、中継基板600及び装飾制御装置610に、ロジック用の電源を供給するための接続線である。接続線Vactは、演出装置を駆動させるための電源（例えば、LEDを発光させるための電源）を供給するための接続線である。接続線SDAは、演出制御装置550と装飾制御装置610との間でデータを通信するための接続線であり、本実施形態におけるデータ線として機能する。接続線SCLは、接続線SDAでのデータ通信に用いられるクロック信号を入出力するための接続線であり、本実施形態におけるタイミング信号線として機能する。図5に示す接続線GNDは、接続線Vcc及び接続線Vactで供給される電源のグランドである。

20

【0107】

中継基板600と装飾制御装置610との間は、マスタIC570と中継基板600との間と同じく、接続線Vcc、接続線Vact、接続線SDA、接続線SCL、及び接続線GNDを介して接続される。

30

【0108】

マスタIC570と装飾制御装置610とは、接続線SDA及び接続SCLによって2ライン双方向通信を行う。

【0109】

マスタIC570は、中継基板600及び装飾制御装置610にデータを送信する場合には、まず、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変化させることにより、装飾制御装置610へのデータ出力を開始するためのスタート条件を成立させる（装飾制御装置610に対してスタートコンディションを発行する）。

【0110】

40

この後、マスタIC570は、接続線SCLの信号レベルをLOWに変更し、接続線SCLの信号レベルがLOWである間に接続線SDAの信号レベルを送信データの最初のビットのレベルに設定し、所定時間後に接続線SCLの信号レベルをLOWからHIGHに変化させる。接続線SCLの信号レベルがHIGHに変化すると、装飾制御装置610は接続線SDAの信号レベルを取り込んで、送信データの最初のビットとして認識する。次いで、マスタIC570は、接続線SCLの信号レベルをHIGHからLOWに戻す。

【0111】

この手順を1回実行すると、マスタIC570から装飾制御装置610へ1ビットのデータが送信され、最終的にはこの手順が8回繰り返されることで、送信データの8ビット全てがマスタIC570から装飾制御装置610へ送信される（1バイト分のデータが送

50

信される)。

【0112】

そして、マスタIC570は、最後の8ビット目のデータを送信し終えて、接続線SCLの信号レベルをHIGHからLOWに戻した際に、接続線SDAを解放して装飾制御装置610からの返答信号を受信することを待機する受信待機状態にする。

【0113】

受信待機状態になると、装飾制御装置610は、接続線SDAを介して1ビットの返答信号(後述するACK又はNACK)をマスタIC570に返す。次いで、マスタIC570は、接続線SCLの信号レベルをLOWからHIGHに変化させて返答信号のレベルを取り込み、所定時間後に接続線SCLの信号レベルをHIGHからLOWに変化させると、装飾制御装置610は接続線SDAを解放する。

10

【0114】

マスタIC570は、このような1バイト分のデータ送信と1ビット分の返答信号の受信とを交互に繰り返し、装飾制御装置610へ出力すべきデータがすべて出力されるまで継続する。マスタIC570は、出力すべきデータの出力が終了した場合には、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをLOWからHIGHに変更させることにより、装飾制御装置610へのデータ出力を終了するためのストップ条件を成立させる(装飾制御装置610に対してストップコンディションを発行する)。

【0115】

20

入力用BUF571は、装飾制御装置610から接続線SDAを介して入力されたデータが一時的に記憶される記憶装置である。

【0116】

具体的には、マスタIC570が入力モードに設定された場合において、装飾制御装置610からマスタIC570に送信されたデータが、フィルタ575Aによりノイズが除去されて入力用BUF571に一時的に記憶される。

【0117】

出力用BUF572は、装飾制御装置610に接続線SDAを介して出力するデータが一時的に記憶される。

【0118】

30

リセットREG573は、バス563に接続され、CPU551からの指令を受けてリセット信号をコントローラ574に出力する。コントローラ574は、マスタIC570を統括的に制御し、各種処理を実行する。

【0119】

フィルタ575Aは、接続線SDAから入力されたデータのノイズを除去する。ドライバ576Aは、接続線SDAからデータを出力する場合に、トランジスタ578Aが動作可能な電圧をトランジスタ578Aに印加する。

【0120】

図9に示すように接続線SDAには、プルアップ抵抗Rによって所定の電圧が印加されて、接続線SDAはフィルタ575A及びトランジスタ578Aに接続されている。

40

【0121】

トランジスタ578Aは、電力消費を抑えるために電界効果トランジスタ(FET)が用いられており、トランジスタ578Aのゲートはドライバ576Aに接続され、ドレインはプルアップ抵抗Rにより所定の電圧が印加された接続線SDAに接続され、ソースは接地されている。

【0122】

トランジスタ578Aのゲートに印加される電圧がトランジスタ578Aを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線SDAに印加された電圧は降下せず、その結果、接続線SDAはHIGHレベルとなる。一方、トランジスタ578Aのゲートに印加される電圧がトランジスタ578Aを動作させる所

50

定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線 S D A の電圧が低下し、その結果、接続線 S D A は L O W レベルとなる。

【 0 1 2 3 】

なお、トランジスタ 5 7 8 A は、1 0 ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。このため、接続線 S D A には、通常の I^2 C バス使用で用いられる電流値よりもはるかに大きい 1 0 ミリアンペア程度の電流を流すことが可能であり、演出制御装置 5 5 0 と装飾制御装置 6 1 0 との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【 0 1 2 4 】

ドライバ 5 7 6 A は、データを接続線 S D A から出力する場合に、トランジスタ 5 7 8 A にドレインとソースとの間に電流を流すためにトランジスタ 5 7 8 A のゲートにトランジスタ 5 7 8 A が動作可能な値の電圧を印加する。そして、ドライバ 5 7 6 A は、接続線 S D A の電圧を、H I G H レベル又は L O W レベルに設定することによって、データを接続線 S D A から出力する。

【 0 1 2 5 】

また、フィルタ 5 7 5 B は、接続線 S C L から入力されたデータのノイズを除去する。ドライバ 5 7 6 B は、接続線 S C L からデータを出力する場合に、トランジスタ 5 7 8 B が動作可能な電圧をトランジスタ 5 7 8 B に印加する。

【 0 1 2 6 】

図 9 に示すように接続線 S C L は、プルアップ抵抗 R によって所定の電圧が印加されて、接続線 S D A はフィルタ 5 7 5 B 及びトランジスタ 5 7 8 B に接続されている。

【 0 1 2 7 】

トランジスタ 5 7 8 B は、電力消費を抑えるために電界効果トランジスタ (F E T) が用いられており、トランジスタ 5 7 8 B のゲートはドライバ 5 7 6 B に接続され、ドレインはプルアップ抵抗 R により所定の電圧が印加された接続線 S C L に接続され、ソースは接地されている。

【 0 1 2 8 】

トランジスタ 5 7 8 B のゲートに印加される電圧がトランジスタ 5 7 8 B を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れないので、接続線 S C L に印加された電圧は降下せず、その結果、接続線 S C L は H I G H レベルとなる。一方、トランジスタ 5 7 8 B のゲートに印加される電圧がトランジスタ 5 7 8 B を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線 S C L の電圧が低下し、その結果、接続線 S C L は L O W レベルとなる。

【 0 1 2 9 】

なお、トランジスタ 5 7 8 B は、1 0 ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。そのため、接続線 S C L には、通常の I^2 C バス使用で用いられる電流値よりもはるかに大きい 1 0 ミリアンペア程度の電流を流すことが可能であり、演出制御装置 5 5 0 と装飾制御装置 6 1 0 との間のデータ送信が、ノイズによる障害に耐えうる構成となっている。

【 0 1 3 0 】

ドライバ 5 7 6 B は、クロック信号を接続線 S C L から出力する場合に、トランジスタ 5 7 8 B にドレインとソースとの間に電流を流すためにトランジスタ 5 7 8 B のゲートにトランジスタ 5 7 8 B が動作可能な値の電圧を印加する。そして、ドライバ 5 7 6 B は、接続線 S C L の電圧を、H I G H レベルと L O W レベルとに繰り返し変化させることによって、クロック信号を接続線 S C L から出力する。

【 0 1 3 1 】

電源投入リセット回路 5 7 7 は、マスタ I C 5 7 0 に電源が投入されて、電源投入リセット回路 5 7 7 内の電圧が所定値に達した場合に、入力用 B U F 5 7 1 及び出力用 B U F

10

20

30

40

50

５７２などの記憶領域をデフォルト状態にするためのリセット信号をコントローラ５７４に出力する。

【０１３２】

次に、中継基板６００及び装飾制御装置６１０について説明する。

【０１３３】

なお、中継基板６００は、装飾制御装置６１０のうちマスタＩＣ５７０に直接接続される、つまり最も上流側に位置するものである。

【０１３４】

装飾装置６２０は、装飾制御装置６１０に設けたＩ^２ＣＩ／Ｏエクスパンダ６１５（図６で後述）によって制御され、電流を流すことによって光が点滅して演出を行う発光装置であり、例えばＬＥＤなどで構成される。役物駆動ソレノイド（ＳＯＬ）５６０は、電流が流れると往復動作する装置であり、遊技盤１０に配置される図示しない装飾のための役物を可動させて演出を行う。役物駆動モータ（ＭＯＴ）５６１は、電流が流れると回転動作する装置であり、可動役物６０を可動させて演出を行う。役物駆動ソレノイド（ＳＯＬ）５６０及び役物駆動モータ（ＭＯＴ）５６１も、装飾制御装置６１０に設けたＩ^２ＣＩ／Ｏエクスパンダ６１５によって制御される。

10

【０１３５】

なお、役物駆動ＳＯＬ５６０が可動役物６０を可動させてもよいし、役物駆動ＭＯＴ５６１が図示しない役物を可動させてもよい。

【０１３６】

20

演出制御装置５５０と中継基板６００との接続方法、及び中継基板６００と中継基板６００以外の装飾制御装置６１０との接続方法は、図５で詳細を説明する。装飾制御装置６１０は、図６～図１０で詳細を説明する。

【０１３７】

図５は、本発明の第１の実施形態の装飾制御装置６１０Ａ～６１０Ｆの接続の説明図である。なお、説明の都合上、装飾制御装置６１０として、１個の中継基板６００と、６個の装飾制御装置６１０Ａ～６１０Ｆを図示しているが、実際には、遊技機の仕様に対応して必要な数の装飾制御装置６１０が接続されている。

【０１３８】

演出制御装置５５０は、接続線Ｖｃｃ、接続線Ｖａｃｔ、接続線ＳＤＡ、接続線ＳＣＬ、及び接続線ＧＮＤ（以下、この５本の接続線を一つのハーネスという）を介して演出制御装置５５０と接続される。

30

【０１３９】

中継基板６００には、二つの装飾制御装置６１０Ａ及び６１０Ｄがそれぞれハーネスによって並列に接続される。

【０１４０】

装飾制御装置６１０Ａにはハーネスを介して装飾制御装置６１０Ｂが接続され、装飾制御装置６１０Ｂにはハーネスを介して装飾制御装置６１０Ｃが接続される。

【０１４１】

一方、装飾制御装置６１０Ｄにはハーネスを介して装飾制御装置６１０Ｅが接続され、装飾制御装置６１０Ｅにはハーネスを介して装飾制御装置６１０Ｆが接続される。

40

【０１４２】

各装飾制御装置６１０は、ハーネスを自身に接続するための取付口となるコネクタを備える。このコネクタは各装飾制御装置６１０で共通であるので、接続線を接続順の誤配線を防止できる。

【０１４３】

ここで、装飾制御装置６１０に設けたＩ^２ＣＩ／Ｏエクスパンダ６１５（図６で後述）が装飾装置６２０を制御する方法について説明する。

【０１４４】

演出制御装置５５０は、遊技制御装置５００から入力された遊技データに基づいて、演

50

出装置の出力態様を決定する。そして、演出制御装置 550 は、決定された出力態様となるように、制御対象となる装飾制御装置 610 の個別アドレス (I²C I/O エクスパンダ 615 の個別アドレス) を含む演出制御データ (演出制御情報) を中継基板 600 に出力する。このとき、演出制御データは、中継基板 600 を介して演出制御装置 550 に接続されるすべての装飾制御装置 610 に対して接続線 SDA から出力される。このため、マスタ IC 570 は、マスタ IC 570 に接続されるすべての装飾制御装置 610 を制御可能である。

【0145】

なお、本実施形態では演出装置として LED 等の発光装置を例示しているため、LED の発光態様が演出装置の出力態様に相当する。この場合、演出制御データによって、LED の点灯 / 点滅 / 消灯が指示され、同時に、LED の点滅周期や点灯輝度も指示される。

10

【0146】

各装飾制御装置 610 には、一意な個別アドレスが予め設定されているので、演出制御データが入力されると、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致するか否かを判定する。そして、入力された演出制御データに含まれるアドレスと設定されている個別アドレスとが一致すると判定された場合には、装飾制御装置 610 の I²C I/O エクスパンダ 615 は、演出制御データを取り込んで、対応する装飾装置 620 の出力態様を制御するとともに、8 ビット目のデータが入力された直後に返答信号をマスタ IC 570 に出力する。

【0147】

20

なお、各装飾制御装置 610 には、個別アドレス以外にも、装飾制御装置 610 の I²C I/O エクスパンダ 615 を初期化するためのリセット用アドレスが設定されている。このリセットアドレスは、すべての I²C I/O エクスパンダ 615 に対して共通に設けられたアドレスであり、個別アドレスとして使用することは不可能となっている。また、このリセットアドレスの値を変更することもできないようになっている (詳細は後述する)。

【0148】

演出制御装置 550 は、装飾制御装置 610 (正確には、装飾制御装置 610 の I²C I/O エクスパンダ 615) を初期化する場合に、このリセット用の共通アドレスを含んだ初期化指示データを、中継基板 600 に出力する。このとき、初期化指示データ演出制御データは、中継基板 600 を介して、演出制御装置 550 に接続されるすべての装飾制御装置 610 に対して接続線 SDA から出力される。

30

【0149】

各装飾制御装置 610 には、リセット用の共通アドレスが予め設定されているので、入力されたデータに含まれるアドレスと、予め設定されているリセット用の共通アドレスとが一致するか否かを判定する。入力されたデータに含まれるアドレスと、予め設定されているリセット用の共通アドレスとが一致すると判定された場合には、装飾制御装置 610 の I²C I/O エクスパンダ 615 は、返答信号をマスタ IC 570 に出力するとともに、入力されたデータを初期化指示データとして取り込み、I²C I/O エクスパンダ 615 自身を初期化する。

40

【0150】

なお、I²C I/O エクスパンダ 615 が初期化されると、当該初期化された I²C I/O エクスパンダ 615 によって制御される演出装置はオフ状態となる。

【0151】

このように、装飾制御装置 610 は、演出制御装置 550 からの指令に基づく制御を行うので、演出制御装置 550 と装飾制御装置 610 との関係は、演出制御装置 550 のマスタ IC 570 がマスタであり、装飾制御装置 610 の I²C I/O エクスパンダ 615 がスレーブである。

【0152】

図 5 では、装飾制御装置 610 の制御対象が装飾装置 620 である場合について説明し

50

たが、装飾制御装置 610 の制御対象が役物駆動 SOL560 や役物駆動 MOT561 であってもよい。この場合、演出装置がモータやソレノイドなどの駆動源となることから、これらの駆動源の動作態様が、演出装置の出力態様に相当することになる。この場合、演出制御データによって、駆動源の作動 / 停止が指示され、同時に動作速度も指示される。

【0153】

図 6 は、本発明の第 1 の実施形態の装飾制御装置 610 のブロック図である。

【0154】

図 6 では、装飾制御装置 610 の内部に装飾装置 620 である LED を備える装飾制御装置 610 (図 6 の下側の装飾制御装置 610) と、外部の装飾装置 620 に接続される装飾制御装置 610 (図 6 の中央の装飾制御装置 610) と、について説明する。

10

【0155】

まず、装飾制御装置 610 の内部に LED を備える装飾制御装置 610 について説明する。

【0156】

図 6 の下側の装飾制御装置 610 は、 I^2C I/O エクスパンダ 615 及び LED (装飾装置 20) を備える。接続線 SDA 及び接続線 SCL は、装飾制御装置 610 内で二つに分岐し、一方は、そのまま次の装飾制御装置 610 に出力される。他方は、 I^2C I/O エクスパンダ 615 に接続される。

【0157】

また、 I^2C I/O エクスパンダ 615 の出力側には、制御対象となる装飾装置 620 が接続される。 I^2C I/O エクスパンダ 615 の出力側は、図 7 で説明するポート 0 ~ 15 によって構成される。さらに、装飾制御装置 610 のすべてのポートが、図 8 A で後述する電流制限抵抗 R0 ~ R15 を介して、内部の LED に接続されている。なお、この電流制限抵抗 R0 ~ R15 も、装飾制御装置 610 に備えられている。

20

【0158】

前述したように、 I^2C I/O エクスパンダ 615 は、演出制御装置 550 から入力された演出制御データに含まれるアドレスと、当該 I^2C I/O エクスパンダ 615 に設定されている個別アドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、 I^2C I/O エクスパンダ 615 に接続されている装飾装置 620 を制御する。

30

【0159】

なお、図中の電源 Vled は、図 5 で前述した接続線 Vac t により供給される電源 (LED を発光させるための電源) に相当するものである。

【0160】

次に、外部の装飾装置 620 に接続される装飾制御装置 610 について説明する。

【0161】

図 6 の中央の装飾制御装置 610 は、 I^2C I/O エクスパンダ 615 及び LED (装飾装置 20) を備え、装飾制御装置 610 の外部に接続される装飾装置基板 625 に備わる LED に電流を流すための接続線、装飾装置基板 625 の LED に電源電圧 Vled を供給する接続線、及び、グランドに接地する接続線を介して、装飾制御装置 610 と装飾装置基板 625 とが接続される。

40

【0162】

装飾装置基板 625 は、 I^2C I/O エクスパンダ 615 を備えておらず、LED のみを備えた基板である。この場合、装飾装置基板 625 に備えた LED に接続される電流制限抵抗 (図 8 A) を、装飾装置基板 625 に設けることになるが、 I^2C I/O エクスパンダ 615 が備えられた装飾制御装置 610 に設けてもよい。

【0163】

なお、装飾装置基板 625 に設けた LED の数に対応して、装飾制御装置 610 から装飾装置基板 625 へ渡されることになる、これらの LED に電流を流すための接続線の数決定される。例えば、装飾装置基板 625 に二つの LED を備えた場合には、 I^2C I

50

／Ｏエキスパンダ６１５のポートと対応するＬＥＤとを接続するための２本の制御線と、Ｖｌｅｄを供給する電源線が１本とが、少なくとも必要となる。

【０１６４】

そして、中央の装飾制御装置６１０に設けられたＩ^２ＣＩ／Ｏエキスパンダ６１５も、演出制御装置５５０から入力された演出制御データに含まれるアドレスと、当該Ｉ^２ＣＩ／Ｏエキスパンダ６１５に設定されている個別アドレスとが一致する場合にのみ、演出制御データに含まれる装飾データに基づいて、Ｉ^２ＣＩ／Ｏエキスパンダ６１５に接続されている装飾装置６２０を制御する。この場合、中央の装飾制御装置６１０に設けられた装飾装置６２０と、装飾装置基板６２５に設けられた装飾装置６２０の両方が、Ｉ^２ＣＩ／Ｏエキスパンダ６１５によって制御される。

10

【０１６５】

このように、装飾装置基板６２５を設けて、装飾制御装置６１０から一部の装飾装置（ＬＥＤ）を分離させることで、離れた箇所に配置されたＬＥＤであっても、共通のＩ^２ＣＩ／Ｏエキスパンダ６１５により制御することができる。

【０１６６】

なお、装飾制御装置６１０は、装飾装置６２０の代わりに、役物駆動ＳＯＬ５６０や役物駆動ＭＯＴ５６１を接続し、これらを制御してもよいが、詳細は、図８Ｂで後述する。

【０１６７】

図７は、本発明の第１の実施形態のＩ^２ＣＩ／Ｏエキスパンダ６１５のブロック図である。

20

【０１６８】

Ｉ^２ＣＩ／Ｏエキスパンダ６１５は、接続線ＳＤＡに接続されるトランジスタ６３０、接続線ＳＤＡに接続されるフィルタ６３１、接続線ＳＤＡに接続されるドライバ６３２、接続線ＳＣＬに接続されるフィルタ６３３、バスコントローラ６３４、出力設定レジスタ６３５、出力コントローラ６３６、Ｉ^２ＣＩ／Ｏエキスパンダ６１５の出力側の各ポート０～１５に接続されるドライバ６３７、各ポート０～１５に接続されるトランジスタ６３８Ａ～６３８Ｐ、及びリセット信号発生回路６３９を備える。

【０１６９】

フィルタ６３１は、接続線ＳＤＡに接続され、接続線ＳＤＡから入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ６３４に出力する。ドライバ６３２は、返答信号を接続線ＳＤＡから出力する場合に、トランジスタ６３０が動作可能な電圧をトランジスタ６３０に印加する。

30

【０１７０】

ドライバ６３２は、接続線ＳＤＡからデータ（返答信号）を出力する場合に、トランジスタ６３０が動作可能な電圧をトランジスタ６３０に印加する。

【０１７１】

トランジスタ６３０は、電力消費を抑えるために電界効果トランジスタ（ＦＥＴ）が用いられており、トランジスタ６３０のゲートはドライバ６３２に接続され、ドレインはプルアップ抵抗Ｒ（図４参照）により所定の電圧が印加された接続線ＳＤＡに接続され、ソースは接地されている。

40

【０１７２】

トランジスタ６３０のゲートに印加される電圧がトランジスタ６３０を動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、トランジスタ６３０のゲートに印加される電圧がトランジスタ６３０を動作させる所定値以上であれば、所定値の電圧が印加されたドレインから接地されているソースへ電流が流れることによって、接続線ＳＤＡの電圧が低下する。なお、トランジスタ６３０は、１０ミリアンペア程度の電流をドレインからソースへ流しても破損しない仕様のもを用いている。

【０１７３】

ドライバ６３２は、データ（返答信号）を接続線ＳＤＡから出力する場合に、トランジスタ６３０にドレインとソースとの間に電流を流すためにトランジスタ６３０のゲートに

50

トランジスタ 630 が動作可能な値の電圧を印加する。そして、ドライバ 632 は、接続線 SDA の電圧を HIGH から LOW へ繰り返し変化させることによって、データを接続線 SDA から出力する。

【0174】

フィルタ 633 は、接続線 SCL に接続され、接続線 SCL から入力されたデータのノイズを除去し、ノイズが除去されたデータをバスコントローラ 634 に出力する。

【0175】

また、I²C I/O エクスパンダ 615 には、当該 I²C I/O エクスパンダ 615 に備わるアドレス設定用端子 A0 ~ A3 によって固有のアドレスが設定されており、バスコントローラ 634 に入力されている。さらに、I²C I/O エクスパンダ 615 をリセット

10

【0176】

バスコントローラ 634 は、接続線 SDA から入力されたデータのアドレスが I²C I/O エクスパンダ 615 に設定された固有のアドレスと一致するか否かを判定し、一致している場合に当該データを演出制御データとして取り込む。

【0177】

また、バスコントローラ 634 は、接続線 SDA から入力されたデータのアドレスが I²C I/O エクスパンダ 615 に予め設定されたりセット用のアドレスと一致するか否かを判定し、入力されたデータのアドレスと I²C I/O エクスパンダ 615 に予め設定されたりセット用のアドレスとが一致している場合に当該データを初期化指示データとして

20

【0178】

また、バスコントローラ 634 は、SCL 接続線の信号レベルの LOW から HIGH への変化回数が 8 回に達し 8 ビット目のデータを取り込んだ後、SCL 接続線の信号レベルが HIGH から LOW へ変化すると、返答信号を接続線 SDA からマスタ IC 570 に出力する。さらに、SCL 接続線の信号レベルが LOW から HIGH へ変化することが確認され、再度 SCL 接続線の信号レベルが HIGH から LOW へ変化すると、接続線 SDA を開放する。つまり、SCL 接続線の信号レベルの LOW から HIGH への変化回数が 9 回になるタイミングで返答信号を出力する。

【0179】

30

出力設定レジスタ 635 には、当該 I²C I/O エクスパンダ 615 の動作モードやポート 0 ~ 15 の出力状態が設定される。バスコントローラ 634 が接続線 SDA から初期化指示データを取り込んで、当該 I²C I/O エクスパンダ 615 が初期化された場合には、出力設定レジスタ 635 は、すべてのポート 0 ~ 15 に電流が流れないように初期状態に設定される。

【0180】

出力コントローラ 636 は、出力設定レジスタ 635 に設定されたデータに基づいて、ポートドライバ 637 を介して、各ポート 0 ~ 15 に接続された演出装置に電流を流すことによって、演出装置の出力状態を実際に制御する。この出力状態は、バスコントローラ 634 が接続線 SDA から演出制御データを取り込むと、取り込んだ演出制御データに指

40

【0181】

ドライバ 637 は、ポートに電流を流す場合に、電流を流すポートに接続されるトランジスタ 638A ~ 638P が動作可能な電圧を当該トランジスタに印加する。

【0182】

トランジスタ 638A ~ 638P のゲートはドライバ 637 に接続され、ドレインは図 8A 及び図 8B に示すように演出装置を動作させるための電圧が印加された接続線に接続するポート端子に接続され、ソースは接地されている。

【0183】

トランジスタ 638A ~ 638P のゲートに印加される電圧がトランジスタ 638A ~

50

638Pを動作させる所定値よりも小さければ、ドレインとソースとの間に電流が流れない。一方、638A～638Pのゲートに印加される電圧がトランジスタ638を動作させる所定値以上であれば、図8Aに示す電源V_{led}、又は図8Bに示す電源V_{mot}や電源V_{sol}からゲートに印加されている所定の電圧が、トランジスタ638のドレインを介して接地されているソースへ電流が流れることによって、ポート端子に接続された演出装置の出力状態を制御できる。

【0184】

また、装飾制御装置610のI²C I/Oエキスパンダ615は、I²C I/Oエキスパンダ615のポート端子に接続された全ての演出装置を同時期に制御することが可能であるので、I²C I/Oエキスパンダ615のポート端子に接続された一つの演出装置を一つのグループとして制御することができる。

10

【0185】

そして、各装飾制御装置610に備わるI²C I/Oエキスパンダ615同士は、互いに異なる個別アドレスが割り当てられているので、演出装置が複数のグループに分割された形態となっている。即ち、各装飾制御装置610に備わるI²C I/Oエキスパンダ615は、演出装置をグループ単位で制御可能なグループ単位制御手段として構成されているものである。

【0186】

従って、装飾制御装置610を統括する演出制御装置550は、グループ単位制御手段を統括して制御するグループ統括制御手段として機能している。

20

【0187】

リセット信号発生回路639には、I²C I/Oエキスパンダ615に電源を供給する接続線V_{cc}と接続されるV_{cc}端子、及び外部からのリセット信号を受け付けるRESET端子が接続されている。

【0188】

リセット信号発生回路639は、I²C I/Oエキスパンダ615に電源が投入され、電圧が所定値まで立ち上がった場合、リセット信号を発生させ、発生させたリセット信号をバスコントローラ634、出力設定レジスタ635、及び出力コントローラ636に入力する。

【0189】

なお、外部からLOWレベルのリセット信号が入力された場合には、リセット信号発生回路639はリセット信号を出力するので、演出制御装置550のCPU551から、NORゲート回路5590を経由して、RESET端子からリセット信号を入力するようにしてもよい。RESET端子を使用しない場合は、図8A及び図8Bに示すようにRESET端子はHIGHにプルアップされていてもよい。

30

【0190】

図8Aは、本発明の第1の実施形態の装飾装置620を制御する装飾制御装置610のI²C I/Oエキスパンダ615周辺の回路図である。

【0191】

I²C I/Oエキスパンダ615は、入力端子としてNC端子、RESET端子、SCL端子、SDA端子、V_{cc}端子、A0～A3端子、及びGND端子を備え、出力端子として、PORT0～PORT15を備える。

40

【0192】

RESET端子には、プルアップ抵抗Rを介してI²C I/Oエキスパンダ615に供給される電源が接続されている。このため、リセット端子に印加される電圧は常にHIGHに維持されている。

【0193】

SCL端子は接続線SCLに接続され、SDA端子は接続線SDAに接続される。

【0194】

V_{cc}端子には、I²C I/Oエキスパンダ615に供給される電源が接続される。ま

50

た、Vcc端子には、電源ノイズを除去するコンデンサCpが接続される。

【0195】

A0端子～A3端子は、I²C I/Oエキスパンダ615に固有のアドレスを設定するための端子である。なお、通常I²C I/Oエキスパンダ615のアドレスは、4ビットで表現され、この端子にI²C I/Oエキスパンダ615の電源が印加されている場合にはバスコントローラ634に「1」が設定され、この端子がグランドに接続されている場合にはバスコントローラ634に「0」が設定される。

【0196】

したがって、図8Aに示すI²C I/Oエキスパンダ615のアドレスは「0100」であり、図8Bに示すI²C I/Oエキスパンダ615のアドレスは「0110」である。GND端子は、電圧をグランドするための端子である。

10

【0197】

各PORT0端子～PORT15端子は、電流制限抵抗R0～R15を介して各LED0～LED15からなる装飾装置620に接続される。なお、PORT0のように、ポート1個に対して1個のLEDを接続してもよいが、PORT1～15のように、ポート1個に対して複数個のLEDを接続してもよい。

【0198】

全てのポートにLEDを1個ずつ設ける場合は、1個のI²C I/Oエキスパンダ615によって、最大で16個のLEDを制御できることになる。また、各ポートに接続されるLEDの個数が異なる場合は、1個のポートに直列に接続された全てのLEDを1種類のLEDということにすれば、1個のI²C I/Oエキスパンダ615によって、最大で16種類のLEDを制御できることになる。

20

【0199】

PORT0端子～PORT15端子に接続されるトランジスタ638A～638P(図7参照)のゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Pのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT15端子に接続されるLED0～LED15に電流が流れ、各LED0～LED15は点灯する。

【0200】

一方、ドライバ637がトランジスタ638A～638Pのゲートに電圧を印加しなければ、各LED0～LED15に電流が流れない状態になり、各LED0～LED15は点灯しない。

30

【0201】

なお、I²C I/Oエキスパンダ615のPORT0端子～PORT15端子には、LEDの代わりに、モーターやソレノイドを接続することも可能であるので、I²C I/Oエキスパンダ615を用いて、モーターやソレノイドを駆動する場合について説明する。

【0202】

図8Bは、本発明の第1の実施形態の役物駆動MOT561及び役物駆動SOL560を制御する装飾制御装置610のI²C I/Oエキスパンダ615周辺の回路図である。

【0203】

40

役物駆動MOT561はステッピングモータにより構成され、ステッピングモータを駆動する各相の信号端子に、所定の電圧を順次印加することで回転する。本実施形態では、役物駆動MOT561の各相の信号端子が、PORT0端子～PORT3端子に接続される。

【0204】

役物駆動MOT561に接続されているPORT0端子～PORT3端子に接続されるトランジスタ638A～638Dのいずれかのゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638A～638Dのドレインからソースへ電流が流れることが可能になり、PORT0端子～PORT3端子に接続される役物駆動MOT561に電流が流れ、役物駆動MOT561が駆動する。

50

【0205】

なお、各PORT0端子～PORT3端子と役物駆動MOT561とを接続する接続線は分岐し、分岐した一方の接続線は、役物駆動MOT561に供給される電源にダイオードD及びツェナダイオードZDを介して接続される。

【0206】

また、PORT端子15は、役物駆動SOL560に接続される。役物駆動SOL560に接続されているPORT15端子に接続されるトランジスタ638Pのゲートに対してドライバ637から電圧が印加されると、電圧が印加されたトランジスタ638Pのドレインからソースへ電流が流れることが可能になり、PORT15端子に接続される役物駆動SOL560に電流が流れ、役物駆動SOL560が駆動する。

10

【0207】

なお、図8Bでは、I²C I/Oエキスパンダ615に役物駆動MOT561及び役物駆動SOL560の双方が接続されているが、一つのI²C I/Oエキスパンダ615に対して、役物駆動MOT561及び役物駆動SOL560の少なくとも一方だけを接続した構成でもよい。

【0208】

例えば、ステッピングモーターだけを制御するグループとしてのI²C I/Oエキスパンダ615を専用に設けたり、ソレノイドだけを制御するグループとしてのI²C I/Oエキスパンダ615を専用に設けるようにしてもよい。このような構成により、同一グループに属する演出装置を同じタイミングで制御することが可能となるので、高速処理が必要な演出装置だけをグループ化して効率よく制御することも可能となる。

20

【0209】

図9は、本発明の第1の実施形態の中継基板600の入出力に関する接続線の回路図である。

【0210】

中継基板600は、上流コネクタ601、二つの下流コネクタ602A、602B、及びI²C I/Oエキスパンダ615を備える。

【0211】

上流コネクタ601は中継基板600よりも上流のマスタIC570に接続されるコネクタであり、コネクタ602A、602Bは、中継基板600よりも下流の装飾制御装置610に接続される。

30

【0212】

二つの下流コネクタ602A、602Bに接続線SDAを接続するために、上流コネクタ601から延びる内部接続線SDA911は分岐901で第1接続線SDA921と第2接続線SDA931とに分岐する。第1接続線SDA921は下流コネクタ602Aに接続され、第2接続線SDA931は下流コネクタ602Bに接続される。

【0213】

同じく、上流コネクタ601から延びる内部接続線SCL912は分岐902で第1接続線SCL922と第2接続線SCL932とに分岐する。第1接続線SCL922は下流コネクタ602Aに接続され、第2接続線SCL932は下流コネクタ602Bに接続される。

40

【0214】

接続線SDAをI²C I/Oエキスパンダ615に接続するために、第2接続線SDA931は分岐903で分岐し、分岐した第2接続線SDA931はI²C I/Oエキスパンダ615の図8A及び図8に示すSDA端子に接続される。また、接続線SCLをI²C I/Oエキスパンダ615に接続するために、第2接続線SCL932は分岐904で分岐し、分岐した第2接続線SCL932はI²C I/Oエキスパンダ615の図8A及び図8Bに示すSCL端子に接続される。

【0215】

なお、I²C I/Oエキスパンダ615には、I²C I/Oエキスパンダ615の電源電

50

圧となる電圧 V_{cc} が供給されている。また、図 9 では図示されていないが、 $I^2C I/O$ エクスパンダ 615 からは、中継基板 600 に設けた LED (装飾装置 200) を駆動する各ポート 0 ~ 15 の信号線 (図 8 A 参照) が出力されている。

【0216】

また、 $I^2C I/O$ エクスパンダ 615 は、第 2 接続線 SDA931 及び第 2 接続線 SCL932 が接続されるとしたが、第 1 接続線 SDA921 及び第 1 接続線 SCL922 に接続されてもよい。

【0217】

$I^2C I/O$ エクスパンダ 615 が上流のマスタ IC 570 に接続線 SDA を介して出力する信号、及び上流のマスタ IC 570 から中継基板 600 の $I^2C I/O$ エクスパンダ 615 へ接続線 SDA を介して入力される信号のノイズを除去するために、内部接続線 SDA911 にはツェナダイオード ZD941 が接続されている。

10

【0218】

具体的には、内部接続線 SDA911 は分岐 905 で分岐し、分岐した内部接続線 SDA911 はツェナダイオード ZD941 のカソード側に接続され、ツェナダイオード ZD941 のアノード側は接地されている。

【0219】

このため、内部接続線 SDA911 に印加された所定以上の電圧 (例えば、パルス性のノイズ信号) は、ツェナダイオード ZD941 によって逃がされる。

【0220】

20

また、上流のマスタ IC 570 から中継基板 600 の $I^2C I/O$ エクスパンダ 615 へ接続線 SCL を介して入力される信号のノイズを除去するために、内部接続線 SCL912 にはツェナダイオード ZD942 が接続されている。

【0221】

具体的には、内部接続線 SCL912 は分岐 906 で分岐し、分岐した内部接続線 SCL912 はツェナダイオード ZD942 のカソード側に接続され、ツェナダイオード ZD942 のアノード側は接地されている。

【0222】

このため、内部接続線 SCL912 に印加された所定以上の電圧 (例えば、パルス性のノイズ信号) は、ツェナダイオード ZD942 によって逃がされる。

30

【0223】

中継基板 600 の $I^2C I/O$ エクスパンダ 615 が下流コネクタ 602 A に接続された装飾制御装置 610 に接続線 SDA を介して出力する信号、及び下流コネクタ 602 A に接続された装飾制御装置 610 から中継基板 600 の $I^2C I/O$ エクスパンダ 615 へ接続線 SDA を介して入力される信号のノイズを除去するために、第 1 接続線 SDA921 にはツェナダイオード ZD943 が接続されている。

【0224】

具体的には、第 1 接続線 SDA921 は分岐 907 で分岐し、分岐した第 1 接続線 SDA921 はツェナダイオード ZD943 のカソード側に接続され、ツェナダイオード ZD943 のアノード側は接地されている。

40

【0225】

このため、内部接続線 SDA921 に印加された所定以上の電圧 (例えば、パルス性のノイズ信号) は、ツェナダイオード ZD943 によって逃がされる。

【0226】

また、第 1 接続線 SDA921 に接続されるツェナダイオード ZD943 と同じく、第 2 接続線 SDA931 にもツェナダイオード 945 が接続される。

【0227】

また、中継基板 600 の $I^2C I/O$ エクスパンダ 615 から下流コネクタ 602 A に接続された装飾制御装置 610 へ接続線 SCL を介して入力される信号のノイズを除去するために、第 1 接続線 SCL922 にはツェナダイオード ZD944 が接続されている。

50

【0228】

具体的には、第1接続線SCL922は分岐908で分岐し、分岐した第1接続線SCL922はツェナダイオードZD944のカソード側に接続され、ツェナダイオードZD944のアノード側は接地されている。

【0229】

このため、内部接続線SCL922に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードZD944によって逃がされる。

【0230】

また、第1接続線SCL922に接続されるツェナダイオードZD944と同じく、第2接続線SCL932にもツェナダイオードZD946が接続される。

10

【0231】

また、マスタIC570に接続される上流側の接続線SDA、及び装飾制御装置610に接続される下流側の接続線SDAの電圧をプルアップするためのプルアップ抵抗R951が、第1接続線SDA921に接続される。同じく、マスタIC570に接続される上流側の接続線SCL、及び装飾制御装置610に接続される下流側の接続線SCLの電圧をプルアップするためのプルアップ抵抗R952が、第1接続線SDA922に接続される。

【0232】

具体的には、第1接続線SDA921は分岐909で分岐し、分岐した第1接続線SDA921はプルアップ抵抗R951に接続される。同じく第1接続線SCL922は分岐910で分岐し、分岐した第1接続線SCL922はプルアップ抵抗R952に接続される。

20

【0233】

なお、接続線SDA及び接続線SCLの電圧をプルアップするプルアップ抵抗951、952は、中継基板600が備えなくてもよく、マスタIC570が備えてもよいし、中継基板600以外の装飾制御装置610が備えてもよい。要するに、接続線SDA及び接続線SCLを駆動するトランジスタのドレインの端子に、電圧Vccを供給できる箇所であれば、どこでもよい。

【0234】

中継基板600のI²CI/Oエキスパンダ615に電源電圧を供給する接続線Vccに接続される上流コネクタ601のVcc端子から延びる内部接続線Vcc971と、上流コネクタ601のGND端子から延び、接地されている内部接続線GND972とは、平滑コンデンサC961及びバイパスコンデンサ962を介して接続されている。

30

【0235】

平滑コンデンサC961は、電源の電圧波形を滑らかにするためのコンデンサであり、バイパスコンデンサCP962は、電源の電圧のノイズを除去するためのコンデンサである。

【0236】

このため、中継基板600のI²CI/Oエキスパンダ615に供給される電源電圧は、平滑コンデンサC961により電圧が平滑化され、バイパスコンデンサ962によりノイズが除去されて、I²CI/Oエキスパンダ615に供給される。

40

【0237】

同じく、下流コネクタ602A、602BのVcc端子から延びる内部接続線Vcc973と、GND端子から延びる内部接続線GND974とは、平滑コンデンサC961及びバイパスコンデンサ962を介して接続されている。これによって、平滑化され、ノイズが除去された電圧が下流の装飾制御装置610に接続される接続線Vccに印加される。

【0238】

図10は、本発明の第1の実施形態の装飾制御装置610の入出力に関する接続線の回路図である。

50

【 0 2 3 9 】

装飾制御装置 6 1 0 は、上流コネクタ 6 1 1、 I^2C I/O エクスパンダ 6 1 5、及び下流コネクタ 6 1 2 を備える。

【 0 2 4 0 】

上流コネクタ 6 1 1 には、中継基板 6 0 0 又は上流側の装飾制御装置 6 1 0 からバスが接続される。下流コネクタ 6 1 2 には、下流側の装飾制御装置 6 1 0 に接続するバスが接続される。

【 0 2 4 1 】

上流コネクタ 6 1 1 の S D A 端子と下流コネクタ 6 1 2 の S D A 端子とは、内部接続線 S D A 1 0 1 1 によって接続されている。また、上流コネクタ 6 1 1 の S C L 端子と下流コネクタ 6 1 2 の S C L 端子とは、内部接続線 S C L 1 0 1 2 によって接続されている。

10

【 0 2 4 2 】

接続線 S D A を I^2C I/O エクスパンダ 6 1 5 に接続するために、内部接続線 S D A 1 0 1 1 は分岐 1 0 0 1 で分岐し、分岐した内部接続線 S D A 1 0 1 1 は I^2C I/O エクスパンダ 6 1 5 の図 8 A 及び図 8 に示す S D A 端子に接続される。また、接続線 S C L を I^2C I/O エクスパンダ 6 1 5 に接続するために、内部接続線 S C L 1 0 1 2 は分岐 1 0 0 2 で分岐し、分岐した内部接続線 S C L 1 0 1 2 は I^2C I/O エクスパンダ 6 1 5 の図 8 A 及び図 8 B に示す S C L 端子に接続される。

【 0 2 4 3 】

なお、 I^2C I/O エクスパンダ 6 1 5 には、 I^2C I/O エクスパンダ 6 1 5 の電源電圧となる電圧 V c c が供給されている。また、図 1 0 では図示されていないが、 I^2C I/O エクスパンダ 6 1 5 からは、当該装飾制御装置 6 1 0 に係わる L E D (装飾装置 2 0 0) を駆動する各ポート 0 ~ 1 5 の信号線 (図 8 A 参照) が出力されている。

20

【 0 2 4 4 】

図 1 0 に示す装飾制御装置 6 1 0 の I^2C I/O エクスパンダ 6 1 5 が上流コネクタ 6 1 1 に接続された上流の装飾制御装置 6 1 0 又は中継基板 6 0 0 に接続線 S D A を介して出力する信号、及び上流コネクタ 6 1 1 に接続された上流の装飾制御装置 6 1 0 又は中継基板 6 0 0 から図 1 0 に示す装飾制御装置 6 1 0 の I^2C I/O エクスパンダ 6 1 5 へ接続線 S D A を介して入力される信号のノイズを除去するために、内部接続線 S D A 1 0 1 1 にはツェナダイオード Z D 1 0 4 1 が接続されている。

30

【 0 2 4 5 】

具体的には、内部接続線 S D A 1 0 1 1 は分岐 1 0 0 3 で分岐し、分岐した内部接続線 S D A 1 0 1 1 はツェナダイオード Z D 1 0 4 1 のカソード側に接続され、ツェナダイオード Z D 1 0 4 1 のアノード側は接地されている。

【 0 2 4 6 】

このため、内部接続線 S D A 1 0 1 1 に印加された所定以上の電圧 (例えば、パルス性のノイズ信号) は、ツェナダイオード Z D 1 0 4 1 によって逃がされる。

【 0 2 4 7 】

また、上流コネクタ 6 1 1 に接続される上流の装飾制御装置 6 1 0 又は中継基板 6 0 0 から図 1 0 に示す装飾制御装置 6 1 0 の I^2C I/O エクスパンダ 6 1 5 へ接続線 S C L を介して入力される信号のノイズを除去するために、内部接続線 S C L 1 0 1 2 にはツェナダイオード Z D 9 4 2 が接続されている。

40

【 0 2 4 8 】

具体的には、内部接続線 S C L 1 0 1 2 は分岐 1 0 0 4 で分岐し、分岐した内部接続線 S C L 1 0 1 2 はツェナダイオード Z D 1 0 4 2 のカソード側に接続され、ツェナダイオード Z D 1 0 4 2 のアノード側は接地されている。

【 0 2 4 9 】

このため、内部接続線 S C L 1 0 1 2 に印加された所定以上の電圧 (例えば、パルス性のノイズ信号) は、ツェナダイオード Z D 1 0 4 2 によって逃がされる。

【 0 2 5 0 】

50

図10に示す装飾制御装置610のI²C I/Oエクスパンダ615が下流コネクタ612に接続された下流の装飾制御装置610に接続線SDAを介して出力する信号、及び下流コネクタ612に接続された下流の装飾制御装置610から図10に示す装飾制御装置のI²C I/Oエクスパンダ615へ接続線SDAを介して入力される信号のノイズを除去するために、内部接続線SDA1011にはツェナダイオードZD1043が接続されている。

【0251】

具体的には、内部接続線SDA1011は分岐1005で分岐し、分岐した内部接続線SDA1011はツェナダイオードZD1043のカソード側に接続され、ツェナダイオードZD1043のアノード側は接地されている。

10

【0252】

このため、内部接続線SDA1011に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードZD1043によって逃がされる。

【0253】

また、図10に示す装飾制御装置610のI²C I/Oエクスパンダ615から下流コネクタ612に接続された下流の装飾制御装置610へ接続線SCLを介して入力される信号のノイズを除去するために、内部接続線SCL1012にはツェナダイオードZD1044が接続されている。

【0254】

具体的には、内部接続線SCL1012は分岐1006で分岐し、分岐した内部接続線SCL1012はツェナダイオードZD1044のカソード側に接続され、ツェナダイオードZD1044のアノード側は接地されている。

20

【0255】

このため、内部接続線SCL1012に印加された所定以上の電圧（例えば、パルス性のノイズ信号）は、ツェナダイオードZD1044によって逃がされる。

【0256】

装飾制御装置610のI²C I/Oエクスパンダ615に電源電圧を供給する接続線Vccに接続される上流コネクタ611のVcc端子から延びる内部接続線Vcc1071と、上流コネクタ611のGND端子から延び、接地されている内部接続線GND1072とは、平滑コンデンサC1061及びバイパスコンデンサ1062を介して接続されている。

30

【0257】

平滑コンデンサC1061は図9に示す平滑コンデンサC961と同じコンデンサであり、バイパスコンデンサCP1062は図9に示すバイパスコンデンサ962と同じコンデンサである。

【0258】

また、下流コネクタ612のVcc端子から延びる内部接続線Vcc1073と、GND端子から延びる内部接続線GND1074とは、平滑コンデンサC1061及びバイパスコンデンサ1062を介して接続されている。

【0259】

40

図11は、本発明の第1の実施形態の演出制御装置550から装飾制御装置610に出力されるデータに含まれるスレーブアドレス1100の説明図である。

【0260】

スレーブアドレス1100は、上位3ビットからなる固定アドレス部1101及び下位5ビットからなる可変アドレス部1102を含む。

【0261】

固定アドレス部1101は、「110」が予め設定されていて、I²C I/Oエクスパンダ615が変更できないアドレスである。

【0262】

可変アドレス部1102は、I²C I/Oエクスパンダ615に設定可能なアドレスで

50

あり、制御対象となる I^2C I/Oエクスパンダ615のA0～A3の端子に設定されているパターンに対応した4ビットの I^2C I/Oエクスパンダアドレス1103と、当該データが読み出し要求であるのか書き込み要求であるのかを示す1ビットのR/W識別データ1104と、が含まれる。

【0263】

演出制御装置550から装飾制御装置610に出力される演出制御データは、書き込み要求であるので、R/W識別データ1104には、通常「0」が登録される。

【0264】

図12は、本発明の第1の実施形態の I^2C I/Oエクスパンダアドレステーブル1200の説明図である。

10

【0265】

I^2C I/Oエクスパンダアドレステーブル1200は、マスタIC570によって管理されるテーブルである。 I^2C I/Oエクスパンダアドレステーブル1200は、スレーブアドレス1201と I^2C I/Oエクスパンダアドレス1202との対応関係を示している。

【0266】

スレーブアドレス1201には、演出制御装置550により送受信の対象として指定される装飾制御装置610のスレーブアドレスが格納されている。スレーブアドレスは、図13で前述したように、上位3ビットからなる固定アドレス部と、4ビットの I^2C I/Oエクスパンダアドレスと、1ビットのR/W識別データとを組み合わせで構成される。

20

【0267】

I^2C I/Oエクスパンダアドレス1202には、図8Aや図8Bで前述したように、各スレーブアドレスに対応する4ビットの I^2C I/Oエクスパンダアドレスが登録される。

【0268】

ただし、 I^2C I/Oエクスパンダアドレスのうち、アドレス「1000」及びアドレス「1011」は、各 I^2C I/Oエクスパンダ615を相互に識別するための固有のアドレスとしては使用できない。

【0269】

「1000」は、すべての装飾制御装置610に対する指令を出力する場合に指定されるアドレス（オールコールアドレス）の電源投入時のデフォルト値として用いられる。「1011」はソフトウェアによって、マスタIC570に接続されている全ての装飾制御装置610を無条件にリセットする場合に用いられる共通アドレスである。

30

【0270】

このように、装飾制御装置610の I^2C I/Oエクスパンダ615に設定可能な固有アドレスは14個であるために、演出制御装置550は、14個の I^2C I/Oエクスパンダ615を制御できる。また、一つの装飾制御装置610は、PORT0～PORT15を備えるので、16個（言い換えれば16種類）のLEDを制御できる。よって、演出制御装置550は、224個（言い換えれば224種類）のLEDを制御できる。

【0271】

40

図13は、本発明の第1の実施形態の I^2C I/Oエクスパンダ615に備わる出力設定レジスタ635（図7参照）に割り当てられたワークレジスタを説明するための図である。

【0272】

I^2C I/Oエクスパンダ615の出力設定レジスタ635には、ワークレジスタ（デバイスレジスタ）と、コントロールレジスタ（制御レジスタ）とが割り当てられている。ワークレジスタは、 I^2C I/Oエクスパンダ615に対して予め定義されている設定を行うための情報や、 I^2C I/Oエクスパンダ615に接続されている演出装置（例えば、LED）の出力態様を特定するための情報を記憶するものである。また、コントロールレジスタは、ワークレジスタへのデータ書き込み手順を規定する情報を記憶するものである

50

。

【0273】

なお、図13に示すように、ワークレジスタは、複数の情報を異なる記憶領域に分散して記憶する構成となっており、各記憶領域毎に異なるレジスタ番号が付与されている。

【0274】

レジスタ番号が「00h」となる記憶領域には、「MODE1」というレジスタ名が付与されており、また、レジスタ番号が「01h」となる記憶領域には、「MODE2」というレジスタ名が付与されている。レジスタ番号「00h」及び「01h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、I²C I/Oエクスパンダ615の初期設定が行われる。

10

【0275】

レジスタ番号が「02h」～「11h」となる記憶領域には、「PWM0」～「PWM15」というレジスタ名が付与されている。レジスタ番号「02h」～「11h」の記憶領域のいずれかに値が書き込まれると、I²C I/Oエクスパンダ615に接続される発光装置を構成する16個のLEDのうち、値が書き込まれたレジスタ番号に対応するLEDの輝度が、書き込まれた値に基づいて調整される。例えば、レジスタ番号「02h」の記憶領域に値が書き込まれた場合には、図8Aに示すポート0に接続されたLED0の輝度が調整される。

【0276】

なお、I²C I/Oエクスパンダ615に役物駆動SOL560が接続される場合には、役物駆動SOL560が接続されるポートに対応するレジスタ番号の記憶領域には、役物駆動SOL560を通電して作動するか、通電せずに未作動状態にするかを示す値が書き込まれる。

20

【0277】

また、I²C I/Oエクスパンダ615に役物駆動MOT561が接続される場合には、役物駆動MOT561が接続されるポートに対応するレジスタ番号の記憶領域には、役物駆動MOT561の目標回転位置を示す値が書き込まれる。

【0278】

レジスタ番号が「12h」となる記憶領域には、「GRPPWM」というレジスタ名が付与され、レジスタ番号が「13h」となる記憶領域には、「GRPFREQ」というレジスタ名が付与されている。レジスタ番号「12h」及び「13h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、全体のLED(16個のLED)の点滅パターンが設定される。

30

【0279】

具体的には、レジスタ番号「12h」の記憶領域に値が書き込まれた場合には、全体のLEDのオン・オフ比率であるデューティサイクルが設定され、レジスタ番号「13h」の記憶領域に値が書き込まれた場合には、全体のLEDの点滅周期が設定される。

【0280】

レジスタ番号が「14h」となる記憶領域には、「LEDOUT0」というレジスタ名が付与されている。レジスタ番号「14h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED0～LED3の出力状態が設定される。

40

【0281】

レジスタ番号が「15h」となる記憶領域には、「LEDOUT1」というレジスタ名が付与されている。レジスタ番号「15h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED4～LED7の出力状態が設定される。

【0282】

レジスタ番号が「16h」となる記憶領域には、「LEDOUT2」というレジスタ名が付与されている。レジスタ番号「16h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED8～LED11の出力状態が設定される。

【0283】

50

レジスタ番号が「17h」となる記憶領域には、「LEDOUT3」というレジスタ名が付与されている。レジスタ番号「17h」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、LED12～LED15の出力状態が設定される。

【0284】

レジスタ番号が「18h」～「1Ah」となる記憶領域には、「SUBADR1」～「SUBADR3」というレジスタ名が付与されている。レジスタ番号「18h」～「1Ah」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、第1サブアドレス～第3サブアドレスが設定される。

【0285】

レジスタ番号が「1Bh」となる記憶領域には、「ALLCALLADR」というレジスタ名が付与されている。レジスタ番号「1Bh」の記憶領域に値が書き込まれると、書き込まれた値に基づいて、オールコールアドレスが設定される。

10

【0286】

図14は、本発明の第1の実施形態のマスタIC570が接続線SDA及び接続線SCLを介して出力するデータのスタート条件及びストップ条件の説明図である。

【0287】

接続線SCLは、データの非送信時に信号レベルがHIGHになっており、マスタIC570は、装飾制御装置610にデータを出力する際に、接続線SCLの信号レベルをLOWからHIGHに変化させ、装飾制御装置610が接続線SDAのデータを取り込むためのストローク信号として作用させる。

20

【0288】

接続線SDAは、データの非送信時に信号レベルがHIGHになっており、接続線SCLのクロック信号に合わせて接続線SDAからデータが出力される。

【0289】

マスタIC570は、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変化させることで、データの出力が開始することを示すスタート条件となる信号を出力する。

【0290】

装飾制御装置610のI²C I/Oエクスパンダ615は、接続線SDA及び接続線SCLからスタート条件となる信号が入力されると、データの出力が開始することを把握する。

30

【0291】

マスタIC570は、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをLOWからHIGHに変化させることで、データの出力が終了することを示すストップ条件を示す信号を出力する。

【0292】

装飾制御装置610のI²C I/Oエクスパンダ615は、ストップ条件が入力されると、データの出力が終了することを把握する。

【0293】

図15は、本発明の第1の実施形態のマスタIC570から出力されたデータが入力された装飾制御装置610が返答信号を出力するタイミングチャートである。

40

【0294】

装飾制御装置610は、スタート条件が成立してから接続線SCLの信号レベルの変化回数を計数し、接続線SCLのクロック信号に合わせて接続線SDAから入力されるデータを取り込む。

【0295】

そして、装飾制御装置610は、スタート条件が成立してから接続線SCLの信号レベルの変化回数が9回に達する直前に、返答信号をマスタIC570に接続線SDAを介して出力する。換言すると、装飾制御装置610は、接続線SDAから8ビット目のデータを取り込んだ後に、接続線SCLの信号レベルがHIGHからLOWに変化することを契

50

機に、返答信号を当該接続線 S D A を介して出力する。

【 0 2 9 6 】

なお、図に示すように、データの受信に成功したことを示す返答信号 (A C K の返答信号) は L O W レベルによって示され、データの受信に失敗したことを示す返答信号 (N A C K の返答信号、図では A C K 出力なしに相当) は H I G H レベルによって示される。

【 0 2 9 7 】

また、マスタ I C 5 7 0 は、スタート条件が成立してから接続線 S C L の信号レベルが 8 回変化すると、接続線 S D A を解放することによって、装飾制御装置 6 1 0 から返答信号の入力を待機する。そして、マスタ I C 5 7 0 は、接続線 S D A を解放したまま、接続線 S C L の信号レベルを変化させて、装飾制御装置 6 1 0 からの返答信号を取り込む。

10

【 0 2 9 8 】

図 1 6 は、本発明の第 1 の実施形態のマスタ I C 5 7 0 が演出制御データを出力する場合の接続線 S D A 及び接続線 S C L の信号レベルのタイミングチャートである。

【 0 2 9 9 】

まず、マスタ I C 5 7 0 は、データの出力を開始する場合には、接続線 S C L の信号レベルを H I G H に維持したまま、接続線 S D A の信号レベルを H I G H から L O W に変化させることによって、スタート条件を示す信号を出力し、これからデータを出力することを装飾制御装置 6 1 0 に通知する。

【 0 3 0 0 】

次に、マスタ I C 5 7 0 は、合計 7 ビットからなる制御対象となる装飾制御装置 6 1 0 のスレーブアドレスを出力する。次に、マスタ I C 5 7 0 は、読み出し要求である書き込み要求であるかを示すデータを 8 ビット目に出力する。

20

【 0 3 0 1 】

そして、マスタ I C 5 7 0 は、接続線 S C L の信号レベルが 9 回目に H I G H になるときに、装飾制御装置 6 1 0 から返答信号が入力されるので、A C K の返答信号であれば接続線 S D A の信号レベルが L O W に変化し、N A C K の返答信号であれば接続線 S D A の信号レベルが H I G H に変化する。

【 0 3 0 2 】

次に、マスタ I C 5 7 0 は、アドレスデータの出力後、データを、8 の倍数となるビット数で出力する。マスタ I C 5 7 0 は、データの 8 ビット目を出力した後、A C K の返答信号が入力されるのを待ってデータの 9 ビット目を出力する。以降、8 の倍数番目に相当するビットのデータを出力すると、A C K の返答信号が入力されるのを確認してから、(8 の倍数 + 1) 番目のビットを出力し、全データが出力されるまで繰り返す。

30

【 0 3 0 3 】

なお、マスタ I C 5 7 0 は、データの 8 の倍数番目となるビットを出力した後、所定時間経過しても A C K の返答信号が入力されない場合には、データの送信に失敗したものとみなして、再度スタート条件を送信する。次いで、接続線 S D A を介して、再度アドレスデータを出力し、A C K の返答信号を確認しながら、もう一度、データを 1 ビット目から出力する。

【 0 3 0 4 】

また、マスタ I C 5 7 0 は、データの最後のビットのデータを出力した後、A C K の返答信号が入力されるのを待って、ストップ条件を示す信号を出力する。

40

【 0 3 0 5 】

なお、図 1 6 では、スタート条件を示す信号を出力してからストップ条件を示す信号を出力するまでの間に、合計 2 4 ビット (スレーブアドレス 8 ビット、データ 1 6 ビット) のデータを出力しているが、2 4 ビット以上であってもよいし、2 4 ビット以下であってもよい。

【 0 3 0 6 】

図 1 7 は、本発明の第 1 の実施形態のマスタ I C 5 7 0 が、スレーブの個別アドレスを指定して装飾制御装置 6 1 0 に演出制御データを設定する場合において、マスタ I C 5 7

50

0 と I²C I / O エクスパンダ 6 1 5 との間で授受されるデータのフォーマットを説明する図である。

【 0 3 0 7 】

はじめに出力される 8 ビットのデータ 1 8 0 1 には、データ送信の対象となる装飾制御装置 6 1 0 のアドレス「A 0 ~ A 6」と、当該データが読み出し要求であるのか書き込み要求であるのかを示す 1 ビットの R / W 識別データとが含まれる。このアドレス「A 0 ~ A 6」のうち、「A 4 ~ A 6」は値「1 1 0」となる固定アドレス部であり、「A 0 ~ A 3」は I²C I / O エクスパンダ 6 1 5 の A 0 ~ A 3 の端子に設定されているアドレスに相当する（図 8 参照）。なお、このデータ 1 8 0 1 は、図 1 6 における「ADDRESS」及び「R / W」に対応するものである。

10

【 0 3 0 8 】

次に、出力される 8 ビットのデータ 1 8 0 2 には、I²C I / O エクスパンダ 6 1 5 の出力設定レジスタ 6 3 5（図 7 参照）に割り当てられているコントロールレジスタへの設定データが含まれる。このデータ 1 8 0 2 は、図 1 6 において 1 番目に送信される「DATA」に対応するものである。

【 0 3 0 9 】

ここで、コントロールレジスタについて説明する。コントロールレジスタは 8 ビットからなり、上位 3 ビット「A I 0 ~ A I 2」が出力設定レジスタ 6 3 5 のワークレジスタへの書き込み又は読み出し方法を指定する自動書込パラメータであり、下位 5 ビット「D 0 ~ D 4」がワークレジスタにおけるアクセス開始位置（書き込みを開始する先頭位置、又は読み出しを開始する先頭位置）を指定するレジスタアドレスである。

20

【 0 3 1 0 】

自動書込パラメータは、マスタ IC 5 7 0 によって、レジスタアドレスが指定するアクセス開始位置の領域のみをアクセス（オートインクリメントを禁止）するのか、指定するアクセス開始位置の領域に隣接する領域も含んでアクセス（オートインクリメントを許可）するのかを指定するパラメータであり、具体的には「0 0 0」、「1 0 0」、「1 0 1」、「1 1 0」、「1 1 1」の何れかの値を設定することができる。

【 0 3 1 1 】

自動書込パラメータに「0 0 0」の値を設定すると、オートインクリメントが禁止され、レジスタアドレスが指定するアクセス開始位置の領域のみにアクセスし、開始位置以外の領域にはアクセスしない。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域のみにアクセスし、他の記憶領域にはアクセスしない。

30

【 0 3 1 2 】

自動書込パラメータに「1 0 0」の値を設定すると、オートインクリメントが許可され、レジスタアドレスが指定するアクセス開始位置の領域にアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。そして、レジスタ番号が最終の「1 B h」となる記憶領域にアクセスした後は、レジスタ番号が「0 0 h」となる記憶領域にアクセスし、再度、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。例えば、レジスタアドレスが「1 0 1 0 0」であれば、レジスタ番号が「1 4 h」となる記憶領域にアクセスした後は、レジスタ番号が「1 5 h」「1 6 h」・・・「1 B h」「0 0 h」「0 1 h」・・・となる領域（即ち、全ての領域）に、繰り返しアクセスする。

40

【 0 3 1 3 】

自動書込パラメータに「1 0 1」の値を設定すると、自動書込パラメータに「1 0 0」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域にアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。但し、一旦、レジスタ番号が「1 1 h」となる記憶領域にアクセスした後は、レジスタ番号が「0 2 h」となる記憶領域にアクセスし、以降、レジスタ番号が「0 2 h」～「1 1 h」となる区間の記録領域（LED の輝度調整に関する領域）に繰り返しアクセス

50

する。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域にアクセスした後は、レジスタ番号が「15h」「16h」・・・「1Bh」「00h」「01h」・・・となる領域に、順にアクセスする。そして、レジスタ番号が「11h」となる記憶領域にアクセスした後は、レジスタ番号が「02h」「03h」・・・「11h」「02h」「03h」・・・となる領域に、繰り返しアクセスする。

【0314】

自動書込パラメータに「110」の値を設定すると、自動書込パラメータに「100」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域にアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。但し、一旦、レジスタ番号が「13h」となる記憶領域にアクセスした後は、レジスタ番号が「12h」となる記憶領域にアクセスし、以降、レジスタ番号が「12h」～「13h」となる区間の記録領域（LEDの点滅周期に関する領域）を繰り返しアクセスする。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域にアクセスした後は、レジスタ番号が「15h」「16h」・・・「1Bh」「00h」「01h」・・・となる領域に、順にアクセスする。そして、レジスタ番号が「13h」となる記憶領域にアクセスした後は、レジスタ番号が「12h」「13h」「12h」「13h」・・・となる領域に、繰り返しアクセスする。

【0315】

自動書込パラメータに「111」の値を設定すると、自動書込パラメータに「100」の値を設定した場合と同様に、レジスタアドレスが指定するアクセス開始位置の領域にアクセスした後は、レジスタ番号が増加する方向に領域を移動しながら順にアクセスを繰り返す。但し、一旦、レジスタ番号が「13h」となる記憶領域にアクセスした後は、レジスタ番号が「02h」となる記憶領域にアクセスし、以降、レジスタ番号が「02h」～「13h」となる区間の記録領域（LEDの輝度及び点滅周期に関する領域）に繰り返しアクセスする。例えば、レジスタアドレスが「10100」であれば、レジスタ番号が「14h」となる記憶領域にアクセスした後は、レジスタ番号が「15h」「16h」・・・「1Bh」「00h」「01h」・・・となる領域に、順にアクセスする。そして、レジスタ番号が「13h」となる記憶領域にアクセスした後は、レジスタ番号が「02h」「03h」・・・「13h」「02h」「03h」・・・となる領域に、繰り返しアクセスする。

【0316】

図17に戻り、コントロールレジスタへの設定データ1802に続いて、ワークレジスタへの設定データ1803が出力される。この設定データ1803は、図16において2番目以降に送信される「DATA」に対応するものである。

【0317】

自動書込パラメータを「000」とした場合には、この設定データ1803は、レジスタアドレスが指定する1箇所の記憶領域を更新するために必要な8ビットのデータとなる。自動書込パラメータを「000」以外の値とした場合には、この設定データ1803は、レジスタアドレスが指定する記憶領域を先頭に、複数の領域を繰り返し更新するために必要な8の倍数となるビットのデータとなる。

【0318】

図18は、本発明の第1の実施形態のマスタIC570が、スレーブの個別アドレスを指定して装飾制御装置610に演出制御データを設定する場合において、マスタIC570とI²C I/Oエクスパンダ615との間で授受される演出制御データに具体的な数値を適用したものである。本図では、オートインクリメントを禁止して、ワークレジスタの1箇所の記憶領域だけを更新する演出制御データを例示しており、I²C I/Oエクスパンダ615のPORT0端子～PORT3端子に接続されるLEDの発光状態を更新する場合を想定している。

【0319】

10

20

30

40

50

まず、はじめに出力される8ビットのデータ1901には、送信先の装飾制御装置610のI²C I/Oエクスパンダ615のスレーブアドレスを示す「1101100」が割り当てられている。

【0320】

次に出力される8ビットのデータ1902には、自動書込パラメータ、及びLEDの出力データを設定するために割り当てられているI²C I/Oエクスパンダ615の出力設定レジスタ635のコントロールレジスタに設定される値が含まれる。

【0321】

ここでは、I²C I/Oエクスパンダ615のPORT0端子~PORT3端子に接続されるLEDの発光状態を設定するので、レジスタアドレスにはLEDOUT0(アドレス=10100)を指定することにする。

【0322】

なお、自動書込パラメータには、オートインクリメントを禁止するために「000」が指定されている。

【0323】

次に、出力される8ビットのデータ1903には、送信先の装飾制御装置610によって制御される装飾装置620の発光態様を設定するデータが含まれる。具体的には、LEDOUT0レジスタに設定されるデータが割り当てられている。これにより、I²C I/Oエクスパンダ615のPORT0端子~PORT3端子に接続されるLEDの発光状態(点灯、消灯、点滅など)が指定され、指定された状態でLEDが発光する。

【0324】

このようにして、I²C I/Oエクスパンダ615のPORT0端子~PORT3端子のLEDの発光状態が制御されるが、I²C I/Oエクスパンダ615の他のPORT端子(PORT4~PORT15)も、コントロールレジスタデータ1902の値を指定して、出力データ1903を設定することで制御可能である。PORT端子に、モーターやソレノイドが接続されていても、同様に制御される。

【0325】

図19は、本発明の第1の実施形態の演出制御データの別の形態を説明する図である。本図では、オートインクリメントを許可して、ワークレジスタの全ての記憶領域を更新する場合を想定しており、演出制御データに含まれる各データの送信順序を規定している。

【0326】

まず、マスタIC570は、制御対象となる装飾制御装置610の個別アドレスを特定可能な8ビットのデータ(図18のデータ1901と同一フォーマットのデータ)を送信する。

【0327】

次に、マスタIC570は、制御対象のI²C I/Oエクスパンダ615の出力設定レジスタ635のコントロールレジスタに設定されるデータ(図18のデータ1902と同一フォーマットのデータ)を送信する。本図においては、オートインクリメントを許可してワークレジスタの全ての記憶領域を更新するため、自動書込パラメータには「100」が指定され、書き込み先又は読み出しの開始位置を指定するレジスタアドレスには、ワークレジスタの先頭領域となる「00h」が指定される。

【0328】

このため、コントロールレジスタ設定値を受信した後の制御対象となる装飾制御装置610のI²C I/Oエクスパンダ615においては、レジスタ番号が「00h」の記憶領域(MODE1レジスタ)が最初に更新されることになる。

【0329】

次いで、マスタIC570は、コントロールレジスタ設定値の送信後、MODE1レジスタに書き込む値(合計8ビット)を送信する。I²C I/Oエクスパンダ615は、当該書き込み値を受信するとMODE1レジスタの値を更新し、レジスタ番号をインクリメントして次の「01h」の記憶領域(MODE2レジスタ)を更新するための準備をする

10

20

30

40

50

。

【0330】

次いで、マスタIC570は、MODE2レジスタに書き込む値（合計8ビット）を送信し、以降、レジスタ番号が「02h」～「1Bh」となる残りの記憶領域のレジスタに対して、順に設定値を送信する。I²C I/Oエクスパンダ615は、当該書き込み値を受信する毎に対応するレジスタの値を更新し、レジスタ番号をインクリメントして次の記憶領域を更新するための準備を繰り返すことで、ワークレジスタに割り当てられた「00h」～「1Bh」の全てのレジスタの値が更新される。

【0331】

なお、I²C I/Oエクスパンダ615は、ワークレジスタの最終となる「1Bh」の記憶領域を更新すると、レジスタ番号は「00h」に変更して、MODE1レジスタの更新を待つ状態となる。

10

【0332】

図20は、本発明の第1の実施形態のマスタIC570がI²C I/Oエクスパンダ615を初期化するとき、マスタIC570からI²C I/Oエクスパンダ615へ送信される初期化指示データのデータフォーマットを説明する図である。

【0333】

演出制御装置550のCPU551がマスタIC570に対して装飾制御装置610の初期化を行うように指示すると、マスタIC570は、配下に接続している全ての装飾制御装置610に初期化指示データを送信する。

20

【0334】

はじめに出力される8ビットのデータ2001には、図18に示す固定アドレス「110」と、共通アドレスであるリセットアドレス「1011」（図12参照）とが含まれる。なお、このデータ2001は、図16における「ADDRESS」に対応するものであり、「R/W」のビットには、書き込みを示す「0」が設定される。

【0335】

次に出力される8ビットのデータ2002では、第1所定値「10100101」が出力され、次に出力される8ビットのデータ2003では、第2所定値「01011010」が出力される。なお、このデータ2002は、図16において1番目に送信される「DATA」に対応し、データ2003は、図16において2番目に送信される「DATA」に対応する。

30

【0336】

マスタIC570に接続されるすべてのI²C I/Oエクスパンダ615は、リセットアドレス、第1所定値、及び第2所定値から構成される初期化指示データを受信すると、自身の初期化を行う。

【0337】

リセットアドレスの出力後に、第1所定値及び第2所定値を出力するようにしたのは、マスタIC570がリセットアドレス「1011」を送信していないにもかかわらず、ノイズなどの影響で、I²C I/Oエクスパンダ615が誤ってリセットアドレス「1011」を取り込んでしまい、誤ったタイミングで初期化が行われることを防止するためである。

40

【0338】

また、リセットアドレスは、個別アドレスとは異なって、全て（換言すれば複数）のI²C I/Oエクスパンダ615に共通なアドレスである。そのため、リセットアドレスを含んだ初期化指示データを1回送信するだけで、全て（複数）のI²C I/Oエクスパンダ615を選択して初期化することになるので、I²C I/Oエクスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を指示することが可能となる。

【0339】

なお、図20では、第1所定値と第2所定値とを異なる値としたが、同じ値であっても

50

よい。また、第1所定値及び第2所定値のいずれかが1回送信されるようにしてもよい。

【0340】

図21は、本発明の第1の実施形態の異常判定テーブル2100を説明する図である。

【0341】

異常判定テーブル2100は、演出制御装置550のRAM553に格納される。異常判定テーブル2100は、演出制御装置550のマスタIC570と当該マスタIC570に接続されるI²C I/Oエクスパンダ615との接続状態を監視するものであり、接続状態の確認結果に対応して、該当するI²C I/Oエクスパンダ615に対応した後述のエラーフラグ2105が設定される。

【0342】

異常判定テーブル2100は、I/Oエクスパンダアドレス2101、スレーブアドレス2102、エラーカウンタ2103、比較値2104、及びエラーフラグ2105を含む。

【0343】

I/Oエクスパンダアドレス2101は、マスタIC570に接続されるI²C I/Oエクスパンダ615のA0～A3の端子に設定されているアドレス(図8参照)に対応している。

【0344】

スレーブアドレス2102には、図12に示すI²C I/Oエクスパンダアドレステーブル1200に登録されているスレーブアドレスが登録される。

【0345】

エラーカウンタ2103は、マスタIC570からI²C I/Oエクスパンダ615への演出制御データの送信に対して、I²C I/Oエクスパンダ615からのACKが受信できたか否かを監視した際に、このACKの受信に2回連続して失敗するとインクリメントされるものである。

【0346】

比較値2104には所定値が登録される。エラーフラグ2105には、当該エントリのI²C I/Oエクスパンダ615との接続状態に異常が発生したか否かを示すエラーフラグが登録される。

【0347】

具体的には、インクリメントされたエラーカウンタ2103の値が、比較値2104に登録された所定値に達した場合に、エラーフラグ2105にONが設定されて当該エントリのI²C I/Oエクスパンダ615に異常が発生したことが登録される。

【0348】

なお、I/Oエクスパンダアドレス2101に登録された「0110」のI²C I/Oエクスパンダ615は、図8Bに示すように、役物駆動SOL560や役物駆動MOT561といった可動装置を制御している。そこで、このI²C I/Oエクスパンダ615を備える装飾制御装置510を、可動制御装置(可動グループ単位制御手段)ということにする。

【0349】

一方、I/Oエクスパンダアドレス2101に登録された「0110」以外のI²C I/Oエクスパンダ615は、図8Aに示すように、LED等の発光装置を制御している。そのため、このI²C I/Oエクスパンダ615を備える装飾制御装置510を、前述の可動制御装置と区別するために、発光制御装置(発光グループ単位制御手段)ということにする。

【0350】

図21では、可動制御装置(I/Oエクスパンダアドレス2101に登録された値が「0110」)のエントリの比較値2104に登録される所定値が「100」となっており、発光装飾制御装置のエントリの比較値2104に登録される所定値「300」とは異ならせている。つまり、可動制御装置の比較値2104を、発光制御装置の比較値2104

10

20

30

40

50

よりも低い値に設定している。

【0351】

これは、可動制御装置に異常が発生している場合には、役物駆動MOT561が回転しすぎて、可動役物60が動作可能な範囲を超えて可動してしまい、可動役物60及び可動役物付近の部材を破損してしまうことを防止するため、可能な限り短時間で異常判定することを意図しているからである。

【0352】

具体的には、本実施形態では、後述するように、発光制御装置のデータ出力処理（図22参照）は、VDP割込（約33.3ms周期）に同期して実行されるようし、可動制御装置のデータ出力処理をタイマ割込（2ms周期）に同期して実行されるようにしている。

10

【0353】

前述したように、マスタIC570からI²C I/Oエクスパンダ615への2回目の演出制御データの送信に対して、I²C I/Oエクスパンダ615からのACKが受信できなければ、エラーカウンタ2103がインクリメントされる。

【0354】

したがって、可動制御装置に異常が発生している場合には、データ出力処理の実行周期が2msで、比較値2104が「100」であるので、 $2\text{ms} \times 100 = 0.2\text{s}$ で可動制御装置に異常が発生したことを検出できる。なお、発光制御装置に異常が発生している場合には、データ出力処理の実行周期が33msで、比較値2104が「300」である

20

【0355】

このため、可動制御装置のエラー判定を発光制御装置のエラー判定よりも頻繁に行われ、可動制御装置に異常が発生したことを発光制御装置に異常が発生したことよりも早く検出することができるので、可動役物60が動作可能な範囲を超えて可動してしまい、可動役物60及び可動役物付近の部材を破損してしまうことを防止できる。

【0356】

これに対して、LED等の発光装置は、誤動作によって破損する恐れが少ないため、発光制御装置に関する異常判定に時間を要しても問題が生じることはない。

【0357】

30

従って、異常判定を短時間で行う必要がある装飾制御装置510に限定して判定の周期を短縮し、他の装飾制御装置510の異常判定を余裕のある周期で行うので、処理負担のバランスを考慮した異常判定処理を実行することが可能となる。

【0358】

図22は、本発明の第1の実施形態の演出制御装置550による処理のフローチャートである。

【0359】

図22に示す演出制御装置550の処理は、演出制御装置550のCPU551によって実行される。

【0360】

40

演出制御装置550は、演出制御装置550に電源が投入されると、まずステップ2201～2203の処理を実行し、ステップ2204の処理でVDP556から画像更新周期と同期する同期信号（例えば、33ms秒周期の同期信号）が割込信号としてCPU551に入力されるまで待機する。そして、以降は、VDP556から画像更新周期と同期する同期信号が割込信号としてCPU551に入力される毎に、ステップ2205～2214の処理を繰り返し実行する。

【0361】

まず、演出制御装置550は、演出制御装置550のRAM553を初期化する（2201）。

【0362】

50

そして、演出制御装置 550 は、入出力 I/F 558 と NOR ゲート回路 590 とを介してリセットパルスを実行 IC 570 へ入力し、実行 IC 570 をハード的に初期化する (2202)。

【0363】

そして、演出制御装置 550 は、実行 IC 570 に接続されたすべての装飾制御装置 610 の I²C I/O エクスパンダ 615 を初期化するために、実行 IC 570 から初期化指示データを出力するスレーブリセット処理を実行する (2203)。スレーブリセット処理は、図 25 で詳細を説明する。

【0364】

次に、演出制御装置 550 は、VDP 556 から画像更新周期と同期する同期信号 (VDP 割込) の受け入れを許可する (2204)。このとき、タイマ割り込みの受け入れも許可される。

10

【0365】

そして、演出制御装置 550 は、表示装置 53 に画像を表示するために、VDP 556 に画像を表示させる指令となるデータを出力し (2205)、スピーカ 30 から音を遊技状態に応じて出力させるために、音制御データを音 LSI 557 に出力し、音 LSI 557 に音制御データに基づいてスピーカ 30 から音を出力させる (2206)。

【0366】

次に、演出制御装置 550 は、発光制御装置 550 に演出制御データを実行 IC 570 から出力する発光制御スレーブ出力処理を実行する (2207)。発光制御スレーブ出力処理は、図 24 で詳細を説明する。

20

【0367】

そして、演出制御装置 550 は、VDP 556 に次に出力されるデータを編集し (2208)、音 LSI 557 に出力される音制御データを編集し (2209)、各グループの発光制御装置に次に出力される演出制御データを編集する (2210)。

【0368】

次に、演出制御装置 550 は、異常判定テーブル 2100 を参照し、エラー判定処理を実行する (2211)。

【0369】

具体的には、演出制御装置 550 は、異常判定テーブル 2100 の可動制御装置に対応するエントリのエラーフラグ 2105 が ON となっているか否か、つまり可動制御装置に異常が発生しているか否かを判定する。

30

【0370】

そして、可動制御装置に異常が発生していないと判定された場合に、演出制御装置 550 は、異常判定テーブル 2100 を参照し、すべての発光制御装置のエラーフラグ 2105 (予備判定結果) が ON になっているか、つまりすべての発光制御装置で異常が発生しているか否かを判定する。言い換えれば、エラーフラグ 2105 が OFF となっている発光制御装置が 1 つでもあるか否かを判定する。

【0371】

次に、演出制御装置 550 は、ステップ 2211 の処理の判定結果においてリセット条件が成立しているか否かを判定する (2212)。

40

【0372】

具体的には、ステップ 2211 の処理の時点で可動制御装置のエラーフラグが ON になっている場合には、ステップ 2212 の処理にてリセット条件成立とみなされる。または、ステップ 2211 の処理の時点ですべてのエラーフラグが ON になっている場合 (エラーフラグ 2105 が OFF となっている発光制御装置が存在しない場合) には、ステップ 2212 の処理にてリセット条件成立とみなされる。その他の場合は、ステップ 2212 の処理にてリセット条件が成立していないとみなされる。

【0373】

ステップ 2212 の処理でリセット条件成立と見なされた場合、演出制御装置 550 は

50

、マスタIC570を初期化し(2213)、マスタIC570から、マスタIC570に接続されるすべてのI²C I/Oエクスパンダ615に対して同時に初期化指示データ outputsするスレーブリセット処理を実行し(2214)、その後、VDP556から同期信号がCPU551に入力されるまで待機する。

【0374】

このように、リセット条件が成立したと判定された場合には、ステップ2214の処理で、マスタIC570に接続されるすべてのI²C I/Oエクスパンダ615に対して、同時に初期化を指示するので、言い換えれば、全てのI²C I/Oエクスパンダ615を同時に選択して初期化することになるので、I²C I/Oエクスパンダ615を個別に選択して初期化を指示する方法と比較すると、高速に初期化を行うことができ、I²C I/Oエクスパンダ615を正常な状態へ高速に復帰させることができる。

10

【0375】

なお、全てのI²C I/Oエクスパンダ615へ入力されるRESET端子(図7参照)とCPU551とを電氣的に接続し、CPU551から一斉に、全てのI²C I/Oエクスパンダ615のRESET端子へリセット信号を送信する構成としても、全てのI²C I/Oエクスパンダ615を同時に選択して初期化することは可能である。

【0376】

なお、ステップ2212の処理でリセット条件成立と見なされた場合は、マスタIC570において異常が発生していることが考えられるので、ステップ2213の処理でマスタIC570も初期化するようにしている。

20

【0377】

マスタIC570は、CPU551からの指令によって、接続線SDA及び接続線SCLの信号レベルを制御する信号レベル制御手段として機能しているので、すべての発光制御装置にてデータ送信に関する異常が発生している場合には、マスタIC570自身に異常が発生していることも考えられる。

【0378】

そのため、すべての装飾制御装置610にてデータ送信に関する異常が発生している場合には、念のために、CPU551(演算処理手段)によりマスタIC570が初期化される。これにより、マスタIC570で異常が発生している場合であっても確実にマスタIC570を制御可能にすることができる。

30

【0379】

この場合、CPU551は、入出力I/F558とNORゲート回路590とを介してリセットパルスをマスタIC570へ入力し、マスタIC570をハード的にリセットする。なお、CPU551から、バス563を介してリセットレジスタ573に情報を書き込むことにより、マスタIC570をソフト的にリセットしてもよい。

【0380】

一方、ステップ2212の処理でリセット条件が成立していないとみなされた場合は、ステップ2213、及び2214の処理を実行しないで、VDP556から同期信号がCPU551に入力されるまで待機する。

【0381】

40

このように、図22による処理では、表示装置53の画像を更新する周期と同期して、演出制御装置550のマスタIC570から装飾制御装置610のI²C I/Oエクスパンダ615へ演出制御データを送信し、I²C I/Oエクスパンダ615は受信した演出制御データに基づいて演出装置620を制御するので、表示装置53における演出と演出装置620における演出とが調和し、遊技者に違和感を与えないので、興趣を高めることができる。

【0382】

また、表示装置53の画像を更新する周期と同期してマスタIC570から送信された演出制御データが装飾制御装置610で受信されると、その都度、I²C I/Oエクスパンダ615によってワークレジスタの値が更新される。そのため、毎回ワークレジスタの

50

値が最新の状態に更新されるので、ノイズ等でワークレジスタの値が破壊されても、正常な値に復帰することが可能である。

【0383】

また、表示装置53の画像を更新する周期と同期して、ステップ2211の処理で実行されるエラー判定処理を実行するので、エラー判定の実行頻度を適切にできる、つまり、エラー判定処理の実行頻度が多すぎると、演出制御装置550のCPU551の処理負荷が増大してしまい、逆に、エラー判定処理の実行頻度が少なすぎると、異常が発生したことを適切に検出できなくなってしまうことになるので、適度な頻度でエラー判定を行うことにより処理の不具合を防止することができる。

【0384】

図23は、本発明の第1の実施形態のタイマ割込処理のフローチャートである。

【0385】

タイマ割込処理は、タイマ割込が許可されているという条件の下で、2ms周期で発生するタイマ割込をCPU551が受け付けた場合に、CPU551によって図22の処理に割り込む形態で実行される。

【0386】

まず、演出制御装置550は、可動制御装置を選択し(2301)、ステップ2301の処理で選択された可動制御装置にマスタIC570からデータを出力するスレーブ連続出力処理を実行する(2302)。スレーブ連続出力処理は、図24で詳細を説明する。

【0387】

そして、演出制御装置550は、可動制御装置に次に出力されるデータを編集し(2303)、タイマ割込処理を終了する。

【0388】

図24は、本発明の第1の実施形態の発光制御スレーブ出力処理のフローチャートである。

【0389】

発光制御スレーブ出力処理は、図22に示すステップ2207の処理である。

【0390】

演出制御装置550は、複数の発光制御装置から、一つの発光制御装置を選択し(2401)、ステップ2401の処理で選択された発光制御装置にマスタIC570からデータを出力するスレーブ連続処理を実行する(2402)。

【0391】

そして、演出制御装置550は、すべての発光制御装置にデータを出力したか否かを判定する(2403)。

【0392】

ステップ2403の処理で、すべての発光制御装置にデータを出力していないと判定された場合、次の発光制御装置を選択し(2404)、ステップ2404の処理で選択された発光制御装置にマスタIC570からデータを出力するスレーブ連続処理を実行する(2402)。

【0393】

一方、ステップ2403の処理で、すべての発光制御装置にデータを出力したと判定された場合、発光制御スレーブ出力処理を終了し、図22に示すステップ2208の処理に進む。

【0394】

図25は、本発明の第1の実施形態のスレーブ連続処理のフローチャートである。

【0395】

まず、演出制御装置550は、ACKの返答信号の受信に失敗したことを計数するACKカウンタに0を設定する(2501)。

【0396】

次に、演出制御装置550は、選択されている装飾制御装置610に出力するデータを

10

20

30

40

50

生成する(2502)。

【0397】

そして、演出制御装置550は、ステップ2502の処理で生成されたデータを出力用BUF572に設定するバッファ設定処理を実行する(2503)。

【0398】

そして、マスタIC570は、接続線SDA及び接続線SCLの信号レベルを、スタート条件を示す信号レベルに変化させる(2504)。

【0399】

具体的には、マスタIC570は、接続線SCLの信号レベルをHIGHに維持したまま、接続線SDAの信号レベルをHIGHからLOWに変化させることによってスタート条件を示す信号を出力する。

10

【0400】

なお、マスタIC570は、スタート条件を示す信号を出力後、制御対象となる装飾制御装置610へデータを送るために、接続線SCLのレベルをLOWに変更する。

【0401】

そして、マスタIC570は、出力用BUF572に記憶されているデータから、制御対象となる装飾制御装置610のスレーブアドレスの8ビット分のデータを、接続線SCLの信号レベルを変化させながら、接続線SDAを介して出力する(2505)。

【0402】

ステップ2505の処理で出力されるアドレスデータは8ビットのデータ列であるため、1回の出力処理(接続線SCLが8回HIGHに変化する間の出力)でアドレスデータが出力される。

20

【0403】

ステップ2505の処理で出力されたアドレスデータが装飾制御装置610に入力された場合、装飾制御装置610のI²C I/Oエクスパンダ615は、入力されたアドレスデータと自身に設定されているアドレスとが一致するか否かを判定する。

【0404】

入力されたアドレスデータと一致するアドレスが設定されているI²C I/Oエクスパンダ615は、接続線SCLのLOWからHIGHへの変更回数が8回目になった直後であって、そのHIGHレベルとなっている接続線SCLがLOWレベルへと変化することを契機として、返答信号を接続線SDAからマスタIC570に出力する。

30

【0405】

次に、マスタIC570は、ステップ2505の処理でアドレスデータが出力されてから所定時間以内にACKの返答信号がマスタIC570に入力されたか否かを確認する(2506)。

【0406】

次に、マスタIC570は、ステップ2506の処理の確認結果に基づいて、ステップ2502の処理でアドレスデータが出力されてから所定時間以内にACKの返答信号が入力されているか否かを判定する(2507)。

【0407】

ステップ2505の処理でアドレスデータが出力されてから所定時間以内にACKの返答信号が入力されていないと、ステップ2507の処理で判定された場合には、マスタIC570は、割り込みを発生させて(2508)、ACKの返答信号が入力されていないことをCPU551に知らせる。

40

【0408】

CPU551は、ステップ2508の処理で発生した割り込みを受け付けると、ACKカウンタが0であるか否かを判定する(2509)。

【0409】

ステップ2509の処理で、ACKカウンタが0であると判定された場合、ACKの返答信号の受信に失敗したことを計数するためにACKカウンタを+1更新し(2510)

50

、再度同じデータを当該装飾制御装置 6 1 0 に送信するために、ステップ 2 5 0 2 の処理に戻る。

【 0 4 1 0 】

一方、ステップ 2 5 0 9 の処理で、ACK カウンタが 0 でないと判定された場合（つまり 2 回連続して ACK 信号を受信できなかった場合）、CPU 5 5 1 は、異常判定テーブル 2 1 0 0 に登録されたエントリのうち、I/O エクスパンダアドレス 2 1 0 1 が選択された装飾制御装置 6 1 0 の I²C I/O エクスパンダ 6 1 5 のアドレスと一致するエントリを選択し、選択されたエントリのエラーカウンタ 2 1 0 3 をインクリメントする（2 5 1 1）。

【 0 4 1 1 】

そして、CPU 5 5 1 は、ステップ 2 5 1 1 の処理でインクリメントされたエラーカウンタ 2 1 0 3 の値が比較値 2 1 0 4 に達しているか否かを判定する（2 5 1 2）。

【 0 4 1 2 】

ステップ 2 5 1 1 の処理でインクリメントされたエラーカウンタ 2 1 0 3 の値が比較値 2 1 0 4 に達していると、ステップ 2 5 1 2 の処理で判定された場合、CPU 5 5 1 は、異常判定テーブル 2 1 0 0 に登録されたエントリのうち、選択された装飾制御装置 6 1 0 のエントリのエラーフラグを ON に設定し（2 5 1 3）、マスタ IC 5 7 0 は、接続線 SDA 及び接続線 SCL の信号レベルを、ストップ条件を示す信号レベルに変化させ（2 5 1 4）、スレーブ連続出力処理を終了する。

【 0 4 1 3 】

一方、ステップ 2 5 1 1 の処理でインクリメントされたエラーカウンタ 2 1 0 3 の値が比較値 2 1 0 4 に達していないと、ステップ 2 5 1 2 の処理で判定された場合、ステップ 2 5 1 4 の処理に進み、接続線 SDA 及び接続線 SCL の信号レベルを、ストップ条件を示す信号レベルに変化させて、スレーブ連続出力処理を終了する。

【 0 4 1 4 】

一方、ステップ 2 5 0 2 の処理でアドレスデータが出力されてから所定時間以内に ACK の返答信号が入力されたと、ステップ 2 5 0 7 の処理で判定された場合には、マスタ IC 5 7 0 は、出力用 BUF 5 7 2 に記憶されているすべてのデータを出力したか否かを判定する（2 5 1 5）。

【 0 4 1 5 】

ステップ 2 5 1 5 の処理で、出力用 BUF 5 7 2 に記憶されているすべてのデータを出力していないと判定された場合には、マスタ IC 5 7 0 は、次の 1 バイトのデータを選択された装飾制御装置 6 1 0 に出力し（2 5 1 6）、ステップ 2 5 0 6 の処理に進む。

【 0 4 1 6 】

なお、ステップ 2 5 0 5 の処理で出力されたアドレスデータが自身に設定されたアドレスと一致する装飾制御装置 6 1 0 の I²C I/O エクスパンダ 6 1 5 は、ステップ 2 5 1 6 の処理で出力されたデータを、接続線 SCL が LOW から HIGH になったタイミングで取り込み、次いで接続線 SCL が HIGH から LOW へ変化することを契機に、返答信号を接続線 SDA からマスタ IC 5 7 0 に出力する。

【 0 4 1 7 】

一方、ステップ 2 5 1 5 の処理で、出力用 BUF 5 7 2 に記憶されているすべてのデータを出力したと判定された場合には、マスタ IC 5 7 0 は、割り込みを発生させて（2 5 1 7）、出力用 BUF 5 7 2 に記憶されているすべてのデータを出力したことを CPU 5 5 1 に通知する。

【 0 4 1 8 】

そして、CPU 5 5 1 は、異常判定テーブル 2 1 0 0 に登録されたエントリのうち、選択された装飾制御装置 6 1 0 のエントリのエラーカウンタ 2 1 0 3 をクリアし（2 5 1 8）、当該エントリのエラーフラグ 2 1 0 5 をオフに設定し（2 5 1 9）、ステップ 2 5 1 4 の処理に進み、マスタ IC 5 7 0 がストップ条件を示す信号を出力して、スレーブ連続出力処理を終了する。

10

20

30

40

50

【 0 4 1 9 】

図 2 5 による処理では、マスタ I C 5 7 0 は、8 ビットのデータを出力後に、装飾制御装置 6 1 0 からの返答信号を取り込むことにより、データ転送の成否を判定し、データ転送が失敗している場合（つまり、N A C K の返答信号がマスタ I C 5 7 0 に入力された場合）、出力したデータを 1 回だけ再度出力するので、装飾制御装置 6 1 0 にデータを可能な限り確実に出力することができ、演出装置の誤動作を防止できる。また、出力したデータを 1 回だけ再度出力することにより、データ送信時間が必要以上に長くなることを防止できる。

【 0 4 2 0 】

なお、図 2 5 による処理で、ステップ 2 5 0 4 の処理でマスタ I C 5 7 0 がスタート条件を送信する際には、接続線 S D A が H I G H になっている必要があるが、ノイズ等の影響によって、接続線 S D A が L O W となったまま変化しない状態が発生する場合がある。

10

【 0 4 2 1 】

本実施形態では、マスタ I C 5 7 0 が装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 に送信するスレーブアドレスには、R / W 識別データが「0」（書き込みを意味する）となっているものだけを用いている（図 1 1 参照）が、ノイズ等の影響によって、R / W 識別データが「1」（読み出しを意味する）となった状態で、I²C I / O エクスパンダ 6 1 5 へ伝わる場合がある。

【 0 4 2 2 】

この場合、I²C I / O エクスパンダ 6 1 5 は読み出しモードとなり、マスタ I C 5 7 0 によって接続線 S C L の信号レベルが変化することに対応して、I²C I / O エクスパンダ 6 1 5 からマスタ I C 5 7 0 へ、接続線 S D A を介してデータを 1 ビットごと伝送する処理を行う。

20

【 0 4 2 3 】

このとき、I²C I / O エクスパンダ 6 1 5 は、8 ビットのデータを伝送するごとに、マスタ I C 5 7 0 から接続線 S D A を介してアクノリッジ信号を受信する処理を行い、アクノリッジ信号を受信するとさらに 8 ビットのデータ伝送を行い、以後、この 8 ビットのデータ伝送とアクノリッジ信号の確認を繰り返すが、この間は、接続線 S D A が I²C I / O エクスパンダ 6 1 5 によって占有されている状態となる。

【 0 4 2 4 】

30

一方で、I²C I / O エクスパンダ 6 1 5 は、8 ビットのデータ伝送後に、マスタ I C 5 7 0 から接続線 S D A を介してアクノリッジ信号を受信できないときは、接続線 S D A を解放してデータ伝送を中止する。なお、I²C I / O エクスパンダ 6 1 5 は、マスタ I C 5 7 0 から接続線 S D A を介してアクノリッジ信号を受信する際には、接続線 S D A が L O W レベルであればアクノリッジ信号を受信したと解釈し、接続線 S D A が H I G H レベルであればアクノリッジ信号を受信しないと解釈する。

【 0 4 2 5 】

よって、マスタ I C 5 7 0 からのデータがノイズ等の影響により変化し、この変化したデータを勝手に受信して読み出しモードとなった I²C I / O エクスパンダ 6 1 5 が発生してしまうと、接続線 S D A がいつまでも解放されないことになる。

40

【 0 4 2 6 】

このような場合に、接続線 S D A の信号レベルは L O W に維持されたままになり、マスタ I C 5 7 0 と、本来送信を行うことを意図していた装飾制御装置 6 1 0 の I²C I / O エクスパンダ 6 1 5 との間で接続線 S D A を介した通信が行えなくなる。

【 0 4 2 7 】

そこで、マスタ I C 5 7 0 は、ステップ 2 5 0 4 の処理でスタート条件を示す信号を出力する前に、接続線 S D A からデータが出力できる状態であるか否かを判定するために、接続線 S D A の信号レベルが H I G H であるか否かを判定する。

【 0 4 2 8 】

接続線 S D A の信号レベルが H I G H でないと判定された場合、接続線 S D A からデー

50

タが出力できないので、ドライバ576Aによりトランジスタ578Aに動作可能な電圧を印加しないことによってトランジスタ578Aをオンさせずに（接続線SDAを解放した状態で）、接続SC Lの信号レベルを少なくとも9回変化させる。

【0429】

このような処理を行うことで、読み出しモードとなったI²C I/Oエクスパンダ615は、接続SC Lの信号レベルの変化に合わせて接続線SDAにデータ出力するが、接続SC Lの信号レベルの変化が少なくとも9回行われる途中において、マスタIC570からのアクノリッジ信号を確認するタイミングが発生する。このとき、接続線SDAは解放されているのでHIGHレベルとなり、読み出しモードとなったI²C I/Oエクスパンダ615は、アクノリッジ信号を受信しなかったと判断するので、データ伝送をやめて接続線SDAを解放することになる。

10

【0430】

なお、この処理は、スタート条件を示す信号を出力する前だけでなく、マスタIC570が装飾制御装置610へデータ出力する前に行われるようにしてもよい。具体的には、ステップ1702、1707、及び1713の処理の前に実行されてもよい。

【0431】

このようにして、読み出しモードとなった装飾制御装置610のI²C I/Oエクスパンダ615から強制的に接続線SDAを解放させるので、接続線SDAの信号レベルはHIGHに維持されるようになる。

20

【0432】

図26は、本発明の第1の実施形態のスレーブリセット処理のフローチャートである。

【0433】

スレーブリセット処理は、図22に示すステップ2203又は2214の処理で実行される。

【0434】

まず、マスタIC570は、接続線SDA及び接続線SC Lの信号レベルを、スタート条件を示す信号レベルに変化させる（2601）。

【0435】

次に、マスタIC570は、リセットアドレス（図20参照）を示す1バイト分のデータを接続線SC Lの信号レベルを変化させながら、接続線SDAを介して出力する送信する（2602）。

30

【0436】

次に、マスタIC570は、データが出力されてから所定時間以内にACKの返答信号がマスタIC570に入力されたか否かを確認する（2603）。

【0437】

次に、マスタIC570は、ステップ2603の処理の確認結果に基づいて、データが出力されてから所定時間以内にACKの返答信号が入力されているか否かを判定する（2604）。

【0438】

ステップ2604の処理で、データが出力されてから所定時間以内にACKの返答信号が入力されていないと判定された場合、マスタIC570は、割り込みを発生させて（2605）、マスタIC570からデータを出力してから所定時間以内にACKの返答信号が入力されていないことを通知し、ステップ2601の処理に戻り、I²C I/Oエクスパンダ615を初期化するためのデータを再度出力する。

40

【0439】

ステップ2604の処理で、データが出力されてから所定時間以内にACKの返答信号が入力されたと判定された場合、マスタIC570は、割り込みを発生させて（2606）、マスタIC570からデータを出力してから所定時間以内にACKの返答信号が入力されたことを通知する。

【0440】

50

そして、マスタＩＣ５７０は、初期化指示データを構成する３種類のデータ（図２０にて図示している、リセットアドレスを含むデータ２００１、第１所定値のデータ２００２、第２所定値のデータ２００３）を全て出力したか否かを判定する（２６０７）。なお、これらのデータは出力順序が予め定められているので、第２所定値のデータ２００３が出力された直後か否かを判定すればよいことになる。

【０４４１】

ステップ２６０７の処理で、初期化指示データを構成するすべてのデータを出力していないと判定された場合には、マスタＩＣ５７０は、次に送信される図２０に示す第１所定値（第１所定値の送信に成功していれば第２所定値）を示すデータを出力し（２６０８）、ステップ２６０３の処理に進む。

10

【０４４２】

一方、ステップ２６０７の処理で、初期化指示データを構成するすべてのデータを出力したと判定された場合、つまり、図２０に示す第２所定値を示すデータを出力した場合には、マスタＩＣ５７０は、マスタＩＣ５７０は、接続線ＳＤＡ及び接続線ＳＣＬの信号レベルを、ストップ条件を示す信号レベルに変化させ（２６０９）、スレーブリセット処理を終了する。

【０４４３】

マスタＩＣ５７０に接続されたすべてのＩ^２ＣＩ／Ｏエクスパンダ６１５は、リセットアドレス、第１所定値、及び第２所定値から構成されたリセット信号を受信すると、Ｉ^２ＣＩ／Ｏエクスパンダ６１５のレジスタの初期化を行う。

20

【０４４４】

したがって、マスタＩＣ５７０は、マスタＩＣ５７０に接続されたすべてのＩ^２ＣＩ／Ｏエクスパンダ６１５に対して同時に初期化の指示を行っている。

【０４４５】

このように、Ｉ^２ＣＩ／Ｏエクスパンダ６１５に異常が発生している場合にＩ^２ＣＩ／Ｏエクスパンダ６１５を初期化する必要があるので、Ｉ^２ＣＩ／Ｏエクスパンダ６１５の初期化は、高速な初期化が要求される。このため、本実施形態では、マスタＩＣ５７０に接続されたすべてのＩ^２ＣＩ／Ｏエクスパンダ６１５を同時に初期化するので、高速な初期化を実現できる。

【０４４６】

30

図２７は、本発明の第１の実施形態の遊技機全体に設けられる装飾制御装置６１０の接続形態を示す図であり、特に前面枠３に設けられる装飾制御装置６１０について説明する図である。

【０４４７】

装飾制御装置６１０は、主に、遊技盤１０及び前面枠３に取り付けられている。前面枠３に取り付けられた装飾制御装置６１０が制御するＬＥＤは、装飾部材９、照明ユニット１１、及び異常報知ＬＥＤ２９を照射するものである。

【０４４８】

遊技機には複数の仕様があり、通常版遊技機１と廉価版遊技機１とがある。通常版遊技機１は、標準仕様の装飾部材９を備える前面枠３（通常版前面枠）を備えている。廉価版遊技機１は、標準仕様の装飾部材９よりも廉価なコストで構成された装飾部材９'を備える前面枠３（廉価版前面枠）を備えている。

40

【０４４９】

通常版前面枠３と廉価版前面枠３とは、装飾部材９を照射するために取り付けられる装飾制御装置６１０の数が相違する。具体的には、通常版前面枠３の装飾部材９は四つの装飾制御装置６１０により照射され、廉価版前面枠３の装飾部材９'は二つの装飾制御装置６１０により照射される。装飾部材９は最大６０個のＬＥＤによって照射されるのに対して、装飾部材９'は最大３０個のＬＥＤによって照射されるので、装飾部材９のほうが装飾部材９'よりも明るくなる。このため、通常版前面枠３が取り付けられた場合の装飾制御装置６１０の制御と、廉価版前面枠３が取り付けられた場合の装飾制御装置６１０の制

50

御とが異なる。

【0450】

通常版前面枠3に取り付けられる装飾制御装置610のI²C I/Oエクスパンダ615のアドレスと廉価版前面枠3に取り付けられる装飾制御装置610のI²C I/Oエクスパンダ615の固有アドレスとが同じであると、通常版前面枠3に取り付けられた場合の制御を行う通常版用の演出制御装置550と、廉価版前面枠3に取り付けられた場合の制御を行う廉価版用の演出制御装置550と、を用意して、取り付けられる前面枠3に対応して演出制御装置550を取り換えなければならない。したがって、製造メーカーが遊技機1を出荷する場合に、通常版用の演出制御装置550と廉価版用の演出制御装置550とを用意しなければならず、製造コストが高くなってしまう。

10

【0451】

このため、本実施形態では、通常版前面枠3と廉価版前面枠3とで制御が異なる装飾制御装置550のI²C I/Oエクスパンダ615の個別アドレスには、異なるアドレスを割り当て、一つの演出制御装置550が通常版用の制御と廉価版用の制御とを行えるようにした。これによって、通常版用の演出制御装置550と廉価版用の演出制御装置550とを用意する必要がなくなり、製造コストを削減できる。

【0452】

具体的には、通常版前面枠3の装飾部材9を照射するLEDに接続される四つの装飾制御装置610(第1の仕様依存型グループ単位制御手段)のI²C I/Oエクスパンダ615の固有アドレスには、「1001」、「1010」、「1100」、及び「1101」が割り当てられる。

20

【0453】

一方、廉価版前面枠3の装飾部材9'を照射するLEDに接続される二つの装飾制御装置610のI²C I/Oエクスパンダ615(第2の仕様依存型グループ単位制御手段)のアドレスには、通常版前面枠3の装飾部材9を照射するLEDに接続される四つの装飾制御装置610のI²C I/Oエクスパンダ615の固有アドレスと異なる「1110」及び「1111」が割り当てられる。

【0454】

そして、通常版前面枠3と廉価版前面枠3の何れに使用される場合であっても、演出制御装置550からは、装飾部材9、9'のI²C I/Oエクスパンダ615に割り当てられた固有アドレスである「1001」、「1010」、「1100」、「1101」、「1110」及び「1111」の全てを含んだ演出制御データが、装飾制御装置610に送信される。

30

【0455】

したがって、通常版用の制御と廉価版用の制御とを行えるようにした一つの演出制御装置550で通常版前面枠3の装飾制御装置610と廉価版用の装飾制御装置610とを制御できるので、製造コストを削減できる。

【0456】

また、通常版前面枠3と廉価版前面枠3とで同じ制御をする照明ユニット11及び異常報知LED29を照射するLEDに接続された装飾制御装置610のI²C I/Oエクスパンダ615には、通常版前面枠3と廉価版前面枠3とで異なるアドレスにする必要はなく、同じアドレスが割り当てられる。

40

【0457】

なお、廉価版前面枠3では、固有アドレスが「1001」、「1010」、「1100」、「1101」となるI²C I/Oエクスパンダ615は使用されず、通常版前面枠3では、固有アドレスが「1110」、「1111」となるI²C I/Oエクスパンダ615は使用されない。そのため、何れの仕様の前面枠3であっても、異常判定テーブル2100(図21)において、接続されないI²C I/Oエクスパンダ615が存在することになるが、前述したように、異常判定テーブル2100に登録されているI²C I/Oエクスパンダ615の一つと、マスタIC570との間でデータ送受信が行われれば、正常

50

な状態として処理されるので問題はない。

【0458】

(第2の実施形態)

以下に本発明の第2の実施形態について説明する。

【0459】

図28は、本発明の第2の実施形態を説明する図である。第2の実施形態では、演出制御装置550に複数のマスタIC570を備えた構成となっている。

【0460】

図28では、演出制御装置550は、三つのマスタIC570A~570Cを備える。

【0461】

マスタIC570Aは、中継基板600Aと接続され、中継基板600Aは、装飾制御装置610A~610Cと直列に接続されるとともに、装飾制御装置610D~610Fと直列に接続される。

【0462】

マスタIC570Bは、中継基板600Bと接続され、中継基板600Bは、装飾制御装置610G~610Iと直列に接続されるとともに、装飾制御装置610J~610Lと直列に接続される。

【0463】

マスタIC570Cは、中継基板600Cと接続され、中継基板600Cは、装飾制御装置610M~610Oと直列に接続されるとともに、装飾制御装置610P~610Rと直列に接続される。

【0464】

ここで、一つのマスタIC570に接続されている装飾制御装置610群を系統という。系統とは、具体的には、マスタIC570Aであれば、中継基板600A、装飾制御装置610A~610Fである。

【0465】

マスタIC570は、接続されている装飾制御装置610にデータを出力可能であるため、マスタIC570は、接続されている装飾制御装置610を制御可能である。

【0466】

このような構成により、1個のマスタIC570で制御できるI²C I/Oエクスパンダ615の数の制限(図12に示すように14個を上限とする)がなくなり、多彩な演出制御を可能とすることが期待できる。

【0467】

本実施形態でも、異常判定テーブル2100(図21)に登録されたI²C I/Oエクスパンダ615のうちの一つのI²C I/Oエクスパンダ615とマスタIC570との間でデータ送受信が行われれば、正常な状態として処理が行われるが、異常の判定、並びにI²C I/Oエクスパンダ615及びマスタIC570の初期化の処理を、各系統毎に独立して行う点が第1の実施形態とは異なっている。

【0468】

本実施形態では、異常判定テーブル2100が各系統毎に用意されている。具体的には、マスタIC570Aと装飾制御装置610A~610Fとの間で行われるデータ送受信の異常を装飾制御装置毎に判定する第1の異常判定テーブルと、マスタIC570Bと装飾制御装置610G~610Lとの間で行われるデータ送受信の異常を装飾制御装置毎に判定する第2の異常判定テーブルと、マスタIC570Cと装飾制御装置610M~610Rとの間で行われるデータ送受信の異常を装飾制御装置毎に判定する第3の異常判定テーブルの3種類のテーブルが存在する。

【0469】

そして、何れかの異常判定テーブルにて、全てのI²C I/Oエクスパンダ615に関してデータ送受信異常が発生したと判定された場合には、当該異常判定テーブルに属する全ての装飾制御装置610を初期化し、あわせて対応するマスタIC570も初期化する

10

20

30

40

50

。但し、他の異常判定テーブルに属する装飾制御装置 6 1 0 やマスタ I C 5 7 0 は初期化しない。

【 0 4 7 0 】

例えば、前述した第 1 の異常判定テーブルにて、全ての I²C I / O エクスパンダ 6 1 5 に関してデータ送受信異常が発生したと判定された場合には、マスタ I C 5 7 0 A 及び装飾制御装置 6 1 0 A ~ 6 1 0 F のみを初期化し、他の、マスタ I C 5 7 0 B、5 7 0 C、及び装飾制御装置 6 1 0 G ~ 6 1 0 R は初期化しない。

【 0 4 7 1 】

なお、各マスタ I C 5 7 0 A ~ 5 7 0 C を初期化する方法として、ソフトリセットとハードリセットとがある。

10

【 0 4 7 2 】

ソフトリセットでは、C P U 5 5 1 によって各マスタ I C 5 7 0 A ~ 5 7 0 C のうちの一つが初期化される。具体的には、各マスタ I C 5 7 0 A ~ 5 7 0 C には、各々リセットレジスタ (図 4 のリセットレジスタ 5 7 3) を備えており、C P U 5 5 1 がバス 5 6 3 を介してこのリセットレジスタに特定値を書き込むと、特定値を書き込まれたリセットレジスタを備えるマスタ I C だけが初期化される。

【 0 4 7 3 】

ハードリセットでは、入出力 I / F 5 5 8 に各マスタ I C 5 7 0 A ~ 5 7 0 C の R E S E T 端子が接続されており、入出力 I / F 5 5 8 に印加される電圧が所定時間ローに保持されると、R E S E T 端子に印加される電圧も所定時間ローに保持され、全てのマスタ I C 5 7 0 A ~ 5 7 0 C が初期化される。

20

【 0 4 7 4 】

本実施形態では、電源投入時には、ハードリセットによって、全てのマスタ I C 5 7 0 A ~ 5 7 0 C を初期化し、合せて対応する装飾制御装置 6 1 0 を初期化する。そして、何れかの異常判定テーブルにて、全ての I²C I / O エクスパンダ 6 1 5 に関してデータ送受信異常が発生したと判定された場合には、当該異常判定テーブルに属するマスタ I C のみをソフトリセットにより初期化し、合わせて対応する装飾制御装置 6 1 0 を初期化するが、他のマスタ I C や装飾制御装置 6 1 0 はリセットしない。

【 0 4 7 5 】

このように、演出制御装置 5 5 0 に複数のマスタ I C 5 7 0 が備わる場合に、異常が発生したマスタ I C のみに対してリセットを行うので、遊技機 1 全体の装飾が一時停止することなく、遊技者に違和感を与えることを抑制できる。また、すべてのマスタ I C 5 7 0 を同時に高速にリセットしたい場合には、ハードリセットによりリセットが行えるので、様々な態様のリセット処理を実施することができる。

30

【 0 4 7 6 】

なお、今回開示した実施の形態は、全ての点で例示であって制限的なものではない。また、本発明の範囲は前述した発明の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味及び内容の範囲での全ての変更が含まれることが意図される。

【 産業上の利用可能性 】

【 0 4 7 7 】

以上のように、本発明は、演出制御装置が装飾制御装置を制御する遊技機に適用可能である。

40

【 符号の説明 】

【 0 4 7 8 】

- 1 遊技機
- 2 本体枠 (外枠)
- 3 前面枠
- 4 ヒンジ
- 1 0 遊技盤
- 1 1 照明ユニット

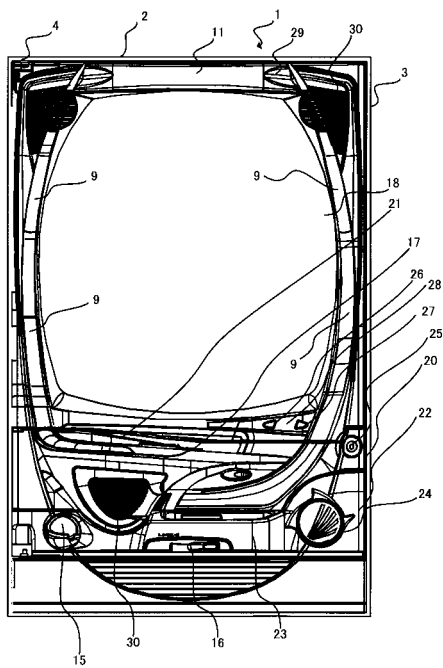
50

- 1 7 演出ボタン
- 1 8 ガラス枠
- 3 4 普図始動ゲート
- 3 6 普通変動入賞装置
- 4 2 特別変動入賞装置
- 4 4 一般入賞口
- 4 5 第1始動入賞口
- 5 1 センターケース
- 5 2 窓部
- 5 3 表示装置
- 5 5 振動センサ
- 6 0 可動役物
- 5 0 0 遊技制御装置
- 5 5 0 演出制御装置
- 5 6 0 役物駆動S O L
- 5 6 1 役物駆動M O T
- 5 7 0 マスタ I C
- 5 8 0 払出制御装置
- 6 0 0 中継基板 (装飾制御装置)
- 6 1 0 装飾制御装置
- 6 2 0 装飾装置
- 2 1 0 0 異常判定テーブル

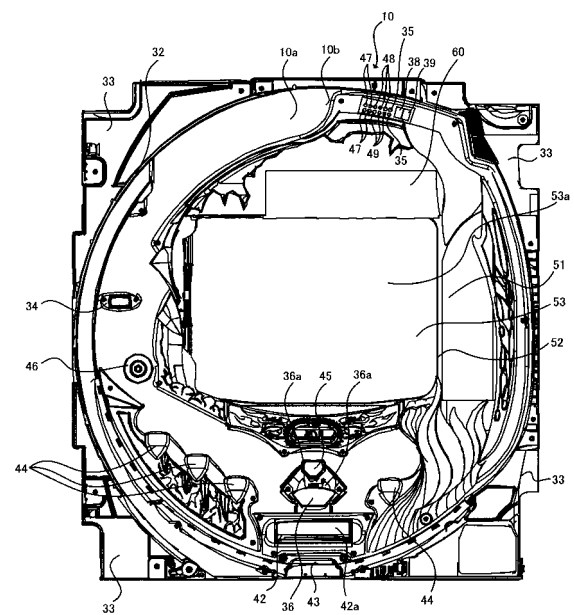
10

20

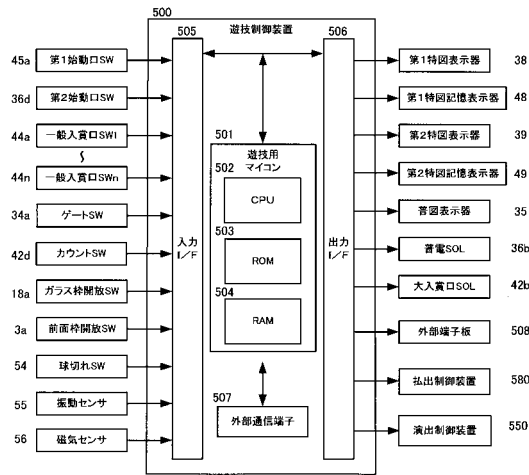
【図1】



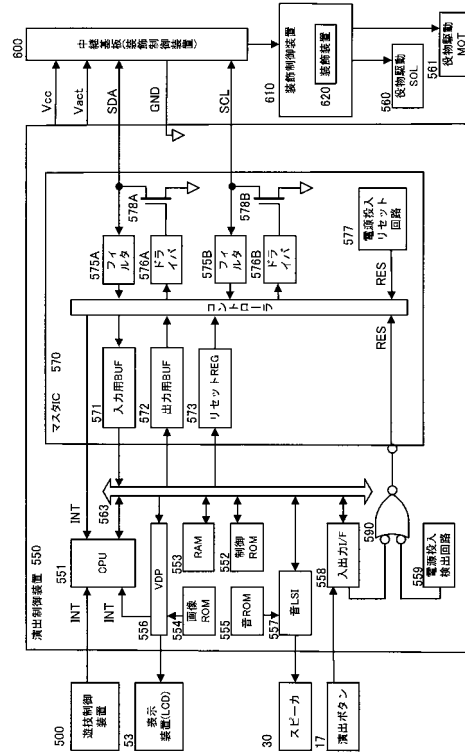
【図2】



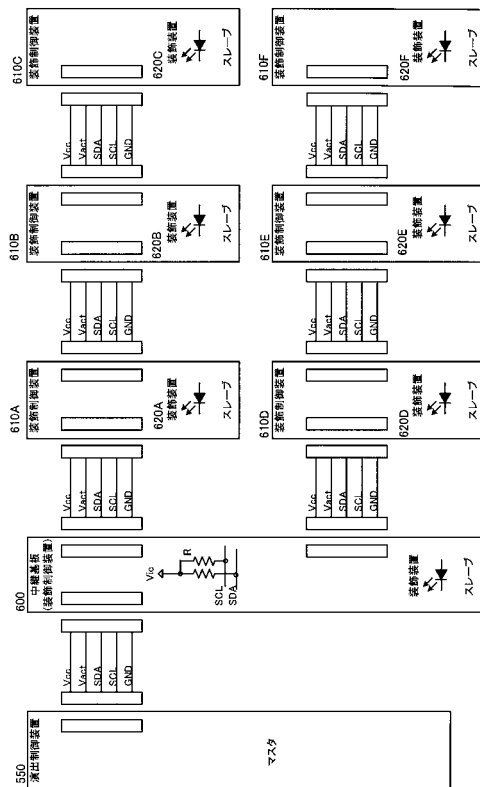
【図3】



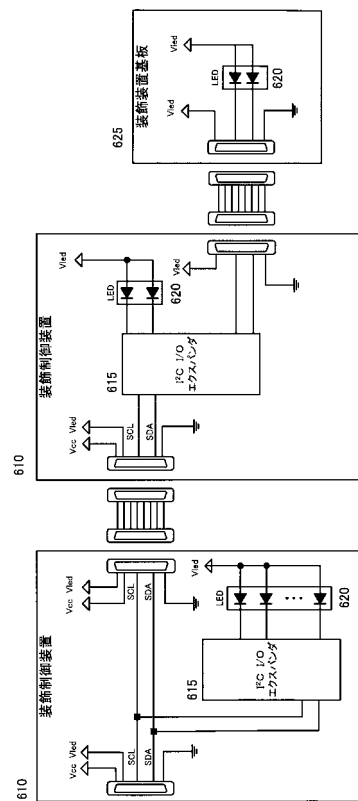
【図4】



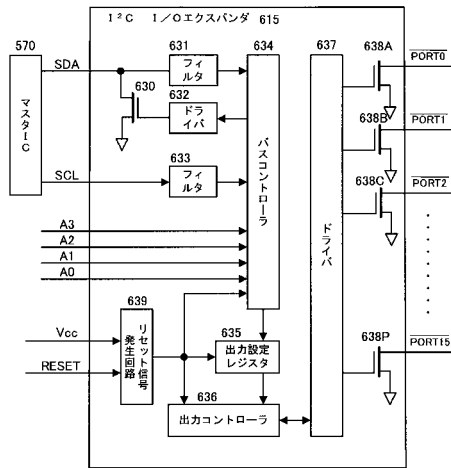
【図5】



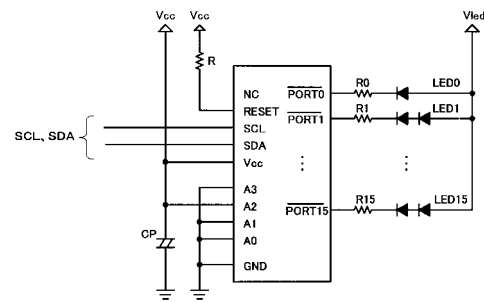
【図6】



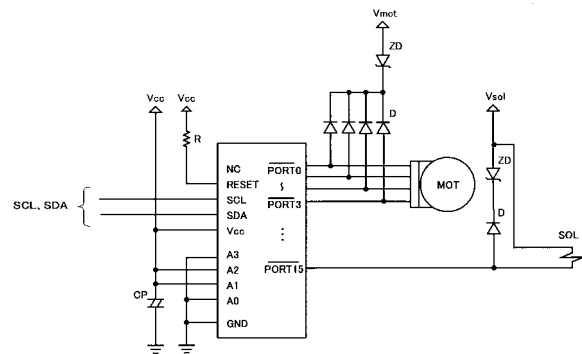
【図 7】



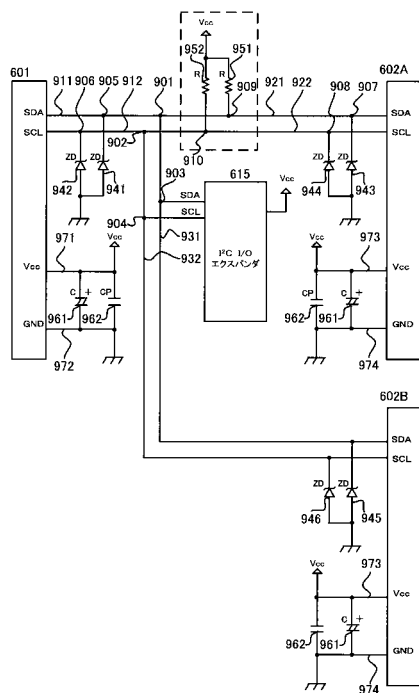
【図 8 A】



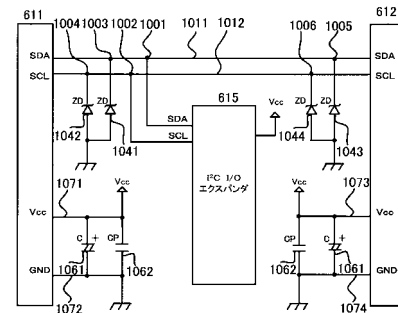
【図 8 B】



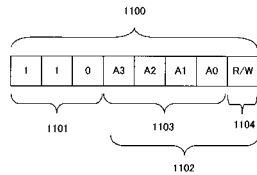
【図 9】



【図 10】



【図 1 1】



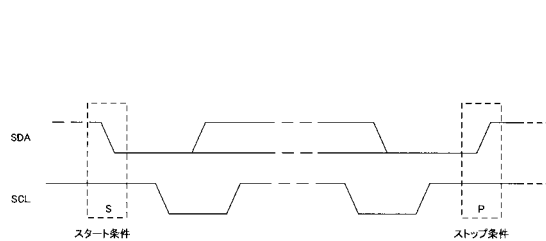
【図 1 2】

スレーブ アドレス	I ² C / Oエクスパンダアドレス			
	A3	A2	A1	A0
00h	0	0	0	0
02h	0	0	0	1
04h	0	0	1	0
06h	0	0	1	1
08h	0	1	0	0
0Ah	0	1	0	1
0Ch	0	1	1	0
0Eh	0	1	1	1
08h	1	0	0	0
02h	1	0	0	1
04h	1	0	1	0
06h	1	0	1	1
08h	1	1	0	0
0Ah	1	1	0	1
0Ch	1	1	1	0
0Eh	1	1	1	1

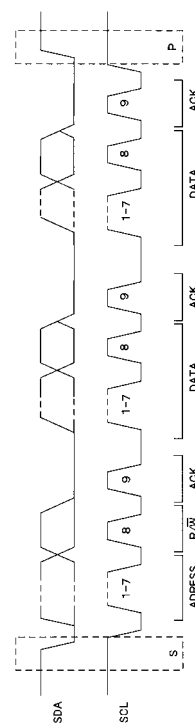
【図 1 3】

レジスタ 番号	レジスタ名	機能
00h	MODE 1	モードレジスタ 1
01h	MODE 2	モードレジスタ 2
02h	PWM 0	LED 0
03h	PWM 1	LED 1
04h	PWM 2	LED 2
05h	PWM 3	LED 3
06h	PWM 4	LED 4
07h	PWM 5	LED 5
08h	PWM 6	LED 6
09h	PWM 7	LED 7
0Ah	PWM 8	LED 8
0Bh	PWM 9	LED 9
0Ch	PWM 10	LED 10
0Dh	PWM 11	LED 11
0Eh	PWM 12	LED 12
0Fh	PWM 13	LED 13
10h	PWM 14	LED 14
11h	PWM 15	LED 15
12h	GRFPWM	グループデューティサイクル制御
13h	GRPFREQ	グループ周波数
14h	LEDOUT 0	LEDドライバ出力状態 LED 0-3
15h	LEDOUT 1	LEDドライバ出力状態 LED 4-7
16h	LEDOUT 2	LEDドライバ出力状態 LED 8-11
17h	LEDOUT 3	LEDドライバ出力状態 LED 12-15
18h	SUBADR 1	サブアドレス設定 1
19h	SUBADR 2	サブアドレス設定 2
1Ah	SUBADR 3	サブアドレス設定 3
1Bh	ALLCALLADR	ALL-CALLアドレス設定

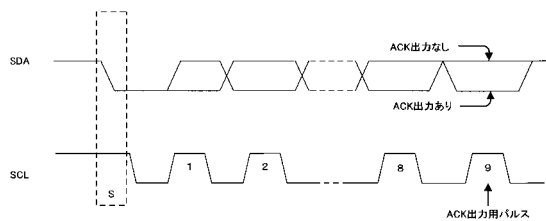
【図 1 4】



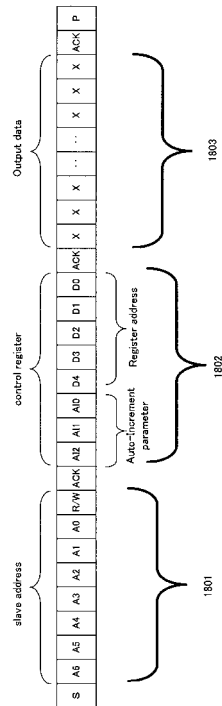
【図 1 6】



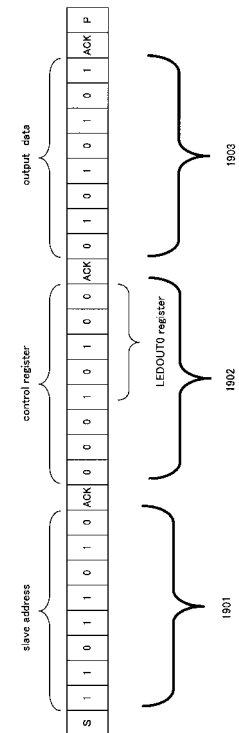
【図 1 5】



【図 17】



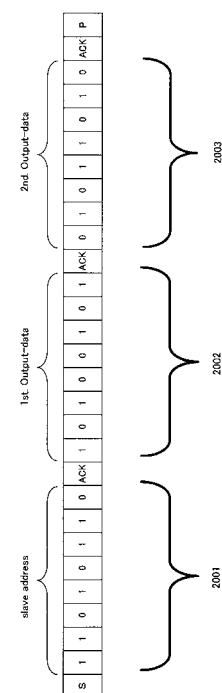
【図 18】



【図 19】

送信 順序	送信データ
1	スレーブアドレス+00h
2	コントロールレジスタ設定値
3	MODE 1 レジスタ値
4	MODE 2 レジスタ値
5	PWM 0 レジスタ値
6	PWM 1 レジスタ値
7	PWM 2 レジスタ値
8	PWM 3 レジスタ値
...	...
19	PWM 14 レジスタ値
20	PWM 15 レジスタ値
21	GRPTWM レジスタ値
22	GRPTFREQ レジスタ値
23	LEDOUT 0 レジスタ値
24	LEDOUT 1 レジスタ値
25	LEDOUT 2 レジスタ値
26	LEDOUT 3 レジスタ値
27	SUBADR 1 レジスタ値
28	SUBADR 2 レジスタ値
29	SUBADR 3 レジスタ値
30	ALLCALLADR レジスタ値

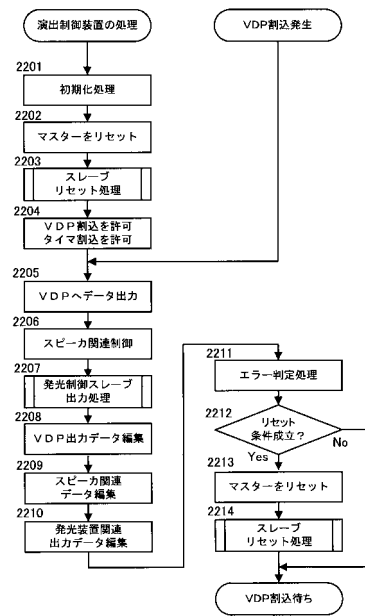
【図 20】



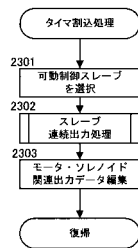
【図 2 1】

2101	2102	2103	2104	2105	2100
I/Oエクスパンダ アドレス	スレープ アドレス	エラー カウンタ	比較値	エラー フラグ	
0000	C0h	0~N	300	ON/OFF	
0001	C2h	0~N	300	ON/OFF	
0010	C4h	0~N	300	ON/OFF	
0011	C6h	0~N	300	ON/OFF	
0100	C8h	0~N	300	ON/OFF	
0101	CAh	0~N	300	ON/OFF	
0110	Ch	0~N	100	ON/OFF	
0111	CEh	0~N	300	ON/OFF	
1001	D2h	0~N	300	ON/OFF	
1010	D4h	0~N	300	ON/OFF	
1100	D8h	0~N	300	ON/OFF	
1101	DAh	0~N	300	ON/OFF	
1110	DCh	0~N	300	ON/OFF	
1111	DEh	0~N	300	ON/OFF	

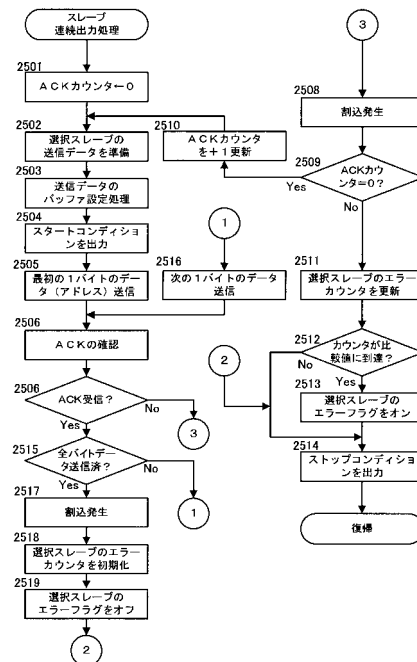
【図 2 2】



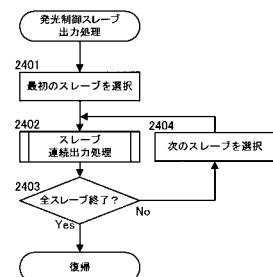
【図 2 3】



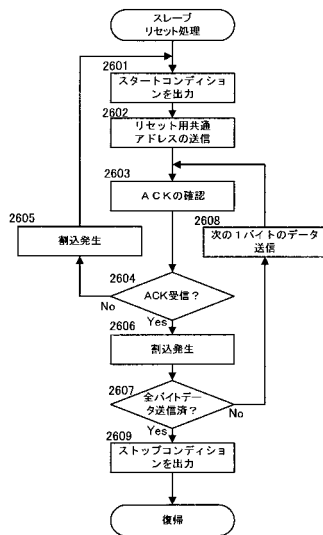
【図 2 5】



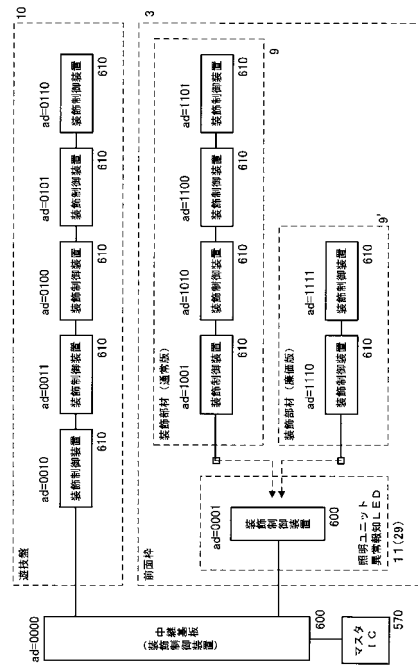
【図 2 4】



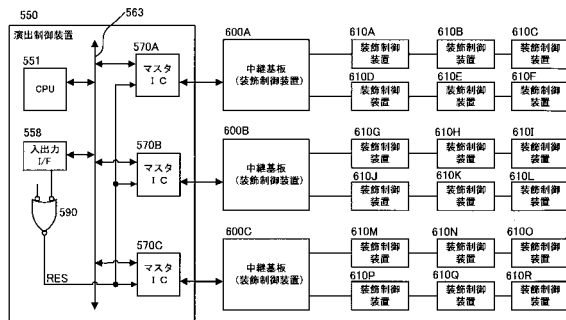
【 図 2 6 】



【 図 2 7 】



【圖 28】



フロントページの続き

(72)発明者 松橋 光一
群馬県太田市吉沢町990番地 株式会社ソフィア内

審査官 阿南 進一

(56)参考文献 特開2001-038021(JP,A)
特開平02-170638(JP,A)

(58)調査した分野(Int.Cl., DB名)
A63F 7/02