



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I613823 B

(45)公告日：中華民國 107 (2018) 年 02 月 01 日

(21)申請案號：105142264

(22)申請日：中華民國 100 (2011) 年 12 月 26 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2010/12/28 日本

2010-293047

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2010/0051936A1

US 2010/0084655A1

US 2010/0244022A1

Gun Hee Kim, Byung Du Ahn, Hyun Soo Shin, Woong Hee Jeong, Hee Jin Kim, " Effect of indium composition ratio on solutionprocessed nanocrystalline InGaZnO thin film transistors", Applied Physics Letters 94,233501 (2009)。

A. Ohtomo et al., "Single Crystalline ZnO Films Grown on Lattice-Matched ScAlMgO₄ (0001) Substrate", Applied Physics Letters, August 31, 1999, Vol.94, No.2635, pages 2635 to 2637.

審查人員：黃淑萍

申請專利範圍項數：7 項 圖式數：18 共 98 頁

(54)名稱

半導體裝置及其製造方法

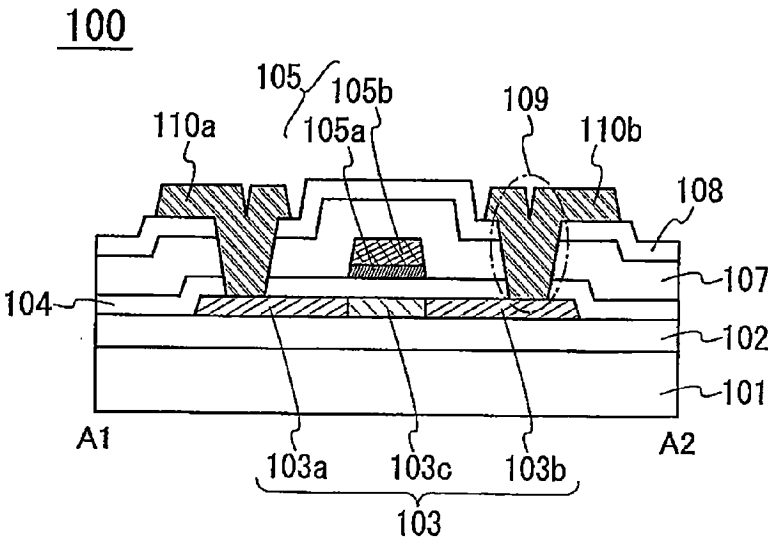
SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

本發明的一個實施例提供一種能夠進行高速工作的半導體裝置。此外，本發明的一個實施例還提供一種不容易發生因短通道效應而導致的電特性的變動的半導體裝置。將具有結晶性的氧化物半導體用於電晶體的半導體層，在該半導體層上形成通道形成區、源極區以及汲極區。源極區及汲極區藉由利用將閘極電極用作掩模且對半導體層添加第 15 族元素中的一種或多種的元素的自對準製程來形成。可以使源極區及汲極區具有纖鋅礦型晶體結構。

指定代表圖：

圖 1B



- 符號簡單說明：
- 100 . . . 電晶體
 - 101 . . . 基板
 - 102 . . . 基底層
 - 103 . . . 氧化物半導體層
 - 103a . . . 源極區
 - 103b . . . 汲極區
 - 103c . . . 通道形成區
 - 104 . . . 閘極絕緣層
 - 105 . . . 閘極電極
 - 105a . . . 閘極電極
 - 105b . . . 閘極電極
 - 107 . . . 絕緣層
 - 108 . . . 絕緣層
 - 109 . . . 接觸孔
 - 110a . . . 源極電極
 - 110b . . . 汲極電極
 - A1-A2 . . . 虛線

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【技術領域】

本發明係關於一種具有包括電晶體等的半導體元件的電路的半導體裝置及其製造方法。例如，本發明關於一種電子裝置，其中作為部件安裝有包括安裝在電源電路中的功率裝置、記憶體、閘流電晶體、轉換器、影像感測器等半導體積體電路、以液晶顯示面板為代表的電光學裝置和具有發光元件的發光顯示裝置中的任何一種。

注意，在本說明書中半導體裝置是指能夠利用半導體特性而工作的所有裝置，因此電光裝置、發光顯示裝置、半導體電路以及電子裝置都是半導體裝置。

【先前技術】

以液晶顯示裝置為代表的形成在玻璃基板等上的電晶體由非晶矽、多晶矽等構成。使用非晶矽的電晶體雖然場效應遷移率低，但是可以對應於玻璃基板的大面積化。此外，使用多晶矽的電晶體雖然效應遷移率高，但是不適於玻璃基板的大面積化。

與使用矽的電晶體相比，將使用氧化物半導體製造的

電晶體用於電子裝置或光學裝置的技術受到注目。例如，專利文獻 1 和專利文獻 2 公開一種技術，其中作為氧化物半導體使用氧化鋅、In-Ga-Zn 類氧化物製造電晶體，並將其用於顯示裝置的像素的切換元件等。

專利文獻 3 公開一種技術，其中在使用氧化物半導體的交錯型電晶體(staggered transistor)中，藉由將含有具有高導電性的氮的氧化物半導體設置在源極區和源極電極之間以及汲極區和汲極電極之間作為緩衝層，來降低氧化物半導體與源極電極及汲極電極之間的接觸電阻。

另外，作為利用自對準製程形成使用氧化物半導體的電晶體的源極區及汲極區的方法非專利文獻 1 公開一種方法，其中藉由使氧化物半導體的表面露出，並對其表面進行氬電漿處理，來降低該部分的氧化物半導體的電阻率。

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

[專利文獻 3]日本專利申請公開第 2010-135774 號公報

[非專利文獻 1]S. Jeon et al. “180nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Application” (閘極長度為 180nm 的非晶 InGaZnO 薄膜電晶體在高密度影像感測器的應用)，IEDM Tech. Dig., p.504, 2010。

【發明內容】

本發明的目的之一在於提供能夠進行高速工作的半導體裝置。

另外，本發明的目的之一在於提供不容易發生因短通道效應導致的電特性的變動的半導體裝置。

另外，本發明的目的之一在於提供利用自對準製程形成源極區及汲極區來容易實現微型化的半導體裝置。

另外，本發明的目的之一在於提供藉由形成與通道部分相比電阻低的源極區及汲極區，來降低與源極電極及汲極電極之間的接觸電阻，而增加導通電流的半導體裝置。

本發明的目的之一在於提供可靠性高的半導體裝置。

本發明的一個實施例的半導體裝置，包括：具有結晶性的氧化物半導體層；閘極絕緣層；以及閘極電極，其中，氧化物半導體層包括第一氧化物半導體區以及一對第二氧化物半導體區，一對第二氧化物半導體區以夾持第一氧化物半導體區的方式形成，並且，第一氧化物半導體區隔著閘極絕緣層重疊於閘極電極。

另外，本發明的一個實施例的半導體裝置，包括：具有結晶性的氧化物半導體層；閘極絕緣層；以及閘極電極，其中，氧化物半導體層包括第一氧化物半導體區、一對第二氧化物半導體區以及一對第三氧化物半導體區，一對第三氧化物半導體區以夾持第一氧化物半導體區的方式形成，一對第二氧化物半導體區以夾持一對第三氧化物半導體區的方式形成，並且，第一氧化物半導體區隔著閘極

絕緣層重疊於閘極電極。

將非單晶半導體用於氧化物半導體層。

第一氧化物半導體區具有 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor: C 軸取向結晶氧化物半導體)。CAAC-OS 包括結晶部分，在該結晶部分中，c 軸在平行於 CAAC-OS 的被形成面的法向向量或表面的法向向量的方向一致，並且從垂直於 ab 面的方向看時具有三角形狀或六角形狀的原子排列，而從垂直於 c 軸的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

第二氧化物半導體區包括第 15 族元素中的至少一種元素，該元素的濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以上且 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下。此外，也可以使第二氧化物半導體區具有纖鋅礦型晶體結構。

第三氧化物半導體區包括第 15 族元素中的至少一種元素，該元素的濃度為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以上且低於 $5 \times 10^{19} \text{ atoms/cm}^3$ 。此外，也可以使第三氧化物半導體區具有纖鋅礦型晶體結構。

第二氧化物半導體區及第三氧化物半導體區可以採用與第一氧化物半導體區不同的晶體結構。在該情況下，上述半導體裝置所具有的氧化物半導體層具有異質結。藉由將具有異質結的氧化物半導體用於電晶體的半導體層，可以期待導通電流得到提高的效果。此外，還可以期待截止電流降低的效果。

氧化物半導體可以包括選自 In、Ga、Sn 以及 Zn 中的兩種以上的元素。

第一氧化物半導體區成爲電晶體的通道形成區，一對第二氧化物半導體區成爲電晶體的源極區及汲極區，並且一對第三氧化物半導體區成爲電晶體的低濃度區。

在頂閘結構的電晶體中，源極區及汲極區可以藉由將閘極電極用作掩模並對氧化物半導體層添加摻雜物來形成。藉由將閘極電極用作掩模形成源極區及汲極區，不使源極區及汲極區與閘極電極重疊，從而可以降低寄生電容。因爲可以降低寄生電容，所以可以使電晶體進行高速工作。

另外，在頂閘結構的電晶體中，可以藉由如下步驟在通道形成區和源極區及汲極區之間形成低濃度區：首先，將閘極電極用作掩模來對氧化物半導體層添加用來形成低濃度區的摻雜物；然後在閘極電極的側面上形成側壁；將閘極電極和該側壁用作掩模來對氧化物半導體層添加用來形成源極區及汲極區的摻雜物。

在底閘結構的電晶體中，源極區及汲極區可以藉由將通道保護層用作掩模對氧化物半導體層添加摻雜物來形成。爲了保護活性層的背后部分形成該通道保護層，並且，該通道保護層使用選自氧化矽、氮化矽、氧化鋁、氮化鋁等中的材料的單層或疊層來形成較佳。

作爲用來電晶體的源極區、汲極區以及低濃度區的摻雜物的添加方法，可以使用離子摻雜法或離子植入法等。

作為摻雜物可以使用氮(N)或磷(P)等第 15 族(第 5B 族)元素中的一種或多種。另外，當使用離子摻雜法或離子植入法對氧化物半導體層添加摻雜物時，藉由以穿過絕緣層的方式將摻雜物添加到氧化物半導體層中，可以減輕當添加摻雜物時氧化物半導體層受到的過度的損傷。此外，還可以保持氧化物半導體層與絕緣層的介面的清潔狀態，從而電晶體的特性和可靠性得到提高。此外，還可以容易控制摻雜物的添加深度(添加區域)，從而可以將摻雜物準確地添加到氧化物半導體層中。

當所添加的摻雜物的濃度高時，可以增加氧化物半導體區的載子濃度。然而，如果所添加的摻雜物的濃度太高，則載子的遷移被阻擋，而導致導電性降低。

藉由將添加有摻雜物的氧化物半導體用於源極區及汲極區，可以使沒有添加摻雜物的通道形成區的能帶邊緣的彎曲平緩。然而，如果將金屬材料用於源極區及汲極區，則有時氧化物半導體區的通道的能帶邊緣彎曲到不能忽略的程度，而實效的通道長度變短。電晶體的通道長度越短，該傾向越明顯。

另外，藉由形成添加有摻雜物的氧化物半導體區作為電晶體的源極區及汲極區，可以增加電晶體的導通電流，而不增加電晶體的截止電流。

另外，將第三氧化物半導體區的電阻率設定為比第二氧化物半導體區的電阻率高。藉由設置第三氧化物半導體區，可以緩和在第一氧化物半導體區和第二氧化物半導體

區之間產生的電場，而可以減輕電晶體特性的劣化。此外，還可以抑制因短通道效應而導致的臨界值電壓的負漂移。

在成為電子給體(施體)的水分或氫等雜質減少而高純度化的氧化物半導體(purified OS)中，藉由在後面對該氧化物半導體供應氧而減少氧化物半導體中的氧缺陷，可以實現 i 型(本徵半導體)或無限趨近於 i 型的(實際上實現 i 型化的)氧化物半導體。因此，將 i 型或實際上實現 i 型化的氧化物半導體用於形成通道的半導體層的電晶體具有截止電流極低的特性。明確而言，藉由二次離子質譜分析法(SIMS: Secondary Ion Mass Spectrometry)測量的該氧化物半導體的氫濃度值為低於 $5 \times 10^{18}/\text{cm}^3$ ，較佳為 $1 \times 10^{18}/\text{cm}^3$ 以下，更佳為 $5 \times 10^{17}/\text{cm}^3$ 以下，特佳為 $1 \times 10^{16}/\text{cm}^3$ 以下。此外，藉由霍爾效應測量可以測量的 i 型或實際上實現 i 型化的氧化物半導體層的載子密度低於 $1 \times 10^{14}/\text{cm}^3$ 、低於 $1 \times 10^{12}/\text{cm}^3$ 較佳，低於 $1 \times 10^{11}/\text{cm}^3$ 更佳。另外，氧化物半導體的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。藉由使用將 i 型或實際上實現 i 型化的氧化物半導體用於形成通道的半導體層，可以降低電晶體的截止電流。

在此，提到氧化物半導體中的氫濃度的 SIMS 分析。在 SIMS 分析中，已知由於其原理而難以得到樣品表面附近或與材質不同的膜之間的疊層介面附近的準確資料。因此，當使用 SIMS 來分析膜中的厚度方向上的氫濃度分佈

時，採用在物件的膜所存在的範圍中沒有值的極端變動而可以得到大致一定的值的區域中的平均值作為氫濃度。另外，當成為測量物件的膜的厚度小時，有時因受到相鄰的膜內的氫濃度的影響而找不到可以得到大致一定的值的區域。此時，採用該膜所存在的區域中的氫濃度的最大值或最小值作為該膜中的氫濃度。再者，當在存在該膜的區域中不存在具有最大值的山形峰值、具有最小值的谷形峰值時，採用拐點的值作為氫濃度。

根據本發明的一個實施例，可以提供具有良好的電特性且容易實現微型化的使用氧化物半導體的半導體裝置。

另外，可以提供不容易發生因短通道效應而導致的電特性的變動的半導體裝置。

另外，藉由以穿過絕緣層的方式將摻雜物添加到氧化物半導體中，可以防止氧化物半導體的薄層化，還可以保持氧化物半導體與絕緣層的介面的清潔狀態，因此可以提高半導體裝置的特性和可靠性。

【圖式簡單說明】

在圖式中：

圖 1A 和圖 1B 是說明本發明的一個實施例的俯視圖及剖面圖；

圖 2A 和圖 2B 是說明本發明的一個實施例的俯視圖及剖面圖；

圖 3A 至圖 3D 是說明本發明的一個實施例的剖面

圖；

圖 4A 和圖 4B 是說明本發明的一個實施例的剖面圖；

圖 5A 和圖 5B 是說明本發明的一個實施例的俯視圖及剖面圖；

圖 6A 和圖 6B 是說明本發明的一個實施例的俯視圖及剖面圖；

圖 7A 和圖 7B 是說明本發明的一個實施例的剖面圖；

圖 8 是說明本發明的一個實施例的剖面圖；

圖 9A 和圖 9B 是說明氧化物半導體及金屬材料的帶結構的圖；

圖 10A 和圖 10B 是說明本發明的一個實施例的電路圖；

圖 11 是說明本發明的一個實施例的電路圖；

圖 12A 和圖 12B 是說明本發明的一個實施例的電路圖；

圖 13A 和圖 13B 是說明本發明的一個實施例的電路圖；

圖 14A 至圖 14C 是示出 CPU 的具體例子的方塊圖及其一部分的電路圖；

圖 15A 至圖 15E 是說明氧化物材料的晶體結構的圖；

圖 16A 至圖 16C 是說明氧化物材料的晶體結構的

圖；

圖 17A 至圖 17C 是說明氧化物材料的晶體結構的圖；以及

圖 18A 和圖 18B 是說明氧化物材料的晶體結構的圖。

【實施方式】

使用圖式詳細地說明本發明的實施例。但是，所屬技術領域的普通人員可以很容易地理解一個事實，就是本發明不侷限於以下的說明，其方式及詳細內容可以被變換為各種各樣的形式而不脫離本發明的宗旨及其範圍。注意，在以下說明的本發明的結構中，在不同的圖式之間共同使用同一圖式標記來表示同一部分或具有同一功能的部分，而省略其重複說明。

注意，為了便於理解，圖式等所示的各結構的位置、大小和範圍等有時不表示實際上的位置、大小和範圍等。因此，所公開的發明不一定侷限於在圖式等中公開的位置、大小及範圍等。

另外，本說明書中使用的“第一”、“第二”、“第三”等序數詞是為了避免構成要素的混同而附記的，而不是為了在數目方面上限定。因此，也可以將“第一”適當地調換為“第二”或“第三”等來進行說明。

電晶體是半導體裝置的一個模式，且可以實現電流及電壓的放大、控制導通或非導通的開關工作等。本說

明書中的電晶體包括 IGFET(Insulated Gate Field Effect Transistor：絕緣閘場效應電晶體)、薄膜電晶體(TFT：Thin Film Transistor)。

另外，在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下，“源極”及“汲極”的功能有時被互相調換。因此，在本說明書中，“源極”及“汲極”可以被互相調換。

另外，在本說明書中，“電極”或“佈線”不在功能上限定這些構成要素。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”形成爲一體的情況等。

實施例 1

在本實施例中，使用圖 1A 至圖 4B 說明將氧化物半導體用於通道的電晶體以及其製造方法。

圖 1A 是說明半導體裝置的結構的一個模式的電晶體 100 的結構的俯視圖，圖 1B 是說明沿圖 1A 的虛線 A1-A2 所示的部分的疊層結構的剖面圖。另外，在圖 1A 中，基板和絕緣層未圖示。

在圖 1A 和圖 1B 所示的電晶體 100 中，在基板 101 上形成有基底層 102，在基底層 102 上形成有氧化物半導體層 103。此外，在氧化物半導體層 103 上形成有閘極絕緣層 104，在閘極絕緣層 104 上形成有閘極電極 105。另外，在閘極電極 105 上形成有絕緣層 107 和絕緣層 108，

在絕緣層 108 上形成有源極電極 110a 及汲極電極 110b。源極電極 110a 及汲極電極 110b 藉由設置在閘極絕緣層 104、絕緣層 107 以及絕緣層 108 中的接觸孔 109 與氧化物半導體層 103 電連接。

氧化物半導體層 103 具有隔著閘極絕緣層 104 重疊於閘極電極 105 的通道形成區 103c、電連接於源極電極 110a 的源極區 103a 以及電連接於汲極電極 110b 的汲極區 103b。

另外，閘極電極 105 具有連接於閘極絕緣層 104 的閘極電極 105a 以及層疊於閘極電極 105a 的閘極電極 105b。

另外，圖 1A 示出在源極區 103a 及汲極區 103b 上分別設置多個接觸孔 109 的例子，但是也可以採用在源極區 103a 及汲極區 103b 上分別設置一個接觸孔 109 的結構。此外，爲了降低源極電極 110a 和源極區 103a 的接觸電阻以及汲極電極 110b 和汲極區 103b 的接觸電阻，較佳的是，將接觸孔 109 儘量設定爲大，並增加接觸孔 109 的數量。

圖 2A 和圖 2B 所示的電晶體 140 在電晶體 100 的基礎上還具有閘極電極 105 的側面上的側壁 111、氧化物半導體層 103 的重疊於側壁 111 的區域中的低濃度區 103d 及低濃度區 103e。低濃度區 103d 設置在通道形成區 103c 和源極區 103a 之間，低濃度區 103e 設置在通道形成區 103c 和汲極區 103b 之間。圖 2A 是說明電晶體 140 的結構的俯視圖，圖 2B 是沿圖 2A 的虛線 B1-B2 所示的部分

的疊層結構的剖面圖。

藉由設置低濃度區 103d 及低濃度區 103e，可以抑制電晶體特性的劣化或因短通道效應而導致的臨界值電壓的負漂移。

電晶體 100 及電晶體 140 是頂閘結構的電晶體的一個模式。

接著，使用圖 3A 至圖 4B 說明圖 1A 和圖 1B 所示的電晶體 100 的製造方法。另外，圖 3A 至圖 4B 相當於沿圖 1A 的虛線 A1-A2 所示的部分的疊層結構的剖面。

首先，在基板 101 上形成基底層 102。該基底層 102 的厚度為 50nm 以上且 300nm 以下，較佳為 100nm 以上且 200nm 以下。基板 101 可以使用玻璃基板、陶瓷基板、具有足以耐受本製造製程的處理溫度的耐熱性的塑膠基板等。在基板不需要具有透光性的情況下，可以使用不鏽合金等的金屬基板的表面上設置有絕緣層的基板。作為玻璃基板，例如可以使用如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鋁矽酸鹽玻璃等的無鹼玻璃基板。除此之外，還可以使用石英基板、藍寶石基板等。另外，也可以使用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI 基板等，並且也可以將在這些基板上設置有半導體元件的基板用於基板 101。

基底層 102 可以使用選自氮化鋁、氧化鋁、氮氧化鋁、氧氮化鋁、氮化矽、氧化矽、氮氧化矽或氧氮化矽中的材料的單層或疊層來形成。並且，基底層 102 具有防止

來自基板 101 的雜質元素擴散的功能。注意，在本說明書中，氮氧化物是指在其組成中氮的含量多於氧的含量的物質，而氧氮化物是指在其組成中氧的含量多於氮的含量的物質。另外，例如可以使用盧瑟福背散射光譜學法(RBS: Rutherford Backscattering Spectrometry)等來測量各元素的含量。

基底層 102 可以適當地使用濺射法、CVD 法、塗敷法、印刷法等形成。在本實施例中，作為基底層 102 使用氮化矽和氧化矽的疊層。明確而言，在基板 101 上形成厚度為 50nm 的氮化矽，並在該氮化矽上形成厚度為 150nm 的氧化矽。另外，也可以將磷(P)或硼(B)摻雜到基底層 102 中。

另外，藉由使基底層 102 含有氯、氟等鹵族元素，可以更加提高防止來自基板 101 的雜質元素擴散的功能。基底層 102 所含有的鹵族元素的濃度藉由利用 SIMS(二次離子質譜分析儀)的分析測量，其濃度峰值為 $1 \times 10^{15}/\text{cm}^3$ 以上且 $1 \times 10^{20}/\text{cm}^3$ 以下，即可。

另外，基底層 102 也可以使用藉由加熱釋放出氧的材料。“藉由加熱釋放出氧”是指利用 TDS(Thermal Desorption Spectroscopy: 熱脫附譜分析法)分析換算為氧原子的氧的釋放量為 $1.0 \times 10^{18} \text{ atoms}/\text{cm}^3$ 以上，較佳為 $3.0 \times 10^{20} \text{ atoms}/\text{cm}^3$ 以上。

在此，以下說明利用 TDS 分析換算為氧原子的氧的釋放量的測量方法。

當進行 TDS 分析時的氣體的釋放量與光譜的積分值成正比。因此，從絕緣層的光譜的積分值以及在標準樣品的基準值所占的比例，可以計算出氣體的釋放量。標準樣品的基準值是指含有所定的原子的樣品的在光譜的積分值中原子密度所占的比例。

例如，從對標準樣品的含有所定密度的氫的矽晶片的 TDS 分析結果及對絕緣層的 TDS 分析結果，使用算式 1 可以算出絕緣層中的氧分子的釋放量(N_{O_2})。在此，假定利用 TDS 分析來得到的被檢出為質量數 32 的所有光譜都是源自氧分子。作為質量數為 32 的氣體，有 CH_3OH ，但是 CH_3OH 存在的可能性低，所以在此不加考慮。另外，因為含有氧原子同位素的質量數為 17 的氧原子及質量數為 18 的氧原子的氧分子在自然界中的存在比例極微量，所以不加考慮。

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha \quad (\text{算式 1})$$

N_{H_2} 是以密度換算從標準樣品脫離的氫分子的值。 S_{H_2} 是當對標準樣品進行 TDS 分析時的光譜的積分值。在此，將標準樣品的基準值設定為 N_{H_2} / S_{H_2} 。 S_{O_2} 是當對絕緣層進行 TDS 分析時的光譜的積分值。 α 是影響到 TDS 分析中的光譜強度的係數。關於算式 1 的詳細情況，參照日本專利申請公開 平 6-275697 號公報。另外，上述絕緣層的氧釋放量是使用電子科學株式會社製造的熱脫附裝置 EMD-WA1000S/W 以含有 1×10^{16} atoms/cm³ 的氫原子的矽晶片為標準樣品來測量的。

此外，在 TDS 分析中，氧的一部分作為氧原子而被檢出。氧分子和氧原子的比率可以從氧分子的離子化比率算出。另外，因為上述 α 包括氧分子的離子化比率，所以藉由評估氧分子的釋放量，可以估算出氧原子的釋放量。

注意， N_{O_2} 是氧分子的釋放量。在絕緣層中，當換算為氧原子時的氧釋放量成為氧分子的釋放量的兩倍。

在上述結構中，藉由加熱釋放出氧的絕緣層也可以是氧過剩的氧化矽 ($\text{SiO}_x (x > 2)$)。氧過剩的氧化矽 ($\text{SiO}_x (x > 2)$) 是指每單位體積的氧原子數多於矽原子數的兩倍的氧化矽。每單位體積的矽原子數及氧原子數為藉由盧瑟福背散射光譜學法測定的值。

藉由基底層將氧供應到氧化物半導體中，可以降低基底層及氧化物半導體之間的介面能階。其結果，可以抑制由於電晶體的工作而有可能產生的電荷等在上述基底層和氧化物半導體之間的介面被俘獲，而可以獲得電特性的劣化少的電晶體。

並且，有時因氧化物半導體的氧缺陷而產生電荷。一般來說，氧化物半導體中的氧缺陷的一部分成為施體，而產生成為載子的電子。其結果，電晶體的臨界值電壓漂移到負方向。該傾向在背通道的一側產生的氧缺陷中明顯。注意，在本說明書中的背通道是指氧化物半導體中的基底層的介面近旁。藉由從基底層將氧充分釋放到氧化物半導體中，可以補償降低造成臨界值電壓漂移到負方向的主要原因的氧化物半導體中的氧缺陷。

就是說，當在氧化物半導體中產生氧缺陷時，難以抑制在基底層和氧化物半導體之間的介面電荷被俘獲。但是，藉由在基底層中設置藉由加熱釋放出氧的絕緣層，可以降低氧化物半導體和基底層之間的介面能階以及氧化物半導體中的氧缺陷，且可以減小氧化物半導體和基底層之間的介面中的電荷俘獲的影響。

另外，作為基底層 102，也可以使用含有與在後面形成的氧化物半導體相同種類的成分的絕緣材料。在層疊不同的層來形成基底層 102 的情況下，作為接觸於氧化物半導體的層使用含有與氧化物半導體相同種類的成分的絕緣材料，即可。這是因為這種材料與氧化物半導體匹配性好，因此藉由將這種材料用於基底層 102，可以保持與氧化物半導體的介面的良好狀態。在此，“與氧化物半導體相同種類的成分”意味著選自氧化物半導體的構成元素中的一種或多種的元素。例如，在氧化物半導體由 In-Ga-Zn 類的氧化物半導體材料構成的情況下，作為含有與氧化物半導體相同種類的成分的絕緣材料可以舉出氧化鎵等。

接著，在基底層 102 上形成氧化物半導體。注意，較佳的是，作為預處理藉由在成膜裝置的預熱室內對基板 101 進行預熱處理，來使吸附到基板 101 或基底層 102 上的氫、水分等雜質脫離而進行排氣，以便儘量不使氧化物半導體含有氫、羥基以及水分。另外，設置在預熱室中的排氣單元使用低溫泵較佳。另外，可以省略該預熱處理。另外，也可以在形成基底層 102 之前對基板 101 進行同樣

的預熱處理。

氧化物半導體至少含有銦(In)或鋅(Zn)較佳。尤其是含有 In 及 Zn 較佳。此外，作為用來降低使用該氧化物半導體而成的電晶體的電特性的不均勻性的穩定劑，除了上述元素以外還含有鎵(Ga)較佳。此外，作為穩定劑含有錫(Sn)較佳。另外，作為穩定劑含有鈦(Hf)較佳。此外，作為穩定劑含有鋁(Al)較佳。

此外，作為其他穩定劑，也可以含有鑰系元素的鑰(La)、鈰(Ce)、鐳(Pr)、釹(Nd)、釷(Sm)、鈾(Eu)、釷(Gd)、鐳(Tb)、鐳(Dy)、釹(Ho)、鉕(Er)、鐳(Tm)、鐳(Yb)、鐳(Lu)中的一種或多種。

例如，作為氧化物半導體，可以使用如下材料：氧化銦、氧化錫、氧化鋅；二元類金屬氧化物諸如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元類金屬氧化物諸如 In-Ga-Zn 類氧化物(也表示為 IGZO)、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；或者四元類金屬氧化物諸如

In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

氧化物半導體層較佳為含有 In 的氧化物半導體，更佳為含有 In 及 Ga 的氧化物半導體。

在此，例如，In-Ga-Zn 類氧化物是指具有銦(In)、鎵(Ga)、鋅(Zn)的氧化物，對 In、Ga、Zn 的比率沒有限制。此外，也可以含有 In、Ga、Zn 以外的金屬元素。

另外，作為氧化物半導體層可以使用以化學式 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 表示的薄膜。在此，M 表示選自 Sn、Zn、Ga、Al、Mn 和 Co 中的一種或多種金屬元素。另外，作為氧化物半導體，也可以使用表示為 $\text{In}_3\text{SnO}_5(\text{ZnO})_n (n>0)$ 的材料。

例如，可以使用原子數比為 In : Ga : Zn=1 : 1 : 1(=1/3 : 1/3 : 1/3)或 In : Ga : Zn=2 : 2 : 1(=2/5 : 2/5 : 1/5)的 In-Ga-Zn 類氧化物或近於該組成的氧化物。或者，較佳的是，使用原子數比為 In : Sn : Zn=1 : 1 : 1(=1/3 : 1/3 : 1/3)、In : Sn : Zn=2 : 1 : 3(=1/3 : 1/6 : 1/2)或 In : Sn : Zn=2 : 1 : 5(=1/4 : 1/8 : 5/8)的 In-Sn-Zn 類氧化物或近於該組成的氧化物。

但是不侷限於此，而只要根據所需要的半導體特性(遷移率、臨界值、不均勻性等)使用具有適當的組成的材料，即可。此外，為了得到所需要的半導體特性，較佳的是，採用適當的載子密度、雜質濃度、缺陷密度、金屬元

素和氧的原子數比、原子間鍵距離、密度等。

例如，當使用 In-Sn-Zn 類氧化物時，可以較容易得到高遷移率。但是，當使用 In-Ga-Zn 類氧化物時，也可以藉由降低塊中的缺陷密度來提高遷移率。

注意，例如 In、Ga、Zn 的原子數比為 In : Ga : Zn = a : b : c (a+b+c=1) 的氧化物的組成近於原子數比為 In : Ga : Zn = A : B : C (A+B+C=1) 的氧化物的組成是指 a、b、c 滿足 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 的關係。例如將 r 設定為 0.05，即可。在使用其他氧化物的情況下也與此相同。

氧化物半導體可以為單晶或非單晶。在採用後者時，可以採用非晶或多晶。另外，可以採用在非晶中包括具有結晶性的部分的結構或不是非晶的結構。

非晶狀態的氧化物半導體由於可以比較容易地得到平坦的表面，所以當使用該氧化物半導體製造電晶體時可以減少介面散射，並可以比較容易得到較高的遷移率。

另外，當使用具有結晶性的氧化物半導體時，可以進一步降低塊中的缺陷，並藉由提高表面的平坦性，可以得到非晶狀態的氧化物半導體以上的遷移率。為了提高表面的平坦性，在平坦的表面上形成氧化物半導體較佳。明確而言，在平均面粗糙度(Ra)為 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下的表面上形成氧化物半導體。另外，可以利用原子力顯微鏡(AFM: Atomic Force Microscope)來對 Ra 進行評價。

作為具有結晶性的氧化物半導體，使用 CAAC-OS(C

Axis Aligned Crystalline Oxide Semiconductor: C 軸取向結晶氧化物半導體)較佳。CAAC-OS 既不是完全的單晶，又不是完全的非晶。CAAC-OS 是在該非晶相具有結晶部分的結晶-非晶多相結構的氧化物半導體。另外，在很多情況下該結晶部分的尺寸為能夠容納於一個邊長小於 100nm 的立方體的尺寸。另外，在利用透射電子顯微鏡(TEM: Transmission Electron Microscope)進行觀察來得到的觀察影像中，CAAC-OS 所包括的非晶部分與結晶部分的邊界不明確。並且，在 CAAC-OS 中利用 TEM 觀察不到晶界(也稱為晶粒邊界(grain boundary))。因此，在 CAAC-OS 中，起因於晶界的電子遷移率的降低被抑制。

在 CAAC-OS 所包括的結晶部分中，c 軸在平行於 CAAC-OS 的被形成面的法向向量或 CAAC-OS 的表面的法向向量的方向一致，並且從垂直於 ab 面的方向看時具有三角形狀或六角形狀的原子排列，而從垂直於 c 軸的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，在不同結晶之間可以 a 軸及 b 軸的方向不同。在本說明書中，當只記載“垂直”時，包括 85°以上且 95°以下的範圍。另外，當只記載“平行”時，包括-5°以上且 5°以下的範圍。

另外，CAAC-OS 的結晶部分可以不均勻地分佈。例如，在 CAAC-OS 的形成過程中，在從氧化物半導體膜的表面一側進行結晶生長的情況下，有時在表面的附近中結晶部分所占的比例高於被形成面的附近。此外，在對

CAAC-OS 添加雜質的情況下，有時該雜質添加區的結晶部分成爲非晶。

由於 CAAC-OS 所包括的結晶部分的 c 軸在平行於 CAAC-OS 的被形成面的法向向量或 CAAC-OS 的表面的法向向量的方向一致，因此有時根據 CAAC-OS 的形狀(被形成面的剖面形狀或表面的剖面形狀) c 軸朝向不同的方向。另外，結晶部分的 c 軸的方向爲平行於形成 CAAC-OS 時的被形成面的法向向量或 CAAC-OS 的表面的法向向量的方向。結晶部分藉由進行成膜或進行成膜後的加熱處理等的晶化處理來形成。

CAAC-OS 根據其組成等而成爲導體、半導體或絕緣體。另外，CAAC-OS 根據其組成等而呈現對可見光的透明性或不透明性。另外，也可以將氮取代 CAAC-OS 的一部分。

使用 CAAC-OS 的電晶體可以降低由可見光或紫外光引起的電特性的變動。因此，這種電晶體的可靠性高。

參照圖 15A 至圖 17C 詳細地說明 CAAC-OS 所包括的晶體結構的一個例子。另外，在沒有特別的說明時，在圖 15A 至圖 17C 中，以垂直方向爲 c 軸方向，並以與 c 軸方向正交的面爲 ab 面。另外，在只說“上一半”或“下一半”時，其是指以 ab 面爲邊界時的上一半或下一半。另外，在圖 15A 至圖 15E 中，由圓圈包圍的 O 表示四配位 O ，由雙圈包圍的 O 表示三配位 O 。

圖 15A 示出具有一個六配位 In 以及靠近 In 的六個四

配位氧原子(以下稱爲四配位 O)的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱爲小組。雖然圖 15A 所示的結構採用八面體結構，但是爲了容易理解示出平面結構。另外，在圖 15A 的上一半及下一半分別具有三個四配位 O。圖 15A 所示的小組的電荷爲 0。

圖 15B 示出具有一個五配位 Ga、靠近 Ga 的三個三配位氧原子(以下稱爲三配位 O)以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 15B 的上一半及下一半分別具有一個四配位 O。另外，因爲 In 也採用五配位，所以也有可能採用圖 15B 所示的結構。圖 15B 所示的小組的電荷爲 0。

圖 15C 示出具有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 15C 的上一半具有一個四配位 O，並且在下一半具有三個四配位 O。或者，也可以在圖 15C 的上一半具有三個四配位 O，並且在下一半具有一個四配位 O。圖 15C 所示的小組的電荷爲 0。

圖 15D 示出具有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 15D 的上一半具有三個四配位 O，並且在下一半具有三個四配位 O。圖 15D 所示的小組的電荷爲 +1。

圖 15E 示出包括兩個 Zn 的小組。在圖 15E 的上一半具有一個四配位 O，並且在下一半具有一個四配位 O。圖 15E 所示的小組的電荷爲 -1。

在此，將多個小組的集合體稱爲中組，而將多個中組

的集合體稱為大組(也稱為單元元件)。

這裏，說明這些小組彼此接合的規則。圖 15A 所示的六配位 In 的上一半的三個 O 在下方向上分別具有三個靠近的 In，而 In 的下一半的三個 O 在上方向上分別具有三個靠近的 In。圖 15B 所示的五配位 Ga 的上一半的一個 O 在下方向上具有一個靠近的 Ga，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga。圖 15C 所示的四配位 Zn 的上一半的一個 O 在下方向上具有一個靠近的 Zn，而 Zn 的下一半的三個 O 在上方向上分別具有三個靠近的 Zn。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向上的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成為 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和為 4 時，具有金屬原子的兩種小組可以彼此接合。例如，在六配位金屬原子(In 或 Sn)藉由下一半的四配位 O 接合時，因為四配位 O 的個數為 3，所以其與五配位金屬原子(Ga 或 In)和四配位金屬原子(Zn)中的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成為 0 的方式使多個小組接合構成中組。

圖 16A 示出構成 In-Sn-Zn 類氧化物的層結構的中組的模型圖。圖 16B 示出由三個中組構成的大組。另外，圖 16C 示出從 c 軸方向上觀察圖 16B 的層結構時的原子排列。

在圖 16A 中，爲了容易理解，省略三配位 O，只示出四配位 O 的個數，例如，以③表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 16A 中，以①表示 In 的上一半及下一半分別具有一個四配位 O。與此同樣，在圖 16A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 16A 中，構成 In-Sn-Zn 類氧化物的層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認爲是 -0.667 及 -0.5。例如，In(六配位或五配位)、Zn(四配位)以及 Sn(五配位或六配位)的電荷分別爲

+3、+2 以及 +4。因此，包含 Sn 的小組的電荷為 +1。因此，爲了形成包含 Sn 的層結構，需要消除電荷 +1 的電荷 -1。作爲具有電荷 -1 的結構，可以舉出圖 15E 所示的包含兩個 Zn 的小組。例如，因爲如果對於一個包含 Sn 的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷爲 0。

明確而言，藉由反復圖 16B 所示的大組來可以得到 In-Sn-Zn 類氧化物的結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。注意，能夠得到的 In-Sn-Zn 類氧化物的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 是 0 或自然數) 表示。

此外，使用如下材料時也與上述相同：四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物(也表示爲 IGZO)、In-Al-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物等。

例如，圖 17A 示出構成 In-Ga-Zn 類氧化物的層結構

的中組的模型圖。

在圖 17A 中，構成 In-Ga-Zn 類氧化物的層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 17B 示出由三個中組構成的大組。另外，圖 17C 示出從 c 軸方向上觀察圖 17B 的層結構時的原子排列。

在此，因為 In(六配位或五配位)、Zn(四配位)、Ga(五配位)的電荷分別是 +3、+2、+3，所以包含 In、Zn 及 Ga 中的任一個的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn 類氧化物的層結構的中組不侷限於圖 17A 所示的中組，而有可能是組合 In、Ga、Zn 的排列不同的中組而成的大組。

明確而言，藉由反復圖 17B 所示的大組，可以得到 In-Ga-Zn 類氧化物的結晶。另外，能夠得到的 In-Ga-Zn 類氧化物的層結構可以由 $\text{InGaO}_3(\text{ZnO})_n$ (n 是自然數) 的組成式表示。

當 $n=1(\text{InGaZnO}_4)$ 時，例如有可能具有圖 18A 所示的晶體結構。注意，在圖 18A 所示的晶體結構中，因為如圖

15B 所說明，Ga 及 In 採用五配位，所以也有可能具有將 Ga 置換為 In 的結構。

此外，當 $n=2(\text{InGaZn}_2\text{O}_5)$ 時，例如有可能具有圖 18B 所示的晶體結構。注意，在圖 18B 所示的晶體結構中，因為如圖 15B 所說明，Ga 及 In 採用五配位，所以也有可能具有將 Ga 置換為 In 的結構。

在本實施例中，首先在基底層 102 上藉由濺射法形成厚度為 1nm 以上且 10nm 以下的第一氧化物半導體。將形成第一氧化物半導體時的基板溫度設定為 200℃ 以上且 400℃ 以下。

下面，對用來形成氧化物半導體的濺射裝置進行詳細說明。

較佳的是，將形成氧化物半導體的沉積室的洩漏率設定為 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{秒}$ 以下，由此當藉由濺射法進行成膜時可以減少混入到膜中的雜質。

為了降低洩漏率，不僅需要降低外部洩漏，還需要降低內部洩漏。外部洩漏是指：由於微小的孔或密封不良，氣體從真空系統的外部流入的現象。內部洩漏起因於從真空系統中的閥門等分隔物洩漏的氣體或從內部構件釋放的氣體。為了將洩漏率成為 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{秒}$ 以下，對外部洩漏及內部洩漏都需要採取措施。

為了降低外部洩漏，使用金屬墊片密封沉積室的開關部分較佳。金屬墊片使用由氟化鐵、氧化鋁或氧化鉻等包覆的金屬材料較佳。金屬墊片的密合性比 O 形環高，因此

可以降低外部洩漏。另外，藉由使用由處於鈍態的氟化鐵、氧化鋁或氧化鉻等包覆的金屬材料，可以抑制從金屬墊片釋放的含有氫的氣體，還可以降低內部洩漏。

作為構成沉積室的內壁的構件，使用包括氫的釋放氣體少的鋁、鉻、鈦、銦、鎳或鈳。另外，也可以將上述材料覆蓋包括鐵、鉻以及鎳等合金材料而使用。包括鐵、鉻以及鎳等合金材料具有剛性和熱耐性，並且該材料適於加工。在此，藉由對表面的凹凸進行拋光處理等來減少其表面積，可以降低釋放氣體。或者，也可以由處於鈍態的氟化鐵、氧化鋁、氧化鉻等包覆上述成膜裝置的構件。

再者，較佳的是，在沉積室跟前設置濺射氣體的精製器。此時，將精製器到沉積室的管道的長度設定為 5m 以下，設定為 1m 以下較佳。藉由將管道的長度設定為 5m 以下或 1m 以下，可以根據長度而降低從管道釋放的氣體的影響。

較佳的是，沉積室的排氣適當地組合乾燥泵等粗真空泵和濺射離子泵、渦輪分子泵以及低溫泵等高真空泵來進行。另外，為了去除殘留在沉積室內的水分，使用吸附型的真空泵較佳，諸如低溫泵、離子泵、鈦昇華泵。渦輪分子泵適於尺寸大的分子的排氣，而對氫或水的排氣能力低。於是，組合對水的排氣能力高的低溫泵和對氫的排氣能力高的濺射離子泵而使用是有效的。此外，也可以使用具備冷阱的渦輪泵。在使用低溫泵等吸附型的真空泵來進行排氣的沉積室中，例如由於氫原子或水(H₂O)等含有氫

原子的化合物(更佳為含有碳原子的化合物)等被排出，因此可以降低在該沉積室中形成的氧化物半導體層所包括的雜質的濃度。

存在於沉積室的內側的吸附物由於吸附在內壁因此對沉積室的壓力不造成影響，但是它會成為當對沉積室進行排氣時的釋放氣體的原因。所以，雖然洩漏率與排氣速度沒有相關，但是重要的是：使用排氣能力高的泵來儘量使存在於沉積室內的吸附物脫離，以便預先進行排氣。另外，為了促進吸附物的脫離，也可以對沉積室進行烘烤。藉由進行烘烤，可以將吸附物的脫離速度提高到十倍左右。烘烤處理以 100°C 以上且 450°C 以下進行，即可。此時，藉由在添加惰性氣體的情況下進行去除吸附物，可以更加提高僅藉由排氣製程不容易脫離的水等的脫離速度。

在濺射法中，作為用來產生電漿的電源裝置，可以適當地使用 RF 電源裝置、AC 電源裝置、DC 電源裝置等。

當作為氧化物半導體藉由濺射法形成 In-Ga-Zn 類氧化物材料時，作為用來形成該材料的 In-Ga-Zn 類氧化物靶材，例如可以使用具有 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [莫耳數比]的組成比的靶材。另外，還可以使用具有如下組成比的靶材： $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [莫耳數比]的靶材； $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [莫耳數比]的靶材；或者 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 2 : 1 : 8$ [莫耳數比]的靶材。此外，還可以使用其原子數比為 In : Ga : Zn = 1 : 1 : 1、4 : 2 : 3、3 : 1 : 2、1 : 1 : 2、2 : 1 : 3 或 3 : 1 : 4 的

In-Ga-Zn 類氧化物靶材。藉由使用具有所述原子數比的 In-Ga-Zn 類氧化物靶材形成氧化物半導體，容易形成多晶或 CAAC-OS。

另外，也可以將 In-Sn-Zn 類氧化物稱為 ITZO。另外，當作爲氧化物半導體藉由濺射法形成 In-Sn-Zn 類氧化物時，使用其原子數比爲 In：Sn：Zn=1：1：1、2：1：3、1：2：2：或 20：45：35 的 In-Sn-Zn 類氧化物靶材較佳。藉由使用具有所述原子數比的 In-Sn-Zn 類氧化物靶材形成氧化物半導體，容易形成多晶或 CAAC-OS。

另外，用來形成氧化物半導體的金屬氧化物靶材的相對密度爲 90%以上且 100%以下，較佳爲 95%以上且 99.9%以下。藉由使用具有高相對密度的金屬氧化物靶材，可以形成緻密的膜。

另外，濺射氣體適當地使用稀有氣體(典型的是氬)氣圍、氧氣圍或稀有氣體和氧的混合氣體。此外，作為濺射氣體使用去除了氫、水、羥基或氫化物等雜質的高純度氣體較佳。例如，當作爲濺射氣體使用氬時，使用一種氬較佳，其中純度爲 9N，露點爲 -121℃，H₂O 的含量爲 0.1ppb 以下，H₂ 的含量爲 0.5ppb 以下。當作爲濺射氣體使用氧的時，使用一種氬較佳，其中純度爲 8N，露點爲 -112℃，H₂O 的含量爲 1ppb 以下，H₂ 的含量爲 1ppb 以下。

另外，成膜時的基板溫度爲 150℃以上且 450℃以下，較佳爲 200℃以上且 350℃以下。藉由在將基板加熱

到 150℃ 以上且 450℃ 以下，較佳為加熱到 200℃ 以上且 350℃ 以下的情況下進行成膜，可以防止水分(包括氫)等混入到膜中。

藉由在對基板進行加熱的情況下進行成膜，可以降低被形成的氧化物半導體所含有的氫、水分、氫化物或氫氧化物等雜質的雜質濃度。此外，還可以減輕因濺射而導致的損傷。於是，在去除沉積室內的殘留水分的同時添加去除了氫及水分的濺射氣體並使用上述靶材，來形成厚度為 1nm 以上且 10nm 以下，較佳為 2nm 以上且 5nm 以下的第一氧化物半導體。

在本實施例中，在如下條件下形成厚度為 5nm 的第一氧化物半導體：作為氧化物半導體用靶材使用 In-Ga-Zn 類氧化物半導體用靶材($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [莫耳數比])；基板與靶材之間的距離為 170mm；基板溫度為 250℃；壓力為 0.4Pa；直流(DC)電源為 0.5kW；在氧氣圍下、在氫氣圍下或在含有氫及氧的氣圍下。

接著，在將配置有基板的沉積室內的氣圍設定為氮或乾燥空氣的情況下，進行第一加熱處理。將第一加熱處理的溫度設定為 400℃ 以上且 750℃ 以下。藉由進行第一加熱處理，使第一氧化物半導體引起晶化，而使其成為第一結晶氧化物半導體。

雖然根據第一加熱處理的溫度而不同，但是，藉由進行第一加熱處理，從膜表面引起晶化，從膜表面向內部進行結晶生長，而得到 c 軸取向的結晶。藉由進行第一加熱

處理，較多鋅及氧聚集在膜表面，在其最外表面形成單層或多層的其上平面呈六角形的由鋅及氧構成的石墨烯的二維晶體，該結晶在膜厚度方向上生長並重疊而成爲疊層。當提高加熱處理的溫度時，先從表面向內部再從內部向底部進行晶體生長。

藉由進行第一加熱處理，將基底層 102 中的氧擴散到基底層 102 與第一結晶氧化物半導體之間的介面或其附近(離介面有 $\pm 5\text{nm}$)，來降低第一結晶氧化物半導體的氧缺陷。因此，較佳的是，在基底層 102 中，基底層 102 中(塊(bulk)中)或第一結晶氧化物半導體與基底層 102 的介面存在超過化學計量比的含量的氧。

接著，在第一結晶氧化物半導體上形成厚於 10nm 的第二氧化物半導體。第二氧化物半導體藉由濺射法形成，並且將該成膜時的基板溫度設定爲 200°C 以上且 400°C 以下。藉由將成膜時的基板溫度設定爲 200°C 以上且 400°C 以下，在以與第一結晶氧化物半導體的表面上接觸的方式形成的氧化物半導體中發生前驅物(precursor)的排列，可以實現具有所謂秩序性。

在本實施例中，在如下條件下形成厚度爲 25nm 的第二氧化物半導體：作爲氧化物半導體用靶材使用 In-Ga-Zn 類氧化物半導體用靶材($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [莫耳數比])；基板與靶材之間的距離爲 170mm ；基板溫度爲 400°C ；壓力爲 0.4Pa ；直流(DC)電源爲 0.5kW ；在氧氣圍下、在氬氣圍下或在含有氬及氧的氣圍下。

接著，藉由將配置有基板的沉積室內的氣圍設定為氮或乾燥空氣，進行第二加熱處理。將第二加熱處理的溫度設定為 400℃ 以上且 750℃ 以下。藉由進行第二加熱處理，形成第二結晶氧化物半導體。藉由在氮氣圍下、氧氣圍下或氮和氧的混合氣圍下進行第二加熱處理，實現第二結晶氧化物半導體的高密度化及缺陷數的減少。藉由進行第二加熱處理，以第一結晶氧化物半導體為晶核，結晶生長在膜厚度方向上，即從底部向內部進展，而形成第二結晶氧化物半導體。在此，第一結晶氧化物半導體與第二結晶氧化物半導體由同一元素構成的現象稱為同質生長(homo-growth)。另外，第一結晶氧化物半導體的元素與第二結晶氧化物半導體由至少一種以上的不同元素構成的現象稱為異質生長(hetero-growth)。

如上所述，在氧化物半導體的形成製程中，藉由調節沉積室的壓力、沉積室的洩漏率等來儘量抑制雜質的混入，從而可以抑制氫及水分等雜質混入到氧化物半導體中。氧化物半導體所含有的氫與結合於金屬元素的氧起反應而成水，同時在氫被脫離的格子(或者氫被脫離的部分)中形成缺陷。

因此，在氧化物半導體的形成製程中，藉由使雜質極少，可以減少氧化物半導體的缺陷。據此，藉由將由儘量去除雜質而實現高純度化的 CAAC-OS 構成的氧化物半導體用於通道區，對於電晶體的發射光時或 BT 試驗前後的臨界值電壓的變化量被降低，從而可以使電晶體具有穩定

的電特性。

另外，較佳的是，在進行第二加熱處理之後，在保持溫度的情況下切換為氧化氣圍，而進一步進行加熱處理。藉由在氧化氣圍下進行加熱處理，可以降低氧化物半導體中的氧缺陷。

另外，可以用於氧化物半導體的金屬氧化物的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳為 3eV 以上。如上所述，藉由使用具有寬能隙的金屬氧化物，可以降低電晶體的截止電流。

另外，較佳的是，不接觸大氣地連續進行形成基底層 102 的製程到第二加熱處理的製程。形成基底層 102 的製程到進行第二加熱處理的製程在幾乎不包括氫及水分的氣圍(惰性氣圍、減壓氣圍、乾燥空氣氣圍等)下進行較佳，例如，採用水分的露點為 -40°C 以下，較佳為 -50°C 以下的乾燥氮氣圍。

接著，對由第一結晶氧化物半導體和第二結晶氧化物半導體構成的氧化物半導體的疊層進行加工來形成島狀的氧化物半導體層 103(參照圖 3A)。

作為氧化物半導體的加工，可以在氧化物半導體上形成所希望的形狀的掩模之後對該氧化物半導體進行蝕刻。上述掩模可以藉由光微影製程等的方法形成。或者，也可以使用噴墨法或印刷法等的方法形成掩模。

此外，氧化物半導體的蝕刻可以採用乾蝕刻法或濕蝕刻法。當然，也可以組合乾蝕刻法和濕蝕刻法而使用。

另外，根據上述製造方法而得到的第一結晶氧化物半導體及第二結晶氧化物半導體的特徵之一在於具有 C 軸取向。但是，第一結晶氧化物半導體及第二結晶氧化物半導體的結構既不是單晶結構又不是非晶結構，而具有包含 C 軸取向的結晶氧化物半導體(CAAC-OS)。

另外，不侷限於在第一結晶氧化物半導體上形成第二結晶氧化物半導體的雙層結構，也可以在形成第二結晶氧化物半導體之後反復進行用來形成第三結晶氧化物半導體的成膜和加熱處理的步驟來形成三層以上的疊層結構。

如氧化物半導體層 103 那樣，藉由將第一結晶氧化物半導體和第二結晶氧化物半導體的疊層用於電晶體，可以實現具有穩定的電特性和高可靠性的電晶體。

接著，在氧化物半導體層 103 上形成閘極絕緣層 104。閘極絕緣層 104 可以使用選自氮化鋁、氧化鋁、氮氧化鋁、氧氮化鋁、氮化矽、氧化矽、氮氧化矽、氧氮化矽、氧化鋇、氧化釧中的材料的單層或疊層。

另外，作為閘極絕緣層 104，藉由使用如矽酸鈣(HfSiO_x ($x>0$))、添加有氮的矽酸鈣($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$))、添加有氮的鋁酸鈣($\text{HfAl}_x\text{O}_y\text{N}_z$ ($x>0$, $y>0$, $z>0$))、氧化鈣、氧化釷等的 high-k 材料，可以加厚物理上的閘極絕緣膜的厚度而不改變實質上的(例如，換算為氧化矽的)閘極絕緣層的厚度，從而可以降低閘極洩漏。再者，也可以採用 high-k 材料與氧化矽、氧氮化矽、氮化矽、氮氧化矽、氧化鋁、氧氮化鋁、氧化鎳中的任何一

種的疊層結構。閘極絕緣層 104 的厚度設定為 1nm 以上且 300nm 以下，較佳為 5nm 以上且 50nm 以下。藉由將閘極絕緣層 104 的厚度設定為 5nm 以上，可以降低閘極洩漏。

閘極絕緣層 104 使用濺射法、CVD 法等形成。除了濺射法和電漿 CVD 法以外，還可以使用微波(例如頻率為 2.45 GHz)的高密度電漿 CVD 法形成閘極絕緣層 104。另外，閘極絕緣層 104 不侷限於單層而可以採用不同的層的疊層。另外，閘極絕緣層 104 較佳為其接觸於氧化物半導體層 103 的部分含有氧的絕緣層，更佳為藉由加熱釋放出氧的氧化物絕緣層。例如，將氧化矽用於閘極絕緣層 104，可以將氧擴散到氧化物半導體層 103 中並降低氧化物半導體層 103 中的氧缺陷，因而可以使電晶體的特性良好。

在本實施例所示的結構中，在基板上造成凹凸的結構物只有氧化物半導體層 103，幾乎沒有閘極絕緣層 104 的臺階部分，因此可以降低起因於閘極絕緣層 104 的洩漏電流，還可以提高絕緣層 104 的耐壓。因而，即使將閘極絕緣層 104 減薄到 5nm 左右也可以使電晶體進行工作。另外，藉由減薄閘極絕緣層 104，可以降低短通道效應，還可以提高電晶體的工作速度。

另外，在形成閘極絕緣層 104 之前，也可以藉由將氧化物半導體層 103 的表面暴露於氧、臭氧、一氧化二氮等氧化氣體的電漿，來將氧化物半導體層 103 的表面氧化而

降低氧缺陷。在本實施例中，作為閘極絕緣層 104，在氧化物半導體層 103 上形成厚度為 100nm 的氧化矽。

接著，在閘極絕緣層 104 上使用濺射法、真空蒸鍍法或鍍敷法形成導電層，在該導電層上形成掩模，並對該導電層選擇性地進行蝕刻來形成閘極電極 105。形成在導電層上的掩模藉由適當地使用印刷法、噴墨法、光微影法形成。閘極電極 105 具有接觸於閘極絕緣層 104 的閘極電極 105a 以及層疊在閘極電極 105a 上的閘極電極 105b。

作為形成閘極電極 105a 的材料，使用如下物質較佳：含有氮的銦鎵鋅氧化物(In-Ga-Zn-O)；含有氮的銦錫氧化物(In-Sn-O)；含有氮的銦鎵氧化物(In-Ga-O)；含有氮的銦鋅氧化物(In-Zn-O)；含有氮的錫氧化物(Sn-O)；含有氮的銦氧化物(In-O)；金屬氮化物(InN、ZnN 等)。

這種材料的功函數為 5eV 以上，較佳為 5.5eV 以上。藉由將閘極電極 105a 設置在閘極電極 105b 與閘極絕緣層 104 之間，並使閘極電極 105a 隔著閘極絕緣層 104 重疊於氧化物半導體層 103，可以使電晶體的電特性的臨界值電壓向正方向漂移，從而可以實現所謂常截止的切換元件。例如，當將含有氮的 In-Ga-Zn-O 用於閘極電極 105a 時，使用其氮濃度至少高於氧化物半導體層 103 的氮濃度的 In-Ga-Zn-O，明確而言，使用其氮濃度為 7 原子%以上的 In-Ga-Zn-O。

作為形成閘極電極 105b 的材料，可以使用如下物質：選自鋁(Al)、鉻(Cr)、銅(Cu)、鉭(Ta)、鈦(Ti)、鉬

(Mo)、鎢(W)、釹(Nd)、鈦(Sc)中的金屬元素；以上述金屬元素為成分的合金；組合上述金屬元素的合金；上述金屬元素的氮化物等。此外，也可以使用選自錳(Mn)、鎂(Mg)、鋯(Zr)、鈹(Be)中的一種或多種的金屬元素。

另外，閘極電極 105b 可以具有單層結構或兩層以上的疊層結構。例如可以舉出如下結構：使用含有矽的鋁的單層結構；在鋁上層疊有鈦的雙層結構；在氮化鈦上層疊有鈦的雙層結構；在氮化鈦上層疊有鎢的雙層結構；在氮化鋁上層疊有鎢的雙層結構；在 Cu-Mg-Al 合金上層疊有 Cu 的雙層結構；在鈦上層疊有鋁，且在其上形成有鈦的三層結構。

另外，閘極電極 105b 也可以使用如下具有透光性的導電性材料：銦錫氧化物；含有氧化鎢的銦氧化物；含有氧化鎢的銦鋅氧化物；含有氧化鈦的銦氧化物；含有氧化鈦的銦錫氧化物；銦鋅氧化物；添加有氧化矽的銦錫氧化物等。此外，也可以採用上述具有透光性的導電性材料和上述金屬元素的疊層結構。

在本實施例中，作為閘極電極 105a 使用含有氮的銦鎵鋅氧化物。另外，作為閘極電極 105b 使用在氮化鈦上層疊有鎢的雙層結構(參照圖 3B)。另外，當將所形成的閘極電極 105 的端部形成為錐形時，可以提高在後面形成的層的覆蓋性，所以是較佳的。

接著，利用自對準製程形成源極區 103a 及汲極區 103b。明確而言，將閘極電極 105 用作掩模藉由離子摻雜

法或離子植入法將摻雜物 106 添加到氧化物半導體層 103 中。作為摻雜物 106 可以使用氮(N)或磷(P)等第 15 族(第 5B 族)元素中的一種或多種的元素。

另外，由於閘極電極 105 用作掩模，因此氧化物半導體層 103 的與閘極電極 105 重疊的區域沒有被添加摻雜物 106，並且該區域成為通道形成區 103c。

添加有摻雜物 106 的源極區 103a 及汲極區 103b 成為 n 型氧化物半導體，所以與通道形成區 103c 相比，其電阻率降低。因此，源極區 103a 及汲極區 103b 的電阻值變低，所以可以使電晶體 100 進行高速工作。再者，藉由使用自對準製程幾乎不使源極區 103a 及汲極區 103b 與閘極電極 105 重疊，可以降低寄生電容，從而可以進一步使電晶體 100 進行高速工作。

另外，也可以藉由如下步驟形成源極區 103a 及汲極區 103b：將閘極電極 105 用作掩模，並去除成為源極區及汲極區的氧化物半導體層 103 上的閘極絕緣層 104 來露出氧化物半導體層 103；並且，對被露出的氧化物半導體層 103 添加摻雜物 106。當去除氧化物半導體層 103 上的閘極絕緣層 104 時，以氧化物半導體層 103 不容易被蝕刻的條件進行去除。

當對被露出的氧化物半導體層 103 添加摻雜物 106 時，不僅可以藉由離子摻雜法或離子植入法來進行添加，還可以在含有所添加的元素的氣體氣圍下產生電漿，來對氧化物半導體層 103 的被露出的部分進行電漿處理來進行

添加。此時，較佳的是，對基板 101 施加偏壓。藉由增大施加到基板的偏壓，可以對氧化物半導體層 103 更深地添加摻雜物 106。作為上述產生電漿的裝置，可以使用乾蝕刻裝置、電漿 CVD 設備或高密度電漿 CVD 體裝置等。

然而，如果藉由電漿處理進行添加，則氧化物半導體有可能被蝕刻而被減薄。因此，當對被露出的氧化物半導體層 103 添加摻雜物 106 時，藉由離子摻雜法或離子植入法來進行添加較佳。

另外，當去除成為源極區 103a 及汲極區 103b 的氧化物半導體層 103 上的閘極絕緣層 104 時，有可能該部分的氧化物半導體也同時被蝕刻，而源極區 103a 及汲極區 103b 的厚度減薄。結果，源極區 103a 及汲極區 103b 的電阻增大，此外，伴隨薄層化的過蝕刻所帶來的不良品的發生率也容易增加。

當採用氧化物半導體層 103 與閘極絕緣層 104 的選擇比沒有足夠大的乾蝕刻法時，上述現象變得明顯。一般而言，為了製造通道長度短的電晶體，需要採用加工精度低的乾蝕刻，因此容易導致源極區及汲極區的薄層化。

當然，如果氧化物半導體層 103 具有足夠的厚度則不成問題，但是當將通道長度形成為 200nm 以下時，在防止短通道效應的觀點上，需要將成為通道的部分的氧化物半導體層的厚度為 20nm 以下，較佳為 10nm 以下。在對這種較薄的氧化物半導體進行處理時，上述薄層化不是較佳的。

因此，當藉由離子摻雜法或離子植入法對氧化物半導體層 103 添加摻雜物 106 時，較佳的是，在殘留閘極絕緣層 104 的情況下進行添加，而不使氧化物半導體層 103 露出。藉由以穿過閘極絕緣層 104 的方式將摻雜物 106 添加到氧化物半導體層 103 中，可以減輕氧化物半導體層 103 受到的過度的損傷。此外，由於還可以保持氧化物半導體層 103 和閘極絕緣層 104 的介面的清潔狀態，因此電晶體的特性和可靠性得到提高。此外，還可以容易控制摻雜物 106 的添加深度(添加區域)，而可以將摻雜物 106 準確地添加到氧化物半導體層 103 中。

在本實施例中，作為摻雜物 106 使用氮(N)，藉由離子植入法以穿過閘極絕緣層 104 的方式將氮添加到氧化物半導體層 103 中。另外，將藉由添加氮來形成的源極區 103a 及汲極區 103b 中的氮濃度設定為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以上， $1 \times 10^{22} \text{ atoms/cm}^3$ 以下，較佳為 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上，低於 7 原子%(參考圖 3C)。

接著，在如下條件下進行加熱處理：在減壓氣圍下、在氮或稀有氣體等的惰性氣體氣圍下、在氧氣體氣圍下或在超乾燥空氣(使用 CRDS(光腔衰蕩光譜法)方式的露點計進行測定時的水分量為 20ppm(露點換算為 -55°C)以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣)氣圍下，將溫度設定為 300°C 以上且 600°C 以下。在本實施例中，使用加熱處理裝置之一的電爐，在氮氣圍下以 450°C 進行 1 小時的加熱處理。

注意，加熱處理裝置不侷限於電爐，也可以具備利用電阻發熱體等的發熱體所產生的熱傳導或熱輻射對被處理物進行加熱的裝置。例如，可以使用 GRTA(Gas Rapid Thermal Anneal：氣體快速熱退火)裝置、LRTA(Lamp Rapid Thermal Anneal：燈快速熱退火)裝置等的 RTA(Rapid Thermal Anneal：快速熱退火)裝置。LRTA 裝置是藉由利用從鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等的燈發射的光(電磁波)的輻射來對被處理物進行加熱的裝置。GRTA 裝置是使用高溫氣體進行加熱處理的裝置。作為高溫氣體使用不因加熱處理而與被處理物產生反應的惰性氣體，諸如氬等稀有氣體或氮等。

例如，作為加熱處理，也可以進行如下 GRTA：即將基板移動而放入加熱到高溫的惰性氣體中，在加熱幾分鐘之後，將基板移動而從加熱到高溫的惰性氣體中取出。

當在氮或稀有氣體等的惰性氣體氣圍下或在超乾燥空氣氣圍下進行加熱處理時，較佳的是，不使這種氣圍含有水、氫等。另外，較佳的是，將添加到加熱處理裝置中的氮、氧或稀有氣體的純度設定為 6N(99.9999%)以上，設定為 7N(99.99999%)以上較佳(即，將雜質濃度設定為 1ppm 以下，設定為 0.1ppm 以下較佳)。

藉由進行上述加熱處理，可以使源極區 103a 及汲極區 103b 具有纖鋅礦型晶體結構。此外，也可以使低濃度區 103d 及低濃度區 103e 具有纖鋅礦型晶體結構。另外，只要在添加摻雜物 106 後，任何時候都可以進行上述加熱

處理。

此外，當使用離子摻雜法或離子植入法等添加摻雜物 106 時，藉由在對基板進行加熱的情況下進行添加，可以實現纖鋅礦型晶體結構，而不進行後面的加熱處理。

接著，藉由濺射法、CVD 法等以覆蓋氧化物半導體層 103 及閘極電極 105 的方式形成絕緣層 107 及絕緣層 108。絕緣層 107 及絕緣層 108 可以使用選自氮化鋁、氧化鋁、氮氧化鋁、氧氮化鋁、氮化矽、氧化矽、氮氧化矽或氧氮化矽中的材料來形成。

絕緣層 107 及絕緣層 108 的厚度為 50nm 以上，較佳為 200nm 以上且 500nm 以下。在本實施例中，作為絕緣層 107 形成厚度為 300nm 的氧化矽，並且作為絕緣層 108 形成厚度為 100nm 的氧化鋁。

絕緣層 108 使用氮化矽或氧化鋁形成較佳，以便防止從外部雜質等侵入。在本實施例中，作為絕緣層 108 形成厚度為 100nm 的氧化鋁(參照圖 3D)。另外，也可以省略絕緣層 107 和絕緣層 108 中的一方或兩者。

在形成絕緣層 108 之後，根據需要可以在幾乎不含有氫或水分的氣圍下(氮氣圍、氧氣圍、乾燥空氣氣圍(例如，水分的露點為 -40°C 以下，較佳為 -60°C 以下)等)進行加熱處理(溫度範圍為 150°C 以上且 650°C 以下，較佳為 200°C 以上且 500°C 以下)。

接著，藉由在絕緣層 108 上形成掩模，使用該掩模對閘極絕緣層 104、絕緣層 107、絕緣層 108 的一部分選擇

性地進行蝕刻，使源極區 103a 及汲極區 103b 的一部分露出，來形成接觸孔 109(參照圖 4A)。

接著，藉由在絕緣層 108 上形成導電層，在該導電層上形成掩模，對該導電層選擇性地進行蝕刻來形成源極電極 110a 及汲極電極 110b(參照圖 4B)。用來形成源極電極 110a 及汲極電極 110b 的導電層可以使用與閘極電極 105b 相同的材料。

在本實施例中，作為用來形成源極電極 110a 及汲極電極 110b 的導電層，使用在 Cu-Mg-Al 合金上層疊有 Cu 的導電層。藉由以與絕緣層 108 接觸的方式形成 Cu-Mg-Al 合金材料，可以提高導電層的密合性。

另外，電晶體 100 的通道長度相當於圖 1B 中的夾持在源極區 103a 和汲極區 103b 之間的通道形成區 103c 的長度。此外，電晶體 100 的通道長度大致相等於閘極電極 105 的寬度。

藉由如上製程，即使使電晶體微型化而縮小通道長度，也可以製造電特性好且可靠性高的使用氧化物半導體的電晶體 100。

電晶體 140 具有氧化物半導體層 103 中的低濃度區 103d 及低濃度區 103e。藉由對電晶體 100 的製程追加側壁 111 的製程，並將對氧化物半導體層 103 添加摻雜物 106 的製程分為多次進行，可以形成電晶體 140。

低濃度區 103d 及低濃度區 103e 可以藉由利用將閘極電極 105 用作掩模的自對準製程形成。明確而言，在形成

閘極電極 105 之後，將該閘極電極 105 用作掩模，使用與電晶體 100 同樣的方法將摻雜物 106 添加到氧化物半導體層 103 中(也稱為第一摻雜製程)。作為藉由第一摻雜製程添加到氧化物半導體層 103 中的摻雜物 106，可以使用與電晶體 100 中使用的摻雜物 106 相同的元素。在第一摻雜製程中，以使氧化物半導體層 103 中的摻雜物 106 的濃度為 $5 \times 10^{18} \text{ atoms/cm}^3$ 以上且低於 $5 \times 10^{19} \text{ atoms/cm}^3$ 的方式進行添加。

接著，在閘極電極 105 的側面上形成側壁 111。側壁 111 可以藉由已知的方法來形成。

接著，將閘極電極 105 及側壁 111 用作掩模，將摻雜物 106 添加到氧化物半導體層 103 中(也稱為第二摻雜製程)。作為藉由第二摻雜製程添加到氧化物半導體層 103 中的摻雜物 106，可以使用與電晶體 100 中使用的摻雜物 106 相同的元素。在第二摻雜製程中，將氧化物半導體層 103 中的摻雜物 106 的濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以上且 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下，較佳為 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上且低於 7 原子%。

藉由如上製程，可以將源極區 103a、汲極區 103b、低濃度區 103d 以及低濃度區 103e 形成在電晶體 140 中。與源極區 103a 及汲極區 103b 相比，低濃度區 103d 及低濃度區 103e 的摻雜物濃度低，而且其電阻率高。

藉由設置低濃度區 103d 及低濃度區 103e，可以抑制電晶體特性的劣化或因短通道效應而導致的臨界值電壓的

負漂移，而可以製造可靠性更高的電晶體。

另外，電晶體 140 的通道長度相當於圖 2B 中的夾持在低濃度區 103d 和低濃度區 103e 之間的通道形成區 103c 的長度。此外，電晶體 140 的通道長度大致相等於閘極電極 105 的寬度。

本實施例可以與其他實施例適當地組合而實施。

實施例 2

在本實施例中，說明具有與實施例 1 所公開的電晶體不同的結構的電晶體的一個例子。

圖 5A 是說明電晶體 150 的結構的俯視圖，圖 5B 是說明沿圖 5A 的虛線 C1-C2 所示的部分的疊層結構的剖面圖。另外，在圖 5A 中，基板和絕緣層未圖示。

圖 5B 所示的電晶體 150 與實施例 1 所示的電晶體 100 的不同點在於源極電極 110a 及汲極電極 110b 的疊層位置。在電晶體 150 中，在基底層 102 上形成有源極電極 110a 及汲極電極 110b，並且在基底層 102、源極電極 110a 以及汲極電極 110b 上形成有氧化物半導體層 103。

由於電晶體 150 採用源極電極 110a 及汲極電極 110b 不藉由接觸孔 109 而連接到氧化物半導體層 103 的源極區 103a 及汲極區 103b 的結構，因此可以容易增大接觸面積，還可以容易降低接觸電阻。

另外，電晶體 150 的通道長度相當於圖 5B 中的夾持在源極區 103a 和汲極區 103b 之間的通道形成區 103c 的

長度。此外，電晶體 150 的通道長度大致相等於閘極電極 105 的寬度。

圖 6A 和圖 6B 所示的電晶體 160 在電晶體 150 的基礎上還具有閘極電極 105 的側面上的側壁 111 以及氧化物半導體層 103 的重疊於側壁 111 的區域中的低濃度區 103d 及低濃度區 103e。低濃度區 103d 設置在通道形成區 103c 和源極區 103a 之間，低濃度區 103e 設置在通道形成區 103c 和汲極區 103b 之間。圖 6A 是說明電晶體 160 的結構的俯視圖，圖 6B 是說明沿圖 6A 的虛線 D1-D2 所示的部分的疊層結構的剖面圖。

藉由在氧化物半導體層 103 中設置低濃度區 103d 或低濃度區 103e，可以緩和在通道形成區 103c 與源極區 103a 或汲極區 103b 之間產生的電場，而可以減輕電晶體特性的劣化。尤其是，在通道形成區 103c 與汲極區 103b 之間產生的電場的緩和對減輕電晶體特性的劣化有效。此外，藉由設置低濃度區 103d 或低濃度區 103e，可以抑制伴隨電晶體的微型化的短通道效應。

另外，電晶體 160 的通道長度相當於圖 6B 中的夾持在低濃度區 103d 和低濃度區 103e 之間的通道形成區 103c 的長度。此外，電晶體 160 的通道長度大致相等於閘極電極 105 的寬度。

圖 7A 所示的電晶體 170 是底閘結構的電晶體的一個模式。

圖 7A 示出電晶體 170 的剖面結構。在電晶體 170

中，在基板 101 上形成有閘極電極 105，在閘極電極 105 上形成有閘極絕緣層 104。閘極電極 105 具有在閘極電極 105b 上層疊有閘極電極 105a 的結構。還可以在基板 101 和閘極電極 105 之間設置實施例 1 所說明的基底層。

另外，在閘極絕緣層 104 上形成有氧化物半導體層 103，並且在氧化物半導體層 103 上形成有通道保護層 112、源極電極 110a 以及汲極電極 110b。氧化物半導體層 103 具有重疊於通道保護層 112 的通道形成區 103c、電連接於源極電極 110a 的源極區 103a 以及電連接於汲極電極 110b 的汲極區 103b。

通道保護層 112 可以使用與閘極絕緣層 104 同樣的材料及方法來形成。將通道保護層 112 的厚度設定為 10nm 以上且 500nm 以下較佳，為 100nm 以上且 300nm 以下更佳。

源極區 103a 及汲極區 103b 可以藉由將通道保護層 112 用作掩模，與電晶體 100 同樣形成。

另外，在通道保護層 112、源極電極 110a 以及汲極電極 110b 上形成有絕緣層 108。絕緣層 108 也可以是多個絕緣層的疊層。

另外，電晶體 170 的通道長度相當於圖 7A 中的夾持在源極區 103a 和汲極區 103b 之間的通道形成區 103c 的長度。此外，電晶體 170 的通道長度大致相等於通道保護層 112 的寬度。

圖 7B 示出電晶體 180 的剖面結構。電晶體 180 具有

在電晶體 100 上設置有背閘極電極 115 及絕緣層 113 的結構。在電晶體 180 中，基底層 102 上形成有背閘極電極 115，並且在背閘極電極 115 上形成有絕緣層 113。另外，電晶體 180 的氧化物半導體層 103 隔著絕緣層 113 重疊於背閘極電極 115。

背閘極電極 115 以由閘極電極 105 與背閘極電極 115 夾持氧化物半導體層 103 的通道形成區 103c 的方式配置。背閘極電極 115 由導電層形成，並且可以使其發揮與閘極電極 105 同樣的功能。另外，藉由使背閘極電極 115 的電位變化，可以使電晶體的臨界值電壓變化。

背閘極電極 115 可以使用與閘極電極 105b 同樣的材料及方法形成。此外，可以在背閘極電極 115 和絕緣層 113 之間設置與閘極電極 105a 相同的層。

絕緣層 113 可以使用與閘極絕緣層 104 同樣的材料及方法形成。此外，也可以不形成基底層 102 而將絕緣層 113 兼作基底層 102。

另外，電晶體 180 的通道長度相當於圖 7B 中的夾持在源極區 103a 和汲極區 103b 之間的通道形成區 103c 的長度。此外，電晶體 180 的通道長度大致相等於閘極電極 105 的寬度。

本實施例可以與其他實施例適當地組合而實施。

實施例 3

在本實施例中，說明實施例 1 所示以外的由 CAAC-

OS 構成的氧化物半導體膜的製造方法。

首先，在基底層 102 上形成厚度為 1nm 以上且 50nm 以下的氧化物半導體膜。

成膜時的基板溫度為 150℃ 以上且 450℃ 以下，較佳為 200℃ 以上且 350℃ 以下。藉由在將基板加熱到 150℃ 以上且 450℃ 以下，較佳為加熱到 200℃ 以上且 350℃ 以下的情況下進行成膜，可以防止水分(包括氫)等混入到膜中。此外，還可以形成具有結晶性的氧化物半導體膜的 CAAC-OS。

再者，較佳的是，在形成氧化物半導體後，藉由對基板 101 進行加熱處理，在使氧化物半導體更加釋放氫的同時，將包含在基底層 102 中的氧的一部分擴散到氧化物半導體中和基底層 102 中的氧化物半導體的介面附近。另外，藉由進行該加熱處理，可以形成具有結晶性更高的 CAAC-OS 的氧化物半導體。

較佳的是，將該加熱處理的溫度設定為在使氧化物半導體釋放氫的同時，釋放包含在基底層 102 中的氧的一部分並將其擴散到氧化物半導體中的溫度。典型的溫度為 200℃ 以上且低於基板 101 的應變點，較佳為 250℃ 以上且 450℃ 以下。藉由將氫擴散到氧化物半導體中，可以降低氧化物半導體中的氧缺陷。

此外，該加熱處理可以使用 RTA(快速熱退火 Rapid Thermal Anneal)裝置。藉由使用 RTA 裝置，只要在短時間內，可以以基板的應變點以上的溫度進行加熱處理。因

此，可以縮短形成結晶區的比率高於非晶區的氧化物半導體的時間。

加熱處理可以在惰性氣體氣圍下進行，典型地，該加熱處理在氦、氖、氬、氙、氡等稀有氣體氣圍下，或者氮氣圍下進行較佳。此外，也可以在氧氣圍下或在減壓氣圍下進行。將處理時間設定為 3 分鐘至 24 小時。隨著處理時間的延長，可以提高相對於非晶區的結晶區的比率，但是超過 24 小時的加熱處理會降低生產效率，所以不是較佳的。

藉由上述方法，可以形成由 CAAC-OS 構成的氧化物半導體。

本實施例可以與其他實施例適當地組合而實施。

實施例 4

在本實施例中，使用能帶圖說明對於實施例 1 及實施例 2 所示的使用氧化物半導體的電晶體的電特性的影響。

圖 8 是具有與圖 1A 和圖 1B 所示的電晶體 100 同等的結構的電晶體的剖面圖。圖 9A 和圖 9B 示出沿圖 8 所示的 X1-X2 的剖面的能帶圖(示意圖)。並且，圖 9B 示出將源極和汲極之間的電壓設定為等電位($V_D=0V$)的情況。圖 8 所示的電晶體包括：具有第一氧化物半導體區(稱為 OS1)及一對第二氧化物半導體區(稱為 OS2)的氧化物半導體層；以及源極電極及汲極電極(稱為金屬(metal))。

圖 8 所示的電晶體的通道形成區由 OS1 形成。該 OS1

由一種氧化物半導體構成：即藉由從膜中儘量去除、脫離水分(包括氫)等雜質來實現高純度化，且藉由降低膜中的氧缺陷來實現本徵(i 型)或無限趨近於本徵的氧化物半導體。由此，可以使費米能階(E_f)成為本徵費米能階(E_i)同等的能階。

此外，圖 8 所示的電晶體的源極區及汲極區由一對 OS2 形成。該 OS2 藉由如下步驟形成：與 OS1 同樣，藉由從膜中儘量去除、脫離水分(包括氫)等雜質而實現高純度化，並藉由降低膜中的氧缺陷，來實現本徵(i 型)或無限趨近於本徵的氧化物半導體；然後，對該氧化物半導體添加選自氮、磷或砷等第 15 族元素中的至少一種的元素。藉由上述步驟，可以使 OS2 的載子密度高於 OS1，從而其費米能階的位置接近於傳導帶。

圖 9A 示出真空能階(稱為 E_{vac})、第一氧化物半導體區(稱為 OS1)、第二氧化物半導體區(稱為 OS2)以及源極電極和汲極電極(metal)的帶結構的關係。其中， IP 表示電離電位， E_a 表示電子親和力， E_g 表示能隙，並且 W_f 表示功函數。另外， E_c 表示傳導帶的下端， E_v 表示價帶的上端，並且 E_f 表示費米能階。注意，關於各符號的末尾的記號，1 表示 OS1，2 表示 OS2，並且 m 表示金屬(metal)。在此，作為金屬(metal)假設 W_{f_m} 為 4.1eV 的物質(鈦等)。

OS1 是實現 i 型或實際上實現 i 型化的氧化物半導體，由於其載子密度極低，因此 E_{f_1} 大致位於 E_c 和 E_v

的中間。此外，OS2 是載子密度高的 n 型氧化物半導體，因此 E_{c_2} 和 E_{f_2} 大致一致。

一般地，由 OS1 表示的氧化物半導體的能隙(E_g)為 3.15eV，電子親和力(E_a)為 4.3eV。在由 OS2 表示的氧化物半導體中，根據摻雜物的添加量可以使其能隙(E_g)低於 3.15。另外，在該情況下，電離電位幾乎沒有變化，結果電子親和力及功函數變大。圖 9A 和圖 9B 示出 OS2 的 E_g 比 OS1 的 E_g 小的情況(即 $E_{g_1} > E_{g_2}$)。

如圖 9B 所示，當通道形成區的 OS1 與源極區及汲極區的 OS2 接觸時，載子產生移動，以使費米能階趨向一致，於是，OS1 的能帶邊緣彎曲。再者，當 OS2 與源極電極及汲極電極的金屬(metal)接觸時，載子也產生移動，以使費米能階趨向一致，於是，OS2 的能帶邊緣彎曲。

如上所述，藉由在成為通道形成區的 OS1 與成為源極電極及汲極電極的金屬(metal)之間形成 n 型的氧化物半導體的 OS2，可以使氧化物半導體與金屬之間的接觸成為歐姆接觸，此外，還可以降低接觸電阻。結果可以提高電晶體的導通電流。另外，由於可以使 OS1 的能帶邊緣的彎曲平緩，因而可以抑制電晶體的短通道效應。

本實施例可以與其他實施例適當地組合而實施。

實施例 5

圖 10A 示出構成半導體裝置的記憶元件(以下也稱為儲存單元)的電路圖的一個例子。儲存單元由將氧化物半

導體以外的材料用於通道形成區的電晶體 1160 及將氧化物半導體用於通道形成區的電晶體 1162 構成。

將氧化物半導體用於通道形成區的電晶體 1162 可以根據實施例 1 製造。

如圖 10A 所示，電晶體 1160 的閘極電極與電晶體 1162 的源極電極和汲極電極中的一方電連接。另外，第一佈線(1st Line：也稱為源極線)與電晶體 1160 的源極電極電連接，第二佈線(2nd Line：也稱為位元線)與電晶體 1160 的汲極電極電連接。另外，第三佈線(3rd Line：也稱為第一信號線)與電晶體 1162 的源極電極和汲極電極中的另一方電連接，第四佈線(4th Line：也稱為第二信號線)與電晶體 1162 的閘極電極電連接。

由於將氧化物半導體以外的材料例如單晶矽用於通道形成區的電晶體 1160 可以進行充分的高速工作，所以藉由使用電晶體 1160 可以進行高速的儲存內容的讀出等。此外，將氧化物半導體用於通道形成區的電晶體 1162 具有其截止電流比電晶體 1160 小的特徵。因此，藉由使電晶體 1162 成為截止狀態，可以在極長時間保持電晶體 1160 的閘極電極的電位。

藉由有效地利用能夠保持閘極電極的電位的特徵，可以如下所述那樣進行資訊的寫入、保持以及讀出。

首先，對資訊的寫入及保持進行說明。首先，藉由將第四佈線的電位設定為使電晶體 1162 成為導通狀態的電位，使電晶體 1162 成為導通狀態。由此，將第三佈線的

電位施加到電晶體 1160 的閘極電極(寫入)。然後，藉由將第四佈線的電位設定為使電晶體 1162 成為截止狀態的電位，使電晶體 1162 成為截止狀態，而保持電晶體 1160 的閘極電極的電位(保持)。

因為電晶體 1162 的截止電流比電晶體 1160 小，所以在長時間保持電晶體 1160 的閘極電極的電位。例如，在電晶體 1160 的閘極電極的電位為使電晶體 1160 成為導通狀態的電位的情況下，在長時間保持電晶體 1160 的導通狀態。另外，在電晶體 1160 的閘極電極的電位為使電晶體 1160 成為截止狀態的電位的情況下，在長時間保持電晶體 1160 的截止狀態。

接著，對資訊的讀出進行說明。如上所述，當在保持電晶體 1160 的導通狀態或截止狀態的狀態下將指定的電位(低電位)施加到第一佈線時，第二佈線的電位根據電晶體 1160 的導通狀態或截止狀態而取不同的值。例如，在電晶體 1160 處於導通狀態的情況下，第二佈線的電位相對於第一佈線的電位降低。另外，在電晶體 1160 處於截止狀態的情況下，第二佈線的電位不發生變化。

如上所述，藉由在保持資訊的狀態下對第二佈線的電位和指定的電位進行比較，可以讀出資訊。

接著，對資訊的改寫進行說明。資訊的改寫與上述資訊的寫入和保持同樣地進行。換言之，藉由將第四佈線的電位設定為使電晶體 1162 成為導通狀態的電位，使電晶體 1162 成為導通狀態。由此，對電晶體 1160 的閘極電極

施加第三佈線的電位(有關新的資訊的電位)。然後，藉由將第四佈線的電位設定為使電晶體 1162 成為截止狀態的電位，使電晶體 1162 成為截止狀態，而處於保持新的資訊的狀態。

如上所述，根據所公開的發明的儲存單元可以藉由再次進行資訊的寫入而直接改寫資訊。由此，不需要快閃記憶體等所需要的擦除工作，並且，可以抑制起因於擦除工作的工作速度的降低。就是說，可以實現具有儲存單元的半導體裝置的高速工作。

此外，圖 10B 示出應用圖 10A 的儲存單元的電路圖的一個例子。

圖 10B 所示的儲存單元 1100 包括第一佈線 SL(源極線)、第二佈線 BL(位元線)、第三佈線 S1(第一信號線)、第四佈線 S2(第二信號線)、第五佈線 WL(字線)、電晶體 1164(第一電晶體)、電晶體 1161(第二電晶體)以及電晶體 1163(第三電晶體)。在電晶體 1164 及電晶體 1163 中，將氧化物半導體以外的材料用於通道形成區，在電晶體 1161 中，將氧化物半導體用於通道形成區。

在此，電晶體 1164 的閘極電極與電晶體 1161 的源極電極和汲極電極中的一方電連接。另外，第一佈線 SL 與電晶體 1164 的源極電極電連接，並且電晶體 1164 的汲極電極與電晶體 1163 的源極電極電連接。另外，第二佈線 BL 與電晶體 1163 的汲極電極電連接，第三佈線 S1 與電晶體 1161 的源極電極和汲極電極中的另一方電連接，第

四佈線 S2 與電晶體 1161 的閘極電極電連接，並且第五佈線 WL 與電晶體 1163 的閘極電極電連接。

以下，具體說明電路的工作。

在將資料寫入到儲存單元 1100 時，將第一佈線 SL 設定為 0V，將第五佈線 WL 設定為 0V，將第二佈線 BL 設定為 0V，並且將第四佈線 S2 設定為 2V。在寫入資料“1”時，將第三佈線 S1 設定為 2V，而在寫入資料“0”時，將第三佈線 S1 設定為 0V。此時，電晶體 1163 處於截止狀態，電晶體 1161 處於導通狀態。另外，在資料寫入結束時，在第三佈線 S1 的電位變化之前，將第四佈線 S2 設定為 0V，而使電晶體 1161 處於截止狀態。

其結果是，在寫入資料“1”之後，連接到電晶體 1164 的閘極電極的節點(以下，稱為節點 A)的電位成為 2V 左右，而在寫入資料“0”之後，節點 A 的電位成為 0V 左右。在節點 A 中儲存根據第三佈線 S1 的電位的電荷，電晶體 1161 的截止電流比將單晶矽用於通道形成區的電晶體小，從而在長時間保持電晶體 1164 的閘極電極的電位。

接著，在從儲存單元讀出資料時，將第一佈線 SL 設定為 0V，將第五佈線 WL 設定為 2V，將第四佈線 S2 設定為 0V，並且將第三佈線 S1 設定為 0V，使連接於第二佈線 BL 的讀出電路處於工作狀態。此時，電晶體 1163 處於導通狀態，電晶體 1161 處於截止狀態。

在資料為“0”，即節點 A 大約處於 0V 的狀態下，

電晶體 1164 處於截止狀態，因此第二佈線 BL 與第一佈線 SL 之間的電阻處於高電阻狀態。另一方面，在資料為“1”，即節點 A 處於 2V 左右的狀態下，電晶體 1164 處於導通狀態，因此第二佈線 BL 與第一佈線 SL 之間的電阻處於低電阻狀態。在讀出電路中可以根據儲存單元的電阻狀態的不同而讀出資料“0”或“1”。另外，雖然在寫入時將第二佈線 BL 設定為 0V，但是也可以使第二佈線處於浮動狀態或充電到高於 0V 的電位。雖然在讀出時將第三佈線 S1 設定為 0V，但是也可以使第三佈線處於浮動狀態或充電到高於 0V 的電位。

注意，資料“1”和資料“0”是爲了方便起見被定義的，也可以彼此交換。另外，上述工作電壓只是一個例子。只要以在資料為“0”時使電晶體 1164 處於截止狀態且在資料為“1”時使電晶體 1164 處於導通狀態的方式、在寫入時使電晶體 1161 處於導通狀態且在寫入時以外使電晶體 1161 處於截止狀態的方式以及在讀出時電晶體 1163 處於導通狀態的方式選擇工作電壓，即可。尤其是，也可以使用週邊邏輯電路的電源電位 VDD 代替 2V。

在本實施例中，爲了清楚地理解而說明了最小儲存單位(1 位元)的儲存單元，但是儲存裝置的結構不侷限於此。也可以藉由適當地連接多個儲存單元而構成更高度的半導體裝置。例如，可以使用多個上述儲存單元而構成 NAND 型或 NOR 型的半導體裝置。佈線的結構也不侷限於圖 10A 或圖 10B，而可以適當地進行改變。

圖 11 示出具有 $m \times n$ 位元的儲存容量的根據本發明的一個實施例的半導體裝置的方塊電路圖。

圖 11 所示的半導體裝置包括： m 個第五佈線及第四佈線； n 個第二佈線及第三佈線；將多個儲存單元 1100(1、1)至 1100(m 、 n)配置為縱 m 個(列) $\times$ 橫 n 個(行) (m 、 n 為自然數)的矩陣狀的儲存單元陣列 1110；以及週邊電路如第二佈線及第三佈線的佈線驅動電路 1111、第四佈線及第五佈線的佈線驅動電路 1113 以及讀出電路 1112。作為其他週邊電路，也可以設置有刷新電路等。

作為各儲存單元，以儲存單元 1100(i 、 j)為典型例進行考慮。在此，儲存單元 1100(i 、 j)(i 為 1 以上且 m 以下的整數， j 為 1 以上且 n 以下的整數)分別連接於第二佈線 BL(j)、第三佈線 S1(j)、第五佈線 WL(i)、第四佈線 S2(i)以及第一佈線。將第一佈線電位 V_s 施加到第一佈線。另外，第二佈線 BL(1)至 BL(n)及第三佈線 S1(1)至 S1(n)連接於第二佈線及第三佈線的佈線驅動電路 1111 及讀出電路 1112，而第五佈線 WL(1)至 WL(m)及第四佈線 S2(1)至 S2(m)連接於第四佈線及第五佈線的佈線驅動電路 1113。

以下，說明圖 11 所示的半導體裝置的工作。在本結構中，按每個列進行寫入及讀出。

在對第 i 列的儲存單元 1100(i 、1)至 1100(i 、 n)進行寫入時，將第一佈線電位 V_s 設定為 0V，將第五佈線 WL(i)設定為 0V，將第二佈線 BL(1)至 BL(n)設定為 0V，並且將第四佈線 S2(i)設定為 2V。此時，電晶體 1161 成

為導通狀態。在寫入資料“1”的行中將第三佈線 $S1(1)$ 至 $S1(n)$ 設定為 $2V$ ，而在寫入資料“0”的行中將第三佈線 $S1(1)$ 至 $S1(n)$ 設定為 $0V$ 。另外，在資料寫入結束時，在第三佈線 $S1(1)$ 至 $S1(n)$ 的電位變化之前將第四佈線 $S2(i)$ 設定為 $0V$ ，而使電晶體 1161 處於截止狀態。另外，將所未選擇的第五佈線 WL 設定為 $0V$ ，並且將所未選擇的第四佈線 $S2$ 設定為 $0V$ 。

其結果是，在寫入有資料“1”的儲存單元中，與電晶體 1164 的閘極電極連接的節點(以下稱為節點 A)的電位成為 $2V$ 左右，而在寫入有資料“0”的儲存單元中，節點 A 的電位成為 $0V$ 左右。另外，未選擇的儲存單元的節點 A 的電位不變。

在進行第 i 列的儲存單元 1100($i, 1$)至 1100(i, n)的讀出時，將第一佈線電位 V_s 設定為 $0V$ ，將第五佈線 $WL(i)$ 設定為 $2V$ ，將第四佈線 $S2(i)$ 設定為 $0V$ ，將第三佈線 $S1(1)$ 至 $S1(n)$ 設定為 $0V$ ，並使連接於第二佈線 $BL(1)$ 至 $BL(n)$ 的讀出電路處於工作狀態。在讀出電路中例如可以根據儲存單元的電阻狀態的不同而讀出資料“0”或“1”。另外，將所未選擇的第五佈線 WL 設定為 $0V$ ，並且將所未選擇的第四佈線 $S2$ 設定為 $0V$ 。另外，雖然在寫入時將第二佈線 BL 設定為 $0V$ ，但是也可以使第二佈線 BL 處於浮動狀態或充電到 $0V$ 以上的電位。雖然在讀出時將第三佈線 $S1$ 設定為 $0V$ ，但是也可以使第三佈線 $S1$ 處於浮動狀態或充電到 $0V$ 以上的電位。

注意，資料“1”和資料“0”是爲了方便起見被定義的，也可以彼此交換。另外，上述工作電壓只是一個例子。只要以在資料爲“0”時使電晶體 1164 處於截止狀態且在資料爲“1”時使電晶體 1164 處於導通狀態的方式、在寫入時使電晶體 1161 處於導通狀態且在寫入時以外使電晶體 1161 處於截止狀態的方式以及在讀出時電晶體 1163 處於導通狀態的方式選擇工作電壓，即可。尤其是，也可以使用週邊邏輯電路的電源電位 VDD 代替 2V。

本實施例可以與其他實施例適當地組合而實施。

實施例 6

在本實施例中示出具有電容元件的儲存單元的電路圖的一個例子。圖 12A 所示的儲存單元 1170 包括第一佈線 SL、第二佈線 BL、第三佈線 S1、第四佈線 S2、第五佈線 WL、電晶體 1171(第一電晶體)、電晶體 1172(第二電晶體)以及電容元件 1173。在電晶體 1171 中將氧化物半導體以外的材料用於通道形成區，而在電晶體 1172 中，將氧化物半導體用於通道形成區。

在此，電晶體 1171 的閘極電極、電晶體 1172 的源極電極和汲極電極中的一方以及電容元件 1173 的一方的電極是電連接著的。另外，第一佈線 SL 與電晶體 1171 的源極電極電連接，第二佈線 BL 與電晶體 1171 的汲極電極電連接，第三佈線 S1 與電晶體 1172 的源極電極和汲極電極中的另一方電連接，第四佈線 S2 與電晶體 1172 的閘極

電極電連接，並且第五佈線 WL 與電容元件 1173 的另一方的電極電連接。

以下，具體說明電路的工作。

在將資料寫入到儲存單元 1170 時，將第一佈線 SL 設定為 0V，將第五佈線 WL 設定為 0V，將第二佈線 BL 設定為 0V，並且將第四佈線 S2 設定為 2V。在寫入資料“1”時，將第三佈線 S1 設定為 2V，在寫入資料“0”時，將第三佈線 S1 設定為 0V。此時，電晶體 1172 成為導通狀態。另外，在資料寫入結束時，在第三佈線 S1 的電位變化之前，將第四佈線 S2 設定為 0V，而使電晶體 1172 處於截止狀態。

其結果是，在寫入資料“1”之後，連接到電晶體 1171 的閘極電極的節點(以下，稱為節點 A)的電位成為大約 2V，而在寫入資料“0”之後，節點 A 的電位成為 0V 左右。

在從儲存單元 1170 讀出資料時，將第一佈線 SL 設定為 0V，將第五佈線 WL 設定為 2V，將第四佈線 S2 設定為 0V，並且將第三佈線 S1 設定為 0V，使連接於第二佈線 BL 的讀出電路處於工作狀態。此時，電晶體 1172 處於截止狀態。

以下，說明將第五佈線 WL 設定為 2V 時的電晶體 1171 的狀態。用來決定電晶體 1171 的狀態的節點 A 的電位取決於第五佈線 WL 與節點 A 之間的電容 C1 和電晶體 1171 的閘極與源極及汲極之間的電容 C2。

另外，雖然在讀出時將第三佈線 S1 設定為 0V，但是也可以使第三佈線 S1 處於浮動狀態或充電到 0V 以上的電位。資料“1”和資料“0”是爲了方便起見被定義的，也可以彼此交換。

關於寫入時的第三佈線 S1 的電位，在寫入後電晶體 1172 處於截止狀態且在第五佈線 WL 的電位爲 0V 時電晶體 1171 處於截止狀態的範圍分別選擇資料“1”或資料“0”的電位，即可。關於讀出時的第五佈線 WL 的電位，以在資料“0”時電晶體 1171 處於截止狀態而在資料“1”時電晶體 1171 處於導通狀態的方式選擇電位，即可。另外，電晶體 1171 的臨界值電壓也只是一個例子。只要在不改變上述電晶體 1171 的狀態的範圍，就可以採用任何臨界值。

此外，使用圖 12B 說明使用儲存單元的 NOR 型半導體儲存裝置的例子，該儲存單元包括具有第一閘極電極及第二閘極電極的選擇電晶體以及電容元件。

圖 12B 所示的根據本發明的一個實施例的半導體裝置具備儲存單元陣列，該儲存單元陣列具有排列爲 I 列(I 爲 2 以上的自然數)和 J 行(J 爲自然數)的矩陣狀的多個儲存單元。

圖 12B 所示的儲存單元陣列具有：排列爲 i 列(i 爲 3 以上的自然數)和 j 行(j 爲 3 以上的自然數)的矩陣狀的多個儲存單元 1180；i 個字線 WL(字線 WL₁ 至字線 WL_i)；i 個電容線 CL(電容線 CL₁ 至電容線 CL_i)；i 個

閘極線 BGL(閘極線 BGL_1 至閘極線 BGL_i)；j 個位元線 BL(位元線 BL_1 至位元線 BL_j)；以及源極線 SL。

再者，多個儲存單元 1180 的每一個(也稱為儲存單元 1180(M, N))(但是，M 為 1 以上且 i 以下的自然數，N 為 1 以上且 j 以下的自然數))具備電晶體 1181(M, N)、電容元件 1183(M, N)以及電晶體 1182(M, N)。

此外，在半導體儲存裝置中，電容元件由第一電容電極、第二電容電極以及重疊於第一電容電極及第二電容電極的介電層構成。在電容元件中根據施加到第一電容電極與第二電容電極之間的電壓積累電荷。

電晶體 1181(M, N)為 n 通道型電晶體，並具有源極電極、汲極電極、第一閘極電極以及第二閘極電極。此外，在本實施例的半導體儲存裝置中，電晶體 1181 不一定需要為 n 通道型電晶體。

電晶體 1181(M, N)的源極電極和汲極電極中的一方與位元線 BL_N 連接，電晶體 1181(M, N)的第一閘極電極與字線 WL_M 連接，電晶體 1181(M, N)的第二閘極電極與閘極線 BGL_M 連接。藉由採用電晶體 1181(M, N)的源極電極和汲極電極中的一方與位元線 BL_N 連接的結構，可以在每個儲存單元選擇性地讀出資料。

電晶體 1181(M, N)在儲存單元 1180(M, N)中具有選擇電晶體的功能。

作為電晶體 1181(M, N)，可以使用將氧化物半導體用於通道形成區的電晶體。

電晶體 1182(M, N)為 P 通道型電晶體。此外，在本實施例的半導體儲存裝置中，電晶體 1182 不一定需要為 P 通道型電晶體。

電晶體 1182(M, N)的源極電極和汲極電極中的一方與源極線 SL 連接，電晶體 1182(M, N)的源極電極和汲極電極中的另一方與位元線 BL_N 連接，電晶體 1182(M, N)的閘極電極與電晶體 1181(M, N)的源極電極和汲極電極中的另一方連接。

電晶體 1182(M, N)在儲存單元 1180(M, N)中具有輸出電晶體的功能。作為電晶體 1182(M, N)，例如可以使用將單晶矽用於通道形成區的電晶體。

電容元件 1183(M, N)的第一電容電極與電容線 CL_M 連接，電容元件 1183(M, N)的第二電容電極與電晶體 1181(M, N)的源極電極和汲極電極中的另一方連接。另外，電容元件 1183(M, N)具有儲存電容器的功能。

字線 WL₁ 至字線 WL_i 的每個電壓例如由使用解碼器的驅動電路控制。

位元線 BL₁ 至位元線 BL_j 的每個電壓例如由使用解碼器的驅動電路控制。

電容線 CL₁ 至電容線 CL_i 的每個電壓例如由使用解碼器的驅動電路控制。

閘極線 BGL₁ 至閘極線 BGL_i 的每個電壓例如使用閘極線驅動電路控制。

閘極線驅動電路例如由具備二極體及第一電容電極與二極體的陽極及閘極線 BGL 電連接的電容元件的電路構成。

藉由調節電晶體 1181 的第二閘極電極的電壓，可以調節電晶體 1181 的臨界值電壓。從而，可以調節用作選擇電晶體的電晶體 1181 的臨界值電壓，而可以將流在截止狀態下的電晶體 1181 的源極電極和汲極電極之間的電流極小。因此，可以延長儲存電路中的資料保持期間。此外，由於可以使寫入及讀出資料時需要的電壓比現有的半導體裝置低，所以可以降低耗電量。

本實施例可以與其他實施例適當地組合而實施。

實施例 7

在本實施例中，參照圖 13A 和圖 13B 說明使用上述實施例所示的電晶體的半導體裝置的例子。

圖 13A 示出具有相當於所謂 DRAM(動態隨機存取記憶體 Dynamic Random Access Memory)的結構的半導體裝置的一個例子。圖 13A 所示的儲存單元陣列 1120 具有將多個儲存單元 1130 排列為矩陣狀的結構。另外，儲存單元陣列 1120 具有 m 個第一佈線以及 n 個第二佈線。注意，在本實施例中將第一佈線稱為位元線 BL，將第二佈線稱為字線 WL。

儲存單元 1130 具有電晶體 1131 和電容元件 1132。電晶體 1131 的閘極電極與第一佈線(字線 WL)連接。另

外，電晶體 1131 的源極電極和汲極電極中的一方與第二佈線(位元線 BL)連接，電晶體 1131 的源極電極和汲極電極中的另一方與電容元件的一方的電極連接。另外，電容元件的另一方的電極與電容線 CL 連接，並施加有一定的電壓。作為電晶體 1131 使用上述實施例所示的電晶體。

與將單晶矽用於通道形成區的電晶體相比，將上述實施例所示的氧化物半導體用於通道形成區的電晶體的截止電流低。因此，如果將該電晶體用於所謂 DRAM 的圖 13A 所示的半導體裝置，則可以得到實質上的不揮發性儲存裝置。

圖 13B 示出具有相當於所謂 SRAM(Static Random Access Memory：靜態隨機存取記憶體)的結構的半導體裝置的一個例子。圖 13B 所示的儲存單元陣列 1140 可以採用將多個儲存單元 1150 排列為矩陣狀的結構。此外，儲存單元陣列 1140 具有多個第一佈線(字線 WL)、多個第二佈線(位元線 BL)以及多個第三佈線(反相位元線/ $\overline{BL}$)。

儲存單元 1150 具有第一電晶體 1151、第二電晶體 1152、第三電晶體 1153、第四電晶體 1154、第五電晶體 1155 以及第六電晶體 1156。第一電晶體 1151 和第二電晶體 1152 用作選擇電晶體。另外，第三電晶體 1153 和第四電晶體 1154 中，一方為 n 通道型電晶體(在此為第四電晶體 1154)，另一方為 p 通道型電晶體(在此為第三電晶體 1153)。換言之，由第三電晶體 1153 和第四電晶體 1154 構成 CMOS 電路。同樣地，由第五電晶體 1155 和第六電

晶體 1156 構成 CMOS 電路。

第一電晶體 1151、第二電晶體 1152、第四電晶體 1154、第六電晶體 1156 爲 n 通道型電晶體，作爲這些電晶體可以使用上述實施例所示的電晶體。第三電晶體 1153 和第五電晶體 1155 爲 p 通道型電晶體，將氧化物半導體以外的材料(例如，單晶矽等)用於這些電晶體的通道形成區。

本實施例所示的結構、方法等可以與其他實施例所示的結構、方法等適當地組合而使用。

本實施例可以與其他實施例適當地組合而實施。

實施例 8

可以至少在其一部分使用將氧化物半導體用於通道形成區的電晶體來構成 CPU(Central Processing Unit:中央處理單元)。

圖 14A 是示出 CPU 的具體結構的方塊圖。圖 14A 所示的 CPU 在其基板 1190 上具有：運算邏輯單元(ALU: Arithmetic logic unit)1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、定時控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排界面(匯流排 I/F) 1198、能夠重寫的 ROM1199 以及 ROM 介面(ROM I/F)1189。作爲基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 14A 所示的 CPU 只不過是簡化其

結構而所示的一個例子，所以實際的 CPU 根據其用途具有各種各樣的結構。

藉由匯流排界面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、定時控制器 1195。

ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、定時控制器 1195 根據被解碼的指令而進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在進行 CPU 的程式時，根據其優先度或掩模的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而進行處理該要求。暫存器控制器 1197 生成暫存器 1196 的位址，並對應於 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

另外，定時控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作定時的信號。例如，定時控制器 1195 具有根據基準時脈信號 CLK1 來生成內部時脈信號 CLK2 的內部時脈發生器，並將該時脈信號 CLK2 供應到上述各種電路。

在圖 14A 所示的 CPU 中，在暫存器 1196 中設置有記憶元件。作為暫存器 1196 的記憶元件可以使用實施例 5 所示的記憶元件。

在圖 14A 所示的 CPU 中，暫存器控制器 1197 根據

ALU1191 的指令來選擇暫存器 1196 中的保持工作。換言之，暫存器控制器 1197 選擇在暫存器 1196 所具有的記憶元件中：由倒相元件(phase-inversion element)保持資料，還是由電容元件保持資料。在選擇由倒相元件保持資料的情況下，對暫存器 1196 中的記憶元件供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶元件供應電源電壓。

如圖 14B 或圖 14C 所示，電源的停止藉由在記憶元件群和施加有電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件來可以進行。以下對圖 14B 及圖 14C 的電路進行說明。

圖 14B 及圖 14C 示出儲存電路的結構的一個例子，其中作為用來控制對記憶元件供應電源電位的切換元件使用將氧化物半導體用於通道形成區的電晶體。

圖 14B 所示的儲存裝置包括切換元件 1141 以及具有多個記憶元件 1142 的記憶元件群 1143。明確而言，作為各記憶元件 1142 可以使用實施例 5 所示的記憶元件。記憶元件群 1143 所具有的各記憶元件 1142 藉由切換元件 1141 施加有高位準的電源電位 VDD。並且，記憶元件群 1143 所具有的各記憶元件 1142 施加有信號 IN 的電位和低位準的電源電位 VSS。

在圖 14B 中，作為切換元件 1141 使用將氧化物半導體用於通道形成區的電晶體，並且該電晶體的開關受控於

施加到其閘極電極的信號 SigA。

另外，雖然圖 14B 中示出切換元件 1141 只具有一個電晶體的結構，但是不限於此，也可以具有多個電晶體。當切換元件 1141 具有多個用作切換元件的電晶體時，既可以將上述多個電晶體並聯，又可以將上述多個電晶體串聯，還可以組合並聯和串聯。

另外，在圖 14B 中，雖然由切換元件 1141 控制對記憶元件群 1143 所具有的各記憶元件 1142 供應高位準的電源電位 VDD，但是也可以由切換元件 1141 控制供應低位準的電源電位 VSS。

另外，圖 14C 示出儲存單元的一個例子，其中藉由切換元件 1141 對記憶元件群 1143 所具有的各記憶元件 1142 供應低位準的電源電位 VSS。可以由切換元件 1141 控制對記憶元件群 1143 所具有的各記憶元件 1142 供應低位準的電源電位 VSS。

即使在記憶元件群和施加有電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件，來暫時停止 CPU 的動作而停止供應電源電壓，也能夠保持資料，而可以降低耗電量。明確而言，例如即使個人電腦的使用者停止對鍵盤等輸入裝置輸入資訊，也可以停止 CPU 的工作，因此可以降低耗電量。

在此，雖然以 CPU 為例子來說明，但是也可以將上述電晶體應用於 DSP(Digital Signal Processor：數位信號處理器)、定制 LSI、FPGA(Field Programmable Gate

Array：現場可編程閘陣列)等的 LSI。

本實施例可以與上述實施例適當地組合而實施。

【符號說明】

100：電晶體

101：基板

102：基底層

103：氧化物半導體層

104：閘極絕緣層

105：閘極電極

106：摻雜物

107：絕緣層

108：絕緣層

109：接觸孔

111：側壁

112：通道保護層

113：絕緣層

115：背閘極電極

140：電晶體

150：電晶體

160：電晶體

170：電晶體

180：電晶體

190：電晶體

- 1100：儲存單元
- 1110：儲存單元陣列
- 1111：佈線驅動電路
- 1112：電路
- 1113：佈線驅動電路
- 1120：儲存單元陣列
- 1130：儲存單元
- 1131：電晶體
- 1132：電容元件
- 1140：儲存單元陣列
- 1141：切換元件
- 1142：記憶元件
- 1143：記憶元件群
- 1150：儲存單元
- 1151：電晶體
- 1152：電晶體
- 1153：電晶體
- 1154：電晶體
- 1155：電晶體
- 1156：電晶體
- 1160：電晶體
- 1161：電晶體
- 1162：電晶體
- 1163：電晶體

- 1164：電晶體
- 1170：儲存單元
- 1171：電晶體
- 1172：電晶體
- 1173：電容元件
- 1180：儲存單元
- 1181：電晶體
- 1182：電晶體
- 1183：電容元件
- 1189：ROM 介面
- 1190：基板
- 1191：ALU
- 1192：ALU 控制器
- 1193：指令解碼器
- 1194：中斷控制器
- 1195：定時控制器
- 1196：暫存器
- 1197：暫存器控制器
- 1198：匯流排介面
- 1199：ROM
- 103a：源極區
- 103b：汲極區
- 103c：通道形成區
- 103d：低濃度區

103e : 低濃度區

105a : 閘極電極

105b : 閘極電極

110a : 源極電極

110b : 汲極電極

發明摘要

※申請案號：105142264(由104143588分割) 分割案

※申請日：100 年 12 月 26 日

※IPC 分類：H01L 29/78 (2006.01)
H01L 21/28 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【中文】

本發明的一個實施例提供一種能夠進行高速工作的半導體裝置。此外，本發明的一個實施例還提供一種不容易發生因短通道效應而導致的電特性的變動的半導體裝置。將具有結晶性的氧化物半導體用於電晶體的半導體層，在該半導體層上形成通道形成區、源極區以及汲極區。源極區及汲極區藉由利用將閘極電極用作掩模且對半導體層添加第 15 族元素中的一種或多種的元素的自對準製程來形成。可以使源極區及汲極區具有纖鋅礦型晶體結構。

【英文】

申請專利範圍

1. 一種半導體裝置，包含：

包括通道形成區、源極區和汲極區的氧化物半導體層，

其中：

該氧化物半導體層包含鋅、銦和鎵；

該通道形成區包括晶體；

該源極區和該汲極區包含纖鋅礦型晶體結構，以及

該源極區和該汲極區各者的晶體結構是不同於該通道形成區的晶體結構。

2. 一種半導體裝置，包含：

包括通道形成區、源極區和汲極區的氧化物半導體層，

其中：

該氧化物半導體層包含鋅和銦；

該通道形成區包括晶體；

該源極區和該汲極區包含纖鋅礦型晶體結構，以及

該源極區和該汲極區各者的晶體結構是不同於該通道形成區的晶體結構。

3. 一種半導體裝置，包含：

包括通道形成區、源極區和汲極區的氧化物半導體層，

其中：

該氧化物半導體層包含鋅和銦；

該通道形成區包括晶體；

該源極區和該汲極區包含纖鋅礦型晶體結構；

該通道形成區的能隙大於該源極區和該汲極區每一個的能隙；

該通道形成區的該能隙為 2.5eV 或更大，以及

該源極區和該汲極區各者的晶體結構是不同於該通道形成區的晶體結構。

4.根據申請專利範圍第 1、2 或 3 項之半導體裝置，更包含在該氧化物半導體層下方的絕緣層，其中：

當氧的量轉換成氧原子時，在熱吸收頻譜中，從該絕緣層釋出的該氧的量大於或等於 $3.0 \times 10^{20} \text{atoms/cm}^3$ ，

該絕緣層包含氧且可供應氧至該氧化物半導體層，以及

該絕緣層包含 SiO_x ，其中 x 大於 2。

5.根據申請專利範圍第 1、2 或 3 項之半導體裝置，更包含在該氧化物半導體層上方的閘極電極，其中相對於該閘極電極，該源極區和該汲極區藉由自配向製程形成。

6.根據申請專利範圍第 1、2 或 3 項之半導體裝置，更包含電連接至該源極區的源極電極，其中：

該通道形成區的工作函數大於該源極區的工作函數；以及

該源極區的該工作函數大於該源極電極的工作函數。

7.根據申請專利範圍第 3 項之半導體裝置，其中該通道形成區的該能隙為 3eV 或更大。

圖式

圖 1A

100

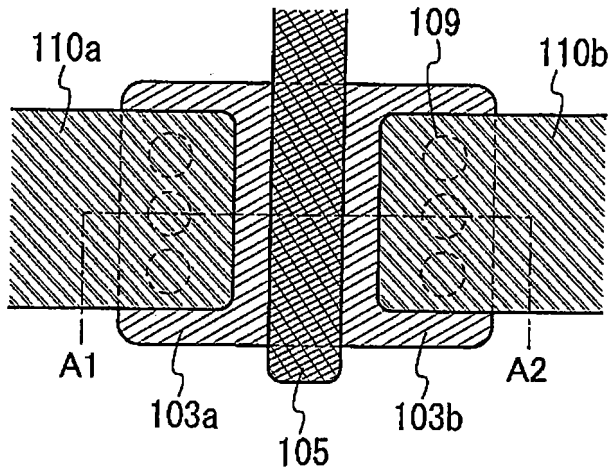


圖 1B

100

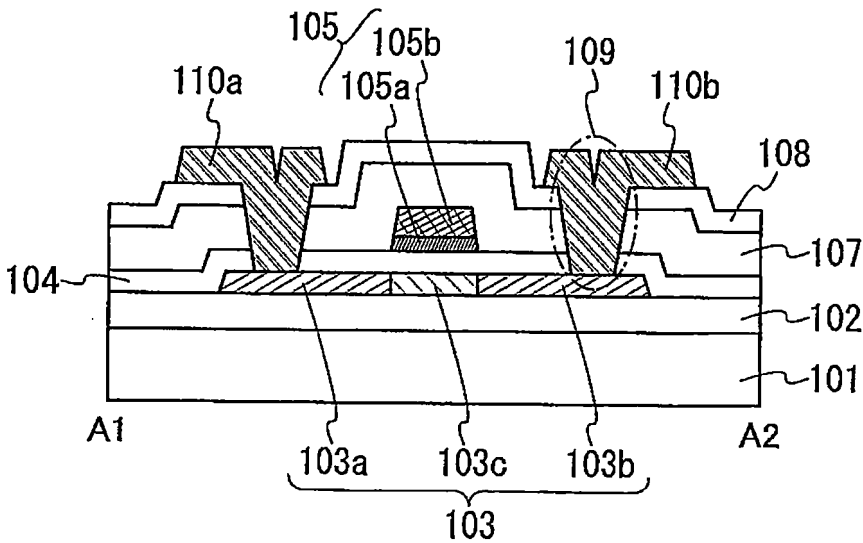


圖 2A

140

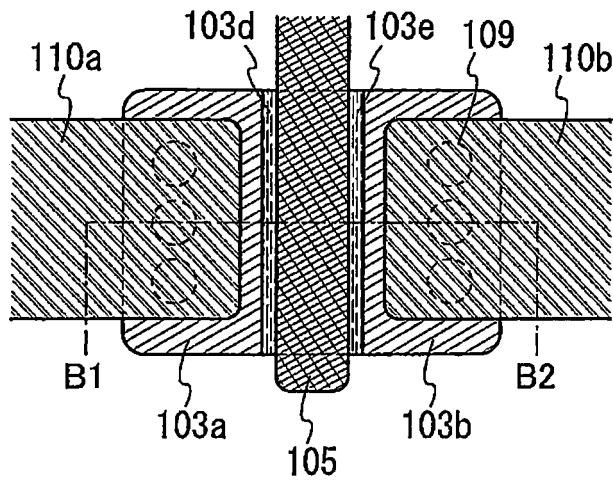


圖 2B

140

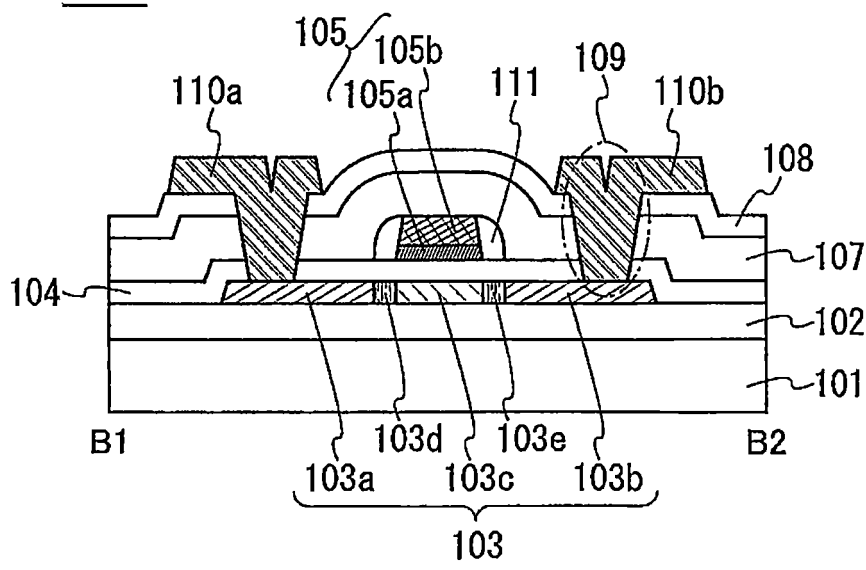


圖 3A

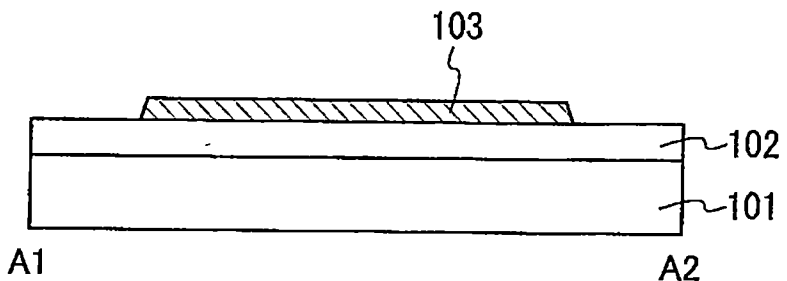


圖 3B

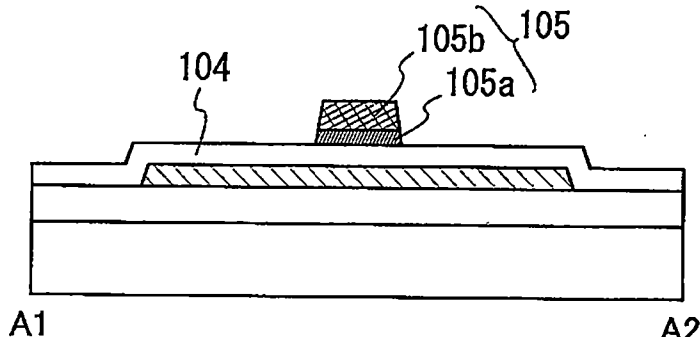


圖 3C

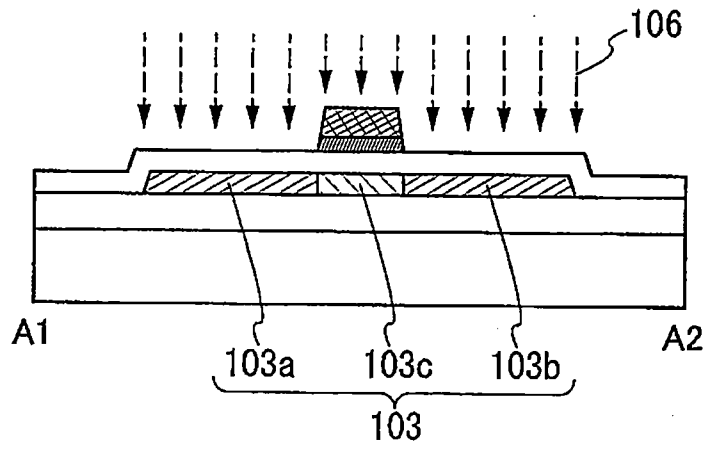


圖 3D

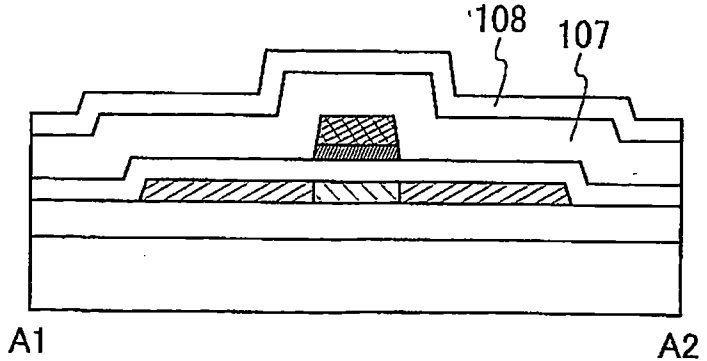


圖 4A

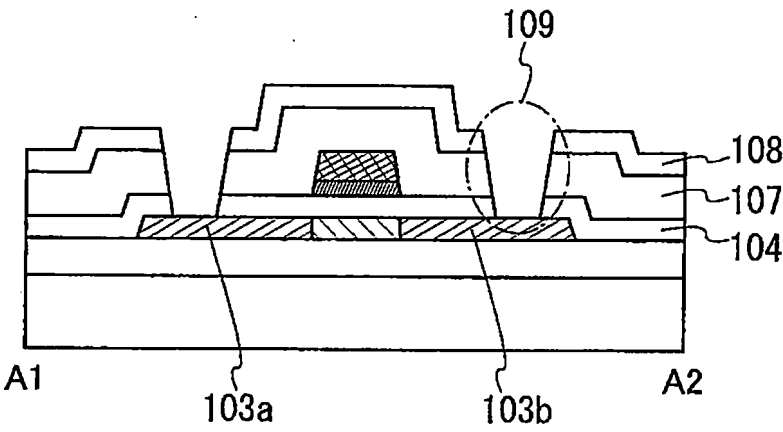
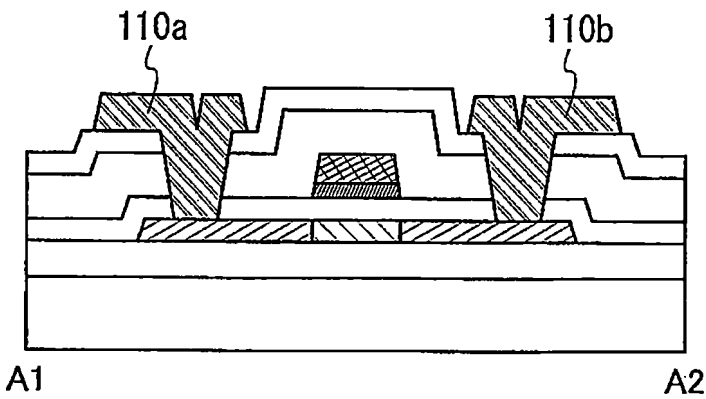


圖 4B



150

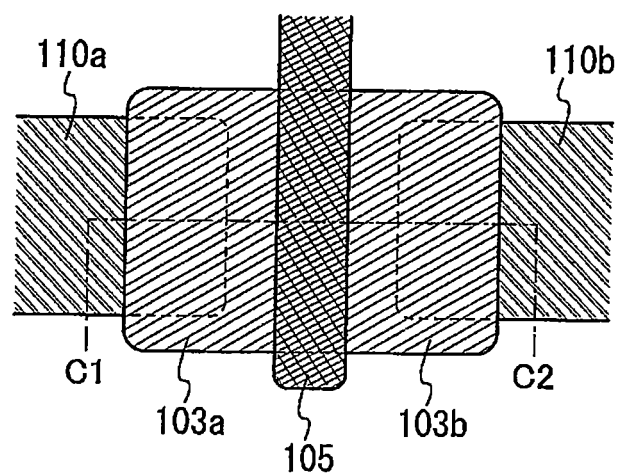


圖 5B

150

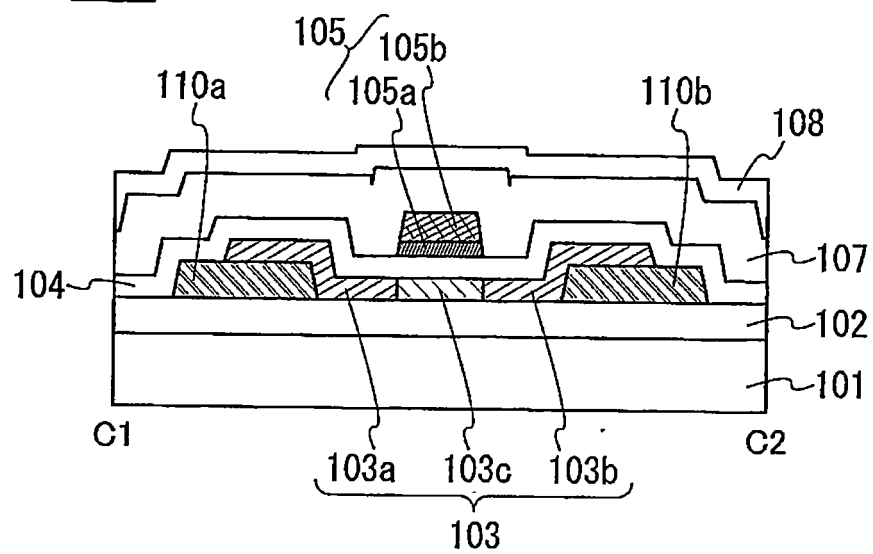


圖 6A

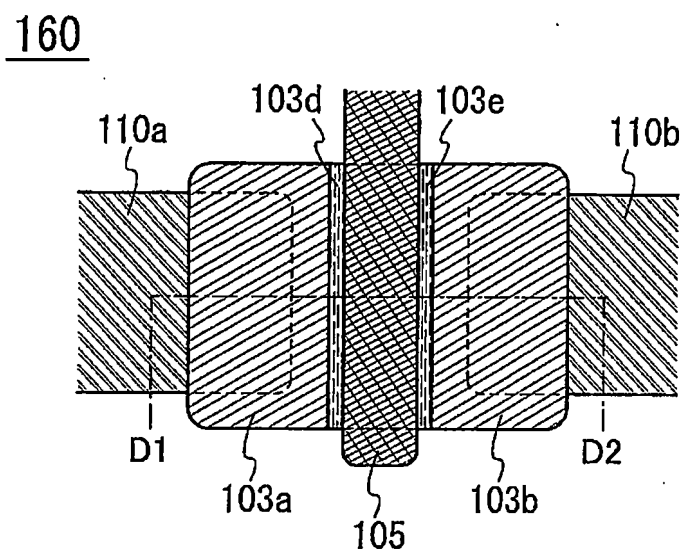


圖 6B

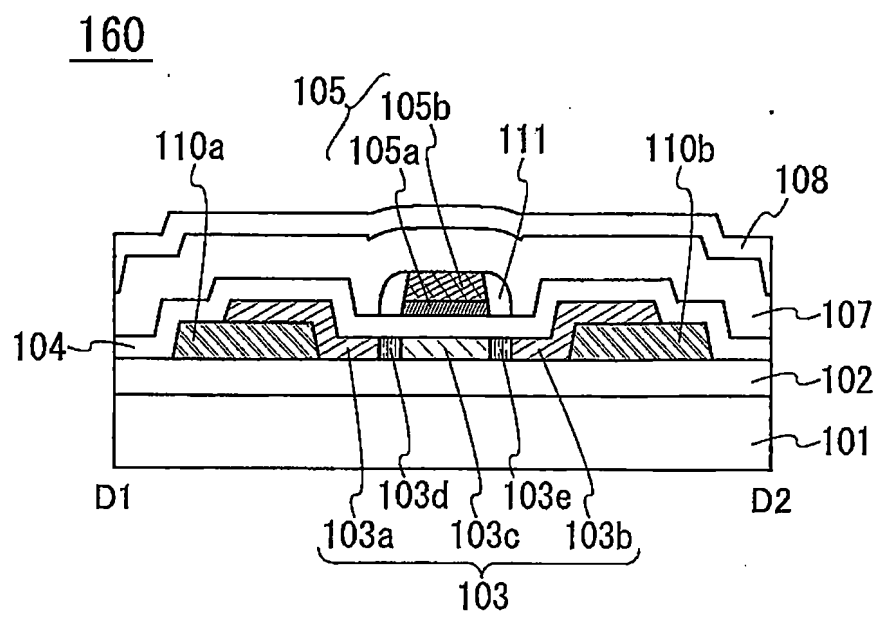


圖 7A

170

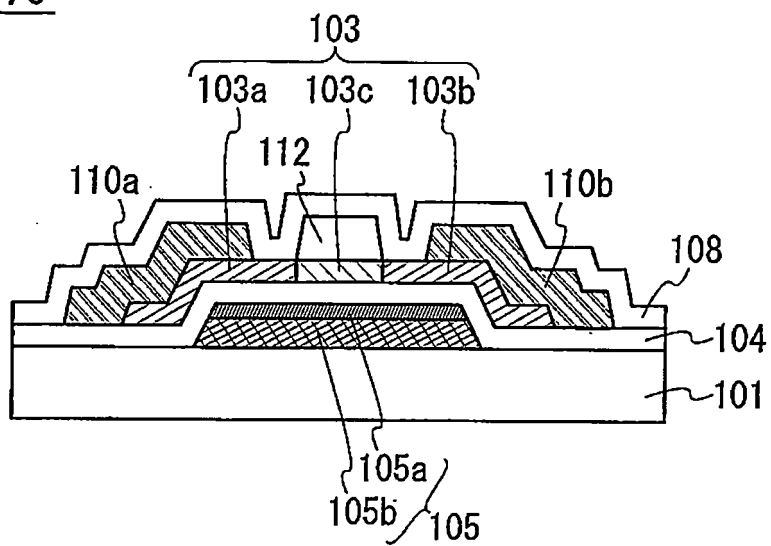


圖 7B

180

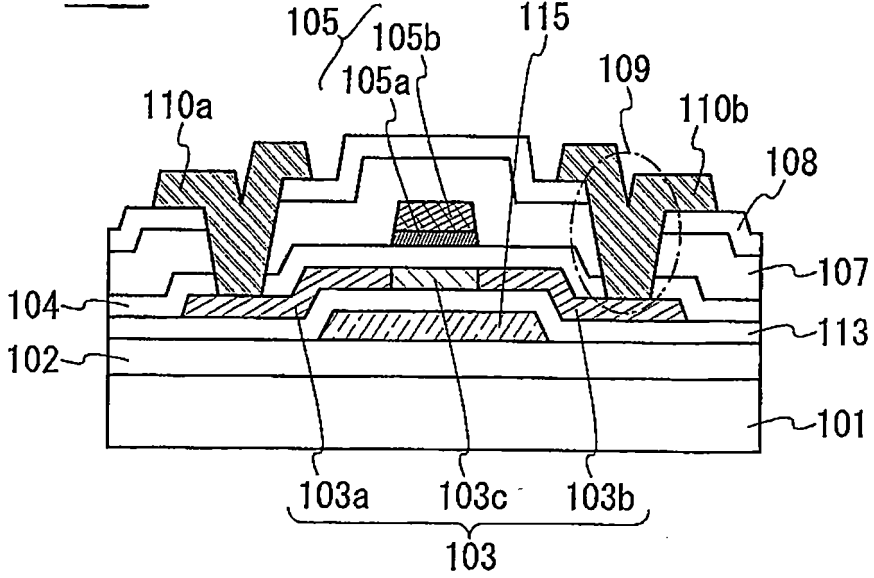


圖 8

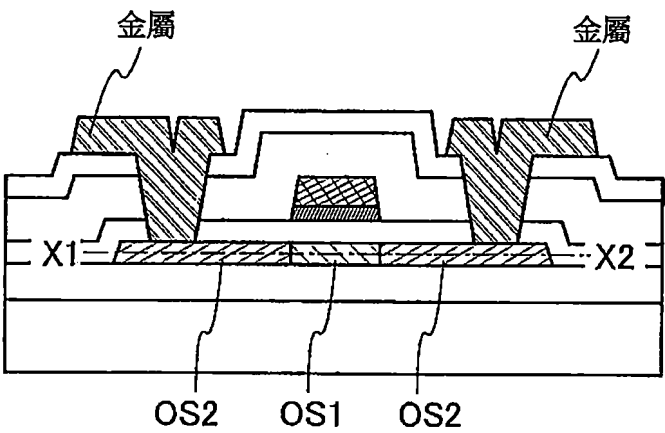


圖 9A

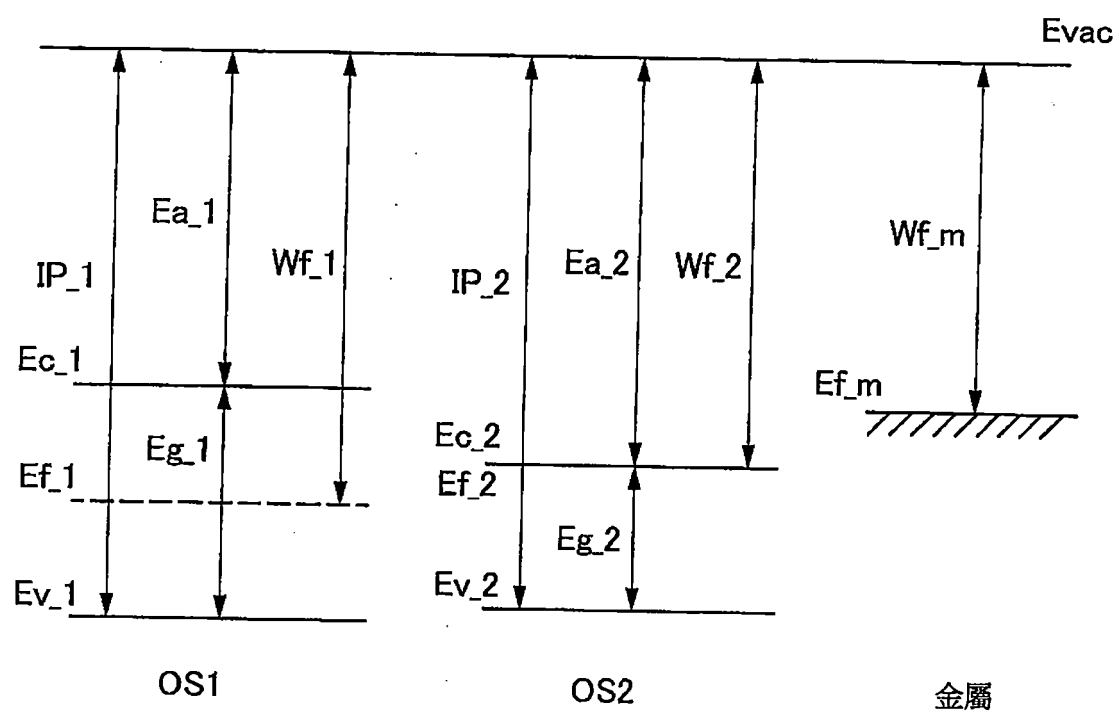


圖 9B

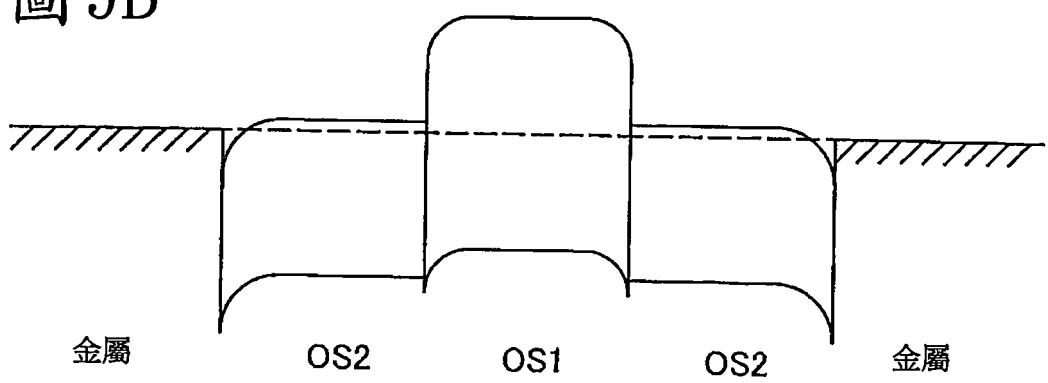


圖 10A

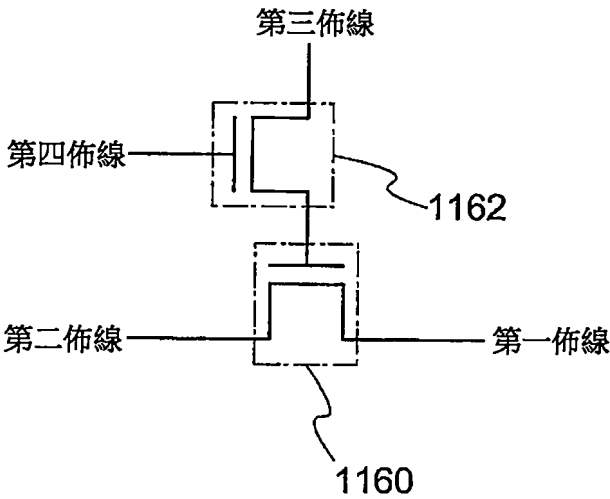


圖 10B

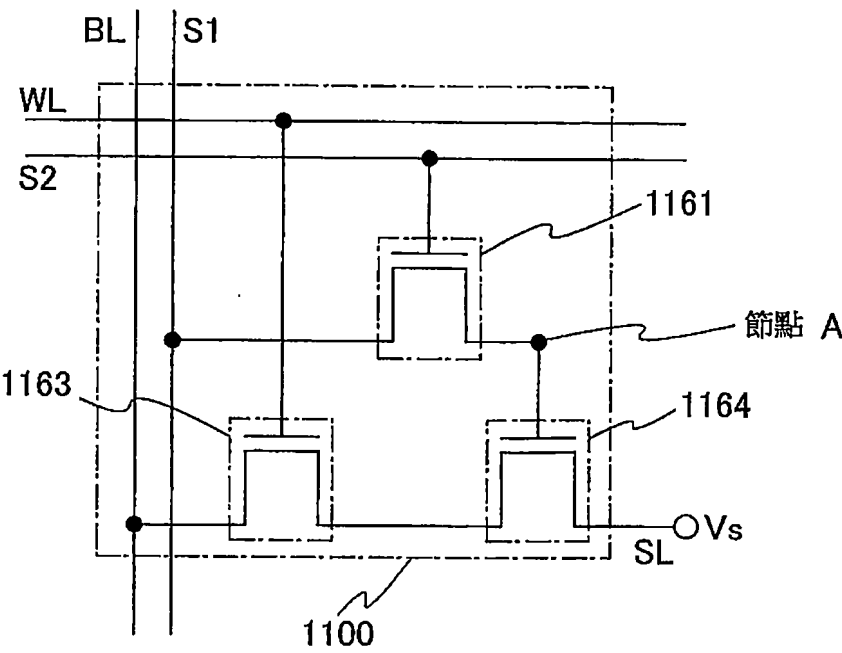


圖 11

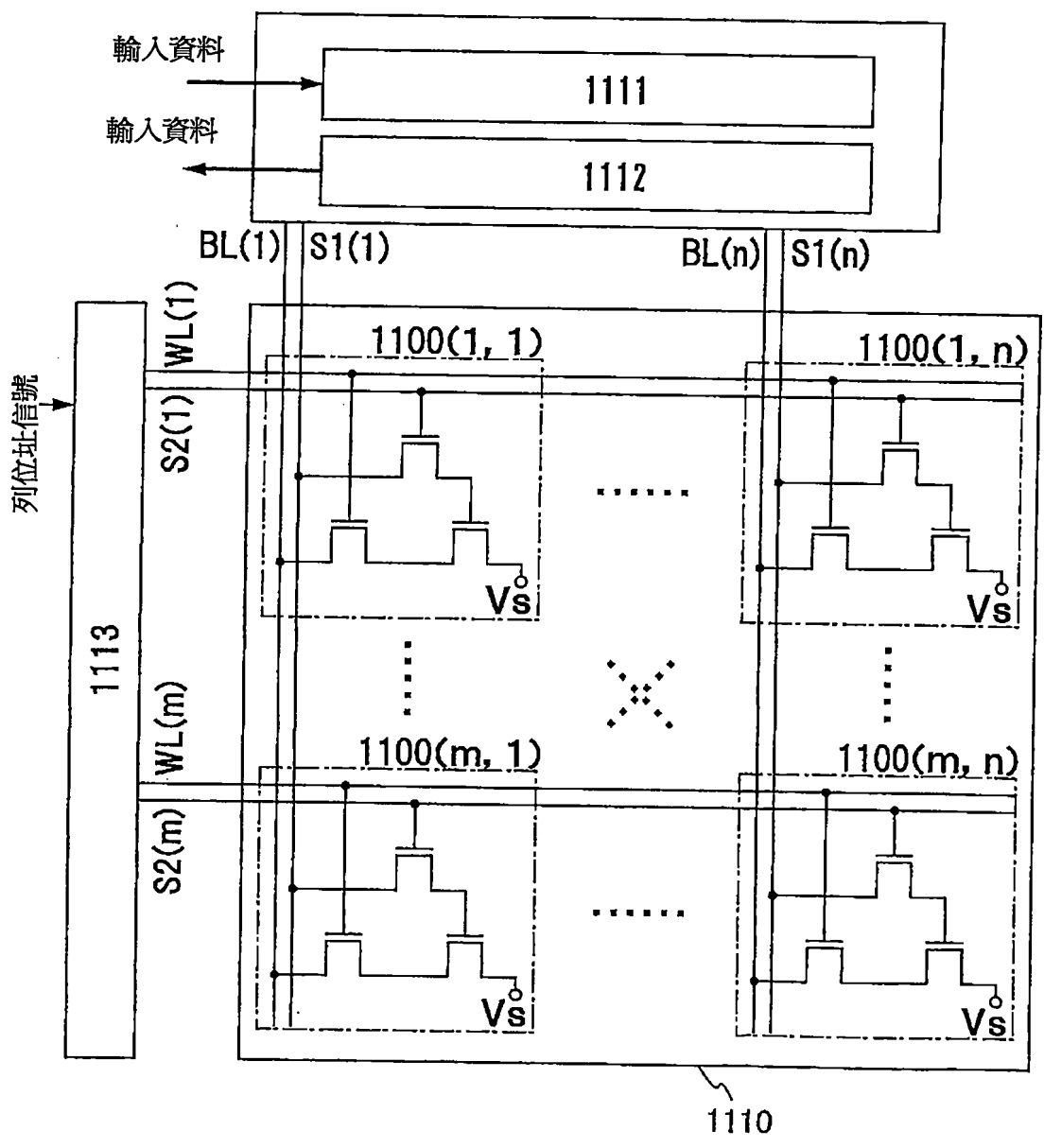


圖12A

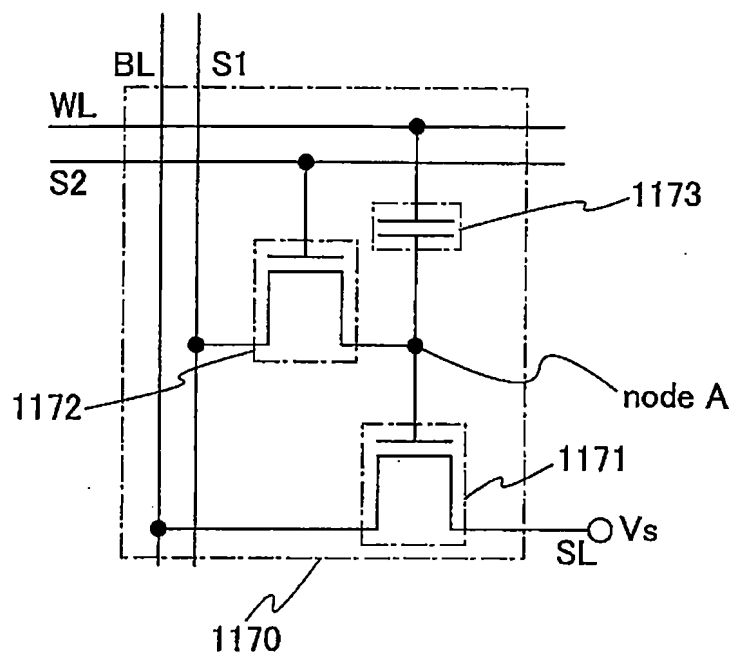


圖12B

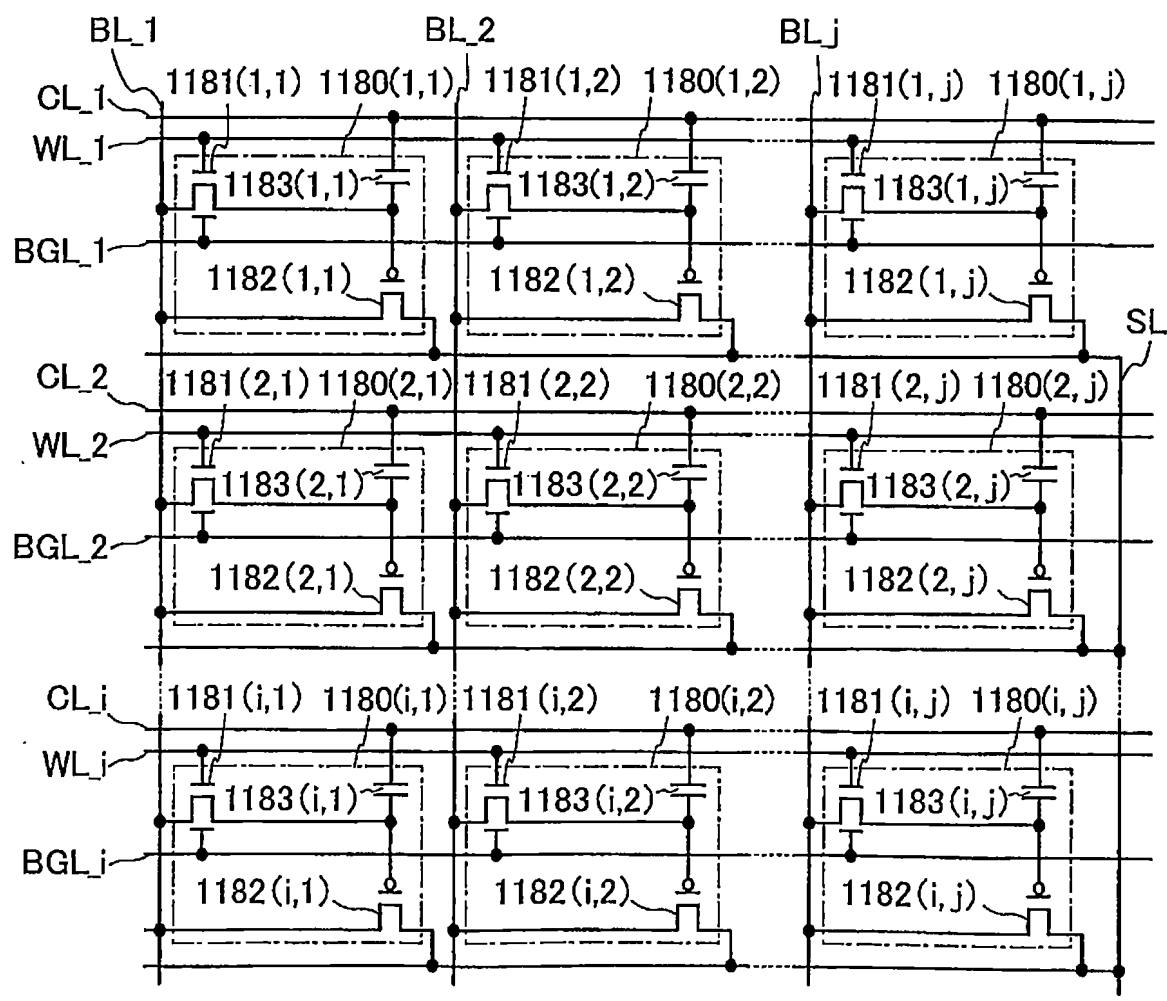


圖 13A

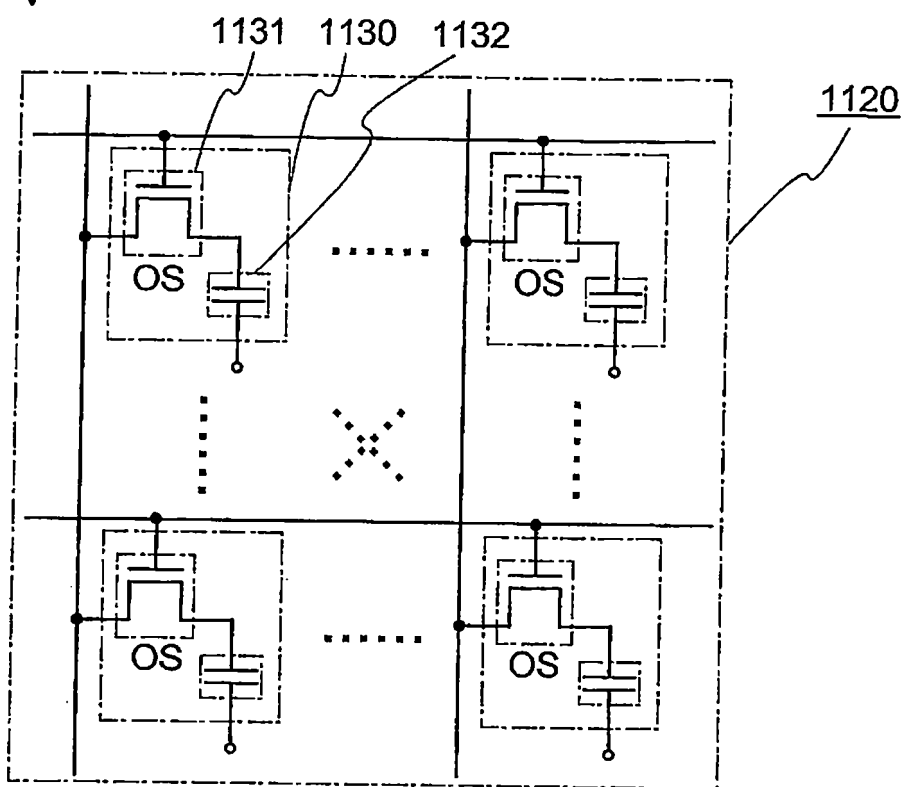


圖 13B

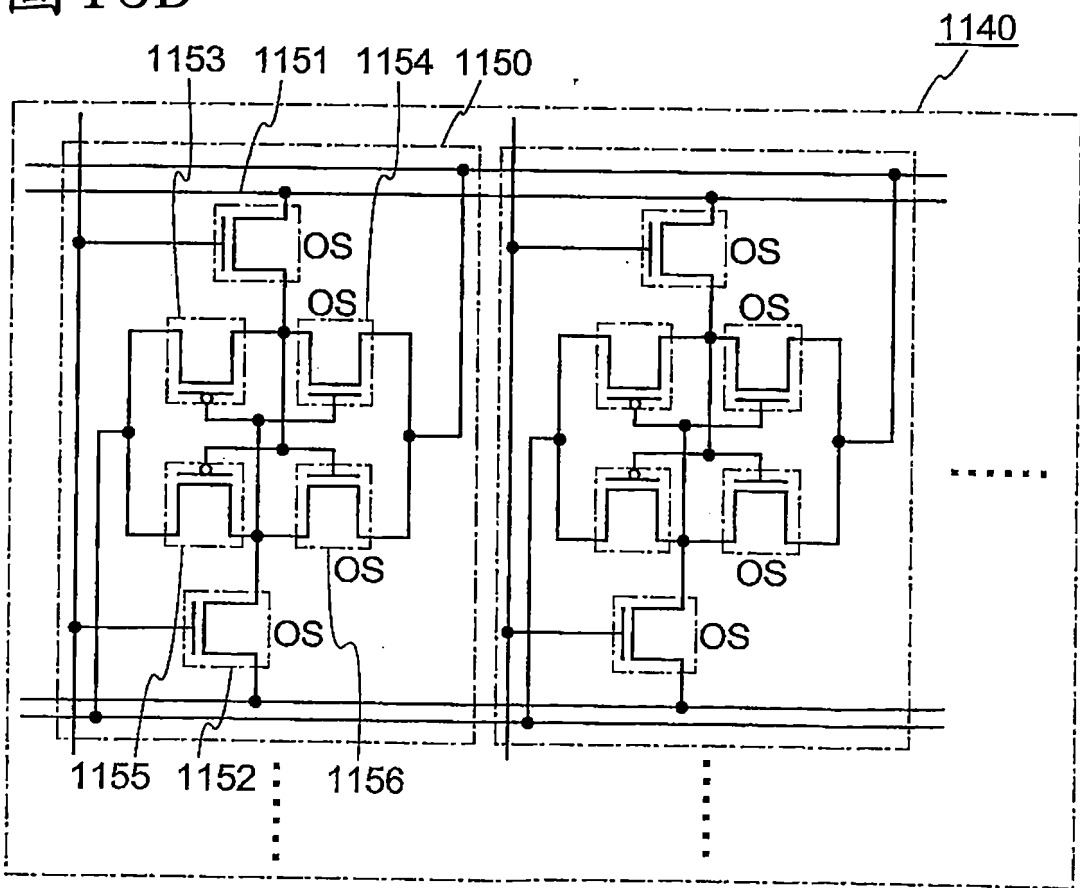


圖 14A

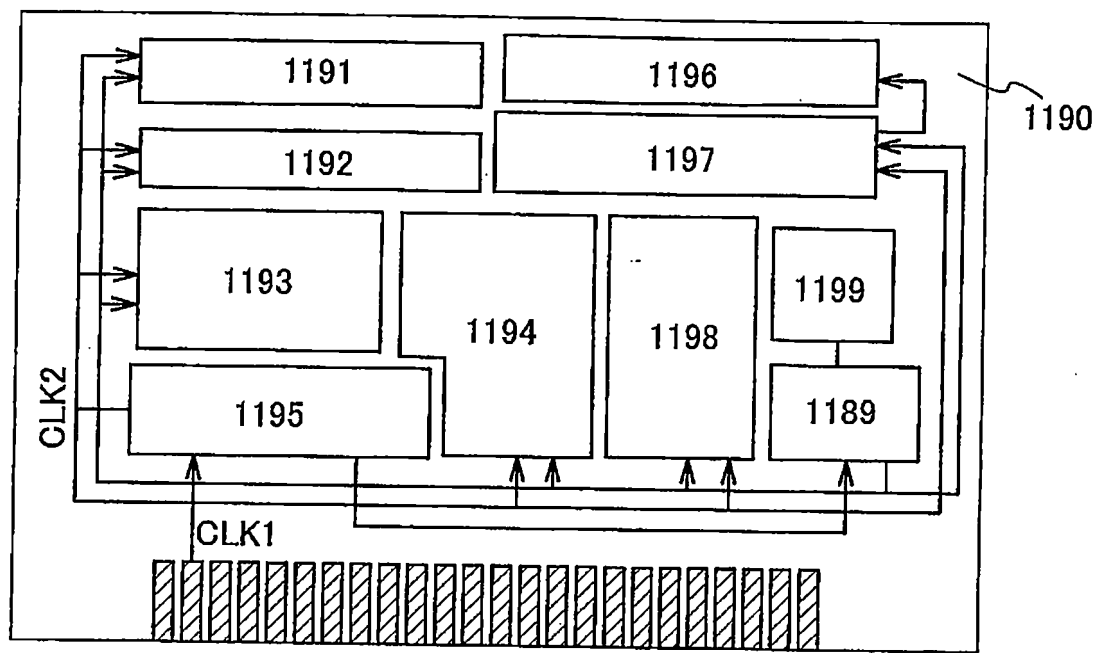


圖 14B

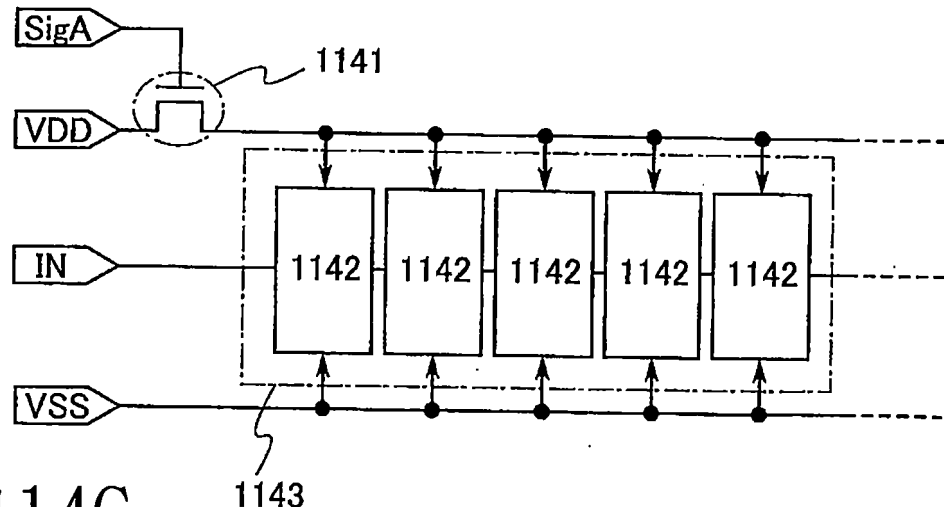


圖 14C

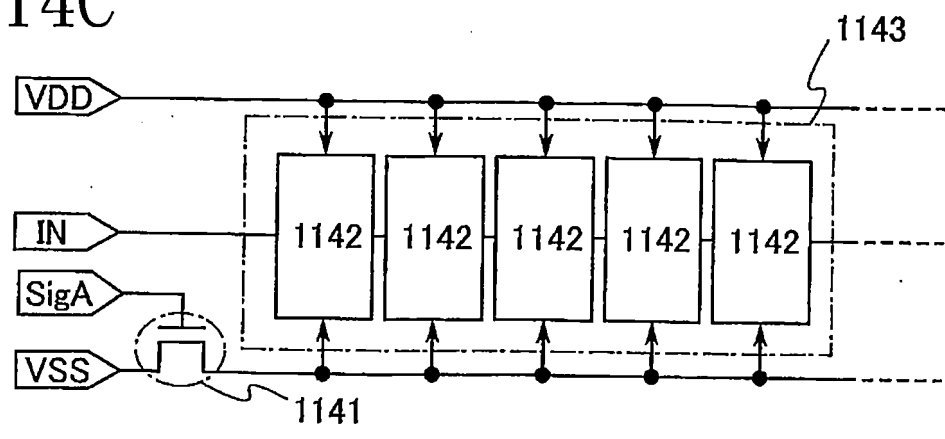


圖 15A

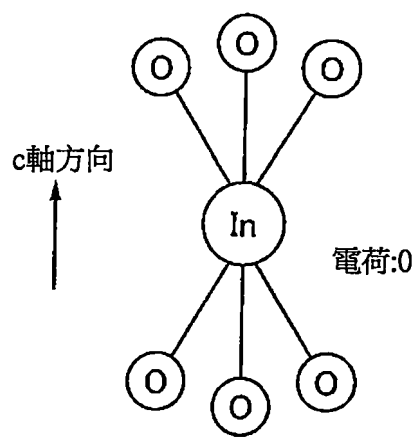


圖 15D

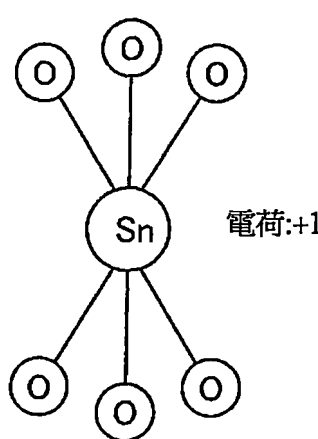


圖 15B

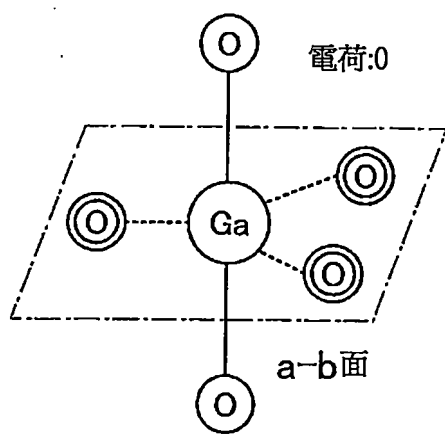


圖 15E

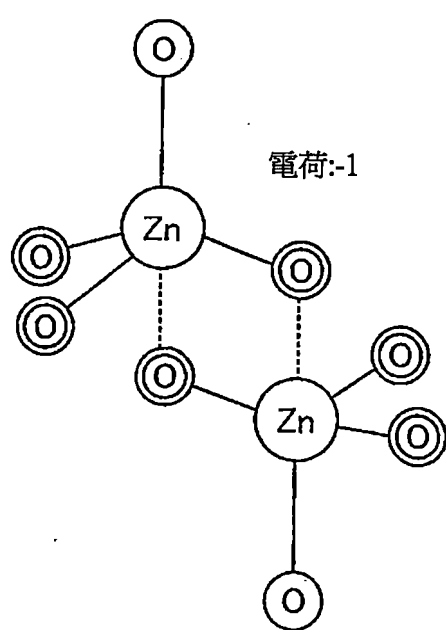


圖 15C

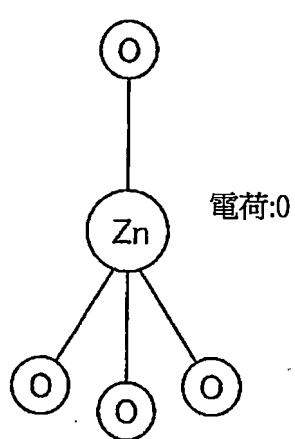
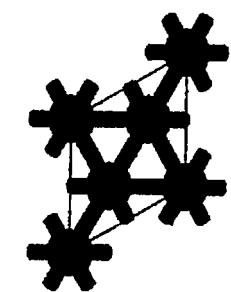
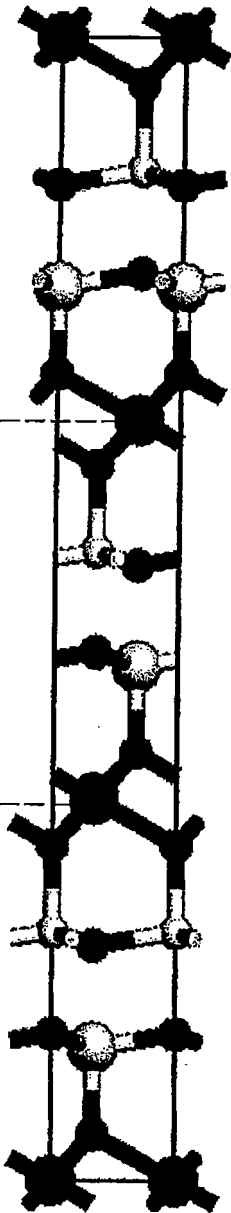
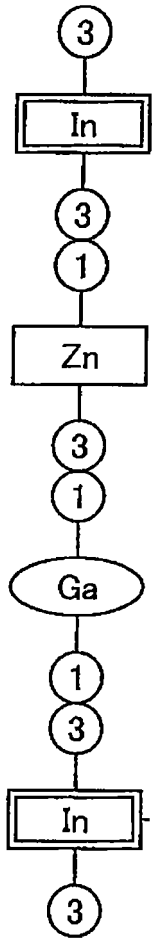


圖 17A

圖 17B

圖 17C



- In
- Ga
- Zn
- O

圖 18A

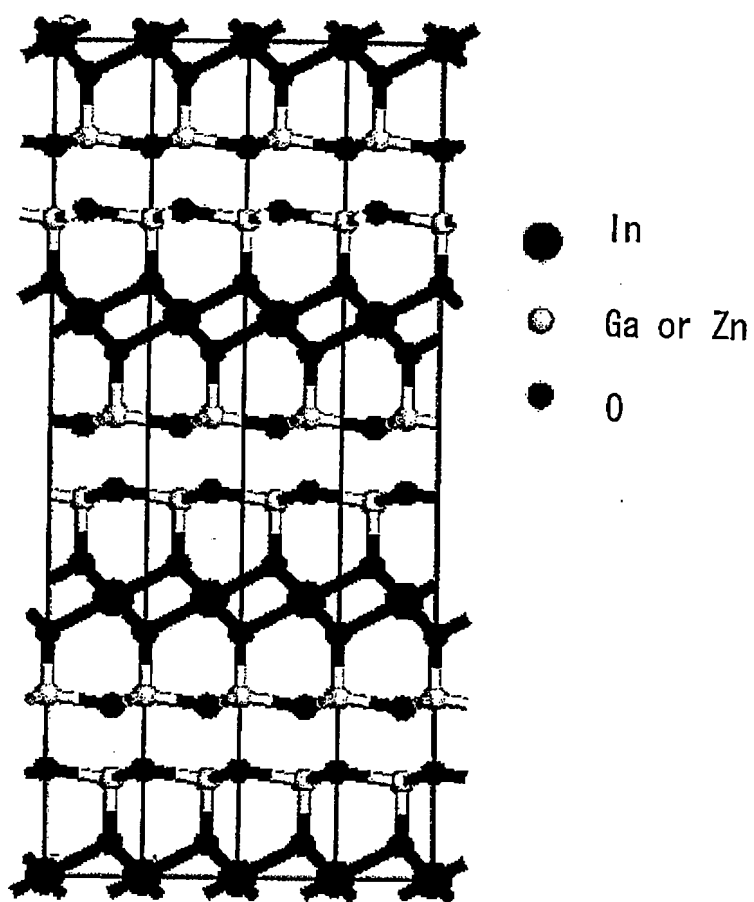
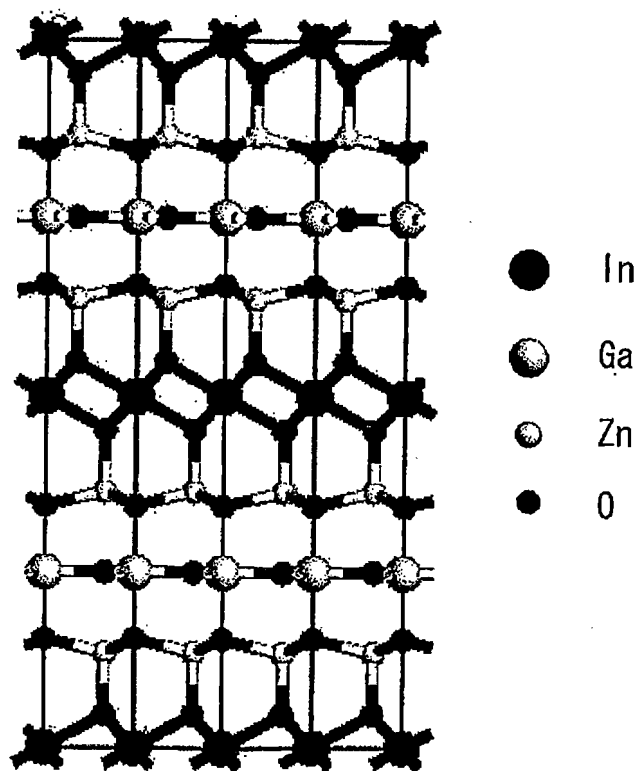


圖 18B



【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

- 100：電晶體
- 101：基板
- 102：基底層
- 103：氧化物半導體層
- 103a：源極區
- 103b：汲極區
- 103c：通道形成區
- 104：閘極絕緣層
- 105：閘極電極
- 105a：閘極電極
- 105b：閘極電極
- 107：絕緣層
- 108：絕緣層
- 109：接觸孔
- 110a：源極電極
- 110b：汲極電極
- A1-A2：虛線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無