

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5357370号  
(P5357370)

(45) 発行日 平成25年12月4日 (2013. 12. 4)

(24) 登録日 平成25年9月6日 (2013. 9. 6)

(51) Int. Cl.	F I
<i>H O 1 L 29/749 (2006. 01)</i>	<i>H O 1 L 29/74 6 O 1 B</i>
<i>H O 1 L 29/74 (2006. 01)</i>	<i>H O 1 L 29/74 Y</i>
<i>H O 1 L 21/336 (2006. 01)</i>	<i>H O 1 L 29/74 G</i>
<i>H O 1 L 29/78 (2006. 01)</i>	<i>H O 1 L 29/78 6 5 8 A</i>
<i>H O 1 L 29/739 (2006. 01)</i>	<i>H O 1 L 29/78 3 O 1 W</i>
請求項の数 6 (全 19 頁) 最終頁に続く	

(21) 出願番号	特願2001-522599 (P2001-522599)	(73) 特許権者	504250990
(86) (22) 出願日	平成12年9月7日 (2000. 9. 7)		エコ セミコンダクターズ リミテッド
(65) 公表番号	特表2003-509849 (P2003-509849A)		イギリス国 レスター エルイー1 5エ
(43) 公表日	平成15年3月11日 (2003. 3. 11)		ックスワイ オックスフォード ストリー
(86) 国際出願番号	PCT/GB2000/003443		ト イノベーション センター ユニッ
(87) 国際公開番号	W02001/018876		ト 6
(87) 国際公開日	平成13年3月15日 (2001. 3. 15)	(74) 代理人	100077827
審査請求日	平成19年8月27日 (2007. 8. 27)		弁理士 鈴木 弘男
(31) 優先権主張番号	9921068. 4	(72) 発明者	マダシル・サンカラ・ナラヤナン・エカ
(32) 優先日	平成11年9月8日 (1999. 9. 8)		ナス
(33) 優先権主張国	英国 (GB)		イギリス レイセスターシャ エルイー4
			1 エーティー レイセスター ストーニ
			ーウェル ロード 62
		審査官	小田 浩
			最終頁に続く

(54) 【発明の名称】 半導体デバイス

(57) 【特許請求の範囲】

【請求項 1】

それぞれが、少なくとも1つの第2の導電型のエミッタ領域を内部に配置した第1の導電型のベース領域を有する、多数のセルと、

第2の導電型の第1のウェル領域と、

第1の導電型の第2のウェル領域と、

第2の導電型のドリフト領域と、

第1の導電型のコレクタ領域と、

コレクタ接点と、

を備え、

多数の各ベース領域が前記第1のウェル領域内に配置され、各ベース領域は少なくともその上に配置された少なくとも1つのエミッタを有し、それによって多数のセルを提供し、第1のウェル領域が第2のウェル領域内に配置される半導体デバイスであって、更に、エミッタ領域と第1のウェル領域との間にM O S F E Tチャネルを形成し得るようにベース領域上に配置された第1のゲートと、

第1のウェル領域とドリフト領域との間にM O S F E Tチャネルを形成し得るように第2のウェル領域上に配置された第2のゲートと、  
を備え、

前記セルはそれぞれ対称形であり、

前記デバイスの動作中にベース領域と第1のウェル領域との間の接合部の空乏領域が第

1のウェル領域と第2のウェル領域との間の接合部まで延び得るように構成され、これにより、第1のウェル領域の電位がコレクタ接点の電位から分離され、ベース領域と第2のウェル領域との間にMOSFETチャネルを形成する必要なくオフにし得るようにした半導体デバイス。

【請求項2】

各セルは、さらに、第1のウェル領域の中央部に第1の導電型の高ドープ領域を有し、前記領域は、ベース領域の下に貫入して拡散し、前記第1のウェル領域に突き出している、請求項1に記載の半導体デバイス。

【請求項3】

第1のウェル領域と第2のウェル領域とドリフト領域とコレクタ領域とからなるサイリスタを主に通して、オン状態の電導が進む、請求項1に記載の絶縁ゲートバイポーラトランジスタ型半導体デバイス。

10

【請求項4】

第2のウェル領域と接触すると共にベース領域及びエミッタ領域と直接電氣的に接触する第1の導電型の高ドープ分離領域をさらに備える請求項1に記載の、エミッタスイッチサイリスタ型半導体デバイス。

【請求項5】

第2のウェル領域と接触する第1の導電型の高ドープ分離領域をさらに備え、前記分離領域が、第1のウェル領域との直接的な電気接触を提供すべく該分離領域上に形成された浮遊オーム接点を有する請求項1に記載の絶縁ベースエミッタスイッチサイリスタ型半導体デバイス。

20

【請求項6】

それぞれが、少なくとも1つの第2の導電型のエミッタ領域を内部に配置した第1の導電型のベース領域を有する、多数のセルと、

第2の導電型の第1のウェル領域と、

第1の導電型の第2のウェル領域と、

第2の導電型のドリフト領域と、

第1の導電型のコレクタ領域と、

コレクタ接点と、

を備え、

30

多数のベース領域が前記第1のウェル領域内に配置され、各ベース領域は少なくともその上に配置された少なくとも1つのエミッタを有し、それによって多数のセルを提供し、第1のウェル領域が第2のウェル領域内に配置される半導体デバイスであって、更に、

エミッタ領域と第1のウェル領域との間にMOSFETチャネルを形成し得るようにベース領域上に配置された第1のゲートと、

前記のウェル領域とドリフト領域との間にMOSFETチャネルを形成し得るように第2のウェル領域上に配置された第2のゲートと、

を備えた半導体デバイスを提供し、

前記セルはそれぞれ対称形であり、

エミッタ領域と第1のウェル領域との間にMOSFETチャネルを形成し、

40

第1のウェル領域とドリフト領域との間にMOSFETチャネルを形成し、

オン状態で動作中に、ベース領域と第1のウェル領域との間の接合部で形成された空乏領域が、第1のウェル領域と第2のウェル領域との間の接合部まで延び得るように形成され、それにより第1のウェル領域の電位がコレクタ接点の電位の増加から分離されるように半導体デバイスを動作させ、

ベース領域と第2のウェル領域との間にMOSFETチャネルを形成することなく半導体デバイスをオフにすることを特徴とする半導体デバイスの動作方法。

【発明の詳細な説明】

【産業上の利用分野】

【0001】

50

本発明はバイポーラおよびMOS技術を組み合わせた種類のパワー半導体デバイス系に関する。

【従来の技術及び発明が解決しようとする課題】

【0002】

こうしたデバイスは幅広く存在する。1つの極端な場合として、パワーMOSFETデバイスはこの系から外れた位置にある。このデバイスには垂直DMOSプロセス(DMOSとは二重拡散MOSプロセスのことである)により製造されたDMOSパワーMOSFETが含まれる。このプロセスにおいては、デバイスは、単結晶シリコンのボディ上に、このボディの一面に形成された多数のソース/ゲートセルを使用し、反対面に形成された共通のドレイン領域によりコーティングすることで作成される。ソース/ゲートセルは並列に結合され、ドリフト領域として知られるデバイスの主要内部領域を通じて電流が流れるように多数の並行なフィラメントを提供する。

10

【0003】

バイポーラ及びMOSFET技術の組み合わせは、デバイスを通じた主負荷電流伝達経路とバイポーラトランジスタを制御するMOS構造とを提供するバイポーラトランジスタ構造を有する。このMOS構造は、僅かな入力電力しか消費しない高インピーダンス入力を提供する。そのため、MOS技術に基づく外部制御回路に適合させることが可能となる。

【0004】

バイポーラトランジスタは、エミッタがデバイスのMOS部分のソースと密接に関連するNPNトランジスタ等の基本的な3層構造から、例えばサイリスタを有する4層又は5層構造(カソードがMOS構造のソースと密接に関連するMOS制御サイリスタ等)まで、様々なデバイスにおいて変化する可能性がある。こうした異なるバイポーラトランジスタ/MOSデバイスは、エミッタ/ソース又はカソード/ソース/ゲートが多数のセルとしてボディの一面に設けられ、コレクタ又はアノードがボディの反対面に形成された共通の領域に設けられた単結晶シリコンのボディにおいて、垂直構造で実施することが知られている。名称を簡単にするために、エミッタ/ソース及びカソード/ソース構造は、共に一般的に「カソード/ソース」又はカソード構造と呼ばれる場合があり、コレクタ及びアノードは一般的に「アノード」と呼ばれる場合がある。しかしながら、本明細書で説明する本発明の概念は、N型材料がP型材料に置き換えられたデバイス及びその逆のデバイスに応用可能である点に注意すべきである。

20

30

【0005】

動作において、デバイスのカソード/ソース/ゲートセルは並列に結合され、この結合は内部のデバイス配線によって行うことができる。この系統のデバイスに共通する特徴として、カソード構造からアノードへの電流経路はドリフト領域を通過している。こうしたデバイスを設計する上では、低抵抗の順方向導電路と高い順方向絶縁破壊電圧能力との間でバランスを取るべきである。

【0006】

広く応用されているパワーバイポーラ/MOSFET半導体系の1つのデバイスは、Nチャネルエンハンスメント型MOSFETにより制御されるPNPトランジスタである絶縁ゲート型バイポーラトランジスタ(IGBT)である。IGBTは3端子デバイスである。第2のデバイスは、共通ゲート端子にゲートが結合した2つの集積MOSFETを有するエミッタスイッチ(emitter-switched)トサイリスタ(EST)である。これも同じく3端子デバイスである。第3のデバイスは、デバイスをオンにする通常の制御ゲートに加えて、分離されたゲートターンオフ機能を有するサイリスタ型の4端子デバイスである。

40

【0007】

MOSFET及びバイポーラ/MOSデバイスのカソードセル構造は、半導体表面の平面ゲート構造において製造可能であり、或いはパワーMOSFETとの関係において最初に構築されたトレンチゲートを利用することができる。カソード構造も、平面又はトレン

50

チ形態において実施できる。

【 0 0 0 8 】

I G B T 用のカソード構造については、Y・オニシらの「次世代 I G B T のデバイス構造の分析」、Proceedings of 1998 International Symposium on power semiconductor Devices and ICs、P.85において論じられている。この論文では、平面ゲート及びトレンチゲートの両方に応用される構造と、これら 2 つの相対的な利点及び欠点について論じている。これらのデバイスにおいて、隣接するセルの個々のペアのチャンネルは、共通 P ウェルの中に形成されている。

【 0 0 0 9 】

絶縁ゲート制御サイリスタについては、K・リルジャ及びW・フィッチャの「フィラメンテーション - 自由絶縁ゲート制御サイリスタ及び I G B T との比較」、Proc. ISPSD、P.275、1996において開示されている。ここでは、サイリスタに似たオン状態特性を持続しながら、フィラメンテーションの失敗に関する信頼性を向上させるデバイス ( I G C T ) を提案している。

【 0 0 1 0 】

「 F i B S 」と呼ばれる、ゲートターンオフ機能を有する 4 端子 M O S ゲート型サイリスタスイッチの別の形態については、K・リルジャの「 F i B S 、新しい高電圧 B i M O S スイッチ」Proc. ISPSD、1992、P.261と、リルジャらの米国特許第 5 , 2 8 6 , 9 8 1 号において開示されている。大型 F i B S は多数の集積並列セルで構成されることになる。このデバイスは平面又はトレンチゲート技術において実施可能である。

【 0 0 1 1 】

M O S ゲート型エミッタスイッチトサイリスタについては、M・S・シェカー、J・コレク及びB・J・バリガの「トレンチゲートエミッタスイッチトサイリスタ」、Proc. 6th International Symposium of Power Semiconductor Devices and ICs、1994、paper5.1、189において説明されている。このデバイスはトレンチゲートセル構造において実施される 3 端子デバイスである。

【 0 0 1 2 】

前記の提案において、隣接するセルは共通のドープ領域又はウェル内に形成された対応する構造要素を有することができる。

【課題を解決するための手段】

【 0 0 1 3 】

本発明は、カソード / ゲート素子のクラスタを含む新しい形態のカソード構造を提供する。この新しい形態のクラスタカソード構造は、カソードのセルラ構造形態におけるセルとして使用することができる。

【 0 0 1 4 】

本発明は、以下で説明する様々な形態で実施し得る。説明するデバイスは M O S サイリスタ構造を取り入れており、性能の向上を達成すると同時に、均一電流分布の望ましい特性、優れた電流飽和性能、小さいデバイスサイズ ( 密に詰まったセルを内蔵 ) 、及び優れた安全動作区域 ( S O A ) を維持する。

【 0 0 1 5 】

本発明によれば、少なくとも 1 つの第 2 の導電型のエミッタ領域を内部に配置した第 1 の導電型のベース領域を有する少なくとも 1 つのセルと、第 2 の導電型の第 1 のウェル領域と、第 1 の導電型の第 2 のウェル領域と、第 2 の導電型のドリフト領域と、第 1 の導電型のコレクタ領域と、コレクタ接点とを備え、各セルが第 1 のウェル領域内に配置され、第 1 のウェル領域が第 2 のウェル領域内に配置される半導体デバイスであって、更に、エミッタ領域と第 1 のウェル領域との間に M O S F E T チャンネルを形成し得るようにベース領域上に配置された第 1 のゲートと、第 1 のウェル領域とドリフト領域との間に M O S F E T チャンネルを形成し得るように第 2 のウェル領域上に配置された第 2 のゲートとを備え、前記デバイスの動作中にベース領域と第 1 のウェル領域との間の接合部の空乏領域が第 1 のウェル領域と第 2 のウェル領域との間の接合部まで延び得るように構成され、これ

10

20

30

40

50

により、第1のウェル領域の電位が、コレクタ接点の電位の任意の増加からほぼ分離され、ベース領域と第2のウェル領域との間にMOSFETチャネルを形成する必要なくオフにし得る半導体デバイスが提供される。

【0016】

ベース領域と第1のウェル領域との間の接合部の空乏領域が第1のウェル領域と第2のウェル領域との間の接合部へ延長することによる過剰電位から第1のウェル領域を保護する能力を、本明細書では「セルフクランプ」と呼ぶ。セルフクランプは、デバイスのオフ状態及びオン状態の両方において、多数の有利な特徴につながり、これについては以下で更に詳しく説明する。この発明のデバイスの主要な特性には、低い順方向降下、優れたSOA、高い絶縁破壊電圧、IGBTに匹敵するスイッチング能力、NチャネルMOSゲート制御、3端子デバイスの提供、CMOSプロセスとの完全適応性、低電圧及び高電圧デバイスのモノリシック集積を可能にすること、低い駆動電力要件を達成する400以下のゲート酸化物厚の容易なスケールリング、及びドリフト領域上でのゲート寸法減少の結果としてのゲート電気容量の減少が含まれる。

10

【0017】

FIBSは、デバイスのターンオフ制御のために独立PMOSFETを必要とする4端子デバイスであることに留意されたい。本発明のデバイスのターンオフには、こうしたMOSFET構造を必要としない。

【0018】

第1の導電型は通常Pであり、第2の型はNである。しかしながら、第1の導電型がNであり、第2がPであるデバイスを作成することも可能である。本発明によるデバイスは垂直又は横方向である。

20

【0019】

それぞれのベース領域は、多数が第1のウェル領域内に配置された状態で、その内部に配置された少なくとも1つのエミッタを有する。これにより、密に詰まった「セル」のクラスタが作成可能となり、これは高く均一な電流密度につながる。

【0020】

このセル又は複数のセルは、第1のウェル領域を通して延びる垂直軸線に関してほぼ対称にすることができる。反対に、FIBSデバイスは、ターンオフを制御するためにPMOSチャネルを集積させる必要性から、本質的に非対称である。対称デバイスが望ましい理由には、i)多くの(第1に導電型がPである場合)カソードエリアを伝導に利用できること、及びii)電流の均一性が向上することである。

30

【0021】

このデバイスは、第1のウェル領域、第2のウェル領域、ドリフト領域、及びコレクタ領域を備えるサイリスタを主に通じてオン状態の伝導が進む絶縁ゲート型バイポーラトランジスタ(IGBT)型デバイスにすることができる。

【0022】

このIGBT型デバイスは、平面、トレンチゲート型、トレンチカソード型、又はトレンチゲート及びトレンチカソード型にすることができる。このデバイスはPT-IGBT(パンチスルー)構成において実現可能であり、この構成では、ドリフト領域は高ドープバッファ層及び低ドープ領域のエピタキシャル層を備える。代わりに、均一な低ドープウェーハをドリフト領域として使用し、NPT(ノンパンチスルー)構成を利用することも可能である。

40

【0023】

別の実施例において、このデバイスは、第2のウェル領域と接触すると共にベース領域及びエミッタ領域と直接電氣的に接触する第1の導電型の高ドープ分離領域を更に備えるエミッタスイッチトサイリスタ(EST)型デバイスである。

【0024】

更に別の実施例において、このデバイスは、第2のウェル領域と接触する第1の導電型の高ドープ絶縁領域を更に備え、該絶縁領域が、第1のウェル領域との直接的な電気接触

50

を提供するために領域上に形成された浮遊オーム接点を有する絶縁ベースエミッタサイリスタ型デバイスである。

【実施例】

【0025】

本発明及びその実施については、添付図面に例示されたその様々な実施例を参考にして説明する。

【0026】

図1は、IGBTとサイリスタとの組み合わせとして考え得るデバイスの構造を簡略断面図で示す。このデバイスは図1aに示す等価回路を有する。この等価回路は、後で説明するように、2つの相互接続セクション、IGBT、及びサイリスタを有するものとして表示されている。図1に例示したデバイスにおけるゲートは、平面ゲート形態である。IGBTのカソードセルは、以下の説明から明らかとなるように、クラスタの中に設けられる。

【0027】

図1は、通常は単結晶シリコンである半導体材料のボディの部分10を示しており、その底部表面12は、コレクタ接点16（この例ではアノード）が形成されたP<sup>+</sup>コレクタ領域14を備える。このデバイスは、上部表面でカソードセルのパターンを提供するために拡散が行われるN型シリコンから製造されたNPTデバイスである。PTデバイスも本発明の範囲内に入る。

【0028】

このデバイス構造はPウェル20を含み、このPウェルの内部ではNウェル22が垂直方向及び横方向の両方で拡散して存在し、これによりP領域20aは主電流経路に残り、領域20bは表面18に現れる。このPウェルは、IGBT及びこのシステムのその他のデバイスに共通して見られるNドリフト領域を提供するN型シリコンの領域24によってアノードから分離される。更に表示のように、このNドリフト領域は、26において、Pウェル20の側方外部表面に向かって上方に延びる。領域20bは、後で説明するように、MOSFETのためのチャンネルを提供する。

【0029】

Nウェル22内にはカソードセル30のクラスタが設けられる。

【0030】

これらのセル30は同一の構造であるため、その1つのみについて詳細に説明する。表示されている3つの中央のセルについて言えば、これはNウェル22内で拡散する浅いPベース32を備える。ウェル22の中心では、P<sup>+</sup>領域34が拡散し、ベース32の下を貫通し、領域22に突き出している。領域34の両側では、それぞれのN<sup>+</sup>エミッタ領域36a、36bがPベース32内に拡散し、それぞれの領域はP<sup>+</sup>領域34との非整流接合部を形成している。エミッタ領域36a及び36bの両側には、Pウェル32の部分32a、32bがそれぞれ現れ、以下の説明から明らかになるように、カソードMOSトランジスタのためのチャンネルを提供する。すべての拡散は表面18を通じて行われる。更に表示のように、セル30は、Nウェル22の部分22aが表面18に現れるように間隔が空いている。複数の第一の型のゲートG1は、ゲート酸化物38の上にある表面上に設けられる。それぞれのゲートG1は、ゲート酸化物上に形成され、あるセルの出現部分32a及び隣接セルの32b上で延び、これにより2つの制御MOSFETを提供する。それぞれのMOSFETは、N<sup>+</sup>領域36a又は36bをソースとして有し、Nウェルの出現部分22aをドレインとして有する。そのため、それぞれのセルは、別個のG1ゲートが割り当てられる2つの制御MOSFETを提供し、それぞれのG1ゲートは別個のセルから2つのMOSFETを制御する。代わりに、単一の端子を提供するためにMOSFETを共に結合させることが可能である。

【0031】

セル30の構造は、一定のPウェル20とNウェル30との組み合わせの中で、必要な回数だけ反復させることができることは理解されよう。この構造は、例示したように図面

10

20

30

40

50

の平面で反復させるだけでなく、平面に垂直に反復させることも可能であり、これによりクラスタはセルの3次元配列となる。セルクラスタを完成させるために、それぞれのセルに金属化部が加えられ、すべてのP+N+接合部を橋絡して、すべてのセルを並列で結合する。この金属化部40はデバイスのカソード接点を提供する。

#### 【0032】

このデバイス構造を完成させるために、表示のように、図1の左側にあるクラスタ30の外端部にあるセルは完全には利用されない。第2の型のゲートG2は、Pウェル20の領域20bの上にあるゲート酸化物42上加えられる。領域20bは、Nウェル22の出現部22aによって提供されるソースと、近隣にあるNドリフト領域24の出現部26aとの間のチャンネルを提供する。G1ゲートはカソードセル30とPウェル20との間の伝導を制御し、ゲートG2はクラスタユニットとしてのセル30とアノード領域16との伝導を制御することは理解されよう。このデバイスの動作上の機能については、図1aを参考にして更に説明する。しかしながら、これまでに説明したクラスタカソードセルユニット構造を内蔵する半導体ユニットは、それ自体を反復し、共通のアノード領域によりすべてがコーティングされるこうしたユニットの集合を提供することができることに留意されたい。説明及び例示したセル構造の重要な特徴は対称設計である。これについては以下で更に説明する。

#### 【0033】

次に図1aを参照すると、並列カソードセルが単一のバイポーラトランジスタ及び単一のMOSFETとして表現されていることが理解されよう。ゲートG1及びG2はすべて共に結合されているが、ゲートの独立した動作も可能である。更に、ゲートG2を延長し、N<sup>+</sup>エミッタ領域に重ねることも可能である。動作において、アノードには、カソードに対して正となる電圧が加えられ、ゲート電圧をカソードに対して正となるように上昇させることで、デバイスはオンになる。図2の回路素子の形成を特定しやすいように、図1の関連領域を図2に示している。

#### 【0034】

図1aの回路素子の観点からデバイス構造を見ると、それぞれのカソードセルは、ベースがNウェル22であり、エミッタがPウェル20である複数のコレクタPNP垂直トランジスタのコレクタ(P<sup>+</sup>領域)34を提供する。領域32a及び34aと領域32b及び34bとの間の強化型NチャンネルMOSFETにより、ベースの伝導性調節が提供される。図1aにおいて、複数のコレクタトランジスタはTpnp2として示されており、複数のMOSFETはMOSFET Tpnp2として表示されている。Tmos2をオンにすることで、Tpnp2の伝導が開始される。この60によって示される等価回路の部分はIGBTとして機能する。

#### 【0035】

第2のPNPトランジスタは、Pウェル20(コレクタ)と、Nドリフト領域24(ベース)と、アノード領域(エミッタ)12との間に形成される。このトランジスタは図2においてTpnp1で示される。Tpnp1及びTpnp2はこのように直列であり、領域20は両方に共通しており、2つのトランジスタ間の直列接続部に抵抗Rpウェルを有する。

#### 【0036】

Tpnp1には、Nドリフト領域24コレクタによって提供されるNPN型の別のトランジスタが関連しており、Pウェル20はそのベースとなり、Nウェル22はそのエミッタとなる。Tpnp1はラッチングサイリスタ構成70において、Tnpnに結合される。ドリフト領域24の抵抗Rdriftは、Tpnp1のベース経路に現れる。Nウェルは、TnpnのエミッタとTpnp2のベースとの間の抵抗Remitterを提供する。

#### 【0037】

サイリスタセクション70は更に、ソース-ドレイン経路がトランジスタTnpnのベース-エミッタ経路に分路する制御MOSFET Tmosを含む。このMOS制御トラ

10

20

30

40

50

ンジスタは、領域 24 a と 22 b との間に形成され、ゲート G 2 によって制御される。T<sub>m o s 2</sub> と直列である T<sub>m o s 1</sub> をオンにすることで、エミッタ電流を T<sub>p n p 1</sub> に流し、その後、十分なコレクタ電流を T<sub>n p n</sub> に転送させ、両者の間の再生ラッチング作用により後者をオンにすることができる。同時に I G B T 60 がオンとなり、T<sub>p n p 2</sub> を通じて主電流経路 I<sub>p n p</sub> が完成する。注意点として、両 M O S F E T の伝導を開始するのに必要な G 2 / G 1 でのゲート電圧は、T<sub>p n p 2</sub> のみのものよりも大きくなる。サイリスタセクション 70 がラッチされると、G 2 はコントロールを失うが、G 1 / G 2 の電圧がカソード電位まで減少した場合、これにより I G B T はオフとなり、主電流経路は切斷され、サイリスタのラッチは解除される。

【 0 0 3 8 】

10

図 1 2 は、図 1 において断面を表示されている型のデバイスを 3 次元においてどのように実現できるかを示している。図 1 2 a は、全体として多角形の N ウェル 22 が、全体として多角形の P ウェル 20 内にどのように存在可能かを示している。表現を簡略化する目的から、図 1 2 a では他のデバイスの特徴は削除されている。P ウェル及び N ウェルの両方の表面部分は代わりに円形にすることができる。

【 0 0 3 9 】

N ウェル 22 内では、個々のセル（表示なし）を、円形、多角形、ストライプの形態、又はこれらの形態の組み合わせにすることができる。

【 0 0 4 0 】

図 1 2 b は、複数の P ウェル 20 / N ウェル 22 構造を備えるデバイスを示しており、それぞれの構造がセル 30 のクラスタを含んでいる。

20

【 0 0 4 1 】

図 1 のデバイスの基本的な動作について説明したため、次にその動作パラメータのいくつかの特徴について、更に詳細に説明する。

【 0 0 4 2 】

#### オン状態の性能

閾値電圧を超える正のバイアスがゲート G 1 及び G 2 に加えられた時、カソード M O S F E T はオンとなり、電子は T<sub>m o s 1</sub> を通じて N - ドリフト領域 24 に供給される。アノード電圧がバイポーラオンセット電圧よりも高い時、アノードからホールが注入される。しかしながら、I G B T 又は E S T の場合のように、ホールが直接カソード領域に流れる経路は存在しない。その結果、P ウェル領域 20 の電位は増加する。

30

【 0 0 4 3 】

T<sub>n p n 2</sub> のエミッタとして機能する N 領域 22 の濃度は、デバイスをオンにする上で重要な役割を果たし、電荷蓄積型 I G B T ( C S - I G B T ) の場合のように、これはホールのバリアを形成するのに必要な限界を上回る。制御ゲート G 1 / G 2 がオンである時、N ウェル 22 は、N ウェル領域に形成される蓄積領域と、P ベース領域 32 の反転チャネル 32 a、32 b とを通じて、カソード電位に拘束される。P ウェル 20 の電位が増加すると、トランジスタ T<sub>n p n 1</sub> はオンになる。この結果として、サイリスタの点火が発生する。

【 0 0 4 4 】

40

#### 電流飽和の特徴

通常、サイリスタ 70 は制御 M O S F E T が飽和する前にオンとなる。M O S F E T が飽和すると、N ウェル / P ウェル ( 22 + 20 ) 電位は増加する。こうした電位の増加は、P ベース 32 / N ウェル 22 空乏領域の強化につながる。N ウェル 22 の濃度は P ベース 32 のものよりも低いため、この空乏は主に N ウェル領域に移動する。特定の設計電圧（ドーピング濃度、N ウェルの深さ、P ベースの深さ、及び M O S チャネル飽和特性によって決定される）では、空乏は P ウェル / N ウェル接合部 23 に接触し、この時点でデバイスはクランプされる。このセルフクランプ機能により、アノード電位における任意の更なる増加が、P ウェル / N ウェルドリフト領域 ( 20 + 24 ) のみで降下する状態が確保される。

50



## 【 0 0 4 5 】

順方向遮断

このデバイスの順方向遮断電圧能力は、一定の技術の平面 I G B T のものよりも大幅に高く、これは P ウェル / N ウェルドリフト領域接合部 2 1 が、デバイスのエッジを除き、平面に平行であるためである。更に、従来の I G B T では、深い P + 領域のため、空乏領域は基本的に N ドリフト領域に移動する。しかしながら、クラスタ I G B T では、P ウェル 2 0 による電位共有の結果として、一定の遮断電圧に関して、低いピーク電界が生じる。そのため、一定の遮断能力に関して、図 1 のクラスタサイリスタデバイスでは、従来の I G B T よりも、ウェーハが遥かに薄くなる。これは順方向降下、スイッチ性能、熱特性、及び安定性に関して、直接的で好ましい意味を有する。

10

## 【 0 0 4 6 】

一定の遮断電圧に関して、このデバイスは 2 つの方法で設計することができる。

## 【 0 0 4 7 】

( a ) P ウェル 2 0 濃度が高い時、P ウェル / N ウェル領域 ( 2 0 + 2 4 ) では全体の遮断電圧が降下する。

## 【 0 0 4 8 】

( b ) P ウェル 2 0 濃度が低い時、アノードバイアスの増加と共に、P ウェル層は空乏化する。その後、N ウェル ( 2 2 ) / P ベース ( 3 2 / 3 4 ) 接合部では電圧における任意の更なる増加が降下する。デバイスが「セルフクランプ」機能を有する設計であるため、N ウェル / P ウェルベース空乏領域は P ウェル内に延び、これにより N ウェル ( 2 2 ) における任意の更なる増加が防止される。

20

## 【 0 0 4 9 】

ターンオフ

デバイスのターンオフ性能は、I G B T のものと同様である。制御ゲート G 2 がオフになった時、P ベース / N ウェル ( 3 2 + 3 4 / 2 2 ) の電位はセルフクランプが起きるまで増加する。クランプされると、P ウェル ( 2 0 ) の幅が広い性質から、P ベース領域 ( 3 2 + 3 4 ) にホールを効果的に集めることが可能となる。セルに対称性があり、密に詰まっていることから、デバイスの電流の流れは、M C T とは異なり、あらゆる場合において均一にすることが可能となる。E S T とは異なり、セルフクランプにより、制御 M O S F E T の電圧がセルフクランプ電圧を超えて上昇しない状態が確保される。

30

## 【 0 0 5 0 】

クラスタ I G B T / サイリスタは他の構造とどのように異なるか。

## 【 0 0 5 1 】

クラスタ I G B T / サイリスタデバイスは、従来の I G B T とはまったく異なる。I G B T の場合、寄生ラッチアップを抑え、必要な遮断電圧能力を達成するために深い P + 領域が必要となる。しかしながら、深い P + 領域の要件から、カソードセルは、クラスタ I G B T / サイリスタのものに比べて遥かに大きくなる。例えば、3  $\mu$  m 設計規則に基づく、D M O S I G B T の最小カソードセル寸法は約 3 6  $\mu$  m だが、C M O S プロセスに基づくクラスタ I G B T / サイリスタカソードセルでは 1 5  $\mu$  m である。サブミクロンファインライン ( F L ) リソグラフィ手法を選択することで、I G B T のカソードセルを縮小することも可能である。F L - I G B T 及び F L - E S T の場合は、薄い酸化物が J F E T 領域上に延びる。こうしたデバイスの優れた順方向遮断安全動作区域 F B S O A 特性は、静的な条件下で実証されている。しかしながら、高電流及び高電圧が同時に存在する誘導負荷スイッチング条件下では、このデバイスの特性は完全には実証されていないが、短絡性能は劣っている。こうした条件下では、F L - I G B T 及び F L - E S T は機能しなくなると考えられる。

40

## 【 0 0 5 2 】

更に、シミュレーション結果は、クラスタ I G B T / サイリスタが優れた性能を発揮するためには、隣接セルとの距離が 6  $\mu$  m で十分であることを示している。I G B T の場合、最適な寸法はセルのジオメトリ及び遮断能力に応じて変化し、通常は 2 k V 定格より大

50

きなデバイスでは25  $\mu\text{m}$ を上回る。

【0053】

クラスタIGBT/サイリスタの性能は、DMOS-IGBTのものよりも優れている。

【0054】

更に、本発明を実施するデバイス構造は、米国特許第5,293,054号のいて開示されているようなESTとは、2つの点において大きく異なっている。第一に、オン状態で伝導性調節が行われる電荷制御Nエミッタ領域は、Pベース及びPウェル領域を分離する。これにより、このデバイスは、高ドープN<sup>+</sup>浮遊エミッタ領域を使用する、前記シェカーらが報告したトレンチESTとも異なる。上で述べたあらゆるESTにおいて、電流飽和は、制御MOSFET飽和の結果としてのみ達成される。しかしながら、制御MOSFETは通常、低電圧MOSFETであり、結果として、N<sup>+</sup>浮遊エミッタの電位が制御MOSFETの絶縁破壊電圧を超えて増加する時、このデバイスは機能しなくなる。クラスタIGBT/サイリスタでは、連続MOSチャネル飽和に加えて、セルフクランプ機能が存在する。その結果、スイッチ条件下であっても、カソード領域の電位は設計セルフクランプ電圧を上回らない。このクランプ電圧はMOSFET絶縁破壊電圧よりも遥かに小さい。

10

【0055】

クラスタIGBTはFiBSとどのように異なるか。

【0056】

(a) 上で説明したクラスタIGBT/サイリスタデバイスとは異なり、FiBSのデバイスセルは非対称である。

20

【0057】

(b) カソードセルの一定の区域及び数に関して、FiBSと比較すると、クラスタIGBT/サイリスタには2倍の数のN<sup>+</sup>カソード及び制御チャネルが存在する。その結果、FiBSと比較して、このデバイスが順方向降下性能における大幅な改善を示すことが予測される。

【0058】

(c) FiBSは3ゲート構造である。NMOSゲートはESTと同様の方法でターンオンを制御するのに使用され、PMOSゲートはターンオフを制御するのに使用される。第3のゲートは、クラスタIGBTと同じく、デバイスをターンオンする。PMOSゲートでの電圧がスイッチ中の遮断を決定する。

30

【0059】

(d) FiBSの処理は、米国特許第5,286,981号において報告されているように、クラスタIGBTのものとは大きく異なる。

【0060】

(e) 「DMOS FiBS」は高ドープN<sup>+</sup>エミッタを使用する。これはクラスタIGBT/サイリスタには存在しない。

【0061】

(f) 飽和メカニズムは、IGBT/サイリスタのものと大きく異なっている。つまり、FiBSの場合、飽和はPMOSデバイスをオンにすることで達成される。説明したクラスタIGBT/サイリスタの場合、電流飽和はセルフクランプによって達成される。つまり、Pベース/Nウェル接合部に逆バイアスが加えられ、空乏領域がPベースの下で増加し、Pウェルに接触する。到達した時、セルの電位はクランプされ、Pウェル/Nドリフト接合部は電圧の任意の更なる増加をサポートする。

40

【0062】

(g) IGBT/FiBSの製造にはエピタキシャル層が必要である。クラスタIGBTは、Pウェル、Nウェル、及びPベースの3重拡散を使用して形成できる。

【0063】

(h) クラスタIGBTサイリスタは、CMOSシーケンスの開始前にいくつかの拡散

50

を追加し、CMOSプロセスを使用して製造できる。FiBSの製造プロセスはこれとは異なる。結果として、デバイスのゲートパッド区域において、CMOS又は類似物に基づいて、ゲート制御回路を統合することが可能となる。現在の検出及びゲート保護回路をクラスタレベル及びデバイスレベルで統合することも可能となる。更に、キャリア寿命の減少と共に、順方向降下を減らすためにNウェル濃度を増加させることができる。

【0064】

上で説明したクラスタカソードセルの構造は、バイポーラ/MOS系統の他のデバイスに応用することもできる。こうしたデバイスの例について次に説明する。

【0065】

#### クラスタEST

図1の基本的なクラスタIGBT/サイリスタ構造に深いP<sup>+</sup>分離を加えることで、このデバイスの動作をまったく異なるものにすることができる。この場合、デバイスはクラスタESTのような動作をする。この例は、図1と同じで特徴が1つ追加された図2の断面図に表示されている。そのため、以下の説明は、追加された特徴とその動作上の影響とに限られる。

【0066】

図2に見られるように、独立したP<sup>+</sup>分離領域50が図1のクラスタIGBT/サイリスタに追加されている。これは表面18から拡散し、Nウェル22を通じてPウェル内に延びている。この領域50は共通カソードセル金属化部40に結合されている。その結果、Pウェル20は浮遊ではなくなり、カソード電位となる。図1及び図1aのデバイスと比較すると、図2のデバイスの順方向特性は大きく異なる。これは、アノード/Nドリフト領域(14/24)に順方向バイアスが加えられ、ゲートG1、G2がオンとなっている時、ホールがデバイスに注入されるためである。このホールは次にP<sup>+</sup>分離領域50に向かって流れる。Pウェル20の抵抗に応じて、ホール電流の流れによって、Pウェル20とNウェル22との間の接合部23がオンとなる。これが起こる時、Nウェル22/Pウェル20/Nドリフト領域24を含むNPNトランジスタがオンとなり、結果として、MOS制御エミッタスイッチトサイリスタが形成される。

【0067】

この変形の結果、領域22にあるセル間のNウェルの濃度を増加させることが可能となる。更に、他のEST構造との比較において、前に説明したセルフクランプ機能により、クラスタESTでは制御MOSFETの機能停止は起こらない。

【0068】

#### クラスタ絶縁ベースEST (IBEST)

クラスタESTの順方向特性はPウェル20の抵抗に応じて変化する。Pウェルの抵抗が低い場合、サイリスタのターンオン電圧は高くなる。この制約を克服するためには、図3に示す構成を有するデバイスを製造することができる。このデバイスは図1のものと同じ構造だが、特徴が追加されている。以下の説明は、追加された特徴とその動作上の影響とに限られる。

【0069】

図3のデバイスにおいて、P<sup>+</sup>分離領域50が図2と同様に設けられる。これはPウェル20内のカソードセル30のクラスタを分離する。しかしながら、分離領域50は図2のものとは異なる形で扱われる。Pウェル20に達する領域50の拡散に関連して、N<sup>+</sup>領域52が隣接する表面18で拡散され、Nウェル22の隣接する表面部22aと領域50自体との両方に交わる。これにより形成されるP<sup>+</sup>/N<sup>+</sup>接合部は、非整流であり、上には金属化部54が金属化部40とは分離した状態で重なり、浮遊オーム接点(FOC)が形成される。このFOCはP<sup>+</sup>領域50をN<sup>+</sup>領域52cを通じてNウェル22に結合させる。この浮遊オーム接点は、デバイスの電極端子のいずれかと結合していないため、このデバイスは依然として3端子デバイスとなる。

【0070】

図3のデバイスの動作は以下になる。ゲートG1、G2がオンとなると、電子が

10

20

30

40

50

Nドリフト領域24に流れ込む。F O Cは電子からホールへのコンバータのように機能する。Pウェル20は浮遊となっているため、Pウェルの電位は増加し、Nウェル22はPウェル電位に拘束されているため、制御M O S F E Tでの電位降下が増加する。結果として、電子流の流れが増加する。Nウェル/Pウェル電位の増加に伴い、Pベース/Nウェル(32/22)での降下はセルフクランプが発生するまで増加する。

【0071】

トレンチゲートM O Sにおけるカソードセルクラスタを使用したI G B T /サイリスタの実施は図4に表示されている。この図は分離領域の提供についても例示している。

【0072】

図4において、図1のものと同じ又は同様の機能を有する層及び領域については、数字を「100」増やした同じ参照番号で示している。

10

【0073】

図4のデバイス110は、P<sup>+</sup>基板112を使用した半導体ボディを備え、基板112は共通アノード領域を提供し、この領域でアノード接点116が形成される。Nドリフト領域124はアノード領域の上に存在し、126において反対側の表面118まで延びる。このデバイスは更にPウェル120を備え、この中には領域124から垂直方向に間隔を空け、126において表面まで延びる部分からは横方向に間隔を空けて、Nウェル122が配置される。Pウェル120の表面隣接部120bは、隣接する部分126及び122a間のチャンネルを提供する。このチャンネルの上にはゲート2が重なる。図4において、ゲート酸化物は黒で表示されている。

20

【0074】

ここで、Pウェル2と呼ばれる領域の存在を無視すると、表示のようにNウェルはカソードセルのクラスタ130を含み、このセルは3つ表示されている。それぞれのセルは同じ対称構造である。このセルは、それぞれのセルのゲート構造と交差する単一のPベース領域132に形成されている。左のセルを見ると、ゲート構造は表面126からNウェル領域122内に延びるトレンチを備える。

【0075】

ポリシリコンゲートであるゲート1は、トレンチ内に配置され、ゲート酸化物138によって隣接するシリコン材料から分離される。表面に隣接して、N<sup>+</sup>領域136a及び136bがP-ベース材料132内に形成される。領域132a及び132bは、M O S F E Tの個々のチャンネルを提供し、それぞれはゲートによって、ソース136a又は136bと、Nウェル122の部分122aのドレーンとを有する。図1と同じく、ゲート1はカソード/ソース接点金属化部140からNウェルへの伝導を制御する。図4において、カソード接点は、それぞれのソース領域136a、136bに延びる金属化部によって提供されるものであり、注意点として、表面118において、この接点はN<sup>+</sup>領域136a、136bとPベース134との間のPN接合部を橋絡する。

30

【0076】

動作するデバイスにおいて、この接点金属化部は相互接続され、共通カソード端子が形成され、すべてのゲート1ポリシリコンは金属化によって相互接続される(表示なし)。したがって、すべてのカソードセルはアノードに関して並列で動作する。これまでに説明したこの構造の動作は、基本的に図1及び1aに関して説明したとおりである。

40

【0077】

次にPウェル2の提供を含めて考えると、これはPベース領域134を通じてNウェル122内に延びるP<sup>+</sup>ドープ領域156である。これはカソード金属化部140に接触され、結果として、セルフクランプが達成される分離区域が生じる。Pウェルのいずれかの側に位置するゲートは相互接続の必要がなく、代わりに、別個に電氣的に結合させることができる。

【0078】

別の変形例は破線で示されており、ここでは、Pウェル領域120内に入り込み、これと結合する深い領域158としてPウェル2が形成される。この場合、領域158は図2

50

の領域 50 のような分離領域として機能し、このデバイスは E S T となる。

【 0 0 7 9 】

図 5 はアノードゲートデバイスを表示しており、ここではゲート 1 がオンの時にゲート 2 はオフとなり、その逆にもなる。

【 0 0 8 0 】

本発明は他のバイポーラ / M O S 構造に応用することも可能である。こうした構造には、「準垂直」デバイス及び横方向デバイスと呼ばれるものが含まれる。次にこうしたデバイスの特徴について図 6 乃至 11 を参考にして説明する。こうしたデバイス構造の特徴で、これまでに説明したデバイスと基本的に同じであるものについては、ここで繰り返さない。

10

【 0 0 8 1 】

次に説明するすべてのデバイスは、接合部分離 ( J I )、誘電分離 ( D I )、2 重エピタキシ層誘電分離 ( D E L D I ) 等の任意の技術において製造することができる。すべてのデバイスは、好ましくは、R E S U R F ( 縮小表面フィールド ) 手法を利用し、横方向絶縁破壊電圧を達成する。すでに説明したデバイスと同じく、クラスタカソードセル構造が利用される。クラスタの主な機能上の原則は、ホールのバリアとして機能する、メインの N ウェルのような層を提供することである。これは説明するすべてのデバイスに該当する。

【 0 0 8 2 】

図 6 は N ウェル 2 2 2 にカソードセルのクラスタ 2 3 0 を有するデバイスを示している。この構造はトレンチゲートであり、主な特徴は図 4 のものと同じであり、P ウェル 2 領域は有しない。図 6 では、表面 2 1 8 への N ドリフト領域 2 2 4 の延長部 2 2 1 において、横方向アノード構造が上部表面 2 1 8 に提供される。このアノード構造は、パンチスルーを防ぐために、領域 2 2 6 内に拡散された N バッファ領域 2 6 2 を備える。バッファ領域 2 6 2 内には、横方向アノード P <sup>+</sup> 領域 2 1 4 ' が拡散され、ここにはアノード接点 2 1 6 ' が形成される。このデバイスは下部表面にアノード構造 2 1 4、2 1 6 を保持する。アノード 2 1 6 及び 2 1 6 ' は、共に結合させること、或いは分離させることが可能である。更に、横方向アノードのみが提供されるように、下部表面のアノードを省略することも可能である。この場合、P <sup>+</sup> 基板も省略することができる。

20

【 0 0 8 3 】

トレンチとして例示されているゲート 1 は代わりに平面にすることができる。平面として例示されているゲート 2 は代わりにトレンチにするとができる。カソード ( C ) は 2 4 0 又はトレンチにおける平面金属化部とすることができる。

30

【 0 0 8 4 】

このカソード構造では、隣接する N <sup>+</sup> ソース領域 2 3 6 a、2 3 6 b の間に P <sup>+</sup> 領域 2 6 4 の提供が任意の追加として行われ、関連するカソード接点 C は、表面に出現した P <sup>+</sup> 及び N <sup>+</sup> 領域の間の境界上に延びる。

【 0 0 8 5 】

図 6 では更に、N ウェル 2 2 2 内の横方向ゾーン 2 8 0 に提供することが可能な他の 3 種類の任意の特徴も例示している。これらは図 6 乃至 6 c に例示されている。

40

【 0 0 8 6 】

図 6 a は、N ウェル 2 2 2 への P ウェル 2 5 6 の追加を示しているが、これは浅いためメイン構造の P ウェル 2 2 0 に接触しない。カソード接点 C は、好ましくは P <sup>+</sup> 拡散 2 5 7 を通じて、この追加ウェルに形成される。これにより、セルフクランプを達成する分離エリアが提供される。図 6 b 及び 6 c の任意の特徴では、結果として、それぞれ E S T 及び I B E S T デバイスが提供される。

【 0 0 8 7 】

図 6 b は、下方に延びてメインの P ウェル 2 2 0 に接触し、図 4 で 1 5 8 で示すような分離領域を提供する深い P <sup>+</sup> ウェル 2 5 8 を示している。図 6 c は、P ウェル 2 2 0 に入り込み、これと接触するように延びるが、更に図 3 の実施例に関して説明した浮遊オーム

50

接点 ( F O C ) に適合する同様の深い P <sup>+</sup> ウェル 2 5 8 ' を示している。浅い表面隣接 N <sup>+</sup> 領域 2 5 2 は、領域 2 5 8 ' との非整流接合部を形成し、この領域及び接合部の上には金属化部 2 5 4 が重なる。

#### 【 0 0 8 8 】

図 7 は、図 6 のカソードセル構造の更なる変形例を示している。ここで P <sup>+</sup> 領域 2 6 4 は 2 6 6 において垂直に下方へ延び、分離セルフクランプ区域を提供するために、N <sup>-</sup> ウェル領域 2 2 0 に入る。この構造のその他の部分は図 6 と同じである。アノード 1 及びアノード 2 は、共に結合させること、或いは分離させることが可能であり、ゲート 1 及びカソードは両方とも平面又はトレンチにすることができる。

#### 【 0 0 8 9 】

図 8 は、図 6 のデバイスの更なる変形例を示している。この変形例では、図 6 において P ウェル 2 2 0 のチャンネル領域 2 2 0 b を制御するゲート 2 は、N ドリフト領域 2 2 4 から N ウェル領域 2 2 2 への電子経路を提供する浮遊オーム接点に置き換えられている。表面 2 2 6 に出現する P <sup>-</sup> ウェル 2 2 0 の部分 2 2 0 B は P <sup>+</sup> となり、N ウェル 2 2 2 の接触部分 2 2 2 a は N <sup>+</sup> となり、金属化接点 2 5 A はこの 2 つを橋絡する。N <sup>+</sup> 領域 2 2 2 a はクラスタセル構造から横方向に離れている。図 6 を参考に説明した選択可能なその他の変形例も図 8 に応用することができる。図 8 のデバイスは P <sup>+</sup> 基板上に配置できるが、その必要性はない。

#### 【 0 0 9 0 】

図 9 は、図 1 のデバイスの横方向バージョンを示している。表示のように、図 9 の構造は、基本的に半導体ボディ 3 1 0 の上部表面 3 1 8 に隣接して定められている。このボディは最低部に P 領域 3 2 0 を有する。P 領域 3 2 0 の上では、N 領域が最初に形成され、この中で上部表面 3 1 8 からその後のプロセス動作が実行される。横方向のシーケンスにおいて、このデバイスは拡散 P <sup>+</sup> アノード領域 3 1 4 を有し、ここにアノード接点 3 1 6 が形成される。この P <sup>+</sup> 領域自体は、最初の N 領域内に拡散された更に広範な N バッファ領域 3 2 0 内に拡散されて存在し、最初の N 領域は横方向に離れた 2 つの部分に区分されている。第 1 は N ドリフト領域 3 2 2 であり、第 2 は N ドリフト領域 3 2 4 である。ドリフト領域 3 2 4 は内部に形成されたアノード構造を有するが、領域 3 2 2 は内部に形成されたカソード構造 3 3 0 を有する。これら 2 つの領域は分離されているが、M O S F E T によって制御可能な状態で結合することができる。

#### 【 0 0 9 1 】

領域 3 2 2 と 3 2 4 との間では、P <sup>+</sup> 分離領域 3 5 8 が拡散され、これは下にある P 領域 3 2 0 まで延びて入り込んでいる。領域 3 5 8 は 2 つのドリフト領域を分離する。これらの間の電子の流れは、ゲート酸化物 3 4 2 上に形成されたゲートであるゲート 2 を有する M O S F E T によって制御される。ゲート 2 は、表面 3 1 8 において、領域 3 2 2 及び 3 2 4 の両方の上で延び、領域 3 5 8 の上でも延びる。N インプラント 3 5 9 はゲート 2 の下に提供され、P <sup>+</sup> 領域を通じて延び、N ドリフト領域の隣接部分に入る。N インプラントは、ゲート 2 の下のチャンネルにおいて多数キャリア濃度を減少させ、これにより M O S F E T トランジスタをオンにするために必要な閾値電圧を低下させる。

#### 【 0 0 9 2 】

次に N ドリフト領域 3 2 2 に形成されたクラスタカソードセル構造 3 3 0 について説明する。P ベース領域 3 3 2 を有し、制御可能な状態で N ドリフト領域 3 2 2 と結合させることができるカソードセルがこの中で形成される点において、これは図 4 を参考にしすでに説明したものと同様である。クラスタ 3 3 0 のそれぞれのセルはトレンチゲートであるゲート 1 を備え、これは N <sup>+</sup> ソース領域 3 3 6 a、3 3 6 b と N ドリフト領域 3 2 2 との間の導通を制御する。このトレンチゲートは、チャンネル 3 3 4 a、3 3 4 b が存在するベース領域 3 2 2 を通じて延び、それぞれの M O S F E T チャンネルのドレーン 3 2 2 a を提供する N ドリフト領域 3 2 2 に入る。ソース ( カソード ) 接点 C は、領域 3 3 6 a、3 3 6 b に作成される ( 表面 3 1 4 に出現する N <sup>+</sup> 領域と P ベース領域 3 3 2 との間の接合部を橋絡するそれぞれの接点のための金属化部 ) 。

## 【0093】

実際には、カソード接点Cは、ポリシリコントレンチゲートであるゲート1として相互接続され、カソードセルはアノードに関して並列で動作するようになる。ゲート2は、ゲート1と結合させること、或いは別個に結合させることが可能である。ゲート1は平面の形態及びトレンチにおいて実施可能である。カソードCは、平面の代わりとして、トレンチにすることができる。Nドリフト領域324は、Nドリフト領域322とは異なる厚さにすること、或いは異なるドーピング処理を施すことが可能である。領域324は、RESURFを使用して、絶縁破壊電圧をサポートするために使用される。図9のデバイスは、優れたオン状態特性と、高い区域効率とを示す。

## 【0094】

10

図10は、図9の横方向デバイスの変形例を示している。アノードドリフト領域324は、ゲート2と協働して表面に形成される浮遊オーム接点を有する。FOCのP<sup>+</sup>、N<sup>+</sup>領域343、345は、浅いPウェル341内に形成され、通常通り、浮遊接点金属化部354によって短絡される。N<sup>+</sup>領域345は、Nインプラント359に向けて配置され、ゲート2は領域345上で延びることに留意されたい。これにより、MOSFETチャネルへの電子の注入が促進され、その結果、オン状態の抵抗が減少する。

## 【0095】

図10は、図6において264で示したものに対応する更なる任意の変形例も示している。隣接するカソードセルの隣接するN<sup>+</sup>領域は、P<sup>+</sup>領域364によって結合され、共通のカソード接点により結合される。この結果、より多くの導電チャネルが生じ、したがってデバイスを通じた高い電流の流れが生じる。

20

## 【0096】

図11は、図8のデバイスの別の変形例を示している。これは前のパラグラフにおいて述べたカソード構造に対する任意の変形例であるが、更に重要なことには、前に説明したようにトレンチ形態で実現されるゲート2を示している。このゲートはP領域320内に延び、ゲートに隣接する領域320c内には強化モードチャネルが形成されてNドリフト領域324及び322がソース及びドレインをそれぞれ提供する。

## 【図面の簡単な説明】

【図1】 平面ゲート技術を使用した本発明のIGBT/サイリスタデバイスの構造を示す簡略断面図である。

30

【図1a】 図1のデバイスの等価回路を示す図である。

【図2】 ESTデバイスを提供するための図1の構造の一変形例を示す図である。

【図3】 絶縁ベースESTデバイスを提供するための図1の構造の別の変形例を示す図である。

【図4】 更なる変形によりトレンチゲート技術において実現されたIGBT/サイリスタデバイスを示す図である。

【図5】 二重ゲートトレンチIGBT/サイリスタデバイスを示す図である。

【図6】 図4のデバイスの横方向及び/又は準垂直バージョンを示す図であり、図6a乃至6cは図6の構造の任意の変形例を示す図である。

【図7】 図6のデバイス構造の更なる変形例を示す図である。

40

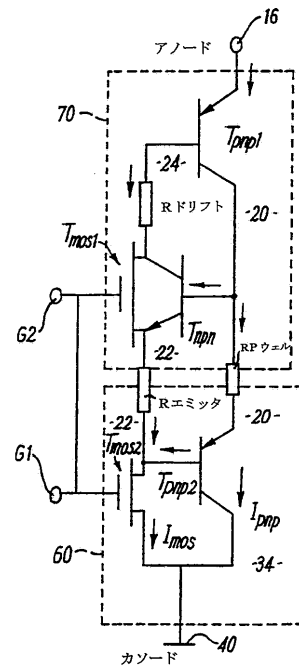
【図8】 浮遊オーム接点によるゲート2の置き換えを示した図6、6a乃至6c、及び図7の構造の更なる変形例を示す図である。

【図9】 P-分離領域を含むことによる図6のデバイスの横方向バージョンを示す図である。

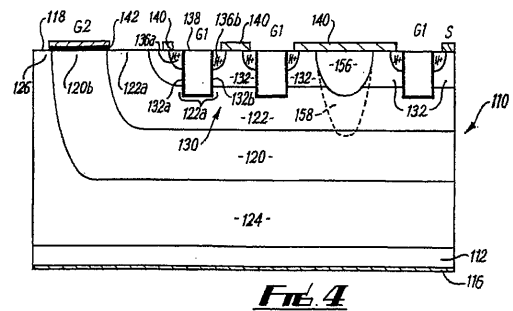
【図10】 ゲート2に関連する浮遊オーム接点による図9の構造の変形例を示す図である。

【図11】 ゲート2のトレンチゲートによる図6のデバイスの横方向バージョンを示す図である。

【 図 1 a 】



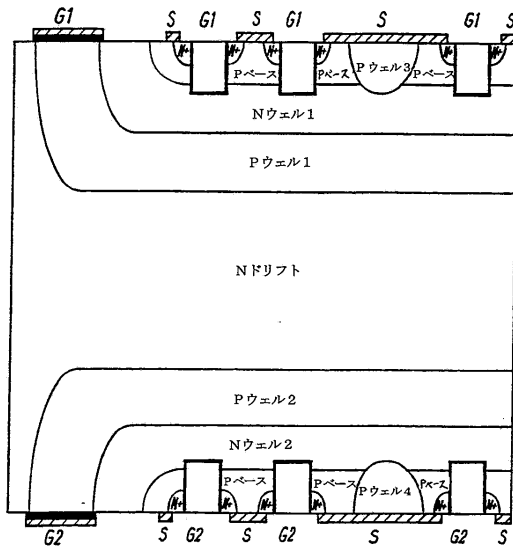
【 図 4 】



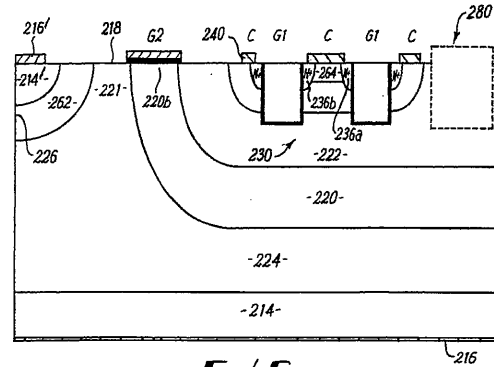
**Fig. 3**



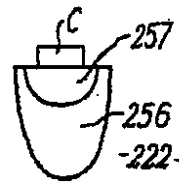
【図 5】



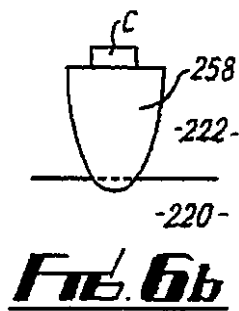
【図 6】

**Fig. 6**

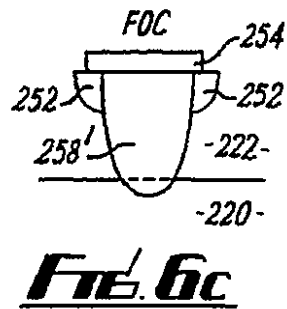
【図 6 a】

**Fig. 6a**

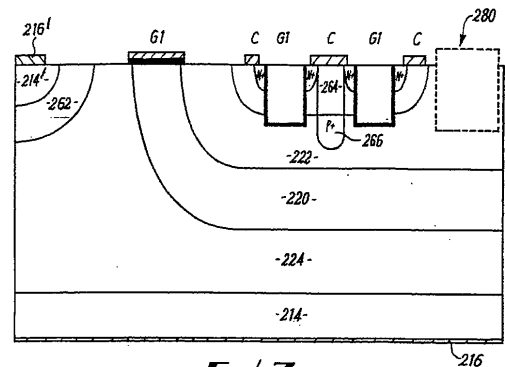
【図 6 b】

**Fig. 6b**

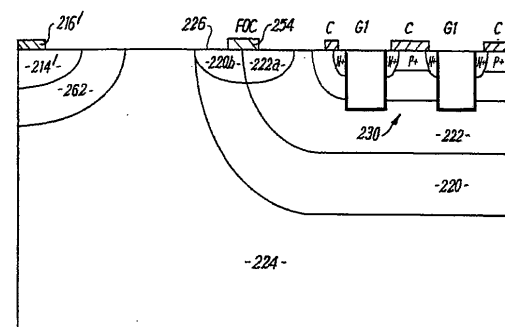
【図 6 c】

**Fig. 6c**

【図 7】

**Fig. 7**

【図 8】

**Fig. 8**



## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 27/04 (2006.01) H 0 1 L 29/78 6 5 2 H  
H 0 1 L 29/78 6 5 3 A  
H 0 1 L 29/78 6 5 5 F  
H 0 1 L 29/78 6 5 6 A

(56)参考文献 特開平 0 9 - 0 1 7 9 9 4 ( J P , A )  
特開平 0 5 - 0 8 2 7 7 5 ( J P , A )  
米国特許第 0 5 2 8 6 9 8 1 ( U S , A )  
特開 2 0 0 1 - 0 4 4 4 1 5 ( J P , A )  
特開 2 0 0 1 - 1 7 7 0 9 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
H 0 1 L 2 9 / 7 4 9  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 7 / 0 4  
H 0 1 L 2 9 / 7 3 9  
H 0 1 L 2 9 / 7 4  
H 0 1 L 2 9 / 7 8