

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 12 月 27 日 (27.12.2012)



(10) 国际公布号
WO 2012/174695 A1

- (51) 国际专利分类号:
H01L 21/66 (2006.01)
- (21) 国际申请号: PCT/CN2011/001992
- (22) 国际申请日: 2011 年 11 月 29 日 (29.11.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201110165279.5 2011 年 6 月 20 日 (20.06.2011) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 杨涛 (YANG, Tao) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 赵超 (ZHAO, Chao) [BE/BE]; 比利时凯瑟尔洛市普拉特洛斯彻特街 276 号, Kessel-lo B-3010 (BE)。 李俊峰 (LI, Junfeng) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 闫江 (YAN, Jiang) [US/US]; 美国纽约州纽堡市蕾蒙娜路 30 号, NY 12550 (US)。 陈大鹏 (CHEN, Dapeng) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(74) 代理人: 中国专利代理(香港)有限公司 (CHINA PATENT AGEN (H.K.) LTD.); 中国香港特别行政区湾仔港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: MONITORING METHOD AFTER REMOVING POLYCRYSTALLINE SILICON DUMMY GATE

(54) 发明名称: 多晶硅假栅移除后的监控方法

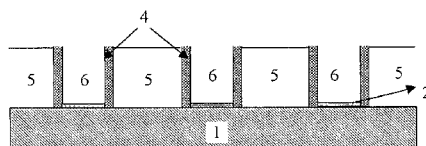


图 1B / Fig. 1B

(57) Abstract: Provided is a monitoring method after removing a polycrystalline silicon dummy gate, comprising the following steps: forming a polycrystalline silicon dummy gate structure on the surface of a wafer; determining the measurement objective and error range for the quality of the wafer; after removing the polycrystalline silicon dummy gate, using a quality measuring device to measure the quality of the wafer, and judging whether the polycrystalline silicon dummy gate is completely removed. The measuring method of the present invention can measure the whole wafer quickly and accurately without a specific testing structure, thus effectively monitoring and judging whether the polycrystalline silicon dummy gate is completely removed. Furthermore, the measuring method feeds back the result visually, quickly and accurately, and causes no damage to the wafer.

(57) 摘要: 本发明提供了一种多晶硅假栅移除后的监控方法, 包括以下步骤: 在晶圆表面形成多晶硅假栅结构; 确定晶圆质量的量测目标及误差范围; 去除多晶硅假栅之后, 使用质量量测设备测量晶圆的质量, 判断多晶硅假栅是否完全移除。依照本发明的量测方法, 可以不需要特定测试结构而快速准确对晶圆整片测量, 从而有效监控判断多晶硅假栅是否彻底移除, 同时该量测方法反馈结果直观、快速、准确, 对晶圆不会带来损伤。



WO 2012/174695 A1

多晶硅假栅移除后的监控方法

优先权要求

本申请要求了2011年6月20日提交的、申请号为201110165279.5、
5 发明名称为“多晶硅假栅移除后的监控方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及一种半导体器件的制造方法，更具体地讲，涉及一种
10 多晶硅假栅移除后的监控方法。

背景技术

随高 K/金属栅工程在 45 纳米技术节点上的成功应用,使其成为亚
30 纳米以下技术节点不可缺少的关键模块化工程。目前只有坚持高 K/
15 后金属栅(gate last)路线的英特尔公司在 45 纳米和 32 纳米量产上取得了成功。近年来紧随 IBM 产业联盟的三星、台积电、英飞凌等业界巨头也将之前开发的重点由高 K/先金属栅(gate first)转向 gate last 工程。

Gate last工程中，在完成离子高温退火后，需要把多晶栅挖掉，而后在填充进金属栅电极，流程详见图1。如图1A，衬底1上依次形成绝缘层2、多晶硅假栅极3、栅极侧壁4、层间介质层（ILD）5。如图1B，
20 去除多晶硅假栅极3，形成栅极开口6，然后填充金属栅电极材料。多晶栅侧壁4为氧化硅或氮化硅材料的侧墙(spacer)，多晶栅下面的绝缘层2是淀积好的高K或是氧化硅或是氮氧化硅材料。目前，工业界有三条工艺路线来完成多晶假栅的去除工作，分别是干法刻蚀，湿法刻蚀，
25 以及干法-湿法混合刻蚀；从实验及报道的结果看，更倾向于后两种方法。

多晶假栅3去除后，需要进行有效的监控手段来判断多晶硅是否完全去除掉，任何多晶的残留都会对器件电性能造成极大的负面影响。该项工艺属于32nm及以下的先进工艺，在多晶假栅3移除后如何有效对
30 制程进行监控，尚未见任何报道。最直观的方法是通过扫描电子显微镜看多晶假栅3移除后晶圆的横截面，但这种方法对晶圆具有破坏性，并且反馈结果很慢，无法直接用于量产时对制程的有效监控。同时，

目前集成电路工业界对工艺制程的监控大部分采用的是光学量测手段，而随技术节点的不断缩小，器件结构越来越复杂，叠层的薄膜越来越薄，传统光学量测方法遇到了很大挑战。为此，急需一种直观的，对晶圆无损伤的快速准确有效的监控方法来判断多晶假栅移除得是否彻底。

发明内容

因此，本发明的目的在于提出一种多晶硅假栅移除后的监控方法，以便快速准确有效监控判断多晶硅假栅是否彻底移除，同时，该量测方法对晶圆不会带来损伤。

本发明提供了一种多晶硅假栅移除后的监控方法，包括以下步骤：在晶圆表面形成多晶硅假栅结构；确定晶圆质量的量测目标及误差范围；去除多晶硅假栅之后，使用质量量测设备测量晶圆的质量，判断多晶硅假栅是否完全移除。

本发明还提供了一种多晶硅假栅移除后的监控方法，包括以下步骤：在晶圆表面形成多晶硅假栅结构；确定晶圆质量差的量测目标及误差范围；使用质量量测设备测量晶圆的质量，确定晶圆质量前值；去除多晶硅假栅之后，使用质量量测设备测量晶圆的质量以确定晶圆质量后值，判断多晶硅是否完全移除。

其中，多晶硅假栅下方包括绝缘层，所述绝缘层为高k材料、氧化硅或氮氧化硅。

其中，所述绝缘层与所述多晶硅假栅同时被去除。

其中，通过实验性设计（DOE），获取多晶硅假栅被完全去除的样品晶圆的质量或质量差以及误差范围。

其中，如果晶圆质量超出误差范围，则判定多晶硅没有完全去除，需要二次处理。

其中，如果晶圆质量前值与后值的差超出晶圆质量差的误差范围，则判定多晶硅没有完全去除，需要二次处理。

其中，所述质量量测设备为机械精密天平、电子精密天平或半自动/全自动加码电光投影阻尼精密天平。

本专利提出了两条多晶假栅移除后的监控路线，采用了晶圆质量或质量差的检测来监控多晶假栅移除是否移除彻底。依照本发明的量

测方法，可以不需要特定测试结构而快速准确对晶圆整片测量，从而有效监控判断多晶硅假栅是否彻底移除，同时该量测方法反馈结果直观、快速、准确，对晶圆不会带来损伤。

本发明所述目的，以及在此未列出的其他目的，在本申请独立权利要求的范围内得以满足。本发明的实施例限定在独立权利要求中，
5 具体特征限定在其从属权利要求中。

附图说明

以下参照附图来详细说明本发明的技术方案，其中：

10 图1显示了后栅工艺示意图。

具体实施方式

以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果，公开了提出采用晶圆质量量测技术对后栅工艺
15 多晶硅假栅移除进行监控，并给出相应的测试结构。需要指出的是，类似的附图标记表示类似的结构。

由附图 1 可以得知，在多晶硅假栅移除之后，晶圆质量将明显减小，基于此种原理，本发明将通过测量晶圆去除多晶假栅后的质量，来监控多晶假栅移除是否移除彻底，进而判断该工艺是否合格。具体的
20 的测量方法步骤可以如下实施例所示。

实施例 1

参照附图 1，在衬底 1 上依次形成绝缘层 2、多晶硅假栅极 3、栅极侧壁 4、层间介质层 (ILD) 5，然后去除多晶硅假栅极 3，形成栅极
25 开口 6。由图 1 可见，在多晶假栅 3 移除后，晶圆当层薄膜的质量（也即晶圆表面上 ILD5 及其之间所夹设的侧壁 4、栅极开口 6 的各层薄膜质量之和）将明显减小，因此通过对晶圆质量的监控，即可判断多晶假栅是否完全去除干净；采用该方法测量将具有测试结果直观，对晶圆无损伤以及测量效率高的特点，适合多晶假栅移除后对工艺的有效
30 监控。

具体地，依照本发明的一个实施例的后栅工艺移除多晶硅假栅的监控方法包括以下步骤：

首先，在晶圆表面形成多晶硅假栅结构。如图 1 所示，晶圆表面形成有多晶硅假栅结构，也即在衬底 1 上依次形成绝缘层 2、多晶硅假栅极 3、栅极侧壁 4、层间介质层 (ILD) 5，然后去除多晶硅假栅极 3，形成栅极开口 6。其中，衬底 1 可为体硅、绝缘体上硅 (SOI)、SiGe、GaAs 或其他半导体材料。绝缘层 2 材质可以是氧化硅、氮氧化硅，或是高 K 材料，例如 HfO_2 、 TiO_2 、 Ta_2O_5 、 HfAlN 、钛酸钡 (BST) 等等。栅极侧壁 4 材质为与多晶硅假栅 3 具有较大刻蚀选择比的材质，例如为氮化硅。ILD5 一般为低密度或低 k 材料，例如旋涂的硼磷硅玻璃 (BPSG)、多孔二氧化硅等等。形成多晶硅假栅 3 的方法一般为化学气相沉积，通过控制 CVD 温度得到不同结晶状态的材料，例如在 625℃ 以上得到多晶硅。

其次，确定去除多晶硅假栅之后晶圆质量的量测目标及误差范围。可以先在测试用的晶圆 (即不用于最后切割成芯片产品的备用晶圆) 上按流程形成多晶硅假栅结构，确定某一产品型号的晶圆在多晶假栅移除干净后 (可以针对样片做破坏性的 SEM 或 TEM 测试，选取那些多晶硅假栅 3 被完全去除的晶圆作为样本，这种实验性步骤可称为 DOE) 晶圆的剩余质量，也即晶圆标准质量，此时多晶硅假栅 3 的厚度应为 0。测量多批次晶圆多片的数据后，得到多晶硅假栅完全去除之后晶圆剩余质量的变化范围。根据上述结果合理定义晶圆剩余质量的量测目标及误差范围，例如 DOE 得到某一产品型号的晶圆上多晶硅假栅 3 完全去除时剩余结构的质量为 151.203g，其变化范围为上下浮动 9.751g，则判定多晶硅假栅完全去除且没有过刻蚀的标准是剩余结构的质量为 $151.203 \pm 9.751\text{g}$ 。其中，DOE 实验目的就是找到多晶假栅彻底去除后，晶圆剩余质量的变化范围 (SPEC)。

然后，去除多晶硅假栅中的多晶硅并干燥。可以采用碳氟基等离子体刻蚀的干法刻蚀来去除多晶硅假栅 3 的多晶硅，也可以采用 KOH、TAMH 等刻蚀液湿法刻蚀去除多晶硅假栅 3，还可以是这些干法、湿法刻蚀的混合刻蚀。合理选择刻蚀原料的流量或浓度、气压等等参数来控制刻蚀速度，使得在给定时间内多晶硅假栅 3 的多晶硅基本被完全刻蚀。干燥过程可以是在一定温度 N_2 环境下的高速甩干，或是基于马兰葛尼原理对晶圆进行干燥。

接着，使用质量量测设备测量晶圆质量，判断多晶硅是否完全移

除。质量量测设备优选精密仪器，例如机械精密天平、电子精密天平、半自动/全自动加码电光投影阻尼精密天平等等。如果晶圆剩余质量在误差范围内(容差范围已由第 2 步确定，例如 $\pm 9.751\text{g}$)，可认为多晶假栅 3 已经腐蚀去除干净。如果晶圆质量不在误差范围内，则认为多晶假栅 3 没有完全去除干净，需要重新再处理，也即将本批次样品送回工艺线进行二次刻蚀。

以上本发明的实施例通过实验性设计得到多晶硅假栅完全去除后的质量变化范围，然后通过质量量测设备测试实际产品的晶圆质量，从而判定多晶硅假栅 3 是否被完全移除。这种测试以及后栅刻蚀去除多晶硅假栅的方法，避免了对于大规模产品均采用 SEM 或 TEM 的破坏性测试，提高了测试效率节省了成本。

实施例 2

与实施例 1 类似，依照本发明的另一个实施例的后栅工艺移除多晶硅假栅的监控方法包括以下步骤：

首先，在晶圆表面形成多晶硅假栅结构。如图 1 所示，晶圆表面形成有多晶硅假栅结构，也即在衬底 1 上依次形成绝缘层 2、多晶硅假栅极 3、栅极侧壁 4、层间介质层 (ILD) 5，然后去除多晶硅假栅极 3，形成栅极开口 6。

其次，确定量测目标及误差范围。可以先在测试用的晶圆（即不用于最后切割成芯片产品的备用晶圆）上按流程形成多晶硅假栅，通过这种实验性设计 (design of experimental, DOE) 以及采用质量测试手段，确定某一产品型号的晶圆在多晶假栅移除干净后（可以针对样片做破坏性的 SEM 或 TEM 测试，选取那些多晶硅假栅 3 被完全去除的晶圆作为样本）晶圆去除多晶硅假栅前后的质量差，也即晶圆质量标准差，此时多晶硅假栅 3 的厚度应为 0。测量多批次晶圆多片的数据后，得到质量差变化的范围。根据上述结果合理定义晶圆质量差量测目标及误差范围，例如 DOE 得到某一产品型号的晶圆上多晶硅假栅 3 完全去除时晶圆前后质量差为 12.450g ，其变化范围为 1.017g ，则判定多晶硅假栅完全去除且没有过刻蚀的标准是晶圆去除多晶硅假栅前后质量差为 $12.450 \pm 1.017\text{g}$ 。

再次，在晶圆多晶硅假栅 3 去除之前，使用质量量测设备测量晶圆的质量，得到晶圆质量前值 $M1$ 。例如某批次晶圆去除之前的质量

M1 为 160.479g。

然后，去除多晶硅假栅并干燥。可以采用碳氟基等离子体刻蚀的干法刻蚀来去除多晶硅假栅 3 的多晶硅，也可以采用 KOH、TAMH 等刻蚀液湿法刻蚀去除多晶硅假栅 3，还可以是这些干法、湿法刻蚀的混合刻蚀。合理选择刻蚀原料的流量或浓度、气压等等参数来控制刻蚀速度，使得在给定时间内多晶硅假栅 3 的多晶硅基本被完全刻蚀。

接着，使用质量量测设备测量晶圆去除多晶硅假栅之后的质量，也即晶圆质量后值 M2，通过设备自动计算得到晶圆质量差值 M1-M2，判断多晶硅是否完全移除和/或发生过刻蚀。例如对于上述批次的晶圆测得后值 M2 为 148.762g，则质量差为 11.717g。如果晶圆质量差在误差范围内(容差范围已由第 2 步确定)，可认为多晶假栅 3 已经腐蚀去除干净，且没有过腐蚀发生。如果晶圆质量差不在误差范围内，则认为多晶假栅 3 没有完全去除干净，需要重新再处理，也即将本批次样品送回工艺线进行二次刻蚀。

15 实施例 3

与实施例 1 或 2 类似，区别仅在于绝缘层 2 是否是后栅工艺的栅极介质层。如果绝缘层 2 是高 k 材料，用于后栅工艺的栅极介质层，则在本发明的监控方法中，绝缘层 2 不随多晶硅假栅 3 被去除，而是一并保留，因此监控方法不变。但是若绝缘层 2 仅用于多晶硅假栅 3 的刻蚀停止层，也即材质为普通的绝缘介质材料，例如二氧化硅，则绝缘层 2 应随多晶硅假栅 3 一并去除，则本发明上述两实施例需要做出相应的变更。

具体地，实施例 3 对于实施例 1 变种的监控方法包括：

1) 采用质量测量监控法，量测某一产品型号的晶圆在多晶假栅 3 以及绝缘层 2 完全移除干净后的质量；测量多批次晶圆的多片数据后，得到多晶假栅 3 以及绝缘层 2 完全去除后质量的变化范围；据上述结果合理定义晶圆在多晶假栅移除后质量的量测目标及容差范围 (SPEC)；

2) 通过干法刻蚀或是湿法刻蚀或是干法-湿法混合刻蚀去除掉多晶假栅 3 以及绝缘层 2，并将晶圆干燥；

3) 使用质量量测设备测量晶圆质量；如果晶圆质量在容差范围内(容差范围已由第 1 步确定)，可认为多晶假栅 3 以及绝缘层 2 已经腐蚀

去除干净；如果晶圆质量不在容差范围内，可认为多晶假栅 3 以及绝缘层 2 没有完全去除干净；需要对工艺条件进行调整。

相应地，对于实施例 2 的变种如下：

5 1) 采用质量测量监控法，量测某一产品型号的同一片晶圆在多晶假栅 3 以及绝缘层 2 完全移除干净前后的质量差；测量多批次晶圆的多片数据后，得到多晶假栅 3 以及绝缘层 2 完全去除前后质量差的变化范围；据上述结果合理定义晶圆在多晶假栅 3 以及绝缘层 2 移除前后质量差的量测目标及容差范围(SPEC)；

10 2) 在晶圆多晶假栅 3 以及绝缘层 2 去除前，使用质量量测设备测量晶圆质量，得到晶圆质量前值；

3) 通过干法刻蚀或是湿法刻蚀或是干法-湿法混合刻蚀去除掉多晶假栅 3 以及绝缘层 2，并将晶圆干燥；

15 4) 使用质量量测设备测量晶圆质量，得到晶圆质量后值，并通过设备自动计算出质量差值；如果晶圆质量差值在容差范围内(容差范围已由第 1 步确定)，可认为多晶假栅 3 以及绝缘层 2 已经腐蚀去除干净；如果晶圆质量差值不在容差范围内，可认为多晶假栅 3 以及绝缘层 2 没有完全去除干净；需要对工艺条件进行调整。

20 依照本发明的量测以及刻蚀方法，避免了对于大规模产品均采用 SEM 或 TEM 的破坏性测试，提高了测试效率节省了成本。此外，还能同时判定是否发生刻蚀不足或过刻蚀，因此测试更加方便高效，得到的产品良率以及可靠性有大幅提升。

25 尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对器件结构做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

权 利 要 求

1. 一种多晶硅假栅移除后的监控方法，包括以下步骤：

在晶圆表面形成多晶硅假栅结构；

5 确定晶圆质量的量测目标及误差范围；

去除多晶硅假栅之后，使用质量量测设备测量晶圆的质量，判断多晶硅假栅是否完全移除。

2. 一种多晶硅假栅移除后的监控方法，包括以下步骤：

在晶圆表面形成多晶硅假栅结构；

10 确定晶圆质量差的量测目标及误差范围；

使用质量量测设备测量晶圆的质量，确定晶圆质量前值；

去除多晶硅假栅之后，使用质量量测设备测量晶圆的质量以确定晶圆质量后值，判断多晶硅是否完全移除。

15 3. 如权利要求1或2的方法，其中，多晶硅假栅下方包括绝缘层，所述绝缘层为高k材料、氧化硅或氮氧化硅。

4. 如权利要求3的方法，其中，所述绝缘层与所述多晶硅假栅同时被去除。

5. 如权利要求1或2的方法，其中，通过实验性设计（DOE），获取多晶硅假栅被完全去除的样品晶圆的质量或质量差以及误差范围。

20 6. 如权利要求1的方法，其中，如果晶圆质量超出误差范围，则判定多晶硅没有完全去除，需要二次处理。

7. 如权利要求2的方法，其中，如果晶圆质量前值与后值的差超出晶圆质量差的误差范围，则判定多晶硅没有完全去除，需要二次处理。

25 8. 如权利要求1或2的方法，其中，所述质量量测设备为机械精密天平、电子精密天平或半自动/全自动加码电光投影阻尼精密天平。

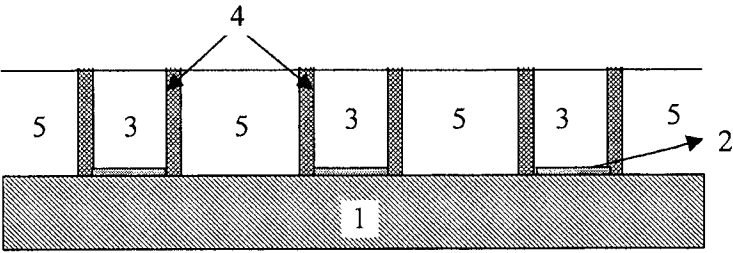


图1A

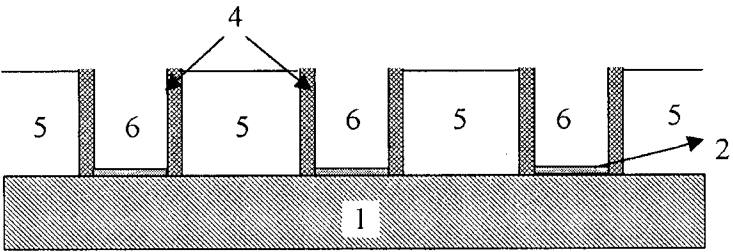


图1B

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/001992

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/66(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, WPI, CPRSABS, CNKI: polysilicon, gate, dummy gate, remove, residual, gate-last, replacement-gate, mass, balance weight

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN101740518A (TAIWAN SEMICONDUCTOR MFG CO LTD) 16 Jun. 2010 (16.06.2010) , the whole document	1-8
A	CN101901762A (TAIWAN SEMICONDUCTOR MFG CO LTD) 01 Dec. 2010 (01.12.2010) , the whole document	1-8
A	US2006292762A1 (EPION CORPORATION) 28 Dec. 2006 (28.12.2006), the whole document	1-8
A	US2010330808A1 (RALF RICHTER et al.) 30 Dec. 2010 (30.12.2010), the whole document	1-8

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 05 Mar. 2012 (05.03.2012)	Date of mailing of the international search report 22 Mar. 2012 (22.03.2012)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10)62019451	Authorized officer HUANG, Daoxu Telephone No. (86-10) 62411845

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/001992

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101740518 A	16.06.2010	US2010124823 A1	20.05.2010
CN101901762 A	01.12.2010	US2010240204 A1	23.09.2010
US2006292762 A1	28.12.2006	EP1908095 A2	09.04.2008
		WO2007002130 A3	04.10.2007
		WO2007002130 A2	04.01.2007
		JP2008547229 T	25.12.2008
US2010330808 A1	30.12.2010	DE102009031146 A1	05.01.2011
		DE102009031146 B4	26.01.2012

国际检索报告

国际申请号

PCT/CN2011/001992

A. 主题的分类

H01L 21/66(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

EPODOC, WPI, CPRSABS, CNKI: 多晶硅, 栅, 假栅, 伪栅, 虚栅, 移除, 去除, 残留, 后栅, 替代栅, 质量, 重量, 天平, polysilicon, gate, dummy, remove, residual, gate-last, replacement-gate, mass, weight, balance

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101740518 A (台湾积体电路制造股份有限公司) 16. 06 月 2010 (16.06.2010) 全文	1-8
A	CN101901762 A (台湾积体电路制造股份有限公司) 01. 12 月 2010 (01.12.2010) 全文	1-8
A	US2006292762 A1 (EPION CORPORATION) 28. 12 月 2006 (28.12.2006) 全文	1-8
A	US2010330808 A1 (RALF RICHTER et al.) 30. 12 月 2010 (30.12.2010) 全文	1-8



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

05. 3 月 2012 (05.03.2012)

国际检索报告邮寄日期

22.3 月 2012 (22.03.2012)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

黄道许

电话号码: (86-10) 62411845

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2011/001992

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101740518 A	16.06.2010	US2010124823 A1	20.05.2010
CN101901762 A	01.12.2010	US2010240204 A1	23.09.2010
US2006292762 A1	28.12.2006	EP1908095 A2	09.04.2008
		WO2007002130 A3	04.10.2007
		WO2007002130 A2	04.01.2007
		JP2008547229 T	25.12.2008
US2010330808 A1	30.12.2010	DE102009031146 A1	05.01.2011
		DE102009031146 B4	26.01.2012