

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4034122号
(P4034122)

(45) 発行日 平成20年1月16日(2008.1.16)

(24) 登録日 平成19年11月2日(2007.11.2)

(51) Int.C1.

F 1

G09G	3/30	(2006.01)	G09G	3/30	J
G09G	3/20	(2006.01)	G09G	3/20	6 1 1 H
H01L	29/786	(2006.01)	G09G	3/20	6 2 4 B
H01L	51/50	(2006.01)	G09G	3/20	6 4 1 D
			G09G	3/20	6 4 1 R

請求項の数 12 (全 35 頁) 最終頁に続く

(21) 出願番号

特願2002-160318 (P2002-160318)

(22) 出願日

平成14年5月31日 (2002.5.31)

(65) 公開番号

特開2004-4348 (P2004-4348A)

(43) 公開日

平成16年1月8日 (2004.1.8)

審査請求日

平成17年3月1日 (2005.3.1)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 阪本 康弘

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

(72) 発明者 野田 剛司

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

(72) 発明者 犬飼 和隆

神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】発光装置及び素子基板

(57) 【特許請求の範囲】

【請求項 1】

第1乃至第5の配線と、

ゲート、ソースおよびドレインを有する第1乃至第5のトランジスタと、

ゲート、第1乃至第4のノードを有する第6のトランジスタと、

コンデンサーと、

発光素子と、を有し、

前記コンデンサーは、電極の一方が前記第6のトランジスタのゲートに接続され、他方が前記第2の配線に接続され、

前記第1のトランジスタは、ソース又はドレインの一方が前記第1のノードに接続され
、他方が前記第1の配線に接続され、ゲートが前記第3の配線に接続され、前記第2のトランジスタは、ソース又はドレインの一方が前記第6のトランジスタのゲートに接続され、他方が前記第1のノードに接続され、ゲートが前記第5の配線に接続され、前記第3のトランジスタは、ソース又はドレインの一方が前記第2のノードに接続され
、他方が前記第2の配線に接続され、ゲートが前記第3の配線に接続され、前記第4のトランジスタは、ソース又はドレインの一方が前記第3のノードに接続され
、他方が前記第2の配線に接続され、ゲートが前記第4の配線に接続され、前記第5のトランジスタは、ソース又はドレインの一方が前記第4のノードに接続され
、他方が前記発光素子に接続され、ゲートが前記第4の配線に接続されていることを特徴

10

20

とする発光装置。

【請求項 2】

第 1 乃至第 6 の配線と、

ゲート、ソースおよびドレインを有する第 1 乃至第 5 のトランジスタと、

ゲート、第 1 乃至第 4 のノードを有する第 6 のトランジスタと、

コンデンサーと、

発光素子と、を有し、

前記コンデンサーは、電極の一方が前記第 6 のトランジスタのゲートに接続され、他方が前記第 2 の配線に接続され、

前記第 1 のトランジスタは、ソース又はドレインの一方が前記第 1 のノードに接続され、他方が前記第 1 の配線に接続され、ゲートが前記第 3 の配線に接続され、

前記第 2 のトランジスタは、ソース又はドレインの一方が前記第 6 のトランジスタのゲートに接続され、他方が前記第 1 のノードに接続され、ゲートが前記第 5 の配線に接続され、

前記第 3 のトランジスタは、ソース又はドレインの一方が前記第 2 のノードに接続され、他方が前記第 2 の配線に接続され、ゲートが前記第 3 の配線に接続され、

前記第 4 のトランジスタは、ソース又はドレインの一方が前記第 3 のノードに接続され、他方が前記第 2 の配線に接続され、ゲートが前記第 4 の配線に接続され、

前記第 5 のトランジスタは、ソース又はドレインの一方が前記第 4 のノードに接続され、他方が前記発光素子に接続され、ゲートが前記第 6 の配線に接続されていることを特徴とする発光装置。

【請求項 3】

第 1 乃至第 6 の配線と、

ゲート、ソースおよびドレインを有する第 1 乃至第 5 のトランジスタと、

ゲート、第 1 乃至第 4 のノードを有する第 6 のトランジスタと、

コンデンサーと、

発光素子と、を有し、

前記コンデンサーは、一方の電極が前記第 6 のトランジスタのゲートに接続され、他方の電極が前記第 2 の配線に接続され、

前記第 1 のトランジスタは、ソース又はドレインの一方が前記第 1 のノードに接続され、他方が前記第 1 の配線に接続され、ゲートが前記第 4 の配線に接続され、

前記第 2 のトランジスタは、ソース又はドレインの一方が前記第 3 のノードに接続され、他方が前記第 2 の配線に接続され、ゲートが前記第 3 の配線に接続され、

前記第 3 のトランジスタは、ソース又はドレインの一方が前記第 2 のノードと前記第 5 のトランジスタのソース又はドレインの他方に接続され、他方が前記発光素子の一方の電極に接続され、ゲートが前記第 5 の配線に接続され、

前記第 4 のトランジスタは、ソース又はドレインの一方が前記第 4 のノードに接続され、他方が前記発光素子の他方の電極に接続され、ゲートが前記第 3 の配線に接続され、

前記第 5 のトランジスタは、ソース又はドレインの一方が前記第 6 のトランジスタのゲートに接続され、他方が前記第 2 のノードに接続され、ゲートが前記第 6 の配線に接続されていることを特徴とする発光装置。

【請求項 4】

第 1 乃至第 7 の配線と、

ゲート、ソースおよびドレインを有する第 1 乃至第 5 のトランジスタと、

ゲート、第 1 乃至第 4 のノードを有する第 6 のトランジスタと、

コンデンサーと、

発光素子と、を有し、

前記コンデンサーは、一方の電極が前記第 6 のトランジスタのゲートに接続され、他方の電極が前記第 2 の配線に接続され、

前記第 1 のトランジスタは、ソース又はドレインの一方が前記第 1 のノードに接続され、

10

20

30

40

50

、他方が前記第1の配線に接続され、ゲートが前記第4の配線に接続され、

前記第2のトランジスタは、ソース又はドレインの一方が前記第3のノードに接続され、
、他方が前記第2の配線に接続され、ゲートが前記第3の配線に接続され、

前記第3のトランジスタは、ソース又はドレインの一方が前記第2のノードと前記第5のトランジスタのソース又はドレインの他方に接続され、他方が前記発光素子の一方の電極に接続され、ゲートが前記第5の配線に接続され、

前記第4のトランジスタは、ソース又はドレインの一方が前記第4のノードに接続され、
、他方が前記発光素子の他方の電極に接続され、ゲートが前記第7の配線に接続され、

前記第5のトランジスタは、ソース又はドレインの一方が前記第6のトランジスタのゲートに接続され、他方が前記第2のノードに接続され、ゲートが前記第6の配線に接続されて
 10 いることを特徴とする発光装置。

【請求項5】

第1乃至第5の配線と、

ゲート、ソースおよびドレインを有する第1乃至第5のトランジスタと、

ゲート、第1乃至第4のノードを有する第6のトランジスタと、

コンデンサーと、

発光素子と、を有し、

前記コンデンサーは、一方の電極が前記第6のトランジスタのゲートに接続され、他方の電極が前記第2の配線に接続され、

前記第1のトランジスタは、ソース又はドレインの一方が前記第1のノードに接続され、
、他方が前記第1の配線に接続され、ゲートが前記第4の配線に接続され、

前記第2のトランジスタは、ソース又はドレインの一方が前記第3のノードに接続され、
、他方が前記第2の配線に接続され、ゲートが前記第3の配線に接続され、

前記第3のトランジスタは、ソース又はドレインの一方が前記第2のノードと前記第5のトランジスタのソース又はドレインの他方に接続され、他方が前記発光素子の一方の電極に接続され、ゲートが前記第5の配線に接続され、

前記第4のトランジスタは、ソース又はドレインの一方が前記第4のノードに接続され、
、他方が前記発光素子の他方の電極に接続され、ゲートが前記第3の配線に接続され、

前記第5のトランジスタは、ソース又はドレインの一方が前記第6のトランジスタのゲートに接続され、他方が前記第2のノードに接続され、ゲートが前記第3の配線に接続されて
 30 いることを特徴とする発光装置。

【請求項6】

第1乃至第5の配線と、

ゲート、ソースおよびドレインを有する第1乃至第5のトランジスタと、

ゲート、第1乃至第4のノードを有する第6のトランジスタと、

コンデンサーと、

画素電極と、を有し、

前記コンデンサーは、一方の電極が前記第6のトランジスタのゲートに接続され、他方の電極が前記第2の配線に接続され、

前記第1のトランジスタは、ソース又はドレインの一方が前記第1のノードに接続され、
、他方が前記第1の配線に接続され、ゲートが前記第3の配線に接続され、

前記第2のトランジスタは、ソース又はドレインの一方が前記第6のトランジスタのゲートに接続され、他方が前記第1のノードに接続され、ゲートが前記第5の配線に接続され、

前記第3のトランジスタは、ソース又はドレインの一方が前記第2のノードに接続され、
、他方が前記第2の配線に接続され、ゲートが前記第3の配線に接続され、

前記第4のトランジスタは、ソース又はドレインの一方が前記第3のノードに接続され、
、他方が前記第2の配線に接続され、ゲートが前記第4の配線に接続され、

前記第5のトランジスタは、ソース又はドレインの一方が前記第4のノードに接続され、
、他方が前記画素電極に接続され、ゲートが前記第4の配線に接続されていることを特徴

10

20

30

40

50

とする素子基板。

【請求項 7】

第 1 乃至第 6 の配線と、

ゲート、ソースおよびドレインを有する第 1 乃至第 5 のトランジスタと、

ゲート、第 1 乃至第 4 のノードを有する第 6 のトランジスタと、

コンデンサーと、

画素電極と、を有し、

前記コンデンサーは、一方の電極が前記第 6 のトランジスタのゲートに接続され、他方の電極が前記第 2 の配線に接続され、

前記第 1 のトランジスタは、ソース又はドレインの一方が前記第 1 のノードに接続され、他方が前記第 1 の配線が接続され、ゲートが前記第 3 の配線に接続され、

前記第 2 のトランジスタは、ソース又はドレインの一方が前記第 6 のトランジスタのゲートに接続され、他方が前記第 1 のノードに接続され、ゲートが前記第 5 の配線に接続され、

前記第 3 のトランジスタは、ソース又はドレインの一方が前記第 2 のノードに接続され、他方が前記第 2 の配線に接続され、ゲートが前記第 3 の配線に接続され、

前記第 4 のトランジスタは、ソース又はドレインの一方が前記第 3 のノードに接続され、他方が前記第 2 の配線に接続され、ゲートが前記第 4 の配線に接続され、

前記第 5 のトランジスタは、ソース又はドレインの一方が前記第 4 のノードに接続され、他方が前記画素電極に接続され、ゲートが前記第 6 の配線に接続されていることを特徴とする素子基板。

【請求項 8】

請求項 6 または請求項 7 において、

前記第 2 の配線が、前記コンデンサーの他方の電極に用いられていることを特徴とする素子基板。

【請求項 9】

第 1 乃至第 6 の配線と、

ゲート、ソースおよびドレインを有する第 1 乃至第 5 のトランジスタと、

ゲート、第 1 乃至第 4 のノードを有する第 6 のトランジスタと、

コンデンサーと、

画素電極と、

対向電極と、を有し、

前記コンデンサーは、一方の電極が前記第 6 のトランジスタのゲートに接続され、他方の電極が前記第 2 の配線に接続され、

前記第 1 のトランジスタは、ソース又はドレインの一方が前記第 1 のノードに接続され、他方が前記第 1 の配線に接続され、ゲートが前記第 4 の配線に接続され、

前記第 2 のトランジスタは、ソース又はドレインの一方が前記第 3 のノードに接続され、他方が前記第 2 の配線に接続され、ゲートが前記第 3 の配線に接続され、

前記第 3 のトランジスタは、ソース又はドレインの一方が前記第 2 のノードと前記第 5 のトランジスタのソース又はドレインの他方に接続され、他方が前記対向電極に接続され、ゲートが前記第 5 の配線に接続され、

前記第 4 のトランジスタは、ソース又はドレインの一方が前記第 4 のノードに接続され、他方が前記画素電極に接続され、ゲートが前記第 3 の配線に接続され、

前記第 5 のトランジスタは、ソース又はドレインの一方が前記第 6 のトランジスタのゲートに接続され、他方が前記第 2 のノードに接続され、ゲートが前記第 6 の配線に接続されていることを特徴とする素子基板。

【請求項 10】

第 1 乃至第 7 の配線と、

ゲート、ソースおよびドレインを有する第 1 乃至第 5 のトランジスタと、

ゲート、第 1 乃至第 4 のノードを有する第 6 のトランジスタと、

10

20

30

40

50

コンデンサーと、

画素電極と、

対向電極と、を有し、

前記コンデンサーは、一方の電極が前記第6のトランジスタのゲートに接続され、他方の電極が前記第2の配線に接続され、

前記第1のトランジスタは、ソース又はドレインの一方が前記第1のノードに接続され、他方が前記第1の配線に接続され、ゲートが前記第4の配線に接続され、

前記第2のトランジスタは、ソース又はドレインの一方が前記第3のノードに接続され、他方が前記第2の配線に接続され、ゲートが前記第3の配線に接続され、

前記第3のトランジスタは、ソース又はドレインの一方が前記第2のノードと前記第5のトランジスタのソース又はドレインの他方に接続され、他方が前記対向電極に接続され、ゲートが前記第5の配線に接続され、

前記第4のトランジスタは、ソース又はドレインの一方が前記第4のノードに接続され、他方が前記画素電極に接続され、ゲートが前記第7の配線に接続され、

前記第5のトランジスタは、ソース又はドレインの一方が前記第6のトランジスタのゲートに接続され、他方が前記第2のノードに接続され、ゲートが前記第6の配線に接続されていることを特徴とする素子基板。

【請求項11】

第1乃至第5の配線と、

ゲート、ソースおよびドレインを有する第1乃至第5のトランジスタと、

ゲート、第1乃至第4のノードを有する第6のトランジスタと、

コンデンサーと、

画素電極と、

対向電極と、を有し、

前記コンデンサーは、一方の電極が前記第6のトランジスタのゲートに接続され、他方の電極が前記第2の配線に接続され、

前記第1のトランジスタは、ソース又はドレインの一方が前記第1のノードに接続され、他方が前記第1の配線に接続され、ゲートが前記第4の配線に接続され、

前記第2のトランジスタは、ソース又はドレインの一方が前記第3のノードに接続され、他方が前記第2の配線に接続され、ゲートが前記第3の配線に接続され、

前記第3のトランジスタは、ソース又はドレインの一方が前記第2のノードと前記第5のトランジスタのソース又はドレインの他方に接続され、他方が前記対向電極に接続され、ゲートが前記第5の配線に接続され、

前記第4のトランジスタは、ソース又はドレインの一方が前記第4のノードに接続され、他方が前記画素電極に接続され、ゲートが前記第3の配線に接続され、

前記第5のトランジスタは、ソース又はドレインの一方が前記第6のトランジスタのゲートに接続され、他方が前記第2のノードに接続され、ゲートが前記第3の配線に接続されていることを特徴とする素子基板。

【請求項12】

請求項9乃至請求項11のいずれか一項において、

前記第2の配線が、前記コンデンサーの他方の電極に用いられていることを特徴とする素子基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電流を発光素子に供給するための手段と発光素子とが、複数の各画素に備えられた発光装置及び該発光装置の駆動方法に関する。なお発光装置とは、発光素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該発光装置を作製する過程における、発光素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を発光素子に供給する

10

20

30

40

50

ための手段を複数の各画素に備える。

【0002】

【従来の技術】

発光素子は自ら発光するため視認性が高く、液晶表示装置（LCD）で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため近年、発光素子を用いた発光装置は、CRTやLCDに代わる表示装置として注目されている。

【0003】

なお、本明細書において発光素子は、電流または電圧によって輝度が制御される素子を意味しており、OLED（Organic Light Emitting Diode）や、FED（Field Emission Display）に用いられているMIM型の電子源素子（電子放出素子）等を含んでいる。 10

【0004】

発光素子の1つであるOLED（Organic Light Emitting Diode）は、電場を加えることで発生するルミネッセンス（Electroluminescence）が得られる電界発光材料を含む層（以下、電界発光層と記す）と、陽極層と、陰極層とを有している。電界発光層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。これらの層の中に無機化合物を含んでいる場合もある。電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。

【0005】

次に、一般的な発光装置の画素の構成とその駆動について簡単に説明する。図19に示した画素は、TFT80、81と、保持容量82と、発光素子83とを有している。 20

【0006】

TFT80は、ゲートが走査線85に接続されており、ソースとドレインが一方は信号線84に、もう一方はTFT81のゲートに接続されている。TFT81は、ソースが端子86に接続されており、ドレインが発光素子83の陽極に接続されている。発光素子83の陰極は端子87に接続されている。保持容量82はTFT81のゲートとソース間の電圧を保持するように設けられている。また、端子86、87には、電源からそれぞれ所定の電圧が印加されており、互いに電圧差を有している。

【0007】

なお本明細書において電圧とは、特に記載のない限りグラウンドとの電位差を意味する。 30

【0008】

走査線85の電圧によりTFT80がオンになると、信号線84に入力されたビデオ信号の電圧がTFT81のゲートに入力される。この入力されたビデオ信号の電圧に従って、TFT81のゲート電圧（ゲートとソース間の電圧差）が定まる。そして、該ゲート電圧によって流れるTFT81のドレイン電流は、発光素子83に供給され、発光素子83は供給された電流によって発光する。

【0009】

ところで、ポリシリコンで形成されたTFTは、アモルファスシリコンで形成されたTFTよりも電界効果移動度が高く、オン電流が大きいので、発光装置のトランジスタとしてより適している。しかし、ポリシリコンを用いてTFTを形成しても、その電気的特性は所詮単結晶シリコン基板に形成されるMOSトランジスタの特性に匹敵するものではない。例えば、電界効果移動度は単結晶シリコンの1/10以下である。また、ポリシリコンを用いたTFTは、結晶粒界に形成される欠陥に起因して、その特性にばらつきが生じやすいといった問題点を有している。 40

【0010】

図19に示した画素において、TFT81の閾値やオン電流等の特性が画素毎にばらつくと、ビデオ信号の電圧が同じであってもTFT81のドレイン電流の大きさが画素間で異なり、結果的に発光素子83の輝度がばらついてしまうこととなる。

【0011】

そこで、上述した問題を回避するために、TFTの特性のばらつきによって発光素子に流 50

れる電流のばらつきを抑えることができる、様々な種類の画素の構成が考案されている。以下に、その代表的な画素として、電流入力型の画素と、閾値補正型の電圧入力型の画素の構成を例示し、その駆動について説明する。

【0012】

まず、特開2001-147659号に記載の電流入力型の画素の構成について、図20(A)を用いて説明する。

【0013】

図20(A)に記載の画素は、TFT11、12、13、14と、保持容量15と、発光素子16とを有している。

【0014】

TFT11は、ゲートが端子18に接続され、ソースとドレインが一方は電流源17に、他方はTFT13のドレインに接続されている。TFT12は、ゲートが端子19に、ソースとドレインが一方はTFT13のドレインに、他方はTFT13のゲートに接続されている。TFT13とTFT14は、ゲートが互いに接続されており、ソースが共に端子20に接続されている。TFT14のドレインは発光素子16の陽極に接続されており、発光素子16の陰極は端子21に接続されている。保持容量15はTFT13及び14のゲートとソース間の電圧を保持するように設けられている。端子20、21には、電源からそれぞれ所定の電圧が印加されており、互いに電圧差を有している。

【0015】

端子18、19に与えられる電圧によりTFT11、12がオンになった後、電流源17によってTFT13のドレイン電流が制御される。ここで、TFT13はゲートとドレインが接続されるため飽和領域で動作しており、そのドレイン電流は以下の式1で表される。なお、 V_{GS} はゲート電圧、 μ を移動度、 C_0 を単位面積あたりのゲート容量、 W/L をチャネル形成領域のチャネル幅Wとチャネル長Lの比、 V_{TH} を閾値、ドレイン電流を I_D とする。

【0016】

【式1】

$$I_D = \mu C_0 W / L (V_{GS} - V_{TH})^2 / 2$$

【0017】

式1において μ 、 C_0 、 W/L 、 V_{TH} は全て個々のトランジスタによって決まる固定の値である。式1から、TFT13のドレイン電流はゲート電圧 V_{GS} によって変化することがわかる。よって、式1に従うと、ドレイン電流に見合った値のゲート電圧 V_{GS} が、TFT13において発生する。

【0018】

このとき、TFT13とTFT14はそのゲートとソースが互いに接続されているため、TFT14のゲート電圧がTFT13のゲート電圧と同じ大きさに保たれる。よって、TFT13とTFT14はドレイン電流が比例関係にある。特に、 μ 、 C_0 、 W/L 、 V_{TH} の値が同じであれば、TFT13とTFT14はドレイン電流が同じになる。TFT14に流れるドレイン電流は発光素子16に供給され、該ドレイン電流の大きさに見合った輝度で発光素子16は発光する。

【0019】

特に、TFT13に対するTFT14のオン電流の比を大きくすることで、短い書き込み時間で、所望の大きさの電流を発光素子に供給することができる。

【0020】

そして、端子18、19に与えられる電圧によりTFT11、12がオフになった後も、TFT14のゲート電圧 V_{GS} が保持容量15によって保持されている限り、発光素子16は発光し続ける。

【0021】

次に、Tech. Digest IEDM 98, 875. R. M. A. Dawson etc.に記載の電流入力型の画素の構成について、図20(B)を用いて説明する。図20(B)に記載の画素は、TFT3

10

20

30

40

50

1、32、33、34と、保持容量35と、発光素子36とを有している。

【0022】

TFT31はゲートが端子38に接続され、ソースとドレインが一方は電流源37に、他方はTFT33のソースに接続されている。また、TFT34はゲートが端子38に接続され、ソースとドレインが一方はTFT33のゲートに、他方はTFT33のドレインに接続されている。TFT32は、ゲートが端子39に、ソースとドレインが、一方は端子40に、他方はTFT33のソースに接続されている。TFT33のドレインは発光素子36の陽極に接続されており、発光素子36の陰極は端子41に接続されている。保持容量35はTFT33のゲートとソース間の電圧を保持するように設けられている。端子40、41には、電源からそれぞれ所定の電圧が印加されており、互いに電圧差を有している。

【0023】

端子38に与えられる電圧によりTFT31及び34がオンになり、かつ端子39に与えられる電圧によりTFT32がオフになった後、電流源37によってTFT33のドレイン電流が制御される。ここで、TFT33はゲートとドレインが接続されているため飽和領域で動作しており、そのドレイン電流は上述の式1で表される。式1から、TFT33のドレイン電流はゲート電圧 V_{GS} によって変化することがわかる。よって、式1に従うと、ドレイン電流に見合った値のゲート電圧 V_{GS} が、TFT33において発生する。該ゲート電圧 V_{GS} は、保持容量35において保持される。

【0024】

TFT33に流れるドレイン電流は発光素子36に供給され、該ドレイン電流の大きさに見合った輝度で発光素子36は発光する。

【0025】

そして、端子38に与えられる電圧によりTFT31、34がオフになった後、端子39に与えられる電圧によりTFT32がオンになる。このとき、TFT33のゲート電圧が保持容量35によって保持されている限り、TFT31、34がオンであったときと同じ輝度で発光素子36は発光する。

【0026】

上述した図20(A)、(B)に示す電流入力型の画素は、TFTの閾値やオン電流等の特性が画素毎にばらついていても、電流源により発光素子に供給される電流の大きさを制御するので、画素間で発光素子の輝度にばらつきが生じるのを防ぐことができる。

【0027】

次に、US6,229,506に記載の、閾値補正型の電圧入力型画素の構成について、図21を用いて説明する。図21に記載の画素は、TFT51、52、53、54と、保持容量55、56と、発光素子57とを有している。

【0028】

TFT51は、ゲートが端子59に接続され、ソースとドレインが一方は端子58に、他方は保持容量55の一方の電極に接続されている。保持容量55のもう一方の電極はTFT53のゲートに接続されている。TFT52は、ゲートが端子61に接続されており、ソースがTFT53のゲートに、ドレインがTFT53のドレイン及びTFT54のソースに接続されている。TFT53のソースは端子60に接続されており、保持容量56はTFT53のゲートとソース間の電圧を保持するように設けられている。TFT54はゲートが端子62に接続されており、ドレインが発光素子57の陽極に接続されている。発光素子57の陰極は端子63に接続されている。端子60、63には、電源からそれぞれ所定の電圧が印加されており、互いに電圧差を有している。ここでは端子60にかかる電圧を、端子63にかかる電圧よりも高くしている。

【0029】

まず、端子58に印加される電圧を、端子60に印加される電圧と同じ高さにする。そして端子59に印加する電圧を制御してTFT51をオンにした後に、端子61、62に印加する電圧を制御することでTFT52、54をオンにすると、保持容量55、56に電

10

20

30

40

50

荷が貯まり始める。そして、保持容量 5 6 に保持される電圧が、TFT53 のしきい値 (V_{TH}) を上回ったところで、TFT53 がオンする。

【0030】

次に TFT54 をオフすると、保持容量 5 5、5 6 に貯まっていた電荷が、オンの状態にある TFT53 を介して放出される。このとき、TFT52 はオンなので、TFT53 のゲートとドレインが接続されており、よって、TFT53 は飽和領域で動作する。したがって、電荷が放出されているときのドレイン電流は、上記の式 1 で表される。

【0031】

この電荷の放出は、 $I_D = 0$ 、つまり TFT53 がオフになるまで続く。式 1 において μ 、 C_0 、 W/L 、 V_{TH} は全て個々のトランジスタによって決まる固定の値であるので、 $I_D = 0$ のとき、式 1 より、 $V_{GS} = V_{TH}$ となる。つまり、電荷の放出により TFT53 がオフになると、保持容量 5 6 に TFT53 の閾値分の電圧 V_{TH} が保持されることになる。
10

【0032】

次に、TFT52 をオフにし、端子 5 8 にビデオ信号の電圧 V_{Data} を印加する。このビデオ信号の入力により、保持容量 5 6 には、電荷保存則に従い、閾値電圧 V_{TH} に電圧 V_{Data} を加算した電圧が保持される。

【0033】

次に、TFT51 をオフにした後、TFT54 をオンにすることで、TFT53 のドレン電流が発光素子 5 7 に供給される。このとき TFT53 のドレン電流は、保持容量 5 6 に保持されている、閾値電圧 V_{TH} に電圧 V_{Data} を加算した電圧によって制御される。よって、TFT53 の閾値 V_{TH} に関わらず、必ず電圧 V_{Data} に見合った値の電流が発光素子 5 7 に供給されることになり、閾値のばらつきに起因する輝度むらを抑えることができる。
20

【0034】

【発明が解決しようとする課題】

このように、図 19 に示した画素に比べ、図 20 に示した電流入力型の画素及び図 21 に示した閾値補正型の電圧入力型の画素は、TFT の特性のばらつきによって発光素子に流れる電流のばらつきを抑えることができる。しかし、上述した構成の画素もそれぞれ課題を有している。

【0035】

図 20 (A) に代表されるような、画素に供給された電流を電圧に変換して保持する手段 (TFT13) と、該保持された電圧に応じた大きさの電流を発光素子に流す手段 (TFT14) の 2 つの手段を有する画素の場合、いずれか一方の手段の特性がずれることにより、2 つの手段における特性のバランスが画素間でばらつくことがある。すると、駆動部から発光素子に供給される電流の大きさが所望の値に保たれなくなり、画素間で発光素子の輝度にばらつきが生じてしまう。
30

【0036】

具体的に図 20 (A) では、TFT13 または TFT14 において、TFT に固有の特性である μ 、 C_0 、 V_{TH} や、 W/L がずれてしまった場合、TFT13 のドレン電流に対する TFT14 のドレン電流の比が画素間で異なってしまい、画素間において発光素子の輝度のばらつきが生じてしまう。
40

【0037】

一方、図 20 (B) に代表されるような、画素に供給された電流を電圧に変換して保持し、かつ該保持された電圧に応じた大きさの電流を発光素子に流す手段 (TFT33) を有する画素の場合、画素に供給された電流を電圧に変換する際に、発光素子に電流が流れる。発光素子は比較的大きな容量を有している。そのため、例えば低い階調から高い階調へ表示が変化する場合、発光素子の有する容量に電荷がたまるまで、電流から変換される電圧の値が安定しない。よって、低い階調から高い階調へ表示が変化するのに時間がかかる。また逆に、高い階調から低い階調へ表示が変化する場合、発光素子の有する容量が有する余分な電荷が放出されるまで、電流から変換される電圧の値が安定しない。よ
50

って、高い階調から低い階調へ表示が変化するのに時間がかかるてしまう。

【0038】

具体的に図20(B)では、電流源37から供給される電流の値が変わったときに、TFT33のゲート電圧が安定するのに時間がかかり、電流を書き込む時間が長くなる。その結果、例えば、動画表示において残像が視認されてしまうことがあり、高速応答で動画表示に向いているという発光素子の特徴を生かしきれない。

【0039】

図21に代表されるような、発光素子に供給する電流を制御するTFT(TFT53)の閾値分の電圧を、予め保持容量に書き込む画素の場合、該保持容量に閾値分の電圧を書き込む際に、発光素子に電流は流れないので、図20(B)のように発光素子の容量によって書き込み時間が左右されるということはない。

10

【0040】

しかし、TFT53がオンになる程度の電荷を保持容量に貯めた後、保持容量に保持される電圧が閾値分の電圧 V_{TH} となるまでTFT53を介して電荷を放電する必要があり、よってこの電荷の放電に要する時間により、書き込み時間を抑えることができない。よって図21に代表されるような画素は、デジタルの信号を用いた時間階調表示など、更なる書き込み時間の短縮化が要求される場合に対応することができない。その結果、例えば、動画表示において残像が視認されたり、高速応答で動画表示に向いているという発光素子の特徴を生かしきれない。

【0041】

20

本発明は上述したことに鑑み、TFTの特性の違いに起因する、画素間における発光素子の輝度のばらつきを抑えることができ、なおかつ残像が視認されにくい発光装置、発光装置の駆動方法及び素子基板の提供を課題とする。

【0042】

【課題を解決するための手段】

本発明は、発光素子に供給する電流を制御する素子として、4つの端子(ノード)の短絡または開放、言い換えると接続、を制御することができるトランジスタ(以下、マルチ端子トランジスタ)を用いて駆動する、電流入力型発光装置及び閾値補正型の電圧入力型発光装置を考案した。なお本明細書において接続とは、特に記載のない限り電気的な接続を意味する。

30

【0043】

すなわち、本発明の電流入力型発光装置は、ビデオ信号に相当する電流をマルチ端子トランジスタが有する4つのノードのうちの2つのノード間に流することで電圧に変換し、次に前記2つのノードと異なる2つのノードを短絡させて、該電圧を再び電流に変換し、発光素子に供給する。

【0044】

具体的に本発明の電流入力型発光装置の画素には、

- 1 ゲートの電圧を制御することで4つのノードを短絡または開放する手段
- 2 前記ゲートの電圧を保持する手段
- 3 第1のノードと前記ゲートの接続を制御する手段
- 4 前記第1のノードと第2のノードの間に流れる電流を制御する手段
- 5 第3のノードと第4のノードの間に流れる電流を制御する手段
- 6 前記第3のノードと第4のノードの間に流れる電流が供給される発光素子が備えられている。

40

【0045】

また本発明の素子基板は、上記電流入力型発光装置を作製する過程における、発光素子が完成する前の一形態に相当する。具体的には、

- 1 ゲートの電圧を制御することで4つのノードを短絡または開放する手段
- 2 前記ゲートの電圧を保持する手段
- 3 第1のノードと前記ゲートの接続を制御する手段

50

4 前記第1のノードと第2のノードの間に流れる電流を制御する手段
 5 第3のノードと第4のノードの間に流れる電流を制御する手段し、なおかつ、第3のノードと第4のノードの間に流れる電流を発光素子に供給するための手段が備えられている。

【0046】

上記構成により、発光素子に電流を流さずに、電流を電圧に変換することができるので、図20(B)に示した画素よりも書き込み時間を抑えることができる。また、1つのマルチ端子トランジスタで、画素に供給された電流を電圧に変換して保持し、かつ該保持された電圧に応じた大きさの電流を発光素子に流すことができるので、図20(A)に示した画素のように、画素間において発光素子の輝度のばらつきが生じてしまうのを防ぐことができる。

10

【0047】

また、ビデオ信号に相当する電流を電圧に変換するときの2つのノード(第1と第2のノード)間のチャネル長とチャネル幅の比(L/W)を、該電圧を再び電流に変換して発光素子に供給する時における2つのノード(第3と第4のノード)間のL/Wよりも、小さくする。言い換えると、ビデオ信号に相当する電流を電圧に変換するときの2つのノード間のチャネル長を、該電圧を再び電流に変換して発光素子に供給する時における2つのノード間のチャネル長よりも、短くする。

【0048】

チャネル幅が長くなるとオン電流を大きくすることができ、チャネル長を長くすると、飽和領域の線形性を高めることができる。

20

【0049】

よって、上記構成により、書き込み時間を抑えつつ、所望の大きさの電流を発光素子に供給することができ、また発光素子を発光させるときの飽和領域の線形性を高め、画素間の輝度のばらつきをより抑えることができる。

【0050】

また、本発明の閾値補正型の電圧入力型発光装置は、マルチ端子トランジスタが有する4つのノードのうちの2つのノードを短絡することで、閾値分の電圧の保持容量への書き込みと、ビデオ信号に相当する電圧の保持容量への書き込みとを行なう。次に、前記2つのノードと異なる2つのノードを短絡させて、該2つの電圧を電流に変換し、発光素子に供給する。

30

【0051】

具体的に本発明の閾値補正型の電圧入力型発光装置の画素には、

1 ゲートの電圧を制御することで4つのノードを短絡または開放する手段
 2 前記ゲートの電圧を保持する手段
 3 第2のノードと前記ゲートの接続を制御する手段
 4 3の手段により前記第2のノードと前記ゲートとが接続されているときに、
 前記 2 の手段において保持される電圧の大きさを制御する手段
 5 第3のノードと第4のノードの間に流れる電流を制御する手段
 6 前記第3のノードと第4のノードの間に流れる電流が供給される発光素子が備え
 られている。

40

【0052】

また本発明の素子基板は、上記電圧入力型発光装置を作製する過程における、発光素子が完成する前の一形態に相当する。具体的には、

(1) ゲートの電圧を制御することで4つのノードを短絡または開放する手段
 (2) 前記ゲートの電圧を保持する手段
 (3) 第2のノードと前記ゲートの接続を制御する手段
 (4) (3)の手段により前記第2のノードと前記ゲートとが接続されているときに、
 前記(2)の手段において保持される電圧の大きさを制御する手段
 (5) 第3のノードと第4のノードの間に流れる電流を制御し、なおかつ、第3のノー
 50

ドと第4のノードの間に流れる電流を発光素子に供給するための手段が備えられている。

【0053】

そして、マルチ端子トランジスタの閾値分の電圧の保持容量への書き込み時と、ビデオ信号に相当する電圧の保持容量への書き込み時における、2つのノード間のチャネル長とチャネル幅の比（L / W）を、該電圧を電流に変換して発光素子に供給する時における2つのノード間のL / Wよりも、小さくする。言い換えると、マルチ端子トランジスタの閾値分の電圧の保持容量への書き込み時と、ビデオ信号に相当する電圧の保持容量への書き込み時における、2つのノード間のチャネル長を、該電圧を電流に変換して発光素子に供給する時における2つのノード間のチャネル長よりも、小さくする。

10

【0054】

上記構成により、電荷を保持容量に貯め、保持容量に保持される電圧が閾値分の電圧 V_{TH} となるまで電荷を放電し、ビデオ信号に相当する電圧を保持容量へ書き込むという、一連の動作の速度を向上させつつ、所望の大きさの電流を発光素子に供給することができる。また、発光素子を発光させるときに飽和領域の線形性を高め、画素間の輝度のばらつきをより抑えることができる。

【0055】

なお、具体的にマルチ端子トランジスタは、活性層と、前記活性層に接する絶縁膜と、前記絶縁膜に接するゲート電極とを有している。そして、前記活性層は、少なくとも1つのチャネル形成領域と、少なくとも4つの不純物領域とを有している。そして4つの不純物領域が、マルチ端子トランジスタと他の素子との間の、電圧または電流の出入り口となるノードに相当する。

20

【0056】

ノードとなる4つの各不純物領域は、チャネル形成領域のいずれか1つとのみ接している。つまり、ノードとなる4つの不純物領域は、任意の2つの不純物領域の間に、ノードとなる他の不純物領域を挟んでいない。

【0057】

なお、任意の不純物領域が、不純物濃度の低い領域（低濃度不純物領域）を含んでおり、該低濃度不純物領域がチャネル形成領域と接していても良い。この構成により不純物領域近傍の電界集中を緩和することができる。

30

【0058】

ゲート電極は絶縁膜を間に挟んでチャネル形成領域と重なっている。そして、ゲート電極に印加する電圧を制御することで、各ノード間の抵抗を制御し、短絡または開放することができる。

【0059】

なお、本発明のマルチ端子トランジスタは、基板と活性層の間にゲート電極が設けられていても良いし、ゲート電極と基板の間に活性層が設けられていても良い。

【0060】

なお、本発明の発光装置において、画素に用いるトランジスタ（マルチ端子トランジスタを含む）は、多結晶シリコンを用いて形成されたトランジスタであっても良いし、アモルファスシリコンを用いた薄膜トランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良い。

40

【0061】

なお本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

【0062】

【発明の実施の形態】

（実施の形態1）

以下に、本発明の電流入力型の発光装置の構成について説明する。本発明の電流入力型発

50

光装置が有する画素部には、複数の画素がマトリクス状に配置されている。また画素部には信号線、電源線、走査線など、各種配線が配置されている。

【0063】

図1(A)に本発明の電流入力型の発光装置における、画素の回路図を示す。図1(A)では、各画素に6つトランジスタ($Tr_1 \sim Tr_6$)と、発光素子101と、保持容量102とが設けられている。 $Tr_1 \sim Tr_5$ が、2つのノード(ソースとドレイン)の短絡と開放を制御するトランジスタに相当し、 Tr_6 が4つのノードの短絡と開放を制御するトランジスタに相当する。

【0064】

Tr_6 は、1ゲートの電圧を制御することで4つのノードを短絡または開放する手段に相当する。保持容量102は、2前記ゲートの電圧を保持する手段に相当する。 Tr_2 は、3第1のノードと前記ゲートの接続を制御する手段に相当する。 Tr_1 及び Tr_3 は、4第1のノードと第2のノードの間に流れる電流を制御する手段に相当する。 Tr_4 及び Tr_5 は、5第3のノードと第4のノードの間に流れる電流を制御する手段に相当する。発光素子101は、6前記第3のノードと第4のノードの間に流れる電流が供給される発光素子に相当する。

【0065】

なお、発光素子が完成する前の形態に相当する素子基板は、6の発光素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、パターニングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0066】

Tr_1 のゲートは第1の走査線 G_j ($j = 1 \sim y$)に接続されており、ソースとドレインは、一方が信号線 Si ($i = 1 \sim x$)に、もう一方が Tr_6 の第1のノード Nd_1 に接続されている。

【0067】

Tr_2 のゲートは第2の走査線 P_j ($j = 1 \sim y$)に接続されており、ソースとドレインは、一方が Tr_6 のゲートに、もう一方が Tr_6 の第1のノード Nd_1 に接続されている。

【0068】

Tr_3 のゲートは第1の走査線 G_j ($j = 1 \sim y$)に接続されており、ソースとドレインは、一方が電源線 Vi ($i = 1 \sim x$)に、もう一方が Tr_6 の第2のノード Nd_2 に接続されている。

【0069】

Tr_4 のゲートは第3の走査線 Q_j ($j = 1 \sim y$)に接続されており、ソースとドレインは、一方が電源線 Vi ($i = 1 \sim x$)に、もう一方が Tr_6 の第3のノード Nd_3 に接続されている。

【0070】

Tr_5 のゲートは第4の走査線 R_j ($j = 1 \sim y$)に接続されており、ソースとドレインは、一方が Tr_6 の第4のノード Nd_4 に、もう一方が発光素子101の画素電極に接続されている。

【0071】

発光素子101は陽極と陰極を有しており、本明細書では、陽極を画素電極として用いる場合は陰極を対向電極と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0072】

また、保持容量102はトランジスタ Tr_6 のゲートと電源線 Vi の間の電圧を保持するために設けられている。

【0073】

電源線 $V_1 \sim V_x$ と対向電極には、それぞれ電源から所定の電圧が与えられており、電源

10

20

20

30

40

40

50

線 $V_1 \sim V_x$ と対向電極とは、発光素子に順バイアスの電流を流すことができる程度の電圧差を有している。なお、電源線 $V_1 \sim V_x$ の電圧は全て同じ高さに保たなくとも良く、例えばカラーの画像を表示する発光装置の場合、対応する色毎に変えるようにしても良い。

【0074】

なお、 $T_r 1 \sim T_r 6$ の極性は n チャネル型であっても p チャネル型であっても、どちらでも良い。ただし、 $T_r 1$ と $T_r 3$ の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、 $T_r 6$ は p チャネル型トランジスタであることが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、 $T_r 6$ は n チャネル型トランジスタであることが望ましい。

10

【0075】

また、信号線と電源線の数は必ずしも同じであるとは限らない。また、第1走査線と、第2走査線と、第3走査線と、第4走査線の数は必ずしも同じであるとは限らない。

【0076】

なお、図1(A)では $T_r 1$ と $T_r 3$ のゲートが、共に第1の走査線 G_j に接続されているが、別途走査線を設け、互いに異なる走査線に接続するようにしても良い。この場合、 $T_r 1$ と $T_r 3$ の極性は同じでなくとも良い。

【0077】

また $T_r 4$ と $T_r 5$ のゲートを共に第3の走査線 Q_j に接続するようにしても良い。図1(B)に、 $T_r 4$ と $T_r 5$ のゲートを共に第3の走査線 Q_j に接続した場合の、画素の回路図を示す。図1(B)では $T_r 4$ と $T_r 5$ の極性は同じである。図1(B)に示す画素は、図1(A)に示す画素に比べて走査線の数が少なくて済む。

20

【0078】

次に、 $T_r 6$ の詳しい構成について説明する。 $T_r 6$ は、4つのノードを短絡または開放することができるマルチ端子トランジスタである。4つのノードの短絡または開放は、ゲートに与えられる電圧で制御することができる。

【0079】

図2(A)は、 $T_r 6$ の上面図であり、図2(B)は、図2(A)の破線 $A - A'$ における断面図に相当し、図2(C)は、図2(A)の破線 $B - B'$ における断面図に相当する。

30

【0080】

$T_r 6$ は、活性層201と、該活性層に接するゲート絶縁膜202と、ゲート絶縁膜202に接するゲート電極(ゲート)203とを有している。活性層201は、チャネル形成領域204と、導電型を付与する不純物が添加された不純物領域205～208を有している。ゲート電極203とチャネル形成領域204は、ゲート絶縁膜202を間に挟んで重なっている。

【0081】

不純物領域205～208はそれぞれチャネル形成領域204に接している。なお、不純物領域内に、不純物濃度の低い低濃度不純物領域(LDD領域)が設けられていても良い。この場合、低濃度不純物領域がチャネル形成領域204に接するようにする。また、ゲート電極と重ならない不純物の添加されていない領域(オフセット領域)が、チャネル形成領域と不純物領域との間に設けられていても良い。

40

【0082】

そして $T_r 6$ は、第1のノード $N_d 1$ と第2のノード $N_d 2$ の間に流れるオン電流が、第3のノード $N_d 1$ と第4のノード $N_d 2$ の間に流れるオン電流より大きくなるように、そのチャネル形成領域204のレイアウトを設定する。具体的に例えば、不純物領域205と206の間のチャネル形成領域204の長さと幅の比 L_{1-2} / W_{1-2} を、不純物領域207と208の間のチャネル形成領域204の長さと幅の比 L_{3-4} / W_{3-4} よりも小さく設定する。

【0083】

50

具体的には、 $L_{1-2} = W_{3-4}$ 、 $L_{3-4} = W_{1-2}$ とすると、 L_{1-2} / L_{3-4} を1/5以下1/20以上であるのが好ましい。例えば $L_{1-2} = 5 \mu m$ 、 $L_{3-4} = 50 \mu m$ の場合だと、第1のノードNd1と第2のノードNd2の間に流れるオン電流は、第3のノードNd1と第4のノードNd2の間に流れるオン電流の100倍程度とすることができます。

【0084】

活性層201を覆うように、ゲート絶縁膜202上に、層間絶縁膜209が形成されている。そして、層間絶縁膜209及びゲート絶縁膜202に形成されたコンタクトホールを介して、不純物領域205～208にそれぞれ接続された配線210～213が形成されている。なお、図2ではゲート絶縁膜202が不純物領域205～208を覆っているが、本発明はこの構成に限定されない。不純物領域205～208は必ずしもゲート絶縁膜202に覆われている必要はなく、露出していても良い。

10

【0085】

Tr6は、ゲート電極203に印加される電圧によって、各不純物領域205～208間の抵抗、ひいては各配線210～213間の抵抗が制御され、短絡と開放が制御される。

【0086】

なお、図2に示した構成はTr6の一実施例である。Tr6は各不純物領域間に2つ以上のチャネル形成領域が設けられた、所謂マルチゲート構造を有していても良い。

【0087】

次に、図1(A)に示した画素の駆動について説明する。

【0088】

20

本発明の電流入力型発光装置の画素の駆動は、書き込み期間Taと、保持期間Thと、表示期間Tdとに分けて説明することができる。図3(A)に、各期間におけるTr1～Tr5のスイッチングのタイミングを示す。そして、図1(A)の画素のTr1～Tr5が全てnチャネル型TFTの場合に、各期間において各走査線に入力される電圧のタイミングチャートを、図3(B)に示す。

【0089】

まず、各ラインの画素において書き込み期間Taが順に開始される。書き込み期間が開始されると、Tr1～Tr3がオンになり、Tr4、Tr5がオフになる。書き込み期間における画素の構成の概略図を、図4(A)に示す。書き込み期間Taでは、駆動回路に設けられた電流源103から、ビデオ信号に相当する電流(信号電流)Idataが信号線Siに入力される。

30

【0090】

そして、信号電流Idataは、Tr6のノードNd1とNd2を介して、信号線Siと電源線Viの間を流れる。つまり、Tr6のノードNd1とNd2の間に流れるドレイン電流Idは、信号電流Idataとほぼ同じ値に保たれる。

【0091】

そして、書き込み期間TaにおいてTr6は、そのゲートとNd1が接続されているので、飽和領域で動作している。よって、Tr6のドレイン電流Idは、上述の式1で表される。式1において μ 、 C_0 、 W/L 、 V_{TH} は全て個々のトランジスタによって決まる固定の値であるので、Tr6のゲート電圧 V_{GS} は信号電流Idataの値によって定まる。該ゲート電圧 V_{GS} は、保持容量102において保持される。

40

【0092】

各ラインの画素において書き込み期間Taが終了すると、保持期間Thが開始される。保持期間Thでは、Tr1～Tr5が全てオフになる。保持期間における画素の構成の概略図を、図4(B)に示す。なお、Tr1及びTr3よりもTr2を先にオフするのが望ましい。Tr2を先にオフすることで、Tr2を介して保持容量102から電荷が放出されるのを防ぎ、確実に電圧を保持することができる。

【0093】

そして、各ラインの画素において保持期間Thが終了すると、表示期間Tdが開始される。表示期間Tdが開始されると、Tr1～Tr3はオフ、Tr4、Tr5がオンになる。

50

表示期間における画素の構成の概略図を、図4(C)に示す。

【0094】

Tr4とTr5がオンになることで、保持容量102によって保持されているゲート電圧Vgsに見合った大きさのドレイン電流Idが、Tr6のノードNd3とNd4を介して発光素子101に供給される。発光素子101は供給された電流に見合った輝度で発光する。なお、ドレイン電流Idが発光素子101の閾値以下だと発光しない。

【0095】

ビデオ信号がアナログの場合、表示期間Tdが終了すると1フレーム期間が終了し、1つの画像が表示される。そして、次のフレーム期間が開始され、再び上述した動作が繰り返される。各画素の階調は、表示期間Tdにおいて発光素子101に流れる電流の大きさで決まる。

10

【0096】

また、ビデオ信号がデジタルで、時間階調表示を行なう場合、1フレーム期間が複数のサブフレーム期間からなる。各サブフレーム期間の長さの比は、 $2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。そして、各サブフレーム期間内に書き込み期間Ta、保持期間Th、表示期間Tdが出現する。そして、各サブフレーム期間ごとに発光を制御することで、1フレーム期間全体を通して階調を表示することができる。

【0097】

本発明の電流入力型の発光装置では、書き込み期間Taにおいて発光素子に電流を流さずに、電流を電圧に変換することができるので、図20(B)に示した画素よりも電流の書き込み時間を抑えることができる。また、1つのマルチ端子トランジスタで、画素に供給された電流を電圧に変換して保持し、かつ該保持された電圧に応じた大きさの電流を発光素子に流すことができるので、図20(A)に示した画素のように、画素間において発光素子の輝度のばらつきが生じてしまうのを防ぐことができる。

20

【0098】

また、チャネル幅が長くなるとオン電流を大きくすることができ、チャネル長を長くすると、飽和領域の線形性を高めることができる。よって、ビデオ信号に相当する電流を電圧に変換するときの2つのノードNd1とNd2間のチャネル長を、該電圧を再び電流に変換して発光素子に供給するときの2つのノードNd3とNd4間のチャネル長よりも短くすることで、書き込み期間Taの長さを抑えつつ所望の大きさの電流を発光素子に供給することができ、また表示期間TdのTr6の飽和領域の線形性を高め、画素間の輝度のばらつきをより抑えることができる。

30

【0099】

(実施の形態2)

以下に、本発明の閾値補正型の電圧入力型発光装置の構成について説明する。本発明の閾値補正型の電圧入力型発光装置が有する画素部には、複数の画素がマトリクス状に配置されている。また画素部には信号線、電源線、走査線など、各種配線が配置されている。

【0100】

図5(A)に本発明の閾値補正型の電圧入力型発光装置における、画素の回路図を示す。図5(A)では、各画素に6つトランジスタ(Tr1～Tr6)と、発光素子301と、保持容量302とが設けられている。Tr1～Tr5が、2つのノード(ソースとドレイン)の短絡と開放を制御するトランジスタに相当し、Tr6が4つのノードの短絡と開放を制御するトランジスタに相当する。

40

【0101】

Tr6は、(1)ゲートの電圧を制御することで4つのノードを短絡または開放する手段に相当する。保持容量302は、(2)前記ゲートの電圧を保持する手段に相当する。Tr5は、(3)第2のノードと前記ゲートの接続を制御する手段に相当する。Tr1及びTr3は、(4)(3)の手段により第2のノードと前記ゲートとが接続されているときに、前記(2)の手段において保持される電圧の大きさを制御する手段に相当する。Tr4及びTr2は、(5)第3のノードと第4のノードの間に流れる電流を制御する手

50

段に相当する。発光素子 301 は、(6) 前記第 3 のノードと第 4 のノードの間に流れる電流が供給される発光素子に相当する。

【0102】

なお、発光素子が完成する前の形態に相当する素子基板は、(6) の発光素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、パターニングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0103】

なお、Tr6 の詳しい構成については、実施の形態 1 の Tr6 と同じであり、図 2 を参照することができるので、ここでは説明省略する。

10

【0104】

Tr1 のゲートは第 1 の走査線 Gj (j = 1 ~ y) に接続されており、ソースとドレインは、一方が信号線 Si (i = 1 ~ x) に、もう一方が Tr6 の第 1 のノード Nd1 に接続されている。

【0105】

Tr2 のゲートは第 2 の走査線 Pj (j = 1 ~ y) に接続されており、ソースとドレインは、一方が Tr6 の第 3 のノード Nd3 に、もう一方が電源線 Vi (i = 1 ~ x) に接続されている。

20

【0106】

Tr3 のゲートは第 3 の走査線 Qj (j = 1 ~ y) に接続されており、ソースとドレインは、一方が Tr6 の第 2 のノード Nd2 に、もう一方が発光素子 301 が有する対向電極に接続されている。

【0107】

Tr4 のゲートは第 4 の走査線 Rj (j = 1 ~ y) に接続されており、ソースとドレインは、一方が第 4 のノード Nd4 に、もう一方が発光素子 301 が有する画素電極に接続されている。

【0108】

Tr5 のゲートは第 5 の走査線 Wj (j = 1 ~ y) に接続されており、ソースとドレインは、一方が Tr6 のゲートに、もう一方が Tr6 の第 2 のノード Nd2 に接続されている。

30

【0109】

また、保持容量 302 はトランジスタ Tr6 のゲートと電源線 Vi の間の電圧を保持するために設けられている。

【0110】

電源線 V1 ~ Vx と対向電極には、それぞれ電源から所定の電圧が与えられており、電源線 V1 ~ Vx と対向電極とは、発光素子に順バイアスの電流を流すことができる程度の電圧差を有している。なお、電源線 V1 ~ Vx の電圧は全て同じ高さに保たなくても良く、例えばカラーの画像を表示する発光装置の場合、対応する色毎に変えるようにしても良い。

【0111】

40

なお、Tr1 ~ Tr6 の極性は n チャネル型であっても p チャネル型であっても、どちらでも良い。ただし、陽極を画素電極として用い、陰極を対向電極として用いる場合、Tr6 は p チャネル型トランジスタであることが望ましい。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、Tr6 は n チャネル型トランジスタであることが望ましい。

【0112】

また、信号線と電源線の数は必ずしも同じであるとは限らない。また、第 1 ~ 第 5 走査線の数は必ずしも同じであるとは限らない。

【0113】

なお、Tr2 と Tr4 のゲートを、共に第 2 の走査線 Pj に接続するようにしても良い。

50

図5(B)に、Tr2とTr4のゲートと共に第2の走査線Pjに接続した場合の、画素の回路図を示す。図5(B)ではTr2とTr4の極性は同じである。図5(B)に示す画素は、図5(A)に示す画素に比べて走査線の数が少なくて済む。

【0114】

また、Tr2、Tr4及びTr5のゲートを、共に第2の走査線Pjに接続するようにしても良い。図6に、Tr2、Tr4及びTr5のゲートを共に第2の走査線Pjに接続した場合の、画素の回路図を示す。図6ではTr2、Tr4の極性は同じであり、Tr5はTr2及びTr4の極性とは逆の極性を有する。図6に示す画素は、図5(A)、(B)に示す画素に比べて走査線の数が少なくて済む。

【0115】

次に、図5(A)に示した画素の駆動について説明する。

【0116】

本発明の閾値補正型の電圧入力型発光装置の画素の駆動は、初期化期間Tiと、書き込み期間Taと、表示期間Tdとに分けて説明することができる。図7(A)に、各期間におけるTr1～Tr5のスイッチングのタイミングを示す。そして、図5(A)の画素のTr1～Tr5が全てnチャネル型 TFT の場合に、各期間において各走査線に入力される電圧のタイミングチャートを、図7(B)に示す。

【0117】

まず、各ラインの画素において初期化期間Tiが順に開始される。初期化期間Tiが開始されると、Tr3、Tr5がオンになり、Tr1、Tr2、Tr4がオフになる。初期化期間における画素の構成の概略図を、図8(A)に示す。Vcは対向電極の電圧である。初期化期間Tiでは、電源線Viの電圧と対向電極の電圧に見合った大きさの電荷が、保持容量302に蓄積される。電源線Viと対向電極に与えられる電圧はそれ一定であるので、初期化期間Tiにおいて保持容量302に蓄積される電荷も常に一定になる。

【0118】

そして、次にTr3をオフにした後、各ラインの画素において初期化期間Tiが終了し、次に書き込み期間Taが開始される。書き込み期間Taが開始されると、まずTr1、Tr5がオンになり、Tr2、Tr3、Tr4がオフになる。そして、駆動回路から、ビデオ信号に相当する電圧(信号電圧)Vdataが信号線Siに入力される。信号電圧Vdataは、Tr6のノードNd1とNd2を介して、保持容量302に与えられる。

【0119】

なおVdataは、 $|V_{data} + V_{TH}| < |Vc|$ を必ず満たすような高さに設定する。よって、Tr6のNd1とNd2の間にドレイン電流Idが流れ、保持容量302に蓄積されている電荷が放出される。このとき、Tr5はオンなので、Tr6のゲートとNd2は接続されており、よって、Tr6は飽和領域で動作する。したがって、電荷が放出されているときのドレイン電流Idは、上記の式1で表される。

【0120】

この電荷の放出は、 $I_d = 0$ 、つまりTr6がオフになるまで続く。式1において μ 、 C_0 、 W/L 、 V_{TH} は全て個々のトランジスタによって決まる固定の値であるので、 $I_d = 0$ のとき、式1より、 $V_{GS} = V_{TH}$ となる。つまり、電荷の放出によりTr6がオフになると、保持容量302には、信号電圧VdataにTr6の閾値分の電圧 V_{TH} を加算した電圧が保持されることになる。

【0121】

次に各ラインの画素において書き込み期間Taが終了すると、表示期間Tdが開始される。表示期間Tdが開始されると、Tr1、Tr3、Tr5はオフ、Tr2、Tr4がオンになる。表示期間における画素の構成の概略図を、図8(C)に示す。

【0122】

Tr2とTr4がオンになることで、Tr6のドレイン電流が発光素子301に供給される。このときTr6のドレイン電流は、保持容量302に保持されている、閾値電圧 V_{TH} に電圧Vdataを加算した電圧によって制御される。よって、Tr6の閾値 V_{TH} に関わらず

10

20

30

40

50

、必ず電圧 V_{Data} に見合った値の電流が発光素子 301 に供給される。発光素子 301 は供給された電流に見合った輝度で発光するので、結果的に閾値のばらつきに起因する輝度むらを抑えることができる。なお、ドレイン電流 I_D が発光素子 301 の閾値以下だと発光しない。

【0123】

ビデオ信号がアナログの場合、表示期間 T_d が終了すると 1 フレーム期間が終了し、1 つの画像が表示される。そして、次のフレーム期間が開始され、再び上述した動作が繰り返される。各画素の階調は、表示期間 T_d において発光素子 301 に流れる電流の大きさで決まる。

【0124】

また、ビデオ信号がデジタルで、時間階調表示を行なう場合、1 フレーム期間が複数のサブフレーム期間からなる。そして、各サブフレーム期間内に初期化期間 T_i 、書き込み期間 T_a 、表示期間 T_d が出現する。そして、各サブフレーム期間ごとに発光を制御することで、1 フレーム期間全体を通して階調を表示することができる。

【0125】

チャネル幅が長くなるとオン電流を大きくすることができます、チャネル長を長くすると、飽和領域の線形性を高めることができます。よって、本発明の閾値補正型の電圧入力型発光装置では、保持容量に保持される電圧が閾値分の電圧 V_{TH} となるまで電荷を放電し、またビデオ信号に相当する電圧を保持容量へ書き込むときの、2 つのノード $N_d 1$ と $N_d 2$ 間のチャネル長を、発光素子に電流を供給するときの 2 つのノード $N_d 3$ と $N_d 4$ 間のチャネル長よりも短くすることで、初期化期間 T_i 及び書き込み期間 T_a の長さを抑えつつ、所望の大きさの電流を発光素子に供給することができ、また表示期間 T_d の $T_r 6$ の飽和領域の線形性を高め、画素間の輝度のばらつきをより抑えることができる。

【0126】

【実施例】

以下、本発明の実施例について説明する。

【0127】

(実施例 1)

本実施例では、基板と活性層の間にゲート電極が形成されている、マルチ端子トランジスタの構成について説明する。

【0128】

本実施例のマルチ端子トランジスタ（以下、単にトランジスタ）の構成について、図 9 を用いて説明する。図 9 (A) は、本実施例のトランジスタの上面図であり、図 9 (B) は、図 9 (A) の破線 A - A' における断面図に相当し、図 9 (C) は、図 9 (A) の破線 B - B' における断面図に相当する。

【0129】

本実施例のトランジスタは、ゲート電極 701 と、該ゲート電極 701 に接するゲート絶縁膜 702 と、該ゲート絶縁膜 702 に接する活性層 703 とを有している。活性層 703 は、チャネル形成領域 704 と、導電型を付与する不純物が添加された不純物領域 705 ~ 708 を有している。ゲート電極 701 とチャネル形成領域 704 は、ゲート絶縁膜 702 を間に挟んで重なっている。なお、720 はチャネル形成領域を形成する際に用いるマスクであり、絶縁膜で形成されている。

【0130】

不純物領域 705 ~ 708 はそれぞれチャネル形成領域 704 に接している。なお、不純物領域の一部に低濃度不純物領域（LDD 領域）が設けられていても良い。この場合、該低濃度不純物領域がチャネル形成領域 704 に接する。また、不純物領域とチャネル形成領域 704 の間に、ゲート電極と重ならない不純物の添加されていない領域（オフセット領域）が、設けられていても良い。

【0131】

活性層 703 の不純物領域 705 ~ 708 を覆うように層間絶縁膜 709 が形成されてい

10

20

30

40

50

る。そして、層間絶縁膜 709 に形成されたコンタクトホールを介して、不純物領域 705 ~ 708 にそれぞれ接続された配線 710 ~ 713 が形成されている。

【0132】

図9のトランジスタは、ゲート電極 701 に印加される電圧によって、各不純物領域 710 ~ 713 間の抵抗、ひいては各配線 710 ~ 713 間の抵抗が制御され、短絡と開放が制御される。

【0133】

そして図9のトランジスタは、第1のノード N d 1 に相当する不純物領域 705 と、第2のノード N d 2 に相当する不純物領域 706 の間に流れるオン電流が、第3のノード N d 1 に相当する不純物領域 707 と、第4のノード N d 2 に相当する不純物領域 708 の間に流れるオン電流より大きくなるように、そのチャネル形成領域 704 のレイアウトを設定する。具体的に例えれば、不純物領域 705 と 706 の間のチャネル形成領域 704 の長さ L_{1-2} を、不純物領域 707 と 708 の間のチャネル形成領域 704 の長さ L_{3-4} よりも短く設定する。

【0134】

活性層 703 を覆うように、ゲート絶縁膜 702 上に、層間絶縁膜 709 が形成されている。そして、層間絶縁膜 709 及びゲート絶縁膜 702 に形成されたコンタクトホールを介して、不純物領域 705 ~ 708 にそれぞれ接続された配線 710 ~ 713 が形成されている。なお、図9ではゲート絶縁膜 702 が不純物領域 705 ~ 708 を覆っているが、本発明はこの構成に限定されない。不純物領域 705 ~ 708 は必ずしもゲート絶縁膜 702 に覆われている必要はなく、露出していても良い。

【0135】

なお、図9に示した構成は Tr 6 の一実施例である。Tr 6 は各不純物領域間に2つ以上のチャネル形成領域が設けられた、所謂マルチゲート構造を有していても良い。

【0136】

(実施例2)

本実施例では、図1(A)に示した回路図に相当するマスク図面について説明する。

【0137】

図10に本実施例の画素の上面図を示す。図1(A)で既に示したものについては同じ符号を付す。なおトランジスタの配置を明確にするため、図10では発光素子の画素電極のみ示しているが、実際には画素電極上に電界発光層と、対向電極とが順に積層されている。また、図10の A - A' における断面図を図11(A)に、B - B' における断面図を図11(B)に、C - C' における断面図を図11(C)に示す。

【0138】

Tr 1 のゲート電極 131 は、第1の走査線 G j の一部である。また Tr 1 のソースとドレインとなる2つの不純物領域 132 は、一方は信号線 S i に、もう一方は配線 133 を介して、Tr 2 の不純物領域 134 及び Tr 6 の第1の不純物領域 (N d 1) に接続されている。

【0139】

Tr 2 のゲート電極 135 は、配線 136 の一部であり、配線 136 は配線 137 を介して第2の走査線 P j に接続されている。Tr 2 のソースとドレインとなる2つの不純物領域のうち、134 に示した一方の不純物領域は上記したように配線 133 に接続されており、もう一方は配線 138 を介して Tr 6 のゲート電極 139 に接続されている。

【0140】

Tr 3 のゲート電極 140 は、第1の走査線 G j の一部である。また、Tr 3 のソースとドレインとなる2つの不純物領域は、一方は電源線 V i に、もう一方は配線 141 を介して Tr 6 の第2の不純物領域 (N d 2) に接続されている。

【0141】

Tr 4 のゲート電極 142 は、配線 143 の一部であり、配線 143 は配線 144 を介して第3の走査線 Q j に接続されている。Tr 4 のソースとドレインとなる2つの不純物領域

10

20

30

40

50

域は、一方は電源線 V_i に、もう一方は配線 145 を介して $T_r 6$ の第3の不純物領域 ($N_d 3$) に接続されている。

【0142】

$T_r 5$ のゲート電極 146 は、第4の走査線 R_j の一部である。また、 $T_r 5$ のソースとドレインとなる2つの不純物領域 147 は、一方は配線 148 を介して $T_r 6$ の第4の不純物領域 ($N_d 4$) に、もう一方は発光素子 101 の画素電極 130 に接続されている。なお、本実施例では陽極を画素電極 130 として用いており、発光素子 101 から発せられる光が矢印に示すとおり基板 150 側に向いている。なお、陰極を画素電極 130 として用いても良い。その場合、発光素子から発せられる光が基板 150 とは逆の方向に向く。

発光素子 101 は、画素電極 130 と対向電極 151 との間に電界発光層 152 を挟んだ構造になっている。

【0143】

また、半導体膜 153 に含まれる不純物領域 154 は、電源線 V_i と接続されている。また容量用の電極 155 は、 $T_r 6$ のゲート電極 139 と電気的に接続されている。そして、容量用の電極 155 と半導体膜 153 は、ゲート絶縁膜 156 を間に挟んで重なり合うことで、保持容量 102 を形成している。

【0144】

なお、本発明の電流入力型発光装置の画素の構成は、図 10 及び図 11 に示したものに限定されない。

【0145】

(実施例 3)

本実施例では、図 5 (A) に示した回路図に相当するマスク図面について説明する。

【0146】

図 12 に本実施例の画素の上面図を示す。図 5 (A) で既に示したものについては同じ符号を付す。なおトランジスタの配置を明確にするため、図 12 では発光素子の画素電極のみ示しているが、実際には画素電極上に電界発光層と、対向電極とが順に積層されている。また、図 12 の A - A' における断面図を図 13 (A) に、B - B' における断面図を図 13 (B) に、C - C' における断面図を図 13 (C) に示す。

【0147】

$T_r 1$ のゲート電極 331 は、第1の走査線 G_j の一部である。また $T_r 1$ のソースとドレインとなる2つの不純物領域は、一方は信号線 S_i に、もう一方は配線 333 を介して、 $T_r 6$ の第1の不純物領域 ($N_d 1$) に接続されている。

【0148】

$T_r 2$ のゲート電極 335 は、配線 336 の一部であり、配線 336 は配線 337 を介して第2の走査線 P_j に接続されている。 $T_r 2$ のソースとドレインとなる2つの不純物領域のうち、334 に示した一方の不純物領域は配線 361 を介して $T_r 6$ の第3の不純物領域 ($N_d 3$) に接続されており、もう一方は電源線 V_i に接続されている。

【0149】

$T_r 3$ のゲート電極 340 は、第3の走査線 Q_j の一部である。また、 $T_r 3$ のソースとドレインとなる2つの不純物領域は、一方は配線 329 を介して $T_r 6$ の第2の不純物領域 $N_d 2$ に、もう一方は配線 341 を介して配線 360 に接続されている。配線 360 には発光素子の対向電極に印加される電圧と同じ高さの電圧が印加されている。

【0150】

$T_r 4$ のゲート電極 342 は、配線 343 の一部であり、配線 343 は配線 344 を介して第4の走査線 R_j に接続されている。 $T_r 4$ のソースとドレインとなる2つの不純物領域 332 は、一方は配線 345 を介して $T_r 6$ の第4の不純物領域 ($N_d 4$) に、もう一方は画素電極 330 に接続されている。

【0151】

$T_r 5$ のゲート電極 346 は、配線 362 の一部であり、配線 362 は配線 363 を間に

10

20

30

40

50

介して第5の走査線Wjに接続されている。また、Tr5のソースとドレインとなる2つの不純物領域は、一方は配線329を介してTr6の第2の不純物領域(Nd2)に、もう一方は配線365に接続されている。配線365はTr6のゲート電極366と電気的に接続されている。

【0152】

なお、本実施例では陽極を画素電極330として用いており、発光素子301から発せられる光が矢印に示すとおり基板350側に向いている。なお、陰極を画素電極330として用いても良い。その場合、発光素子から発せられる光が基板350とは逆の方向に向く。発光素子301は、画素電極330と対向電極351との間に電界発光層352を挟んだ構造になっている。

10

【0153】

また、半導体膜353に含まれる不純物領域354は、電源線Viと接続されている。また容量用の電極355は、Tr6のゲート電極366と電気的に接続されている。そして、容量用の電極355と半導体膜353は、ゲート絶縁膜356を間に挟んで重なり合うことで、保持容量302を形成している。

【0154】

なお、本発明の閾値補正型の電圧入力型発光装置の画素の構成は、図12及び図13に示したものに限定されない。

【0155】

(実施例4)

20

本実施例では、電流入力型発光装置において、信号線へのビデオ信号の供給を制御する信号線駆動回路と、走査線の電圧を制御する走査線駆動回路の構成について説明する。なお本実施例では、アナログのビデオ信号を用いた場合の駆動回路の構成について説明する。

【0156】

図14(A)に、本実施例の信号線駆動回路401のブロック図を示す。402はシフトレジスタ、403はバッファ、404はサンプリング回路、405は電流変換回路を示している。

【0157】

シフトレジスタ402には、クロック信号(CLK)、スタートパルス信号(SP)が入力されている。シフトレジスタ402にクロック信号(CLK)とスタートパルス信号(SP)が入力されると、タイミング信号が生成される。生成されたタイミング信号は、バッファ403において増幅または緩衝増幅されて、サンプリング回路404に入力される。なお、バッファの代わりにレベルシフタを設けて、タイミング信号を増幅しても良い。また、バッファとレベルシフタを両方設けていても良い。

30

【0158】

サンプリング回路404では、ビデオ信号線430から入力されたアナログのビデオ信号を、タイミング信号に同期して後段の電流変換回路405に入力する。電流変換回路405では、入力されたアナログのビデオ信号の電圧に見合った大きさの信号電流I_{data}を生成し、対応する各信号線(S1~Sx)に供給する。

【0159】

図14(B)にサンプリング回路404と、電流変換回路405が有する電流設定回路(C1~Cx)の具体的な構成を示す。なおサンプリング回路404は、端子410においてバッファ403と接続されている。

40

【0160】

サンプリング回路404には、複数のスイッチ411が設けられている。そしてサンプリング回路404には、ビデオ信号線430からアナログのビデオ信号が入力されており、スイッチ411はタイミング信号に同期して、該アナログのビデオ信号をサンプリングし、後段の電流設定回路C1に入力する。なお図14(B)では、電流設定回路C1~Cxのうち、サンプリング回路404が有するスイッチ411の1つに接続されている電流設定回路C1だけを示しているが、各スイッチ411の後段に、図14(B)に示したよう

50

な電流設定回路 C 1 が接続されているものとする。

【 0 1 6 1 】

なお本実施例では、スイッチ 4 1 1 にトランジスタを 1 つだけ用いているが、スイッチ 4 1 1 はタイミング信号に同期してアナログのビデオ信号をサンプリングできるスイッチであれば良く、本実施例の構成に限定されない。

【 0 1 6 2 】

サンプリングされたアナログのビデオ信号は、電流設定回路 C 1 が有する電流出力回路 4 1 2 に入力される。電流出力回路 4 1 2 は、入力されたビデオ信号の電圧に見合った値の電流（信号電流）を出力する。なお図 1 4 (B) ではアンプ及びトランジスタを用いて電流出力回路 4 1 2 を形成しているが、本発明はこの構成に限定されず、電流出力回路は入力された信号の電圧に見合った値の電流を出力することができる回路であれば良い。

10

【 0 1 6 3 】

該信号電流は、同じく電流設定回路 C 1 が有するリセット回路 4 1 7 に入力される。リセット回路 4 1 7 は、2 つのトランスマッショングート 4 1 3 、 4 1 4 と、インバーター 4 1 6 と、を有している。

【 0 1 6 4 】

トランスマッショングート 4 1 4 にはリセット信号 (R e s) が入力されており、トランスマッショングート 4 1 3 には、インバーター 4 1 6 によって反転されたリセット信号 (R e s) が入力されている。そしてトランスマッショングート 4 1 3 とトランスマッショングート 4 1 4 は、反転したリセット信号とリセット信号にそれぞれ同期して動作しており、一方がオンのとき片一方がオフになっている。

20

【 0 1 6 5 】

そして、トランスマッショングート 4 1 3 がオンのときに信号電流は対応する信号線に入力される。逆に、トランスマッショングート 4 1 4 がオンのときに電源 4 1 5 の電圧が対応する信号線に与えられる。なお信号線は、帰線期間中にリセットするのが望ましい。しかし、画像を表示している期間以外であるならば、必要に応じて帰線期間以外の期間にリセットすることも可能である。

【 0 1 6 6 】

次に、走査線駆動回路の構成について説明する。

【 0 1 6 7 】

30

図 1 5 は走査線駆動回路 6 4 1 の構成を示すブロック図である。走査線駆動回路 6 4 1 は、それぞれシフトレジスタ 6 4 2 、 バッファ 6 4 3 を有している。また場合によってはレベルシフタを有していても良い。

【 0 1 6 8 】

走査線駆動回路 6 4 1 において、シフトレジスタ 6 4 2 にクロック C L K 及びスタートパルス信号 S P が入力されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファ 6 4 3 において緩衝増幅され、対応する走査線に供給される。

【 0 1 6 9 】

走査線には、1 ライン分の画素のトランジスタのゲートが接続されている。そして、1 ライン分の画素のトランジスタを一斉にオンにしなくてはならないので、バッファ 6 4 3 は大きな電流を流すことが可能なものが用いられる。

40

【 0 1 7 0 】

なお、本発明の発光装置が有する信号線駆動回路と走査線駆動回路は、図 1 4 、 図 1 5 に示した構成に限定されない。

【 0 1 7 1 】

なお、シフトレジスタの代わりに、例えばデコーダ回路のような信号線の選択ができる別の回路を用いても良い。

【 0 1 7 2 】

本実施例の構成は、実施例 1 ~ 3 と自由に組み合わせて実施することが可能である。

【 0 1 7 3 】

50

(実施例 5)

本実施例では、閾値補正型の電圧入力型発光装置において、信号線へのビデオ信号の供給を制御する信号線駆動回路の構成について説明する。なお本実施例では、アナログのビデオ信号を用いた場合の駆動回路の構成について説明する。

【 0 1 7 4 】

図 1 6 に本実施例の信号線駆動回路 6 1 1 の回路図を示す。6 1 2 はシフトレジスタ、6 1 3 はレベルシフタ、6 1 4 はサンプリング回路を示している。

【 0 1 7 5 】

クロック信号 (C L K) 、スタートパルス信号 (S P) が、シフトレジスタ 6 1 2 に入力される。画像情報を有するアナログの信号 (アナログのビデオ信号) はサンプリング回路 6 1 4 に入力される。 10

【 0 1 7 6 】

シフトレジスタ 6 1 2 にクロック信号 (C L K) とスタートパルス信号 (S P) が入力されると、タイミング信号が生成されてレベルシフタ 6 1 3 に入力される。レベルシフタ 6 1 3 に入力されたタイミング信号は、その振幅が増幅されて、サンプリング回路 6 1 4 に入力される。

【 0 1 7 7 】

サンプリング回路 6 1 4 に入力されたタイミング信号によって、同じくサンプリング回路 6 1 4 に入力されたアナログのビデオ信号がサンプリングされ、対応する信号線に入力される。 20

【 0 1 7 8 】

なお、走査線駆動回路の構成は、電流入力型発光装置の走査線駆動回路と同じ構成を用いることができる、ここでは説明を省略する。

【 0 1 7 9 】

本実施例の構成は、実施例 1 ~ 4 と自由に組み合わせて実施することが可能である。

【 0 1 8 0 】

(実施例 6)

本実施例では、本発明の発光装置の外観について、図 1 7 を用いて説明する。

【 0 1 8 1 】

図 1 7 は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図 1 7 (B) は、図 1 7 (A) の A - A ' における断面図、図 1 7 (C) は図 1 7 (A) の B - B ' における断面図である。 30

【 0 1 8 2 】

基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 a 、 b とを囲むようにして、シール材 4 0 0 9 が設けられている。また画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 a 、 b との上にシーリング材 4 0 0 8 が設けられている。よって画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 a 、 b とは、基板 4 0 0 1 とシール材 4 0 0 9 とシーリング材 4 0 0 8 とによって、充填材 4 2 1 0 で密封されている。

【 0 1 8 3 】

なお本実施例では、2 つの走査線駆動回路で各走査線の電圧を制御しているが、走査線駆動回路の数はこれに限定されない。例えば図 1 (A) に示した画素を有する発光装置において、第 1 ~ 第 4 の各走査線に対応する走査線駆動回路をそれぞれ設けるようにしても良い。

【 0 1 8 4 】

また基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 a 、 b とは、複数の TFT を有している。図 1 7 (B) では代表的に、下地膜 4 0 1 0 上に形成された、信号線駆動回路 4 0 0 3 に含まれる駆動 TFT (但し、ここでは n チャネル型 TFT と p チャネル型 TFT を図示する) 4 2 0 1 及び画素部 4 0 0 2 に含まれるトランジスタ 4 2 0 2 を図示した。 50

【0185】

本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、トランジスタ4202には公知の方法で作製されたnチャネル型TFTが用いられる。

【0186】

駆動TFT4201及びトランジスタ4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にトランジスタ4202のドレインと電気的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

10

【0187】

そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には電界発光層4204が形成される。電界発光層4204は公知の有機の電界発光材料または無機の電界発光材料を用いることができる。また、有機の電界発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0188】

電界発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、電界発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

20

【0189】

電界発光層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と電界発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、電界発光層4204を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

30

【0190】

以上のようにして、画素電極(陽極)4203、電界発光層4204及び陰極4205からなる発光素子4303が形成される。そして発光素子4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、発光素子4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0191】

4005aは電源線に接続された引き回し配線であり、トランジスタ4202のソースに電気的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4301に電気的に接続される。

40

【0192】

シーリング材4008としては、ガラス材、金属材(代表的にはステンレス材)、セラミック材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP(Fiberglass-Reinforced Plastic)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエスチルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0193】

但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなけ

50

ればならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0194】

また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0195】

また充填材4210を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によつて吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、発光素子4303の劣化を抑制できる。

【0196】

図17（C）に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0197】

また、異方導電性フィルム4300は導電性フィラーラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4301とが、導電性フィラーラー4300aによって電気的に接続される。

【0198】

本実施例の構成は、実施例1～実施例5に示した構成と自由に組み合わせて実施することが可能である。

【0199】

（実施例7）

発光素子を用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従つて、様々な電子機器の表示部に用いることができる。

【0200】

本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDVD：Digital Versatile Disc）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図18に示す。

【0201】

図18（A）は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置を表示部2003に用いることで、本発明の表示装置が完成する。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができます。なお、発光素子表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

10

20

30

40

50

【0202】

図18(B)はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置を表示部2102に用いることで、本発明のデジタルスチルカメラが完成する。

【0203】

図18(C)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置を表示部2203に用いることで、本発明のノート型パーソナルコンピュータが完成する。

10

【0204】

図18(D)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置を表示部2302に用いることで、本発明のモバイルコンピュータが完成する。

20

【0205】

図18(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体(DVD等)読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明の発光装置を表示部A2403、B2404に用いることで、本発明の画像再生装置が完成する。

20

【0206】

図18(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置を表示部2502に用いることで、本発明のゴーグル型ディスプレイが完成する。

【0207】

図18(G)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置を表示部2602に用いることで、本発明のビデオカメラが完成する。

30

【0208】

ここで図18(H)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。本発明の発光装置を表示部2703に用いることで、本発明の携帯電話が完成する。

【0209】

なお、将来的に有機の電界発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

40

【0210】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示するが多くなり、特に動画情報を表示する機会が増してきている。有機の電界発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0211】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景と

50

して文字情報を発光部分で形成するように駆動することが望ましい。

【0212】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～6に示したいずれの構成の発光装置を用いても良い。

【0213】

【発明の効果】

本発明の電流入力型発光装置は、発光素子に電流を流さずに、電流を電圧に変換することができる、図20(B)に示した画素よりも書き込み時間を抑えることができる。また、1つのマルチ端子トランジスタで、画素に供給された電流を電圧に変換して保持し、かつ該保持された電圧に応じた大きさの電流を発光素子に流すことができるので、図20(A)に示した画素のように、画素間において発光素子の輝度のばらつきが生じてしまうのを防ぐことができる。

【0214】

また、ビデオ信号に相当する電流を電圧に変換するときの2つのノード間のチャネル長とチャネル幅の比(L/W)を、該電圧を再び電流に変換して発光素子に供給する時における2つのノード間のL/Wよりも、小さくする。言い換えると、ビデオ信号に相当する電流を電圧に変換するときの2つのノード間のチャネル長を、該電圧を再び電流に変換して発光素子に供給する時における2つのノード間のチャネル長よりも、短くする。

【0215】

チャネル幅が長くなるとオン電流を大きくすることができ、チャネル長を長くすると、飽和領域の線形性を高めることができる。

【0216】

よって、上記構成により、書き込み時間を抑えつつ、所望の大きさの電流を発光素子に供給することができ、また発光素子を発光させるときの飽和領域の線形性を高め、画素間の輝度のばらつきをより抑えることができる。

【0217】

また本発明の閾値補正型の電圧入力型発光装置は、電荷を保持容量に貯め、保持容量に保持される電圧が閾値分の電圧 V_{TH} となるまで電荷を放電し、ビデオ信号に相当する電圧を保持容量へ書き込むという、一連の動作の速度を向上させつつ、所望の大きさの電流を発光素子に供給することができる。また、発光素子を発光させるときに飽和領域の線形性を高め、画素間の輝度のばらつきをより抑えることができる。

【図面の簡単な説明】

【図1】 本発明の発光装置の画素の回路図。

【図2】 マルチ端子トランジスタの構成を示す図。

【図3】 各トランジスタの動作及び各走査線のタイミングチャート。

【図4】 駆動における画素の概略図。

【図5】 本発明の発光装置の画素の回路図。

【図6】 本発明の発光装置の画素の回路図。

【図7】 各トランジスタの動作及び各走査線のタイミングチャート。

【図8】 駆動における画素の概略図。

【図9】 マルチ端子トランジスタの構成を示す図。

【図10】 本発明の発光装置の画素の上面図。

【図11】 本発明の発光装置の画素の断面図。

【図12】 本発明の発光装置の画素の上面図。

【図13】 本発明の発光装置の画素の断面図。

【図14】 アナログ駆動法における信号線駆動回路の詳細図。

【図15】 走査線駆動回路のブロック図。

【図16】 アナログ駆動法における信号線駆動回路の詳細図。

【図17】 本発明の発光装置の外観図及び断面図。

10

20

30

40

50

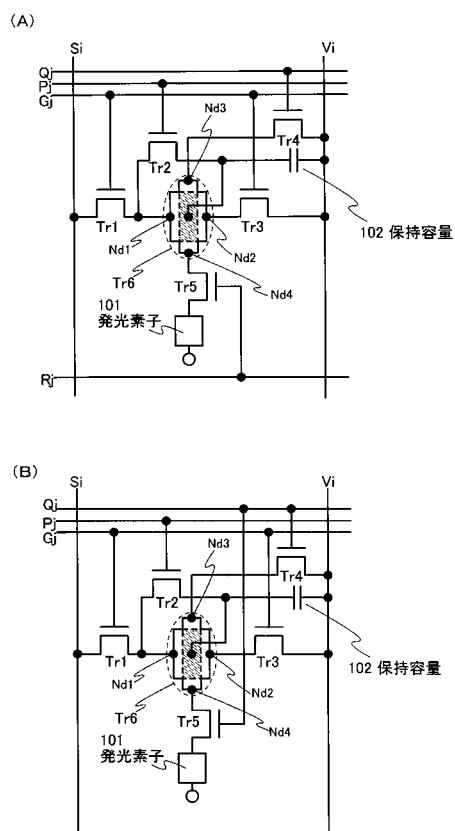
【図18】 本発明の発光装置を用いた電子機器の図。

【図19】 従来の発光装置の画素の回路図。

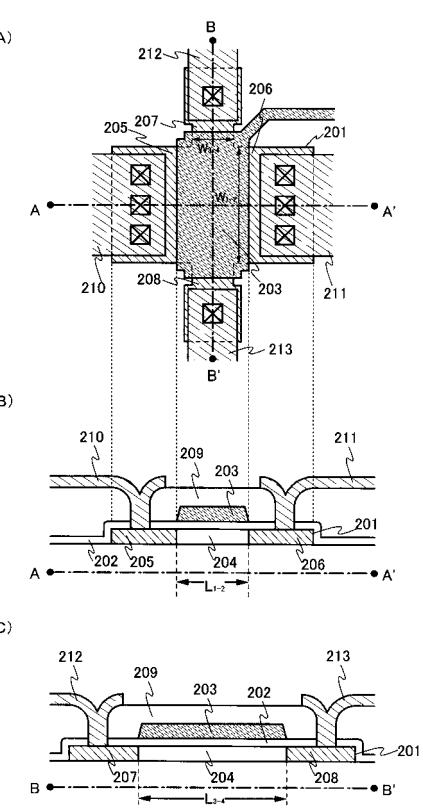
【図20】 従来の発光装置の画素の回路図。

【図21】 従来の発光装置の画素の回路図。

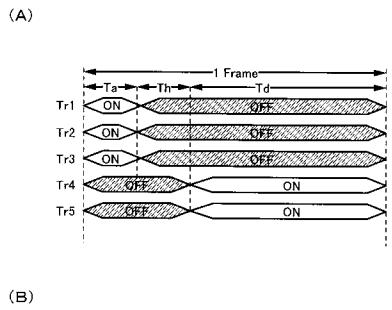
【図1】



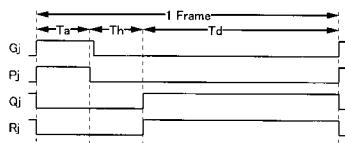
【図2】



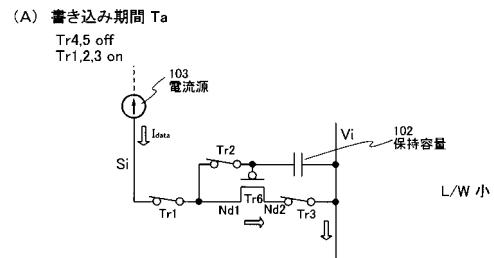
【 図 3 】



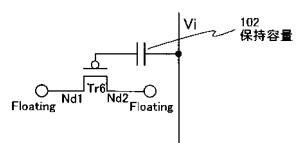
(B)



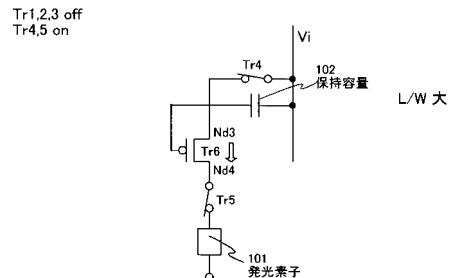
【 図 4 】



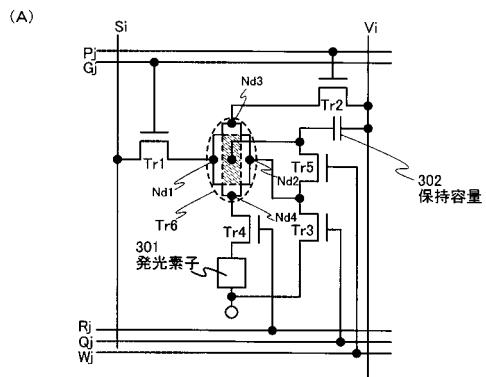
(B) 保持期間 Th
Tr1,2,3,4,5 off



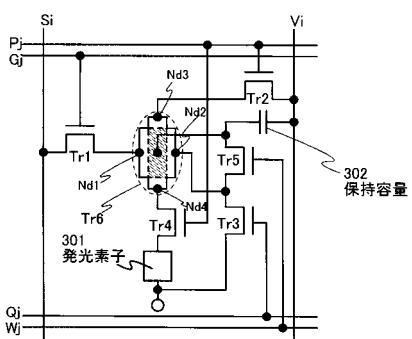
(C) 表示期間 T_d



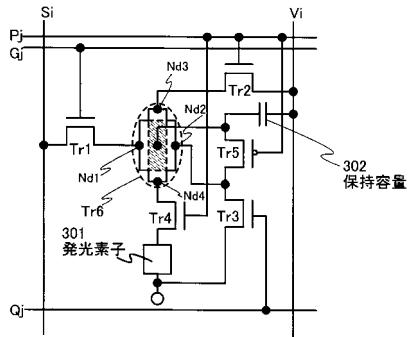
【図5】



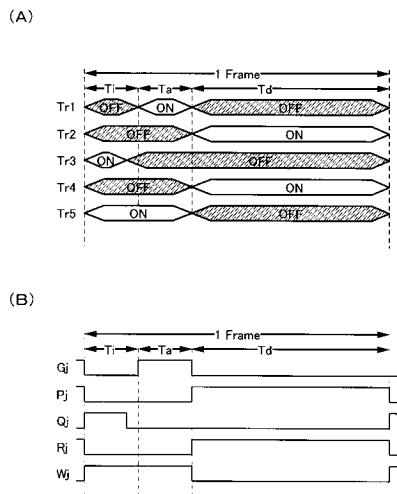
(B)



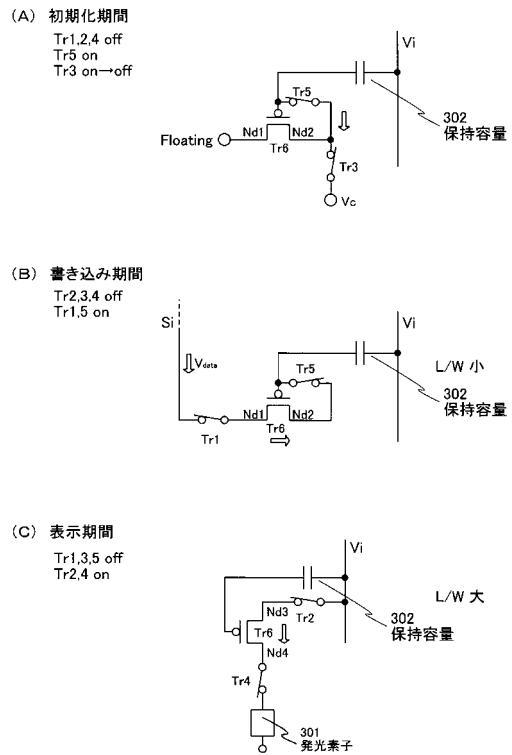
【 四 6 】



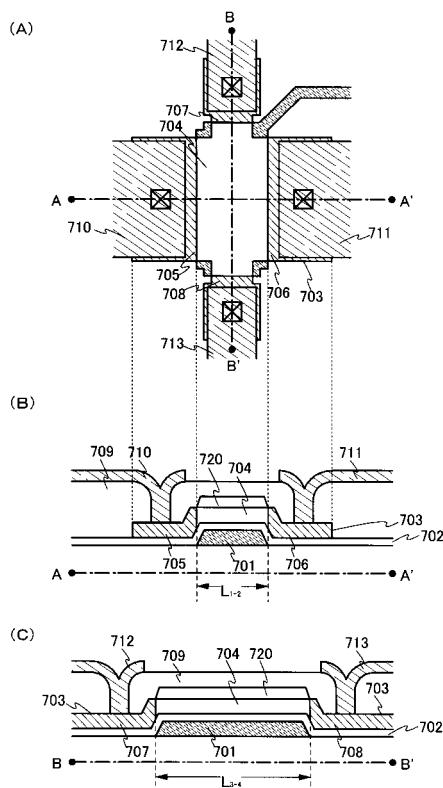
【図7】



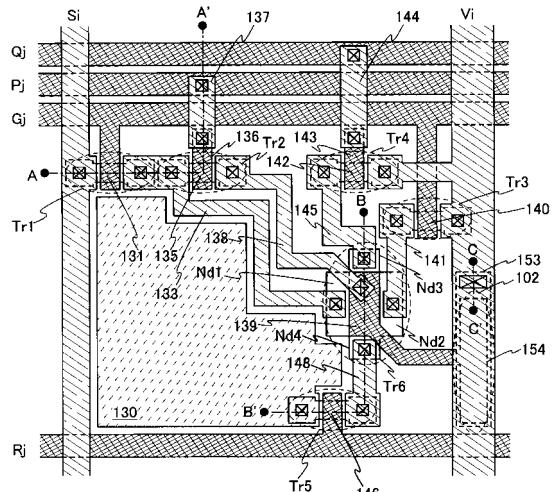
【図8】



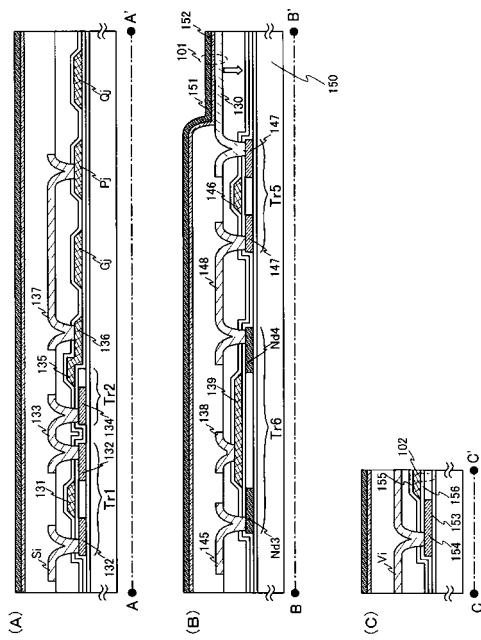
【図9】



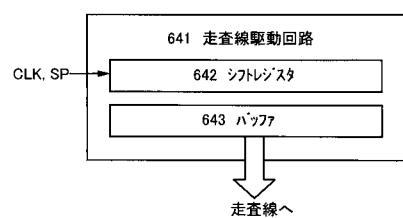
【図10】



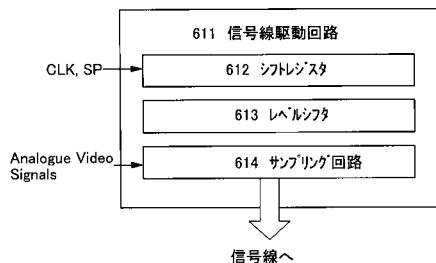
【図11】



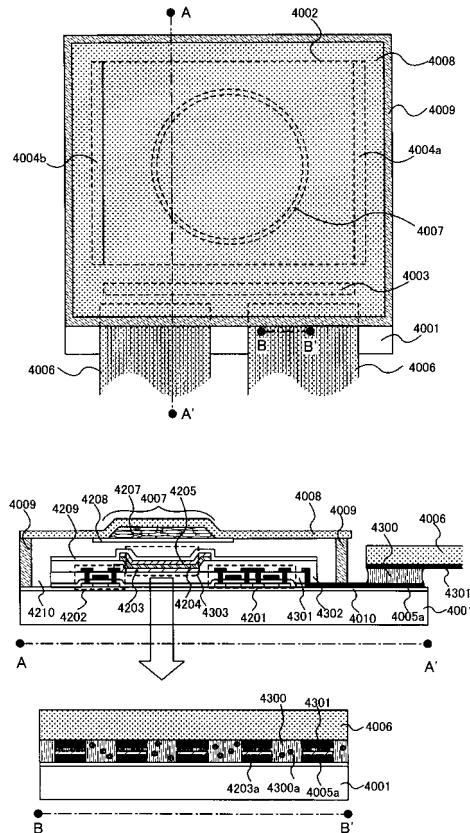
【図15】



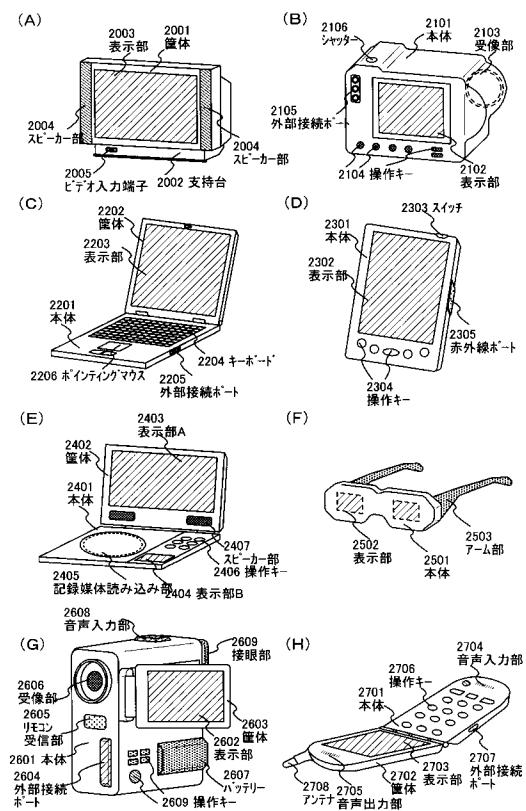
【図16】



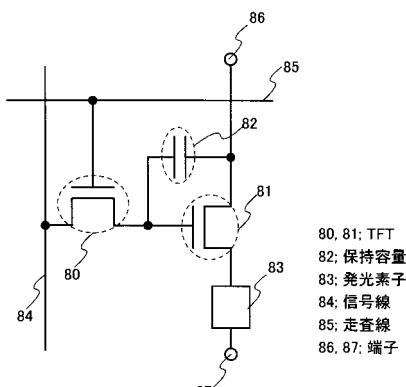
【図17】



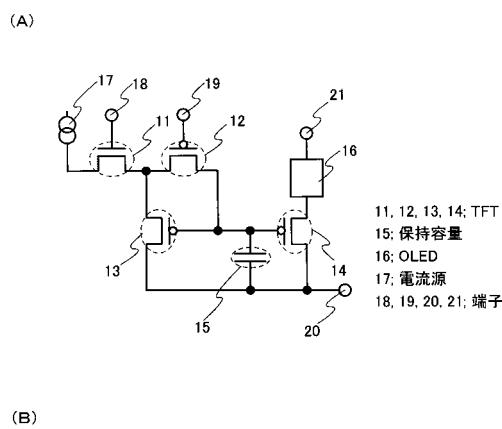
【図18】



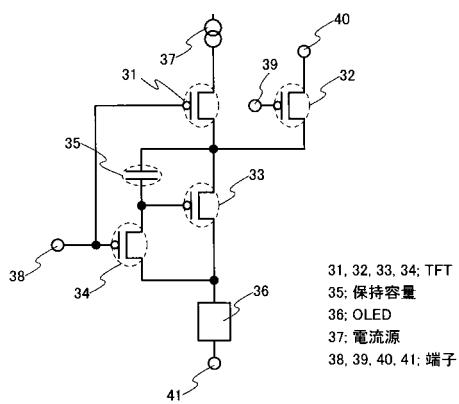
【図19】



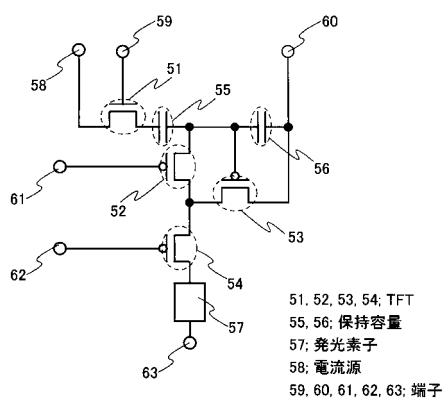
【図20】



(B)



【図21】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 4 2 A
H 0 1 L	29/78	6 1 4
H 0 1 L	29/78	6 1 8 C
H 0 1 L	29/78	6 1 6 T
H 0 5 B	33/14	A

(58)調査した分野(Int.Cl., DB名)

G09G 3/00- 3/38
H01L 51/50