

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】令和 4 年 7 月 13 日(2022.7.13)

【公開番号】特開 2021-101456(P2021-101456A)
【公開日】令和 3 年 7 月 8 日(2021.7.8)
【年通号数】公開・登録公報 2021-030
【出願番号】特願 2019-233133(P2019-233133)
【国際特許分類】

H 0 1 L 21/822(2006.01)

10

【F I】

H 0 1 L 27/04 H

【手続補正書】

【提出日】令和 4 年 7 月 5 日(2022.7.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

20

【特許請求の範囲】

【請求項 1】

半導体装置の信号端子の静電保護回路であって、
アノードが前記信号端子に接続された第一ダイオードと、
カソードが前記第一ダイオードのカソードに接続され、アノードが GND 端子に接続された第二ダイオードと、
前記第一ダイオードと並列に接続されたディブリーション型の MOS トランジスタと、
を備えたことを特徴とする静電保護回路。

【請求項 2】

前記ディブリーション型の MOS トランジスタは、
ドレインが内部回路に接続され、ゲートとソースとバルクが前記第一ダイオードのカソードに接続された p MOS トランジスタである、
ことを特徴とする請求項 1 に記載の静電保護回路。

30

【請求項 3】

前記 p MOS トランジスタのソースと前記第一ダイオードのカソードの間に抵抗が接続された
ことを特徴とする請求項 2 に記載の静電保護回路。

【請求項 4】

前記ディブリーション型の MOS トランジスタは、
ゲートとソースとバルクが内部回路に接続され、ドレインが前記第一ダイオードのカソードに接続された n MOS トランジスタである、
ことを特徴とする請求項 1 に記載の静電保護回路。

40

【請求項 5】

前記 n MOS トランジスタのソースと前記内部回路の間に抵抗が接続された
ことを特徴とする請求項 4 に記載の静電保護回路。

【請求項 6】

前記信号端子と前記内部回路の間に請求項 2 から 5 のいずれかに記載の静電保護回路を備えた
ことを特徴とする半導体装置。

【手続補正 2】

50

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

例えば、ダイオード11とダイオード12は、MOSトランジスタの静電保護素子に置き換えても良い。一例として、図5に図1の静電保護回路10のダイオードをエンハンスメント型のnチャネル型MOSトランジスタ31、32に置き換えた静電保護回路30を示す。

10

20

30

40

50