(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 29/78

(45) 공고일자 2000년08월16일
(11) 등록번호 10-0263790
(24) 등록일자 2000년05월22일

(21) 출원번호 10-1992-0022398
(22) 출원일자 1992년11월26일
(65) 공개번호 특1994-0008130
(43) 공개일자 1994년04월28일

(30) 우선권주장 939,342 1992년09월02일 미국(US)
(73) 특허권자 모토로라 인코포레이티드 비센트 비. 인그라시아
미합중국 일리노이 60196 샤움버그 이스트 앨공퀸 로드 1303
(72) 발명자 로버트 씨. 태프트
미합중국 텍사스 78731 오스틴 펀 할로우 4802
제임스 디. 헤이든
미합중국 텍사스 78737 오스틴 리오 브라보 레인 6802
(74) 대리인 이병호

*심사관 : 임동우*

# (54) 반도체 장치 및 그 제조방법

*요약*

n형 및 p형 전도성의 수직 적층된 영역(50 또는 74)이 반도체 장치 및 주변 웰 영역 사이의 기생 커패시턴스를 감소하기 위하여 바이폴라(48) 및 전계효과(72) 트랜지스터 주위에 형성된다. 역 바이어스하에서는 수직 적층된 영역(50 또는 74)의 일부가 완전히 공핍되어 반도체 장치 및 웰 영역 사이의 기생 커패시턴스가 감소하게 된다.

*대표도*

*도1*

*명세서*

[발명의 명칭]

반도체 장치 및 그 제조방법

[도면의 간단한 설명]

제1도 내지 제7도는 본 발명의 일실시예에 따른 과정 단계의 단면도.

제8도는 본 발명의 제2실시예의 단면도.

* 도면의 주요부분에 대한 부호의 설명

12 : 실리콘 기판 14 : 제1매몰층
16 : 제2매몰층 18,20 : 도핑된 영역
22 : 웰 영역 26 : 컬렉터 접촉 영역
28 : 외인성 베이스 영역 30 : 유전체 측벽 스페이서
32 : 진성 베이스 영역 48 : 바이폴라 트랜지스터
50 : 수직 적층된 영역 64 : 제1웰 영역
66 : 제2웰 영역 70 : 전계 절연
72 : 전계효과 트랜지스터

[발명의 상세한 설명]

본 발명은 일반적으로 반도체 장치에 관하며 특히 감소된 커패시턴스를 가지는 반도체 장치 및 그 제조과정에 관한 것이다.

반도체 산업은 더 증가된 성능 및 더 높은 패킹 밀도를 갖는 집적 회로를 제조하기 위하여 계속 노력하

고 있다. 전례적으로, 반도체 산업은 반도체 장치의 특징 크기를 감소시킴으로써 성능 및 패킹 밀도 요구 조건을 동시에 만족시켜 왔다. 그러나 반도체 장치의 특징 크기가 계속 감소됨에 따라, 장치 특성 크기의 감소에 보통 관련되어 있는 직접 회로 성능에서는 기대한 만큼이 못된다. 이와같은 것은 장치 크기가 감소됨에 따라 기생 커패시턴스와 같은 다른 효과가 더 이상 무시할 수 없게 되고 장치 특징 크기의 감소로부터 생기는 집적 회로 성능의 증가는 기생 커패시턴스에 의해 제한되기 때문에 발생하게 된다. 그러므로, 반도체 장치와 관련된 기생 커패시턴스는 개선된 성능을 갖는 집적 회로를 실현하기 위해 최소화되어야만 한다. 따라서, 감소된 기생 커패시턴스를 가지는 반도체 장치에 대한 필요성이 있다.

기존의 반도체 장치가 갖는 상기 언급된 문제점은 본 발명으로 극복될 수 있다. 본 발명의 일 실시예에서, 집적 회로가 형성된다. 집적 회로는 기판을 가지며 기판에는 반도체 장치가 형성되어 있다. 집적 회로는 반도체 장치로부터 측면으로 옵셋(offset)된 기판에 형성된 도핑된 영역을 갖는다. 집적 회로는 반도체 장치와 도핑된 영역사이에 있는 기판에 형성된 교호 전도성(alternating conductivity) 형태의 적어도 3개의 수직으로 적층된 영역을 갖는다.

이것 및 다른 특징 및 잇점은 첨부된 도면과 관련한 상세한 설명으로부터 분명히 이해될 것이다. 도해는 반드시 축척하여 그리지 않았고 여기 언급하지 않은 본 발명의 다른 실시예도 있을 수 있음을 지적하고자 한다.

제1도 내지 제7도는 본 발명의 일실시예에 따라 반도체 장치가 형성되는 과정 단계의 단면도를 도시한다. 제1도는 실리콘 기판(12), 제1매몰층(14) 및 제2매몰층(16)으로 구성된 집적 회로 구조의 일부(10)를 나타낸다. 실리콘 기판(12)은 p형 전도성을 가지며 붕소로 엷게 도핑되어 있다(lightly doped). 제1매몰층(14) 및 제2매몰층(16)은 이온 주입 또는 확산등의 종래의 도핑 기술을 사용하여 형성된다. 양호한 실시예에서는 제1매몰층(14)은 n형 전도성을 가지며 비소(arsenic)로 도핑되고 제1매몰층(14)으로부터 측면으로 옵셋되어 있는 제2매몰층은 p형 전도성을 가지며 붕소(boron)로 도핑되어 있다.

종래의 처리 기술을 사용하여 실리콘의 에피택셜(epitaxial)층이 실리콘 기판(12)위에 증착된다. 에피택셜 증착 과정동안 n형 전도성을 갖는 도핑된 영역(20)은 제2도에 도시한 바와같이 제1매몰층(14)과 제2매몰층(16)사이에 형성되어 있다. 이와같은 현상은 제1매몰층(14)내에 있는 몇몇 도펀트(dopant)가 에피택셜 실리콘 증착 과정동안 소멸되고 제1매몰층(14)을 둘러싸는 영역을 도핑시키기 때문에 일어난다. 이와같은 메카니즘은 오토 도핑(auto-doping)으로 공지되어 있다. 도핑된 영역(20)은 엷게 도핑되며 제1매몰층(14)보다 더 낮은 도핑 농도를 갖는다. 대신에, 도핑된 영역(20)은 또한 실리콘의 에피택셜층의 증착 이전에 종래의 이온 주입 기술을 사용하여 형성될 수 있다. 증착후에, 실리콘의 에피택셜층은 종래의 도핑 기술을 사용하여 도핑된다. 이것이 실리콘 기판(12)을 뒤덮는 도핑된 영역(18)을 형성한다. 도핑된 영역(18)은 p형 전도성을 가지며 붕소로 엷게 도핑되어 있다. 대신에, 도핑된 영역(18)은 원래의 위치에 도핑된 에피택셜 실리콘 증착 과정을 사용하여 형성될 수 있다. 제2도에 도시되어 있지는 않지만, 제1매몰층(14) 및 제2매몰층(16)은 또한 도펀트 확산에 기인하여 증착된 에피택셜층으로 확장될 수 있다.

종래의 도핑 기술을 사용하여 웰 영역(well region)(22)은 그후에 도핑된 영역(18)의 일부내에 형성된다. 웰 영역(22)은 제3도에 도시된 바와같이 제1매몰층(14)으로부터 측면으로 옵셋되어 있다. 웰 영역(22)은 p형 전도성을 가지며 붕소로 양호하게 도핑되어 있다. 그후에 LOCOS와 같은 종래의 절연 과정은 전계 절연(field isolation)(24)을 형성하기 위해 사용된다.

전계 절연(24)을 형성한 후에 과정은 계속되어 n형 전도성 컬렉터 접촉 영역(26)을 형성한다. 컬렉터 접촉 영역(26)은 도핑된 영역(18)을 통하여 확장되고 제4도에 도시한 바와같이 제1매몰층(14)에 전기적으로 결합되어 있다. 양호한 실시예에서는 컬렉터 접촉 영역(26)은 제1매몰층(14)의 전체 주변(entire perimeter)을 덮고 있다. 컬렉터 접촉 영역(26)은 종래의 도핑 기술을 사용하여 형성되며 인(phospherous)으로 양호하게 도핑된다.

외인성(extrinsic) 베이스 영역(28)은 그 후에 형성되어 제5도에 도시한 바와같이 실리콘 기판(12)의 일부를 뒤덮고 있다. 외인성 베이스 영역(28)은 종래의 바이폴라 처리 기술을 사용하여 형성되고 p형 폴리실리콘 및 실리콘 이산화물의 라미네이트(laminate)이다. 양호한 실시예에서, p형 폴리실리콘으로부터 도펀트가 하부의 도핑된 영역(18)의 일부로 확산되어 외인성 베이스 링크(extrinsic base link)(29)를 형성한다.

상기 과정은 계속하여 외인성 베이스 영역(28)의 측벽(sidewall)에 인접한 유전체 측벽 스페이서(dielectric sidewall spacer)(30)를 형성하게 된다. 유전체 측벽 스페이서(30)는 종래의 측벽 스페이서 형성 기술을 사용하여 형성된다. 그 다음에 종래의 도핑 기술을 사용하여 진성 베이스 영역(32) 및 컬렉터 영역(34)이 도핑된 영역(18)의 일부내에 형성된다. 대신에, 진성 베이스 영역(32) 및 컬렉터 영역(34)은 또한 측벽 스페이서(30)를 형성하기 이전에 형성될 수도 있다. 진성 베이스 영역(32)은 p형 전도성을 가지며 양호하게 붕소로 도핑되어 있다. 컬렉터 영역(34)은 n형 전도성을 가지며 양호하게 안으로 도핑된다. 컬렉터 영역(34)의 상부 표면(36)은 베이스 영역(32)와 인접하여 컬렉터 영역(34)의 하부 표면(38)은 제6도에 도시한 바와같이 제1매몰층(14)에 인접하고 있다.

종래의 도핑 기술을 사용하여 그 다음에 선택적 저항(optional resistor)(40)이 도핑된 영역(18)의 일부내에 형성된다. 저항(40)은 도핑된 영역(20)의 일부를 뒤덮고 있으며 제1단자(42) 및 제2단자(44)를 가지고 있다. 제2단자(44)는 제7도에 도시한 바와같이 컬렉터 접촉 영역(26)의 상부(top portion)(45)와 밀접한 관계가 있다. 상부(45)의 도핑 농도는 제2단자(44)가 컬렉터 접촉 영역(26)의 상부(45)와 밀접한 관계에 있도록 하기 위해 종래의 이온 주입 기술을 사용하여 증가된다. 상부(45)는 저항(40)을 형성하기 이전에 양호하게 주입되며 컬렉터 접촉 영역(26)위로 확장될 수 있다. 저항(40)은 n형 전도성을 가지며 비소로 양호하게 도핑되어 있다. 대신에, 저항(40)은 도핑된 영역(18)의 일부를 뒤덮고 있는 n형 폴리실리콘층에 형성될 수도 있다. 따라서 pnp 바이폴라 트랜지스터의 경우, 저항은 p형 전도성을 갖는다. 에미터 영역(46)은 그 다음에 종래의 바이폴라 처리 기술을 사용하여 형성된다. 에미터 영역(46)은 n형 전도성을 가지며 양호하게 폴리실리콘이다. 제7도에 도시한 바와같이, npn 바이폴라 트랜지스터(48)는 웰 영역(22) 및 제2매몰층(16)으로부터 측면으로 옵셋되어 있다. 게다가, 교호 전도성 형태(alternating

conducticity type)의 세개의 수직으로 적층된 영역(50)이 바이폴라 트랜지스터(48)와 웰 영역(22)과 제2매몰층(16) 사이에 있다. 수직으로 적층된 영역(50)은 바이폴라 트랜지스터(48)의 기생 커패시턴스를 감소시키기 위해 사용된다. 양호한 실시예에서는 수직으로 적층된 영역(50)은 바이폴라 트랜지스터(48)를 둘러싸고 있다.

유사하게, 교호 전도성 형태의 수직으로 적층된 영역은 또한 다른 반도체 디바이스의 기생 커패시턴스를 감소시키기 위하여 사용될 수도 있다. 제8도에는 제7도의 실리콘 기판(12)에 유사한 실리콘 기판(62), 제7도의 제1매몰층(14)에 유사한 제1웰 영역(64), 제7도의 제2매몰층(16)에 유사한 제2웰 영역(66), 제7도의 도핑된 영역(20)에 유사한 도핑된 영역(68), 제7도의 전계 절연(24)에 유사한 전계 절연(70), 제7도의 바이폴라 트랜지스터(48)에 유사한 전계효과 트랜지스터(72) 및 제7도의 수직으로 적층된 영역(50)에 유사한 수직으로 적층된 영역(74)을 구비한 집적 회로 구조의 일부(60)가 도시되어 있다. 제1웰 영역(64) 및 제2웰 영역(66)은 제7도의 제1매몰층(14) 및 제2매몰층(16)을 형성하기 위해 사용된 것과 유사한 종래의 도핑 기술을 사용하여 형성된다. 그러나 도핑된 영역(68)은 양호하게 종래의 이온 주입에 의해 형성되는 반면, 도핑된 영역(20)은 이미 논의한 바 있는 오토 도핑 메카니즘에 의해 양호하게 형성된다. 이온 주입 에너지는 도핑된 영역(68)이 기판(62)의 표면 아래 적당한 깊이에 위치하여 교호 전도성 형태의 세개의 수직으로 적층된 영역(74)을 형성하도록 선택된다. 제7도의 수직 적층된 영역(50)과는 대조적으로, 도핑된 영역(68)을 뒤덮고 있는 전도성 영역은 에피택셜층의 일부가 아니라 기판(62)의 일부이며 이와같이 기판(62)과 동일한 전도성을 갖는다. 게다가 주입 도스(implantation dose)는 도핑된 영역(68)의 도핑 농도가 제1웰 영역(64) 또는 제2웰 영역(68)의 도핑 농도보다 더 낮도록 선택된다.

그러므로, 도핑된 영역(69)은 도핑된 영역(68)의 도핑 농도가 웰 영역의 어느 하나의 도핑 프로필(doping profile)에 해로운 영향을 미치지 않기 때문에 추가의 마스킹 단계(masking step)를 사용하지 않고 웰 영역의 형성 이전 또는 이후에 형성될 수 있다. 게다가, 주입 과정이 웰 영역의 모두에 대해 자체 정렬된(self-aligned) 도핑된 영역(68)을 만들어낸다. 제1웰 영역(64), 제2웰 영역(66) 및 도핑된 영역(68)이 형성된 이후에, LOCOS와 같은 종래의 절연 과정이 전계 절연(70)을 형성하기 위해 사용되어진다. 종래의 처리 기술은 그 다음에 전계효과 트랜지스터(72)를 형성하기 위해 사용된다.

여기에 포함된 상기 서술 및 도해는 본 발명과 관련된 많은 잇점을 설명해주고 있다. p웰에 바이폴라 디바이스를 형성하므로써 n형 저항의 한쪽 끝이 컬렉터 접촉에 직접 머지(mergy)되거나 또는 접촉될 수 있도록 한다. 그러므로, 저항 및 바이폴라 트랜지스터가 차지하는 면적은 최소화된다. 게다가 저항이 직접 컬렉터 접촉부와 접촉하고 있어서 추가의 금속층이 저항을 바이폴라 트랜지스터에 연결시키려고 필요하지 않기 때문에 이 노드와 관련된 기생 커패시턴스가 감소한다. 게다가, 바이폴라 디바이스의 기생 커패시턴스는 교호 전도성 형태의 수직 적층된 영역을 바이폴라 트랜지스터와 이 바이폴라 트랜지스터에 접한 옵셋 p형 전도성 영역 사이에 위치시킴으로써 최소화된다. 제7도에 도시하는 바와같이, 도핑된 영역(20)은 바이폴라 트랜지스터(48)의 제1매몰층(14), 제2매몰층(16) 및 웰 영역(22)에 접촉한다. 역바이어스 하에서는, 도핑된 영역(20)은 낮은 도핑 농도와 바이폴라 트랜지스터(48) 및 웰 영역(22)사이의 기생 커패시턴스 때문에 완전히 공핍되며, 제2매몰층(16)이 최소화된다. 따라서, 기생 커패시턴스의 감소는 적층된 영역의 도펀트 농도가 의도된 동작 바이어스에 대해서 최적화될 때 가장 크다. 또, 이들 잇점은 제조 과정에 추가의 마스킹 단계를 부가하지 않고 얻어진다. 게다가, 컬렉터 영역(34)이 제1매몰층(14) 및 진성 베이스 영역(32)과 인접해 있기 때문에, 바이폴라 트랜지스터의 컬렉터 저항은 최소화되며 따라서 바이폴라 트랜지스터의 성능은 향상된다. 또 기생 커패시턴스를 줄이기 위해 교호 전도성 형태의 수직 적층된 영역을 사용하는 기술은 전계효과 트랜지스터같은 다른 반도체 장치에 적용할 수 있다.

이와같이 본 발명에 따라 상기한 필요성 및 잇점을 충분히 만족하는 반도체 장치가 제공되는 것은 분명하다. 비록 본 발명이 특정 실시예에 대해서 서술되고 도해되어 있지만, 본 발명이 이들 실시예에 한정되는 것은 아니다. 기술의 숙련자는 본 발명의 정신을 벗어나지 않고 수정 및 변경이 가능함을 안다. 예를들면, 교호 전도성 형태의 세개의 수직 적층된 영역이 반도체 장치의 기생 커패시턴스를 감소하기 위해 사용되었지만 세개 이상의 교호 전도성 형태의 수직 적층된 영역이 반도체 장치의 기생 커패시턴스를 줄이기 위해 사용될 수 있다. 게다가, npn 바이폴라 트랜지스터가 제1-7도에서 설명되었지만 pnp 바이폴라 트랜지스터도 유사한 방식으로 전도성 형태에 있어서 적당한 변화를 시킴으로써 제조될 수도 있다. 유사하게 p형 전계효과 트랜지스터가 제8도에 제조되어 있지만, n형 전계효과 트랜지스터도 전도성 형태에 적당히 변화를 주어 제조될 수 있다. 게다가 전계효과 트랜지스터(72)가 웰 영역(64)내에 형성되어 있지만 웰 영역(66)내에 형성될 수도 있다. 또, 반도체 장치가 웰 영역(64)내의 전계효과 트랜지스터(72)외에 웰 영역(66)내에 제조될 수도 있다. 또 다이오우드, 저항 커패시터, 수직 트랜지스터 3조 등의 다른 반도체 장치의 기생 커패시턴스는 바이폴라 트랜지스터 또는 전계효과 트랜지스터에 대해 기술된 것과 유사한 과정을 사용하여 감소될 수 있다. 게다가 본 발명은 단결정 실리콘 기판에 한정되지 않는다. 갈륨 비소, 인듐 인화물, 절연체상의 실리콘, 게르마늄 등의 다른 기판이 사용될 수 있다. 그러므로 본 발명은 첨부된 청구범위의 범위내에서의 이와같은 변형 및 수정을 모두 포함한다.

## *(57) 청구의 범위*

### 청구항 1

제1전도성 형태의 기판(12)과, 기판(12)내에 있는 제2전도성 형태의 매몰층(14)과, 매몰층(14)으로부터 측면으로 옵셋된 제1전도성 형태의 제1영역(16/22)과, 매몰층(14) 및 제1영역(16/22)사이에 있는 제2전도성 형태의 제2영역(20)과, 매몰층(14) 및 제2영역(20)을 뒤덮고 있는 제1전도성 형태의 제3영역(18)과, 제3영역(18)의 일부내에 있는 베이스 영역(32)과, 베이스 영역(32)을 뒤덮고 있는 에미터 영역(46)과, 제3영역(18)으로 확장되어 매몰층(14)에 접하고 있는 컬렉터 접촉 영역(26)과, 제3영역(18)의 일부내에 있고 컬렉터 접촉 영역(26)의 일부에 접하고 있는 제2전도성 형태의 저항(40)을 구비하는 것을 특징으로 하는 반도체 장치.

**청구항 2**

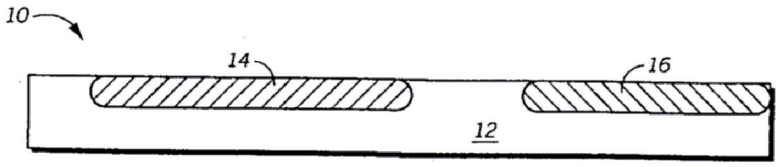
제1전도성 형태를 갖는 기판(12)과, 기판(12)을 뒤덮고 있는 제1전도성 형태를 갖는 에피택셜 실리콘층(18)과, 에피택셜 실리콘층(18)의 제1부분으로 확장되어 매몰층(14)에 접하고 있고 제2전도성 영역을 갖는 컬렉터 접촉 영역(26) 및 제2전도성 유형을 갖는 매몰층(14)를 갖는 바이폴라 트랜지스터(48)와, 에피택셜 실리콘층(18)의 제2부분내에 있고 컬렉터 접촉 영역(26)의 일부에 접하고 있는 제2전도성 유형의 저항(40)을 구비하는 것을 특징으로 하는 반도체 장치.

**청구항 3**

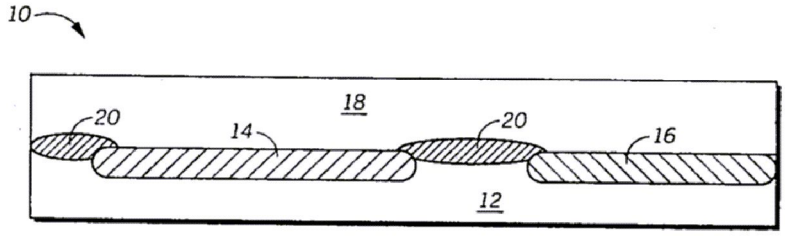
제1전도성 형태의 기판(12)과, 기판(12)내에 있는 제2전도성 형태의 매몰층(14)과, 기판(12)을 뒤덮고 있는 제1전도성 형태의 도핑된 영역(18)과, 도핑된 영역(18)의 제1부분내에 있는 베이스 영역(32)과, 상부 표면(36)과 하부 표면(38)을 가지며 상부 표면(36)은 베이스 영역(32)에 접하며 하부 표면(38)은 매몰층(14)에 접하고 있는 도핑된 영역(18)의 제2부분내에 있는 제2전도성 형태의 컬렉터 영역(34)과, 베이스 영역(32)을 뒤덮고 있는 에미터 영역(46)과, 도핑된 영역(18)의 제3부분으로 확장되고 제1매몰층(14)에 전기적으로 결합되어 있는 컬렉터 접촉 영역(26)과, 도핑된 영역(18)의 제4부분내에 있고 컬렉터 접촉 영역(26)의 일부에 접하고 있는 제2전도성 형태의 저항(40)을 구비하고 있는 것을 특징으로 하는 반도체 장치.

## 도면

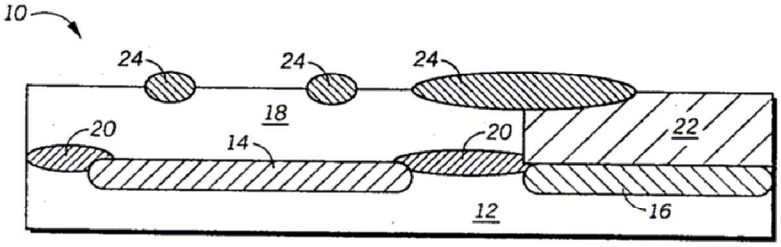
### 도면1



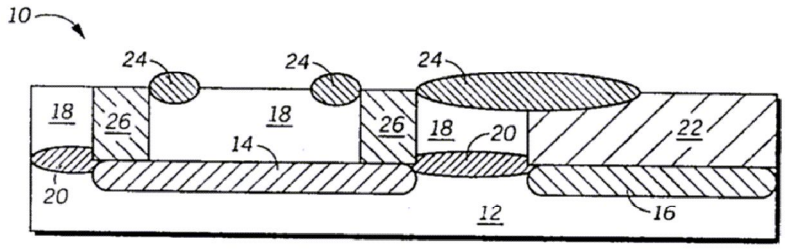

### 도면2



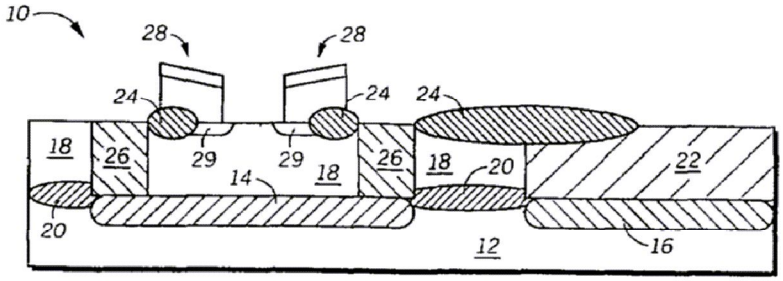

### 도면3



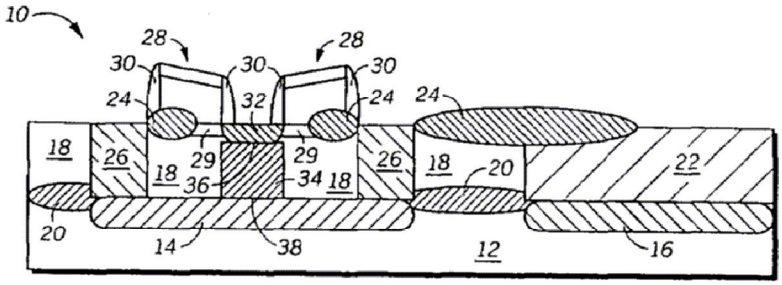
도면4



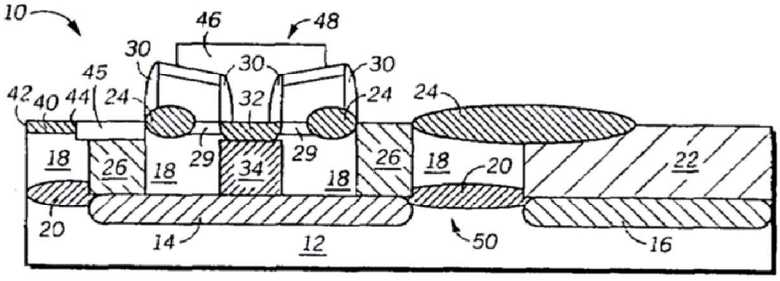

도면5




도면6




도면7



도면8

