



(12) 发明专利

(10) 授权公告号 CN 101847610 B

(45) 授权公告日 2012. 12. 19

(21) 申请号 201010143224. X

JP 特开 2008-210828 A, 2008. 09. 11,

(22) 申请日 2010. 03. 24

审查员 戴丽娟

(30) 优先权数据

075277/2009 2009. 03. 25 JP

(73) 专利权人 兆装微股份有限公司

地址 日本东京都

(72) 发明人 三原一郎

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 许玉顺 胡建新

(51) Int. Cl.

H01L 23/31 (2006. 01)

H01L 23/29 (2006. 01)

H01L 21/56 (2006. 01)

(56) 对比文件

CN 1420527 A, 2003. 05. 28,

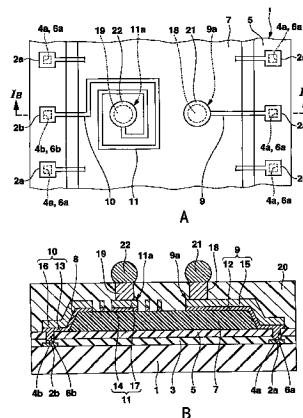
权利要求书 2 页 说明书 7 页 附图 13 页

(54) 发明名称

半导体装置及其制造方法

(57) 摘要

一种半导体装置及其制造方法。在硅衬底 (1) 的上表面形成有构成集成电路的多个电路元件, 在其上设有钝化膜 (3) 以及第一保护膜 (3)。在硅衬底 (1) 的上表面周边部设有与集成电路连接的多个连接焊盘 (2a、2b)。在第一保护膜 (3) 的除了周边部之外的上表面设有第二保护膜 (7)。在第二保护膜 (7) 的上表面上设有螺旋形状的薄膜感应元件 (11)。在该情况下, 第一和第二保护膜 (5、7) 的合计厚度形成得比较厚, 由此能够降低因硅衬底 (1) 中产生涡流而引起的薄膜感应元件 (11) 的涡流损失。



1. 一种半导体装置,其特征在于,具备:

形成有集成电路并且在周边部上设有第一连接焊盘(2a)和第二连接焊盘(2b)的半导体衬底;

第一树脂膜(5),设在上述半导体衬底上;

第二树脂膜(7),设在上述第一树脂膜的至少除了周边部之外的上表面上;

薄膜感应元件(11),设在上述第二树脂膜上;

布线(9),设在上述第一树脂膜和上述第二树脂膜上,一端部与上述第一连接焊盘(2a)连接;

薄膜感应元件用布线(10),设在上述第一树脂膜和上述第二树脂膜上,一端部与上述第二连接焊盘(2b)连接,另一端部与上述薄膜感应元件的外端部连接;

第一柱状电极(18),设在上述布线(9)的连接焊盘部(9a)上;以及

第二柱状电极(19),设在上述薄膜感应元件的内端部上,

上述第一树脂膜的厚度和上述第二树脂膜的厚度的合计是 $10\mu\text{m}\sim 20\mu\text{m}$ 。

2. 如权利要求1所述的半导体装置,其特征在于,

上述第二树脂膜的侧面是倾斜面。

3. 如权利要求1所述的半导体装置,其特征在于,

上述第一连接焊盘(2a)和上述第二连接焊盘(2b)与上述集成电路连接,

上述第二树脂膜设置在上述半导体衬底上的比上述第一连接焊盘(2a)和上述第二连接焊盘(2b)靠内侧的区域。

4. 如权利要求3所述的半导体装置,其特征在于,

上述第二树脂膜的厚度比上述第一树脂膜的厚度厚。

5. 如权利要求1所述的半导体装置,其特征在于,

上述第二树脂膜的厚度是上述第一树脂膜的厚度的2倍或者大于2倍。

6. 如权利要求1所述的半导体装置,其特征在于,

上述第一树脂膜的厚度是 $2\mu\text{m}\sim 6\mu\text{m}$ 。

7. 一种半导体装置的制造方法,其特征在于,包括:

在半导体衬底的整个上表面上形成第一树脂膜的工序,该半导体衬底上形成有集成电路,并且在周边部上设有与上述集成电路连接的第一连接焊盘(2a)和第二连接焊盘(2b);

在上述第一树脂膜上的上述第一连接焊盘(2a)和第二连接焊盘(2b)的内侧区域形成第二树脂膜的工序;

在上述第二树脂膜上形成薄膜感应元件的工序;

在上述第一树脂膜和上述第二树脂膜上形成一端部与上述第一连接焊盘(2a)连接的布线(9)的工序;

在上述第一树脂膜和上述第二树脂膜上形成一端部与上述第二连接焊盘(2b)连接,另一端部与上述薄膜感应元件的外端部连接的薄膜感应元件用布线(10)的工序;以及

在上述布线(9)的连接焊盘部(9a)上形成第一柱状电极(18),并且在上述薄膜感应元件的内端部上形成第二柱状电极(19)的工序,

上述第一树脂膜的厚度和上述第二树脂膜的厚度的合计是 $10\mu\text{m}\sim 20\mu\text{m}$ 。

8. 如权利要求7所述的半导体装置的制造方法,其特征在于,

形成上述第二树脂膜的工序包括将上述第二树脂膜形成为比上述第一树脂膜的厚度厚的工序。

9. 如权利要求 7 所述的半导体装置的制造方法,其特征在于,

形成上述第二树脂膜的工序包括使上述第二树脂膜的厚度是上述第一树脂膜的厚度的 2 倍或者大于 2 倍的工序。

10. 如权利要求 7 所述的半导体装置的制造方法,其特征在于,

形成第一树脂膜的工序包括使上述第一树脂膜的厚度为 $2\mu\text{m} \sim 6\mu\text{m}$ 的工序。

11. 如权利要求 7 所述的半导体装置的制造方法,其特征在于,还包括下述工序:

在形成上述第一树脂膜的工序之后,在形成上述第二树脂膜的工序之前,通过光刻法在上述第一树脂膜的与在上述半导体衬底的周边部上形成的上述第一连接焊盘 (2a) 相对应的部分形成第一开口部 (4a),并且通过光刻法在上述第一树脂膜的与在上述半导体衬底的周边部上形成的上述第二连接焊盘 (2b) 相对应的部分形成第二开口部 (4b) 的工序。

12. 如权利要求 7 所述的半导体装置的制造方法,其特征在于,

形成上述第二树脂膜的工序包括通过丝网印刷法形成上述第二树脂膜的工序。

13. 如权利要求 12 所述的半导体装置的制造方法,其特征在于,

通过上述丝网印刷法形成上述第二树脂膜的工序包括如下工序:通过上述丝网印刷法而涂敷的液状树脂膜的侧面发生松弛,上述第二树脂膜的侧面变为倾斜面。

半导体装置及其制造方法

[0001] 相关申请的交叉引用

[0002] 本申请基于 2009 年 3 月 25 日提出申请的日本专利申请第 2009-075277 号并主张其优先权,这里引用其包括说明书、权利要求书、附图和说明书摘要的全部内容。

技术领域

[0003] 本发明涉及半导体装置及其制造方法。

背景技术

[0004] 在以往的半导体装置中已知具有被称为 CSP(chip size package:芯片尺寸封装)且螺旋形状的薄膜感应元件。例如,在日本专利公开公报 2008-210828 号公报中公开了下述这样的半导体装置。该半导体装置具备半导体衬底。在半导体衬底的上表面设有绝缘膜。在绝缘膜的上表面上设有多个布线以及螺旋形状的薄膜感应元件。在布线的连接焊盘部上表面设有柱状电极。在柱状电极的周围设有密封膜。在柱状电极的上表面设有焊球。

[0005] 然而,在上述这样的半导体装置中,绝缘膜构成为包括了设置在半导体衬底的上表面上的由氧化硅等构成的钝化膜以及在其上表面上设置的由聚酰亚胺类树脂等构成的保护膜,若在保护膜的上表面上设有布线以及薄膜感应元件,则当布线中流过电流时,通过感应会在半导体衬底中产生涡流。而且,该涡流会在薄膜感应元件中产生涡流损失,导致薄膜感应元件的特性劣化。

[0006] 为了解决该问题,在上述日本专利公开公报 2008-210828 号公报所记载的半导体装置中,在半导体衬底上的钝化膜和薄膜感应元件之间设置了由下述材料构成的磁性膜,以取代由聚酰亚胺类树脂等构成的保护膜,所述材料是在由聚酰亚胺类树脂等构成的热硬化性树脂中掺入软磁性体粉末后所形成的材料。而且,通过这样,能够降低因在半导体衬底中产生涡流而引起的薄膜感应元件的涡流损失。

[0007] 然而,在上述的半导体装置中,由于磁性膜是由聚酰亚胺类树脂等构成的热硬化性树脂中掺入价格比较高的材料即软磁性体粉末而形成的,因此价格变得比较高。另外,很难均匀地向热硬化性树脂中分散软磁性体粉末。在此,若产生软磁性体粉末的分散过密的部位,则有发生电路短路的危险。另一方面,若产生软磁性体粉末的分散过疏的部位,则降低涡流损失的效果会变差。

发明内容

[0008] 本发明的优点在于能够提供一种价格比较低廉且能够防止电路短路,并且能够实现均匀的降低涡流损失的效果的半导体装置及其制造方法。

[0009] 可以获得上述优点的本发明的半导体装置具备:形成有集成电路的半导体衬底;第一树脂膜,设在上述半导体衬底上;第二树脂膜,设在上述第一树脂膜的至少除了周边部之外的上表面上;以及薄膜感应元件,设在上述第二树脂膜上。

[0010] 可以获得上述优点的本发明的半导体装置的制造方法包括:在半导体衬底的整个

上表面上形成第一树脂膜的工序,该半导体衬底上形成有集成电路,并且在周边部上设有与上述集成电路连接的多个连接焊盘;在上述第一树脂膜上的上述连接焊盘的内侧区域形成第二树脂膜的工序;以及在上述第二树脂膜上形成薄膜感应元件的工序。

[0011] 发明效果

[0012] 根据本发明,由于在第二树脂膜上设置薄膜感应元件,该第二树脂膜设置在半导体衬底上所设置的第一树脂膜的至少除了周边部之外的上表面上,利用第一和第二树脂膜的合计厚度,能够降低因在半导体衬底中产生涡流而引起薄膜感应元件的涡流损失。在该情况下,由于第二树脂膜是由价格比较低的树脂形成的,因此能够以比较低的价格,防止电路短路,并且,能够均匀地发挥降低涡流损失的效果。

附图说明

[0013] 通过下面的描述和附图可以充分地理解本发明,但下面的描述和附图仅用于解释本发明,并不以此来限定本发明的保护范围。

[0014] 图 1A 是本发明的第一实施方式的半导体装置的主要部分的俯视图(除去图 1B 中的密封膜的状态)。

[0015] 图 1B 是沿图 1A 的 B-B 线的剖视图。

[0016] 图 2 是图 1A、1B 所示的半导体装置的制造方法的一个例子,是最初准备的结构的剖视图。

[0017] 图 3 是图 2 的下一工序的剖视图。

[0018] 图 4 是图 3 的下一工序的剖视图。

[0019] 图 5 是图 4 的下一工序的剖视图。

[0020] 图 6 是图 5 的下一工序的剖视图。

[0021] 图 7 是图 6 的下一工序的剖视图。

[0022] 图 8 是图 7 的下一工序的剖视图。

[0023] 图 9 是图 8 的下一工序的剖视图。

[0024] 图 10 是图 9 的下一工序的剖视图。

[0025] 图 11 是图 10 的下一工序的剖视图。

[0026] 图 12 是图 11 的下一工序的剖视图。

[0027] 图 13A 是本发明的第二实施方式的半导体装置的主要部分的俯视图(除去图 13B 中的密封膜(封止膜)的状态)。

[0028] 图 13B 是沿图 13A 的 B-B 线的剖视图。

[0029] 图 14 是图 13A、13B 所示的半导体装置的制造方法的一个例子,是规定的工序的剖视图。

[0030] 图 15 是图 14 的下一工序的剖视图。

[0031] 图 16 是图 15 的下一工序的剖视图。

[0032] 图 17 是图 16 的下一工序的剖视图。

具体实施方式

[0033] 下面,参照附图对本发明的优选实施方式进行说明。但是,在以下所述的实施方式

中,虽然对实施本发明的技术进行了多种优选的限定,但本发明的范围并不仅限于下述实施方式以及图示例。

[0034] (第一实施方式)

[0035] 图 1A 是表示本发明的第一实施方式的半导体装置的主要部分的俯视图(除去图 1B 中的密封膜后的状态)。

[0036] 图 1B 是表示沿图 1A 的 B-B 线的剖视图。

[0037] 该半导体装置具有一般被称为 CSP 的平面方形状的硅衬底(半导体衬底)1。在硅衬底 1 的上表面形成有用于构成规定功能的集成电路的元件,例如,晶体管、二极管、电阻、电容等的电路元件(未图示),在上表面周边部设有由铝系金属等构成的多个连接焊盘 2a、2b,该多个连接焊盘 2a、2b 与集成电路连接。在该情况下,附图标记 2b 所表示的连接焊盘是与后述的螺旋形状的薄膜感应元件 11 的外端部连接的构件。

[0038] 在除了连接焊盘 2a、2b 的中央部之外的硅衬底 1 的上表面上设有由氧化硅等构成的钝化膜 3。连接焊盘 2a、2b 的中央部通过钝化膜 3 上设置的开口部 4a、4b 而露出。在钝化膜 3 的上表面上设有由聚酰亚胺类树脂、聚苯并噁唑(polybenzoxazole)等的树脂构成的第一保护膜(第一树脂膜)5。在第一保护膜 5 的与钝化膜 3 的开口部 4a、4b 对应的部分上设有开口部 6a、6b。

[0039] 在第一保护膜 5 上的比半导体衬底 1 的上述连接焊盘更内侧的区域,即除了设有开口部 6a、6b 的周边部之外的区域中设有第二保护膜(第二树脂膜)7。第二保护膜 7 也可以由与第一保护膜 5 相同的树脂构成。在该情况下,第二保护膜 7 的侧面为倾斜面 8。

[0040] 在此,第一保护膜 5 的厚度为例如 $2 \sim 6 \mu\text{m}$ 左右的比较薄的厚度,第二保护膜 7 的厚度是例如 $8 \sim 14 \mu\text{m}$ 左右,比第一保护膜 5 厚,是第一保护膜 5 的 2 倍以上的厚度。在该情况下,第一保护膜 5 和第二保护膜 7 的厚度的合计是 $10 \sim 20 \mu\text{m}$ 左右即可,并不一定需要使第二保护膜 7 的厚度比第一保护膜 5 的厚度大。但是,为了实现布线的高密度化,需要形成开口部 6a、6b 的第一保护膜 5 的厚度尽可能地优选薄的厚度。

[0041] 在第一保护膜 5 的周边部上表面以及第二保护膜 7 的包括倾斜面 8 在内的上表面上设有多个布线 9 以及一个薄膜感应元件用布线 10。由此,在第二保护膜 7 的上表面上设有螺旋形状的薄膜感应元件 11。布线 9、薄膜感应元件用布线 10 以及薄膜感应元件 11 是在由铜等构成的基底金属层 12、13、14 的上表面上设置由铜构成的上部金属层 15、16、17 而成的 2 层结构。另外,薄膜感应元件 11 的螺旋形状在图 1A 中是四边形,但也可以是比四边形边数多的多边状、圆形、椭圆形、多边形和圆弧形的组合形状等。此外,不仅限于螺旋形状,也可以是大致单圈(single winding)的环状。

[0042] 布线 9 的一端部通过钝化膜 3 的开口部 4a 以及第一保护膜 5 的开口部 6a 与连接焊盘 2a 连接。薄膜感应元件用布线 10 的一端部通过钝化膜 3 的开口部 4b 以及第一保护膜 5 的开口部 6b 与连接焊盘 2b 连接。薄膜感应元件 11 的外端部与薄膜感应元件用布线 10 的另一端部连接。布线 9 的另一端部以及薄膜感应元件 11 的内端部成为连接焊盘部 9a、11a。该情况下,布线 9 的连接焊盘部 9a 仅设在第二保护膜 7 的上表面上。

[0043] 在布线 9 以及薄膜感应元件 11 的连接焊盘部 9a、11a 的上表面上设有由铜构成的柱状电极 18、19。在第一保护膜 5 的周边部上表面、布线 9、薄膜感应元件用布线 10 及薄膜感应元件 11 的上表面、以及第二保护膜 7 的包含倾斜面 8 的上表面设有由环氧类树脂等构

成的密封膜 20。柱状电极 18、19 的上表面设为与密封膜 20 的上表面成为一个面～低于密封膜 20 的上表面几 μm 。在柱状电极 18、19 的上表面设有焊球 21、22。

[0044] 如上所述,在该半导体装置中,在硅衬底 1 上隔着钝化膜 3 以及第一保护膜 5 而设置的第二保护膜 7 的上表面上设有薄膜感应元件 11,因此能够降低因硅衬底 1 中产生的涡流而引起的薄膜感应元件 11 的涡流损失,进一步能够抑制薄膜感应元件 11 的特性劣化。

[0045] 此外,在形成有用于与连接焊盘 2a、2b 连接的开口部 6a、6b 的第一保护膜 5 上设有第二保护膜 7,因此能够实现高密度布线。另外,由于第二保护膜 7 是通过聚酰亚胺类树脂等的价格比较低的树脂而形成的,因此,价格比较低,而且能够防止电路短路,且能够均匀地实现降低涡流损失的效果。

[0046] 接着,对该半导体装置的制造方法的一个例子进行说明。

[0047] 首先,如图 2 所示,准备下述结构:在晶片状态的硅衬底(以下,称为半导体晶片 31)的上表面形成由铝系金属等构成的连接焊盘 2a、2b 以及由氧化硅等构成的钝化膜 3,连接焊盘 2a、2b 的中央部通过钝化膜 3 上所形成的开口部 4a、4b 而被露出。另外,在图 2 中,附图标记 32 所示的区域是切割道(dicing street)。

[0048] 接着,如图 3 所示,在包括通过钝化膜 3 的开口部 4a、4b 而露出的连接焊盘 2a、2b 的上表面在内的钝化膜 3 的上表面上,通过丝网印刷(screenprinting)法、旋压覆盖(spin coat)法等,形成由聚酰亚胺类树脂和/或聚苯并噁唑等的树脂构成的第一保护膜 5。

[0049] 接着,如图 4 所示,在与钝化膜 3 的开口部 4a、4b 对应的部分的第一保护膜 5 上,通过光刻法形成开口部 6a、6b。

[0050] 接着,如图 5 所示,在被切割道 32 包围的各半导体装置形成区域中,在除了第一保护膜 5 的周边部,即形成有开口部 6a、6b 的周边部之外的上表面上,通过丝网印刷法,形成由与第一保护膜 5 相同的树脂或者不同的树脂构成的第二保护膜 7。在该情况下,通过丝网印刷法而涂敷的液状树脂膜的周边部发生松弛(slope down),从而第二保护膜 7 的侧面成为倾斜面 8。

[0051] 接着,如图 6 所示,在包括经由钝化膜 3 以及第一保护膜 5 的开口部 4a、6a 以及开口部 4b、6b 而露出的连接焊盘 2a、2b 的上表面在内的第一保护膜 5 的上表面,以及,包括第二保护膜 7 的倾斜面 8 在内的上表面上,形成基底金属层 33。在该情况下,基底金属层 33 可以通过化学镀而形成的仅铜层,或者可以通过溅射法而形成的仅铜层,还可以在通过溅射法而形成的钛等的薄膜层上再通过溅射法来形成铜层。

[0052] 接着,在基底金属层 33 的上表面进行电镀抗蚀(plated resist)膜 34 的图案形成。在该情况下,在电镀抗蚀膜 34 中的与上部金属层 15、16、17 形成区域对应的部分上形成有开口部 35、36、37。接着,通过进行以基底金属层 33 为电镀电路的铜的电解电镀,在电镀抗蚀膜 34 的开口部 35、36、37 内的基底金属层 33 的上表面上形成上部金属层 15、16、17。接着,剥离电镀抗蚀膜 34。

[0053] 接着,如图 7 所示,在上部金属层 15、16、17 以及基底金属层 33 的上表面上进行电镀抗蚀膜 38 的图案形成。在该情况下,在电镀抗蚀膜 38 中与上部金属层 15、17 的连接焊盘部 9a、11a 即柱状电极 18、19 形成区域对应的部分形成开口部 39、40。接着,通过进行以基底金属层 33 为电镀电路的铜的电解电镀,在电镀抗蚀膜 38 的开口部 39、40 内的上部金属层 15、17 的连接焊盘部 9a、11a 的上表面形成柱状电极 18、19。

[0054] 接着,剥离电镀抗蚀膜 38,然后,以上部金属层 15、16、17 为掩模通过蚀刻除去基底金属层 33 的不要的部分。由此,如图 8 所示,仅在上部金属层 15、16、17 下方残留基底金属层 12、13、14。在该状态下,通过上部金属层 15、16、17 以及其下方残留的基底金属层 12、13、14,形成 2 层结构的布线 9、薄膜感应元件用布线 10 以及薄膜感应元件 11。

[0055] 另外,在上述内容中,说明了通过半加成 (semi-additive) 法来形成布线 9、薄膜感应元件用布线 10 以及薄膜感应元件 11 的情况,也可以通过去除 (subtract) 法来形成。在该情况下,在图 6 中,在包括经由钝化膜 3 以及第一保护膜 5 的开口部 4a、6a 以及开口部 4b、6b 而露出的连接焊盘 2a、2b 的上表面在内的第一保护膜 5 的上表面以及包括第二保护膜 7 的倾斜面 8 在内的上表面上形成基底金属层 33。然后,通过电解电镀法在该基底金属层 33 的整个上表面上形成上部金属形成用层。然后,在上部金属形成用层上的形成上部 15、16、17 的区域上形成光刻掩模。而且,对从该光刻掩模露出的区域的上部金属形成用层以及基底金属层 33 进行蚀刻即可。其中,该蚀刻如图 7 所示(其中,在去除法的情况下,取代了上部金属层 15、16、17 而在整个基底金属层 33 上形成有上部金属形成用层),在形成了柱状电极 18、19 后进行。

[0056] 在此,布线 9 以及薄膜感应元件用布线 10 形成在第一和第二保护膜 5、7 的上表面,第二保护膜 7 的侧面为倾斜面 8,因此,能够使布线 9 以及薄膜感应元件用布线 10 很难断线。此外,如图 6 所示,在整个上表面上形成基底金属层 33 时,能够良好地形成基底金属层 33。

[0057] 接着,如图 9 所示,在包括布线 9、薄膜感应元件用布线 10、薄膜感应元件 11 以及柱状电极 18、19 的第一和第二保护膜 5、7 的上表面上,通过丝网印刷法或旋压覆盖法等来形成由环氧类树脂等构成的密封膜 20,并将其厚度形成比柱状电极 18、19 的高度厚。因此,在该状态下,柱状电极 18、19 的上表面被密封膜 20 覆盖。

[0058] 接着,对密封膜 20 的上表面侧进行适当的研磨,如图 10 所示,使柱状电极 18、19 的上表面露出,并且,使包括露出的柱状电极 18、19 的上表面在内的密封膜 20 的上表面平坦化。

[0059] 接着,如图 11 所示,在柱状电极 18、19 的上表面上形成焊球 21、22。

[0060] 接着,如图 12 所示,若沿着切割道 32 切断密封膜 20、第一保护膜 5、钝化膜 3 以及半导体晶片 31,则获得多个图 1A、1B 所示的半导体装置。

[0061] 在此,如图 4、5 所示,没有在第一保护膜 5 的整个上表面上形成第二保护膜 7,而是在被切割道 32 包围的各半导体装置形成区域中,在除了第一保护膜 5 的周边部即形成有开口部 6a、6b 的周边部之外的上表面上形成第二保护膜 7,下面对上述形成方式的理由以及第一和第二保护膜 5、7 的厚度进行说明。

[0062] 在将第二保护膜 7 形成在第一保护膜 5 的整个上表面上的情况下,为了使连接焊盘 2a、2b 露出,需要在第二保护膜 7 中的与第一保护膜 5 的开口部 6a、6b 对应的部分形成开口部。然而,随着器件的微小化,在连接焊盘 2a、2b 的间距 (pitch) 以及平面大小变小的情况下,与此同时,在第二保护膜 7 中的与第一保护膜 5 的开口部 6a、6b 以及该开口部 6a、6b 对应的部分所形成的开口部的间距以及平面大小也变小。在通过光刻法来形成上述开口部的情况下,由于第一和第二保护膜 3、7 的合计厚度较厚,析像度变差,因此不优选该方案。

[0063] 因此,如本实施方式所述,若不在第一保护膜 5 的整个上表面上形成第二保护膜 7,而在被切割道 32 包围的各半导体装置形成区域中,除了第一保护膜 5 的周边部即形成有开口部 6a、6b 的周边部之外的上表面上形成第二保护膜 7,则仅在厚度为例如 $2 \sim 6 \mu\text{m}$ 左右的比较薄的第一保护膜 5 上形成开口部 6a、6b 即可,因此能够应对微小化的情况。其中,第一保护膜 5 的厚度不仅限于此。此外,如上所述,为了获得降低涡流损失的效果,使第一保护膜 5 和第二保护膜 7 的厚度的合计为 $10 \sim 20 \mu\text{m}$ 左右即可,第二保护膜 7 的厚度对应于第一保护膜 5 的厚度来决定。

[0064] (第二实施方式)

[0065] 图 13A 是本发明的第二实施方式的半导体装置的主要部分的俯视图(除去图 13B 中的密封膜后的状态)。

[0066] 图 13B 是沿 B-B 线的剖视图。

[0067] 在该半导体装置中,与图 1A、1B 所示的半导体装置较大的不同点在于,不仅螺旋形状的薄膜感应元件 11 的外端部,连内端部也与连接了硅衬底 1 的上表面上所形成的集成电路(未图示)的连接焊盘相连接。

[0068] 即,附图标记 2b、2c 所示的连接焊盘与螺旋形状的薄膜感应元件 13 的内端部以及外端部连接,并在图 13A 中被相邻配置。在除了连接焊盘 2a、2b、2c 的中央部之外的硅衬底 1 的上表面上设有钝化膜 3,连接焊盘 2a、2b、2c 的中央部通过钝化膜 3 上设置的开口部 4a、4b、4c 而露出。

[0069] 在钝化膜 3 的上表面设有由不同于连接焊盘 2a、2b、2c 的金属例如铬系金属构成的薄膜感应元件用(下层)布线 10b。薄膜感应元件用布线 10b 的一端部通过钝化膜 3 的开口部 4b 与连接焊盘 2b 连接。在包括薄膜感应元件用布线 10b 在内的钝化膜 3 的上表面上设有第一保护膜 5。在第一保护膜 5 中的与钝化膜 3 的开口部 4a、4c 对应的部分设有开口部 6a、6c。

[0070] 在除了第一保护膜 5 的周边部,即设有开口部 6a、6c 的周边部之外的上表面设有第二保护膜 7。在该情况下,第二保护膜 7 的侧面成为倾斜面 8。此外,第一保护膜 5 的厚度以及第二保护膜 7 与第一实施方式的情况相同。在此,在第一和第二保护膜 5、7 中的与薄膜感应元件用布线 10b 的连接焊盘部对应的部分设有开口部 41。

[0071] 在第一保护膜 5 的周边部上表面以及包括第二保护膜 7 的倾斜面 8 在内的上表面上设有多个布线 9 以及 1 个薄膜感应元件用布线 10c。由此,在第二保护膜 7 的上表面上设有螺旋形状的薄膜感应元件 11。布线 9、薄膜感应元件用布线 10c 以及薄膜感应元件 11 是在基底金属层 12、13、14 的上表面上设有上部金属层 15、16、17 的 2 层结构。

[0072] 布线 9 的一端部通过钝化膜 3 以及第一保护膜 5 的开口部 4a、6a 与连接焊盘 2a 连接。薄膜感应元件用布线 10c 的一端部通过钝化膜 3 以及第一保护膜 5 的开口部 4c、6c 与连接焊盘 2c 连接。薄膜感应元件 11 的内端部通过第一和第二保护膜 5、7 的开口部 41 与薄膜感应元件用布线 10b 的连接焊盘部连接,外端部与薄膜感应元件用布线 10c 的另一端部连接。

[0073] 在布线 9 的连接焊盘部 9a 的上表面设有柱状电极 18。第一保护膜 5 的周边部上表面,布线 9,薄膜感应元件用布线 10c 以及薄膜感应元件 11 的上表面以及包括第一保护膜 5 的倾斜面 8 的上表面设有密封膜 20。在柱状电极 18 的上表面设有焊球 21。

[0074] 如上所述,在该半导体装置中,在硅衬底 1 上隔着钝化膜 3 以及第一保护膜 5 设置的第二保护膜 7 的上表面设有薄膜感应元件 11,因此能够降低因硅衬底 1 中产生的涡流而引起的薄膜感应元件 11 的涡流损失,进而能够抑制薄膜感应元件 11 的特性劣化。

[0075] 接着,对半导体装置的制造方法的一个例子进行说明。

[0076] 在该情况下,在准备了图 2 所示的结构之后,如图 14 所示,在钝化膜 3 的上表面,通过光刻法,对通过溅射法等而成膜的由铬系金属等构成的金属膜进行构图(patterning),从而形成薄膜感应元件用布线 10b。在该状态下,薄膜感应元件用布线 10b 的一端部通过钝化膜 3 的开口部 4b 与连接焊盘 2b 连接。

[0077] 在此,由于连接焊盘 2a 通过钝化膜 3 的开口部 4a 而露出,为了对该露出的连接焊盘 2a 不进行蚀刻,薄膜感应元件用布线 10b 由不同于连接焊盘 2a、2b 的金属形成。另外,省略了图 13A 中的附图标记 2c 所表示的连接焊盘的说明。

[0078] 接着,如图 15 所示,在通过钝化膜 3 的开口部 4a 而露出的连接焊盘 2a 以及包括薄膜感应元件用布线 10b 的钝化膜 3 的上表面上,通过丝网印刷法、旋压覆盖法等来形成第一保护膜 5。接着,在被切割道 32 围成的各半导体装置形成区域中,在除了第一保护膜 5 的周边部之外的上表面上,通过丝网印刷法来形成第二保护膜 7。在该情况下,由于通过丝网印刷法而涂敷的液状树脂膜的周边部松弛,第二保护膜 7 的侧面成为倾斜面 8。

[0079] 接着,如图 16 所示,通过光刻法,在第一保护膜 5 中的与钝化膜 3 的开口部 2a 对应的部分形成开口部 6a。在第一和第二保护膜 5、7 中的与薄膜感应元件用布线 10b 的连接焊盘部对应的部分形成开口部 41。在该情况下,在第一和第二保护膜 5、7 上形成的开口部 41 与连接焊盘 2a、2b 的微细化无关,因此,即使由于析像度的关系而使平面大小变得比较大也没有问题。

[0080] 接着,如图 17 所示,在包括通过钝化膜 3 以及第一保护膜 5 的开口部 4a、6a 而露出的连接焊盘 2a 的上表面在内的第一保护膜 5 的上表面,以及,包括通过第一和第二保护膜 5、7 的开口部 41 而露出的薄膜感应元件用布线 10b 的连接焊盘部的上表面在内且包括第二保护膜 7 的倾斜面 8 在内的上表面上,形成基底金属层 33。以下,在经过与上述第一实施方式的情况相同的工序后,就获得了多个如图 13A, 13B 所示的半导体装置。

[0081] 另外,在第二实施方式中,对薄膜感应元件用布线 10b 的材料以及构造与薄膜感应元件用布线 10c 不同的情况进行了说明,但两布线是相同的材料以及构造也当然可以。在该情况下,在图 14 所图示的、通过光刻法对金属膜进行构图从而形成薄膜感应元件用布线 10b 的工序中,为了不对连接焊盘 2a 进行蚀刻,可以在连接焊盘 2a 上形成掩模后,通过光刻法对金属膜进行构图。

[0082] 此外,在上述各实施方式中,说明了在被切割道 32 包围的各半导体装置形成区域中,在除了第一保护膜 5 的周边部即形成有开口部 6a、6b 的周边部之外的上表面形成第二保护膜 7 的情况,但本发明并不仅限于此。例如,也可以仅在第一保护膜 3 中的与薄膜感应元件 11 的形成区域对应的部分的上表面形成第二保护膜 7。

[0083] 另外,说明了通过丝网印刷来形成第二保护膜 7 的情况,但也可以在第一保护膜 5 的整个上表面上通过旋涂、涂敷、丝网印刷法等而覆盖了第二保护膜 7 后,再通过湿蚀刻来形成第二保护膜 7。在该情况下,通过使用各向同性的蚀刻液,能够使第二保护膜 7 的侧面成为合适的角度的倾斜面。

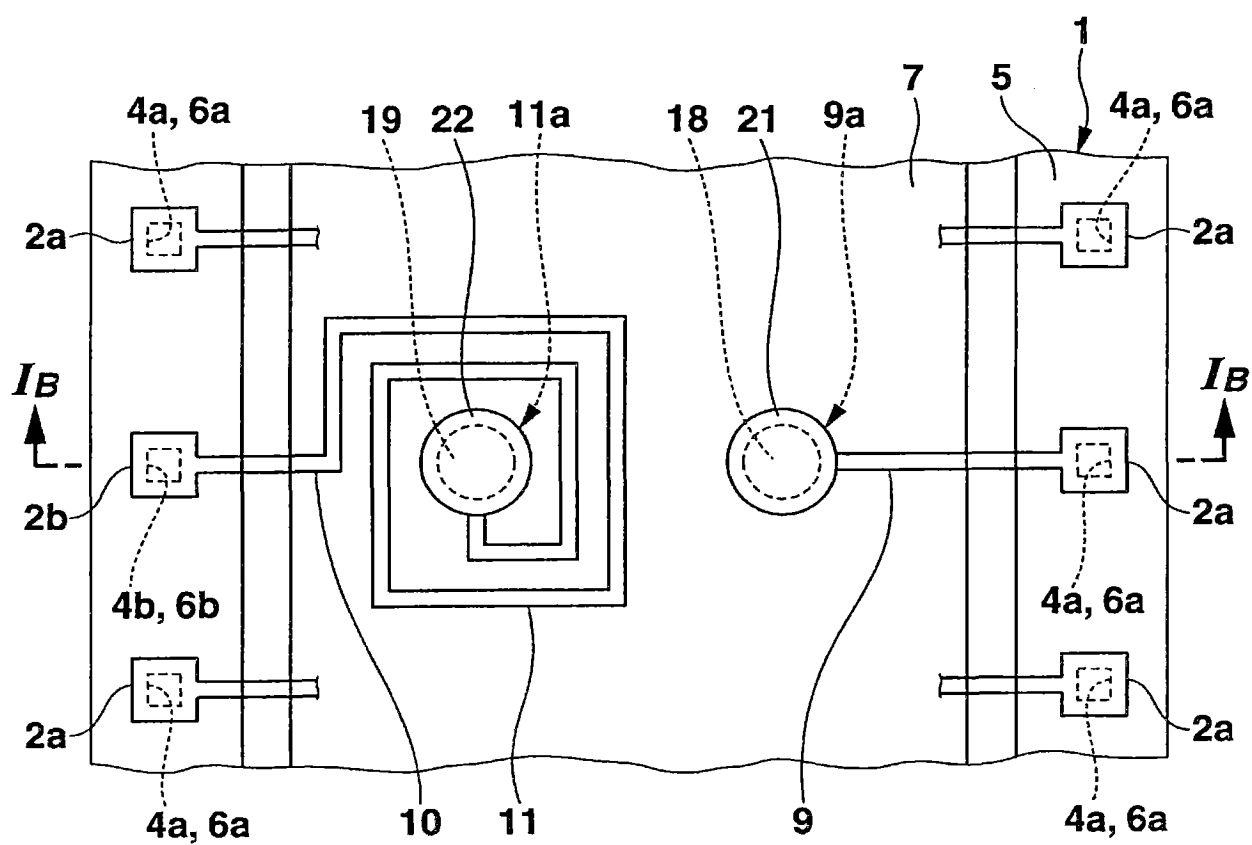


图 1A

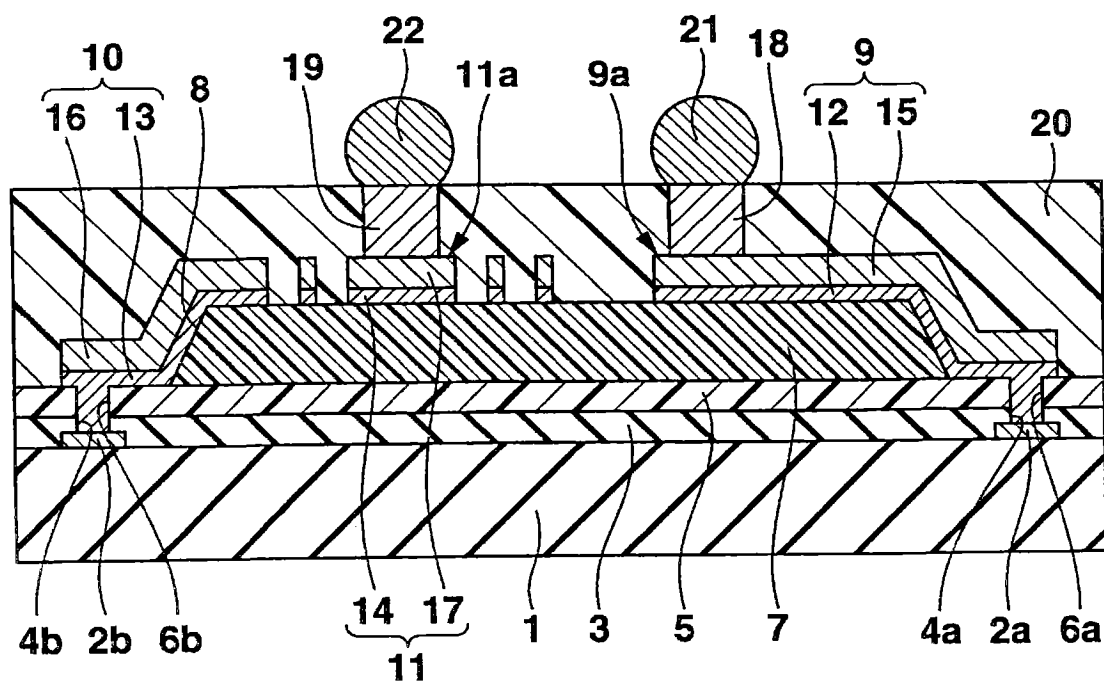


图 1B

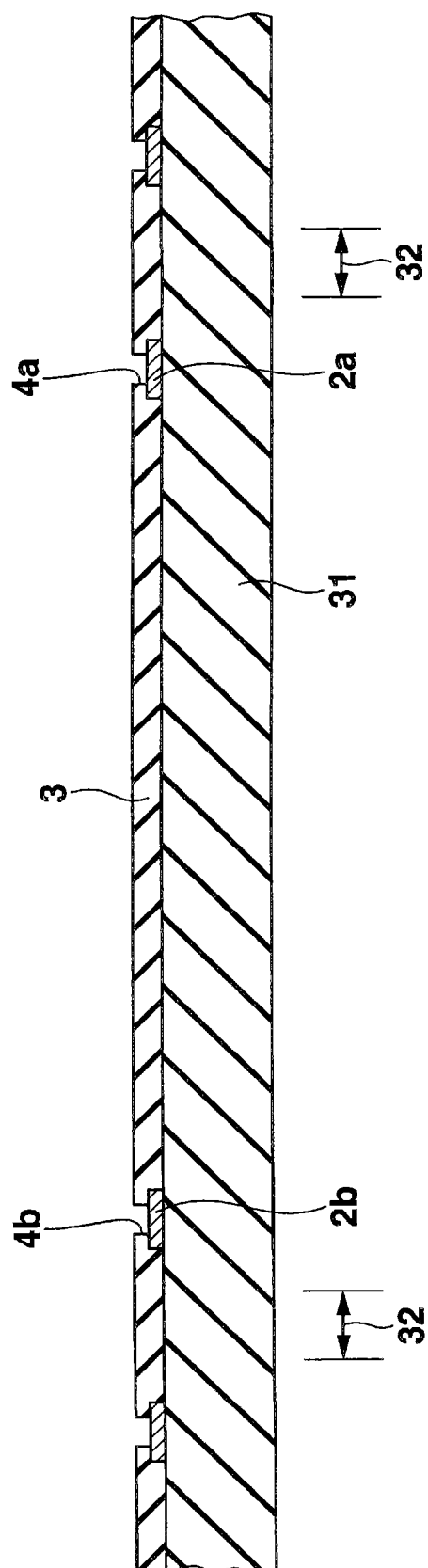


图 2

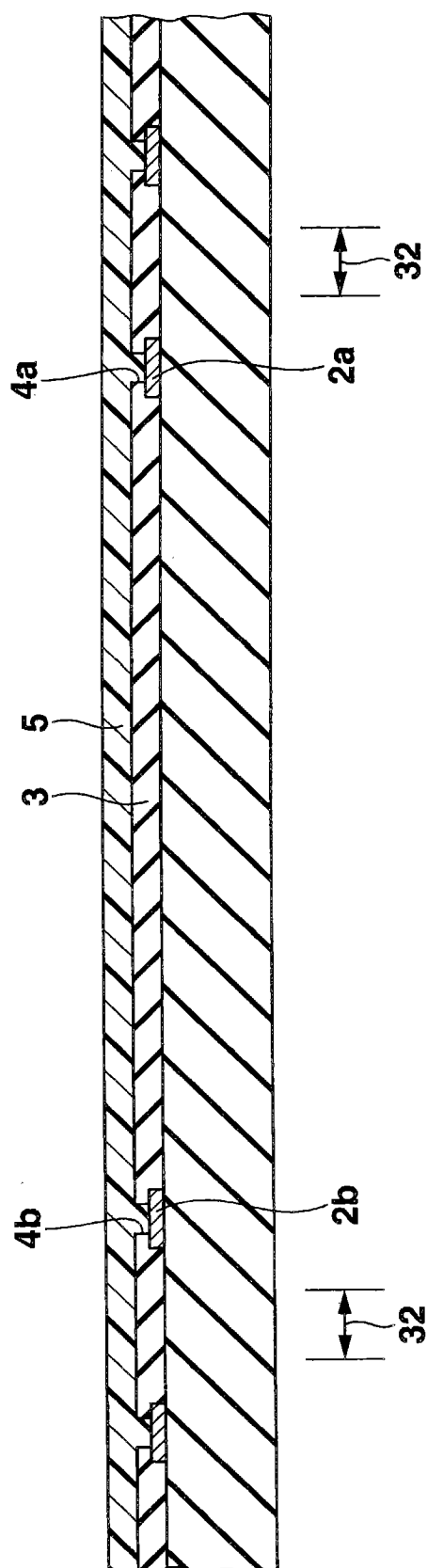


图 3

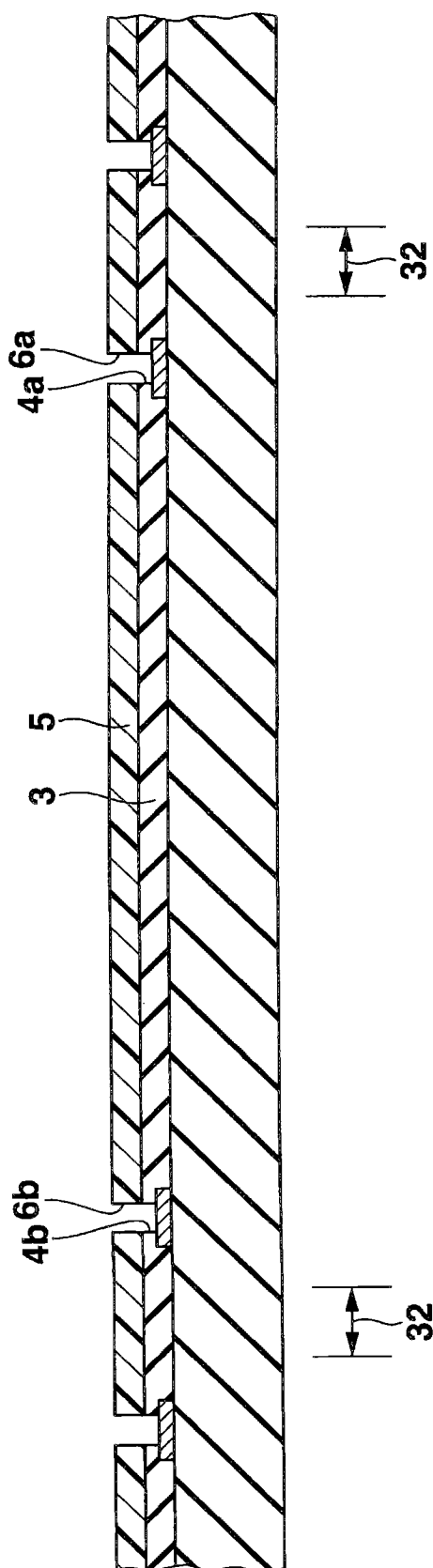


图 4

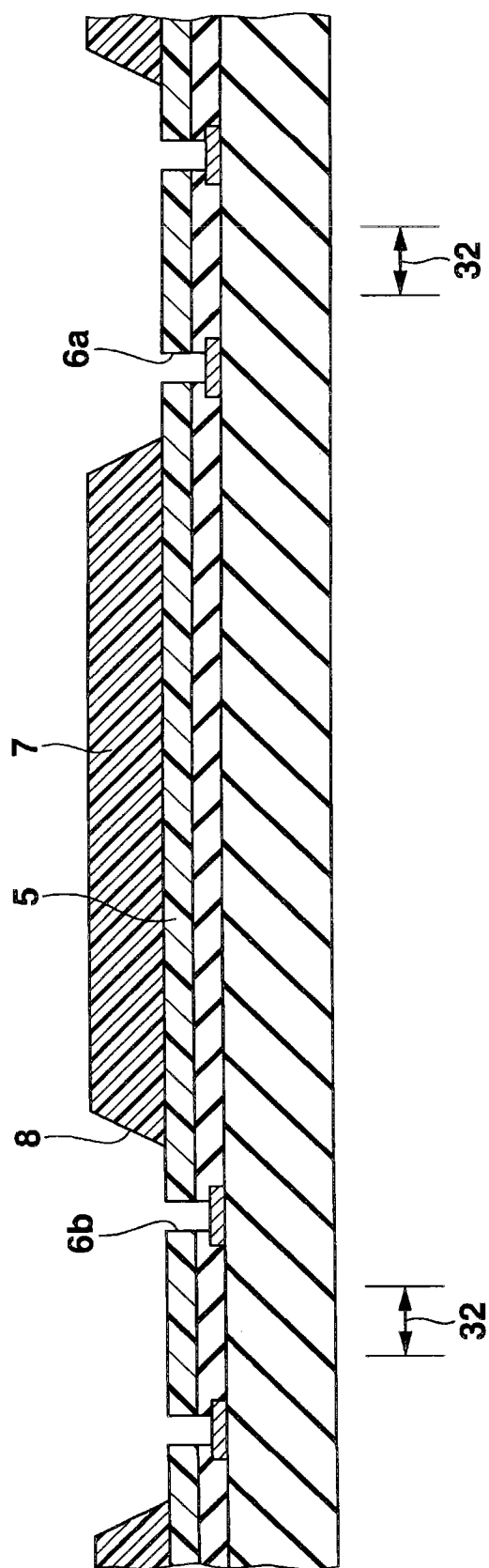


图 5

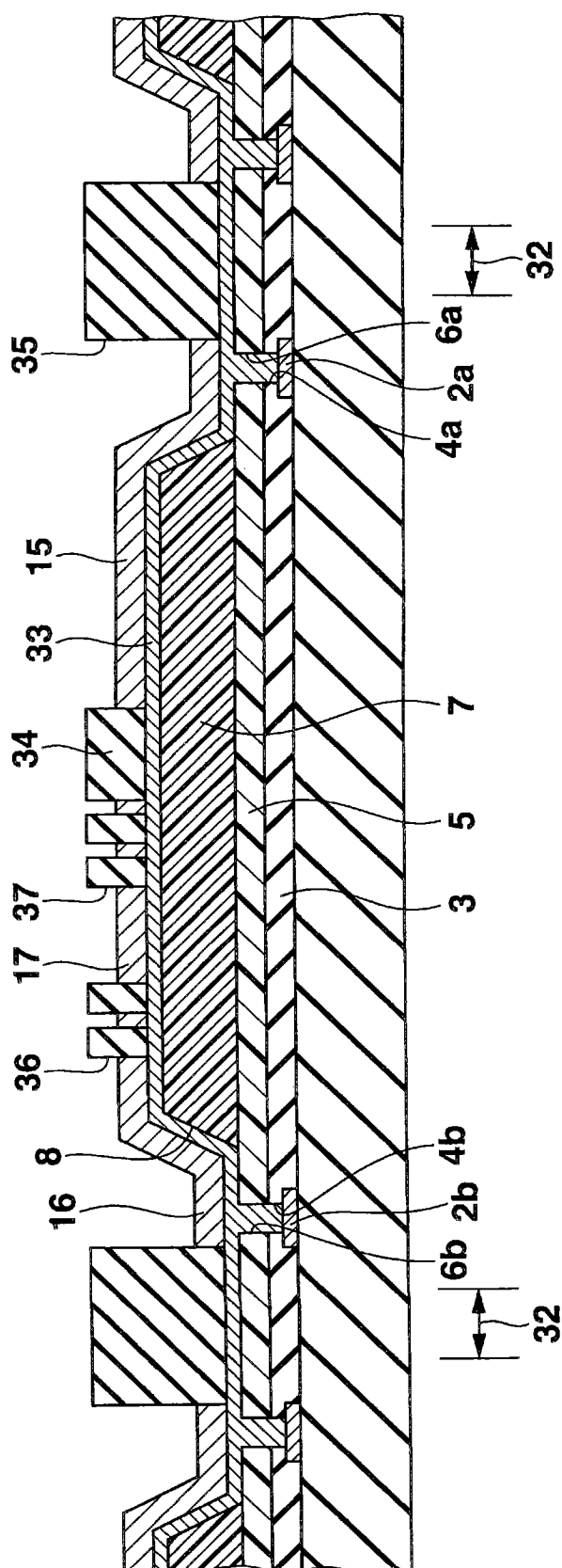


图 6

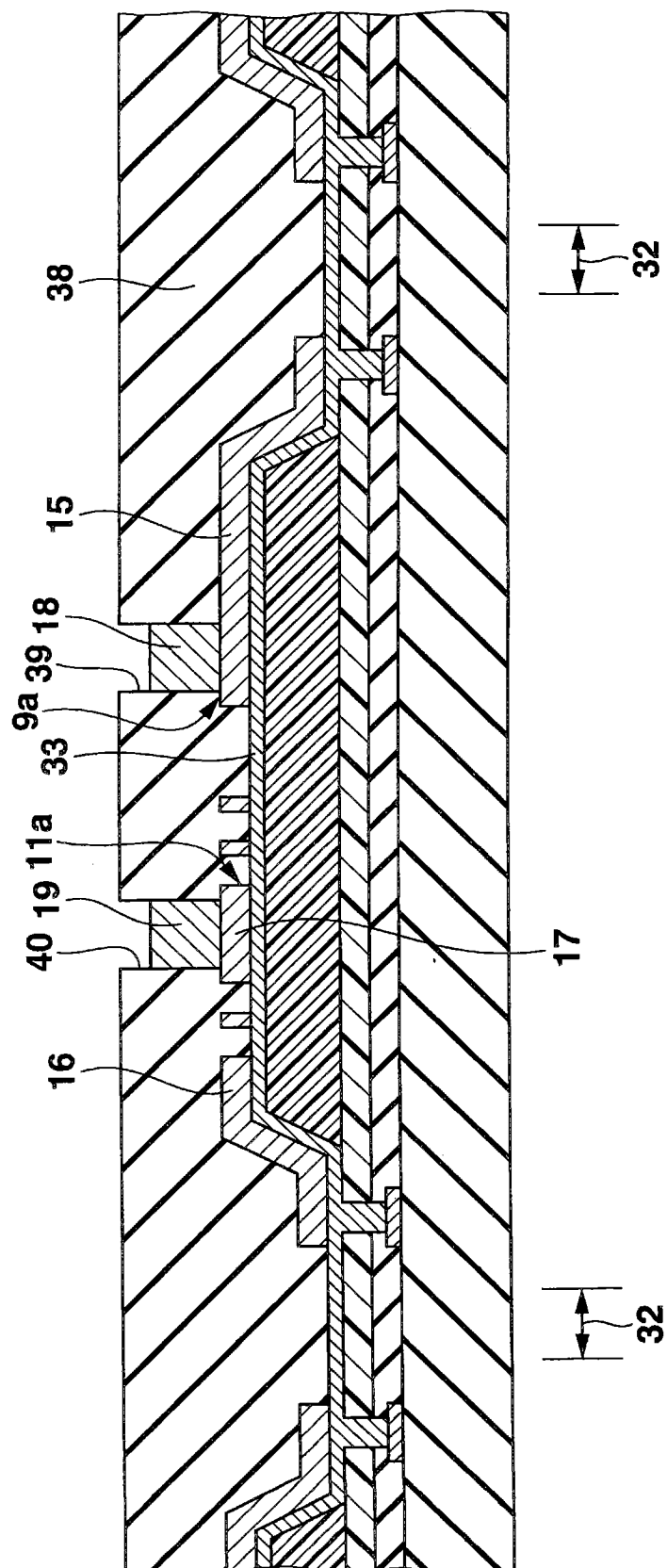


图 7

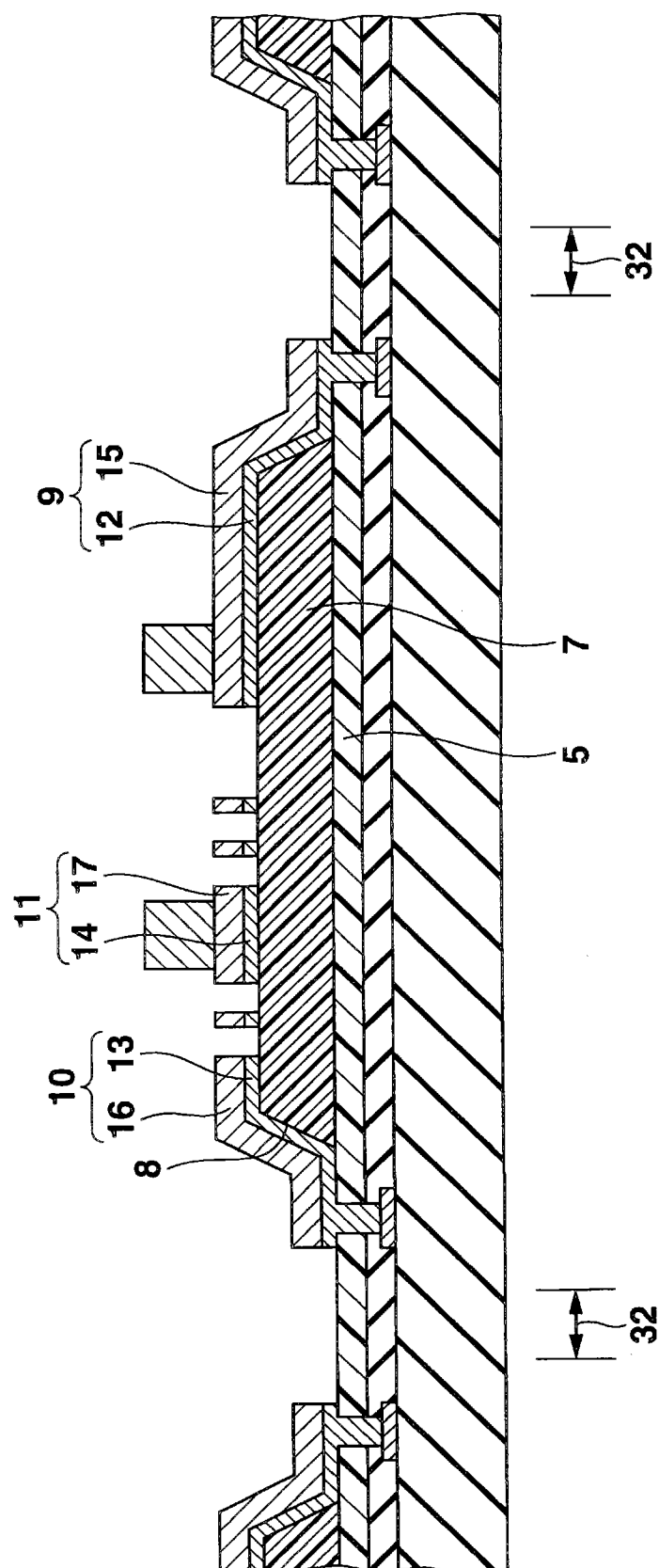


图 8

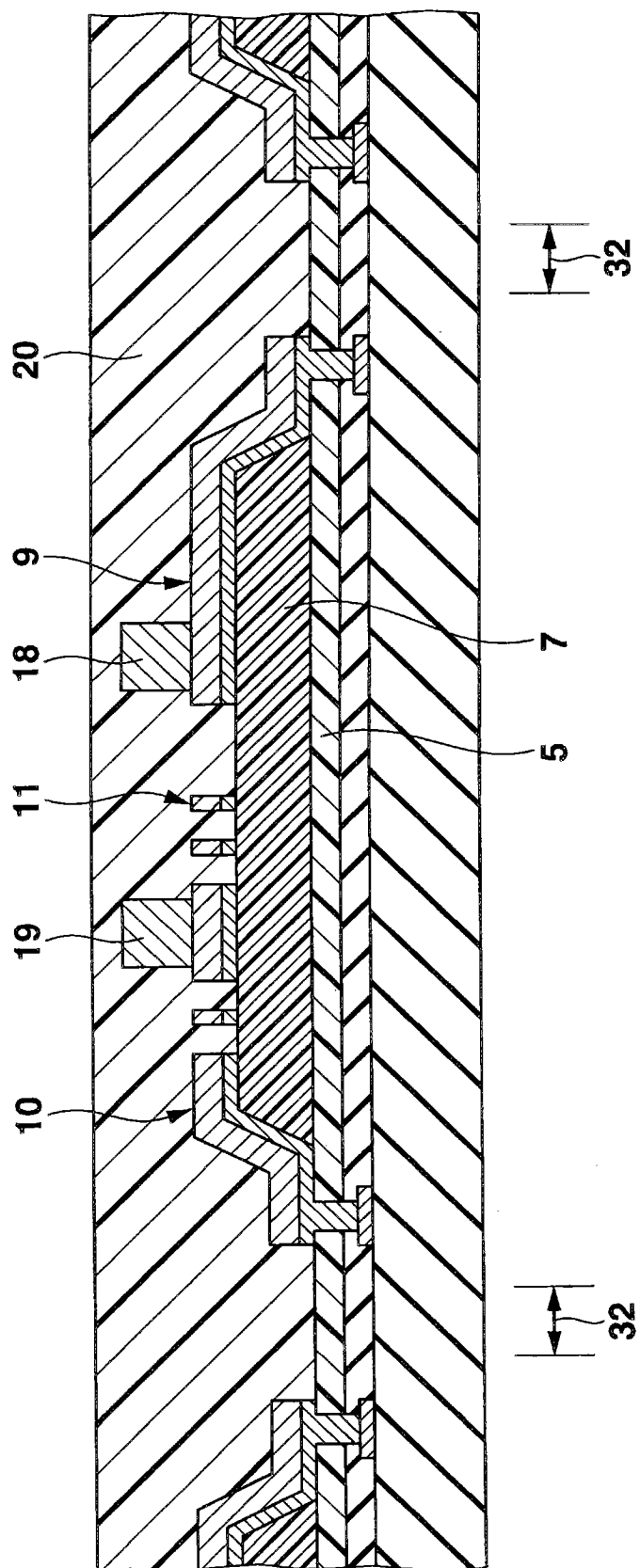


图 9

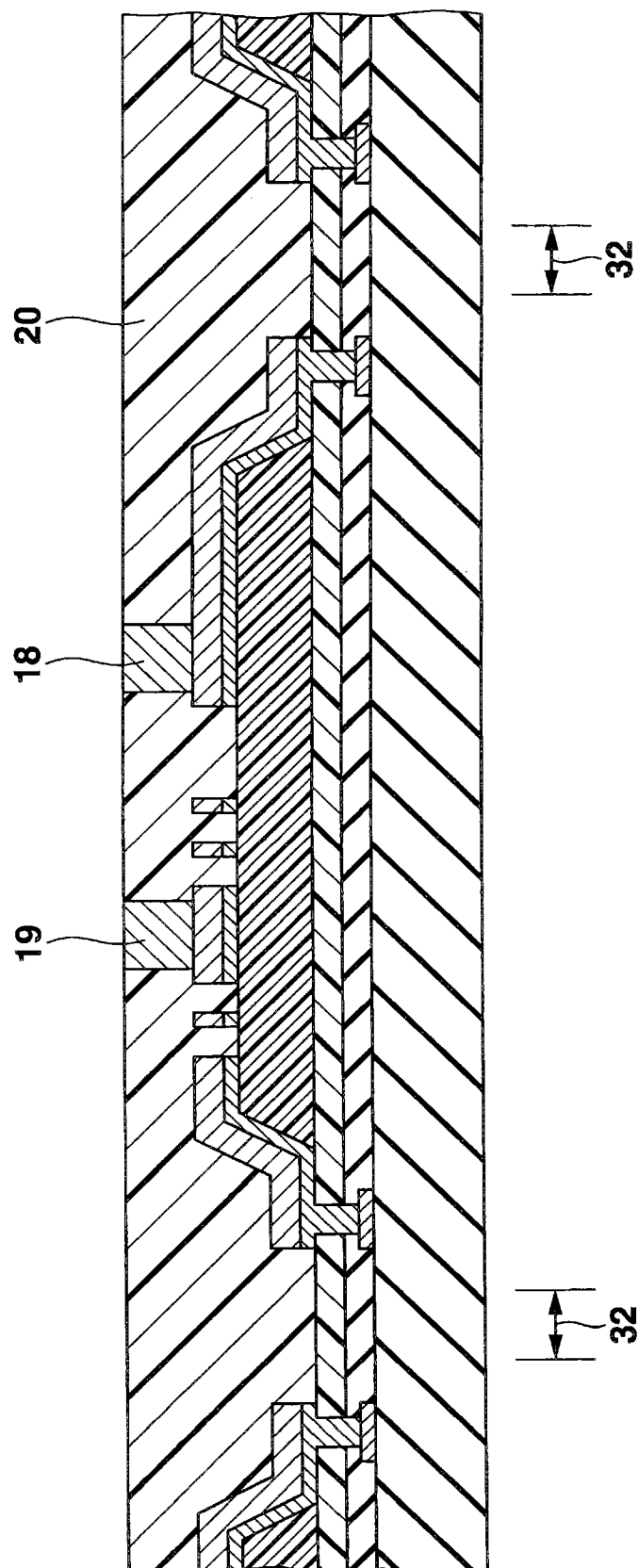


图 10

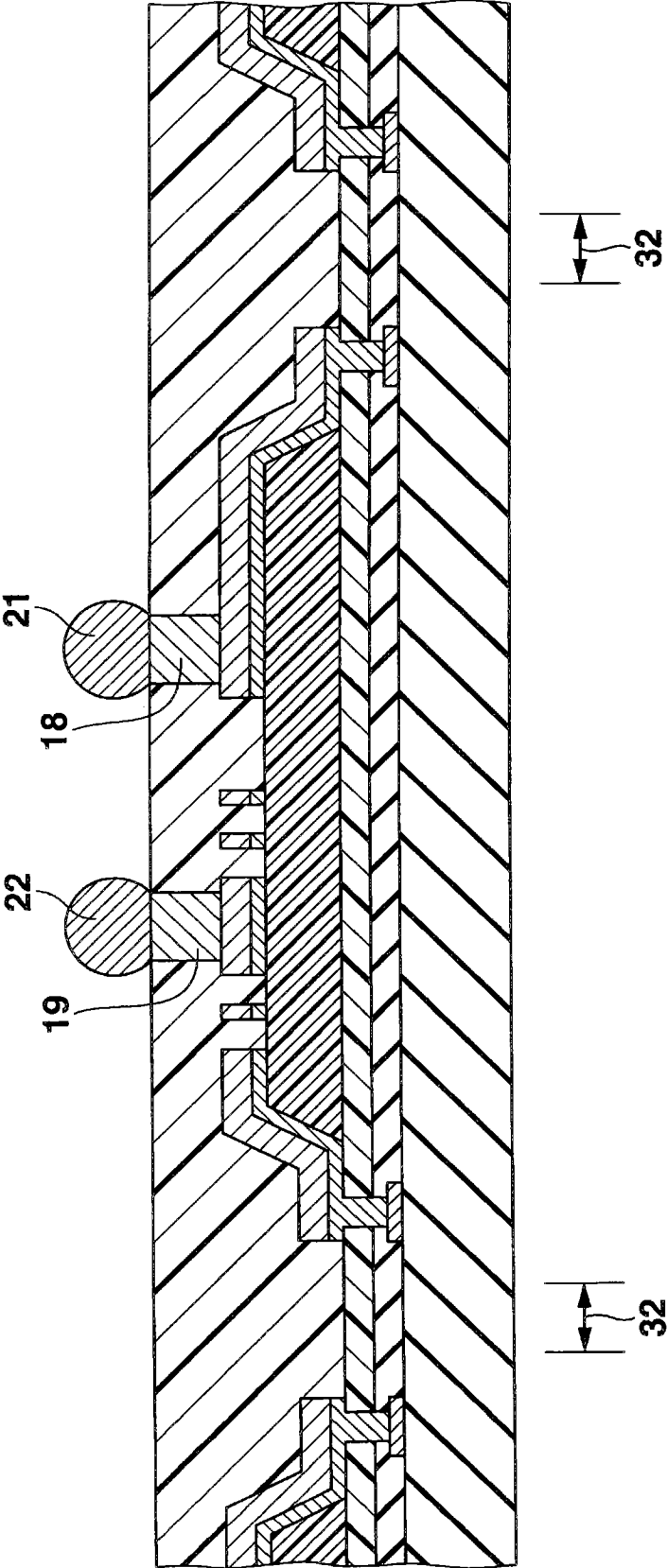


图 11

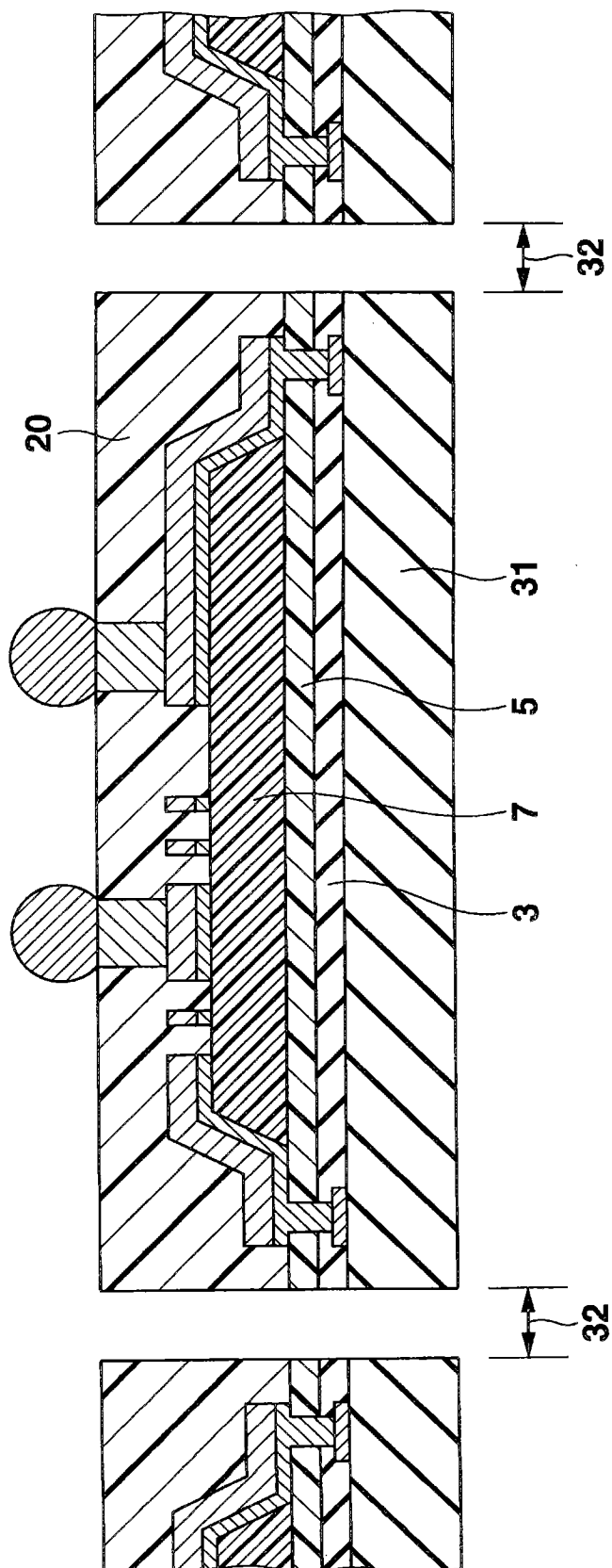


图 12

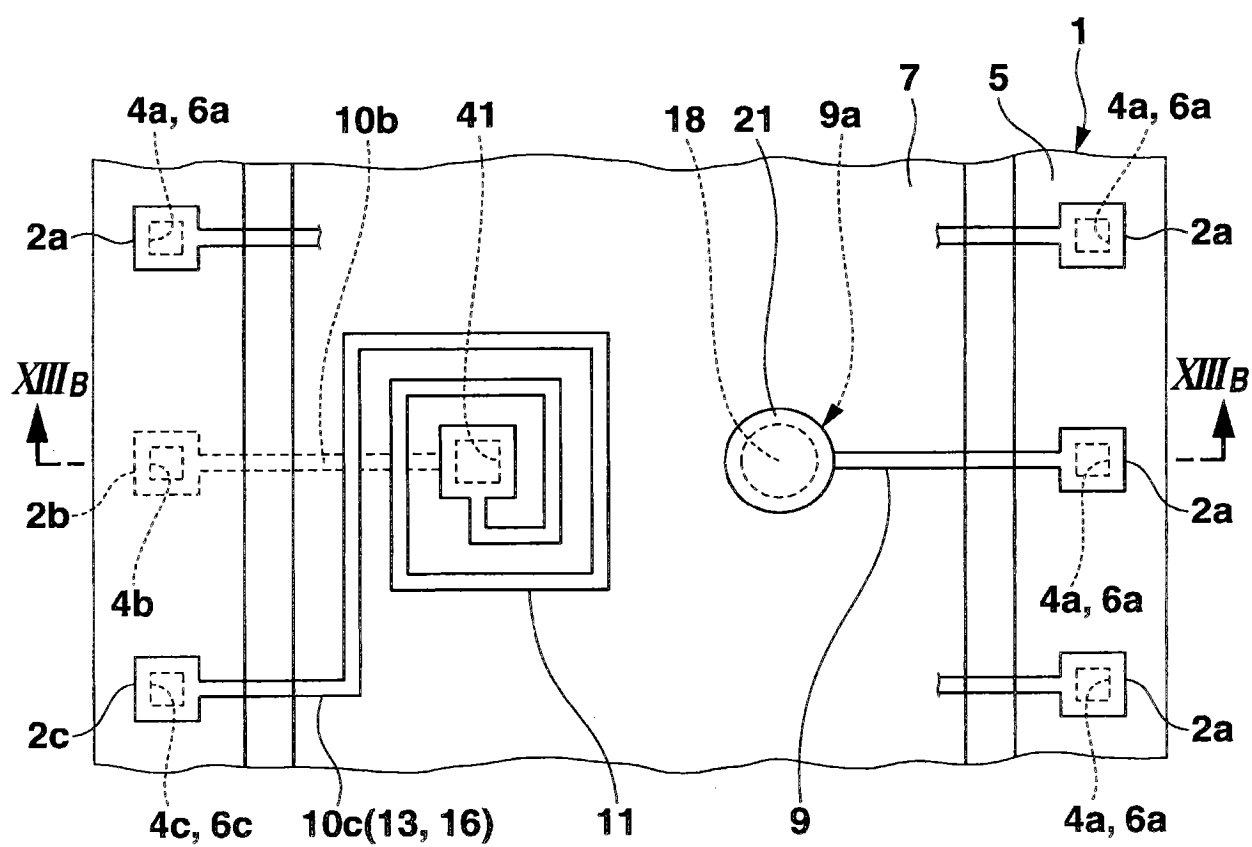


图 13A

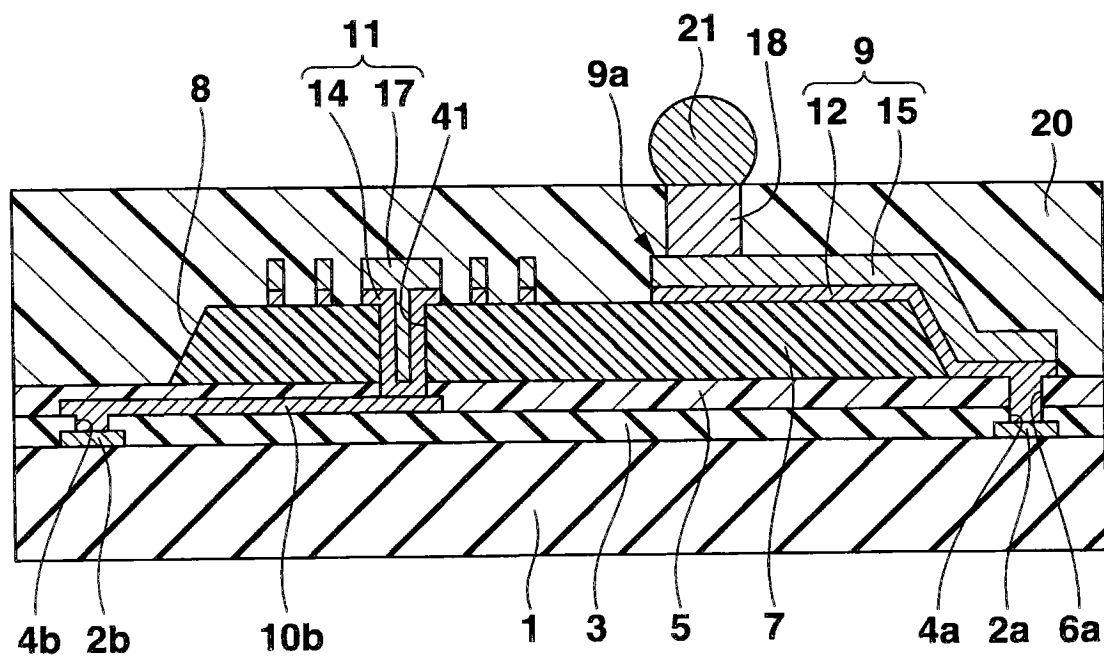


图 13B

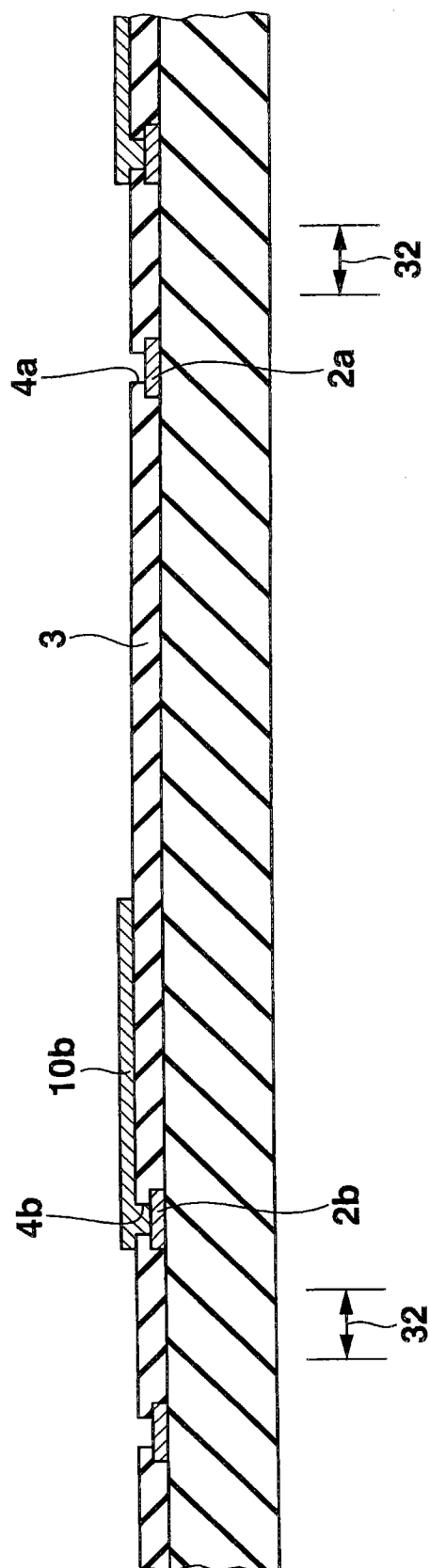


图 14

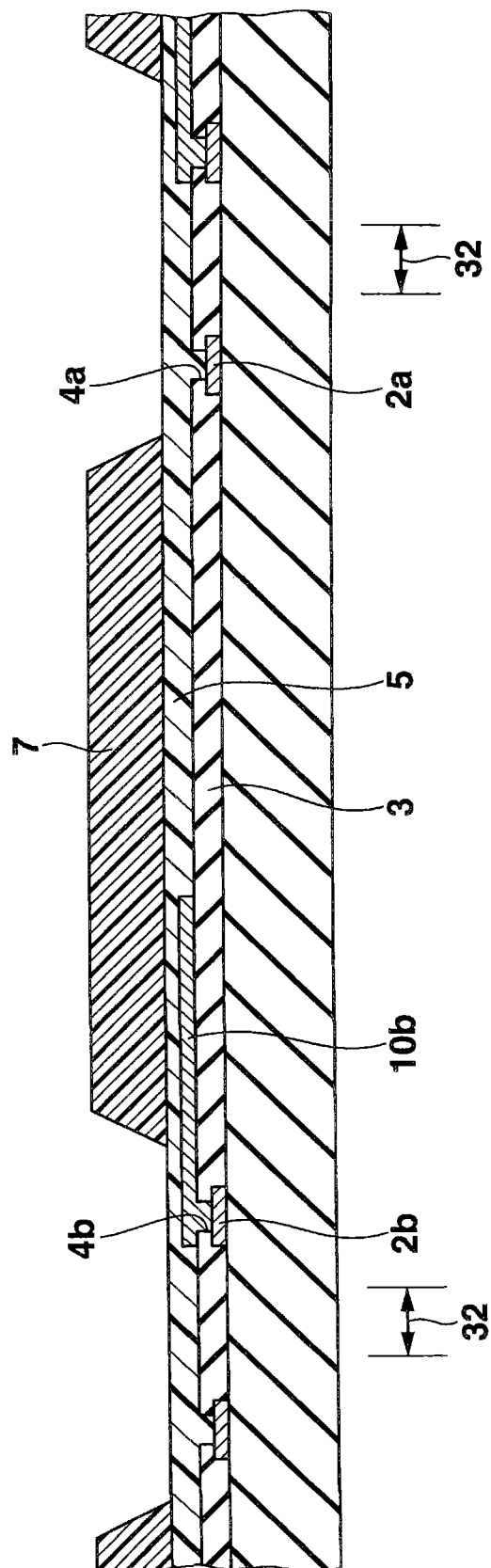


图 15

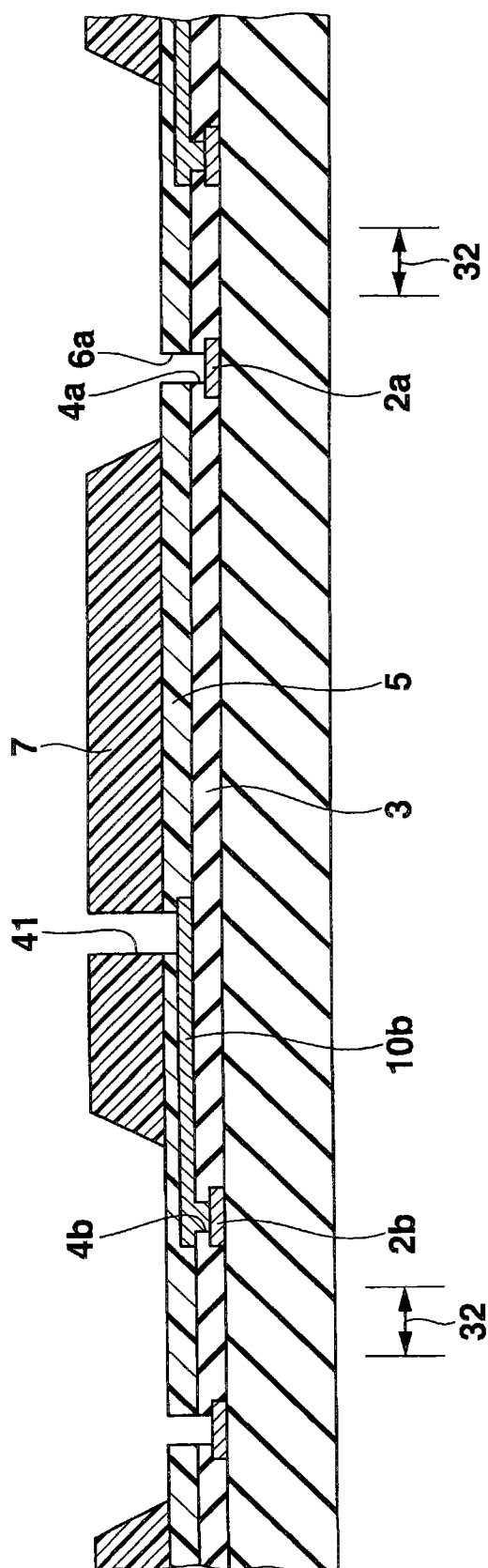


图 16

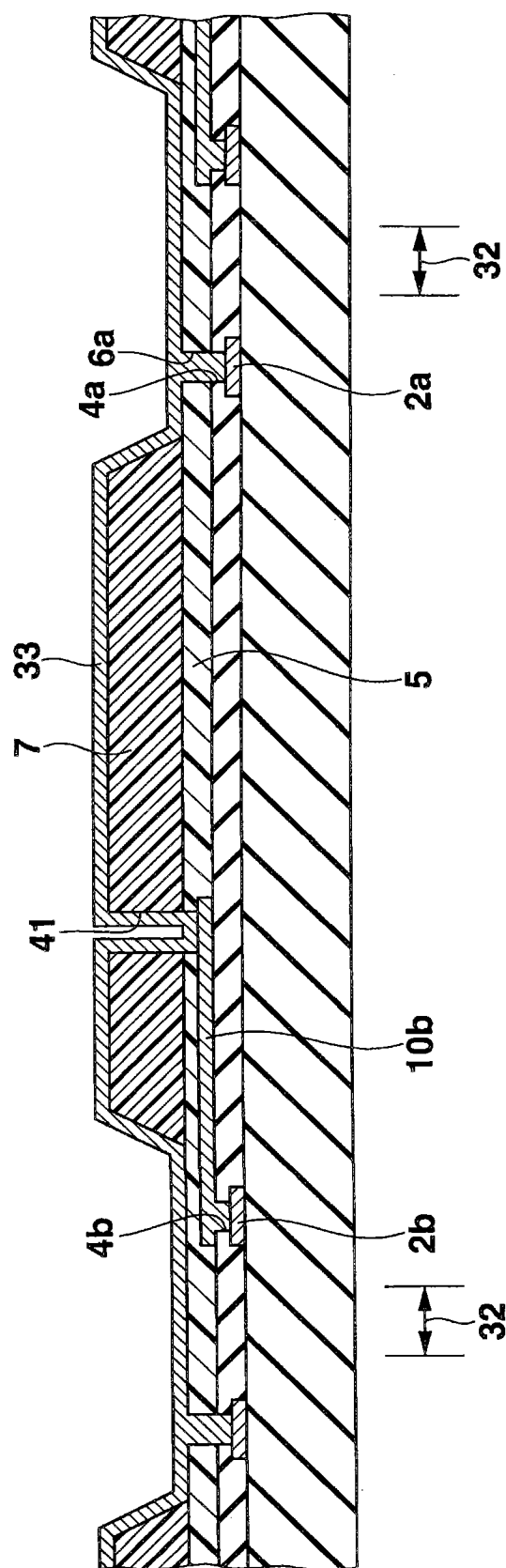


图 17