(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0056403
(43) 공개일자 2024년04월30일

(51) 국제특허분류(Int. Cl.)
G06K 19/077 (2006.01) *C22C 21/12* (2006.01)
(52) CPC특허분류
G06K 19/07722 (2013.01)
C22C 21/12 (2013.01)
(21) 출원번호 10-2023-0108389
(22) 출원일자 2023년08월18일
심사청구일자 없음
(30) 우선권주장
1020220136444 2022년10월21일 대한민국(KR)

(71) 출원인
엘지이노텍 주식회사
서울특별시 강서구 마곡중앙10로 30(마곡동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
조민성
서울특별시 강서구 마곡중앙10로 30(마곡동)
노명래
서울특별시 강서구 마곡중앙10로 30(마곡동)
(뒷면에 계속)
(74) 대리인
허용록

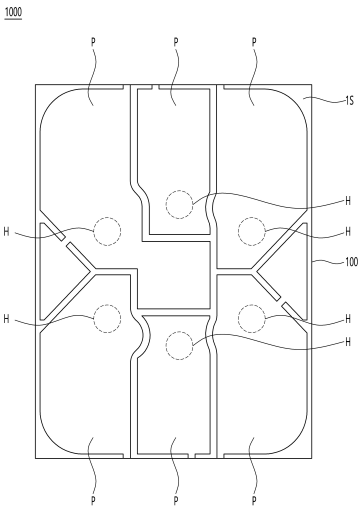
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **스마트 IC 기판, 스마트 IC 모듈 및 이를 포함하는 IC 카드**

(57) 요 약

실시예에 따른 스마트 IC 기판은 제 1 면 및 상기 제 1 면과 반대되는 제 2 면을 포함하는 기재; 상기 제 1 면 상에 배치되는 본딩층; 상기 본딩층 상에 배치되는 금속층; 및 상기 금속층의 일면 상에 배치되는 도금층을 포함하고, 상기 금속층은 알루미늄(Al)-구리(Cu) 합금 또는 알루미늄(Al)-구리(Cu)-A 합금을 포함한다.

대 표 도 - 도1



(52) CPC특허분류
G06K 19/07745 (2013.01)
G06K 19/07749 (2013.01)
B32B 2255/06 (2013.01)
(72) 발명자
이태진
서울특별시 강서구 마곡중앙10로 30(마곡동)
정현
서울특별시 성북구 안암로 145 고려대학교
장태진
서울특별시 성북구 안암로 145 고려대학교
손석수
서울특별시 성북구 안암로 145 고려대학교

명 세 서

청구범위

청구항 1

제 1 면 및 상기 제 1 면과 반대되는 제 2 면을 포함하는 기재;

상기 제 1 면 상에 배치되는 본딩층;

상기 본딩층 상에 배치되는 금속층; 및

상기 금속층의 일면 상에 배치되는 도금층을 포함하고,

상기 금속층은 알루미늄(Al)-구리(Cu) 합금 또는 알루미늄(Al)-구리(Cu)-A 합금을 포함하는 스마트 IC 기판.

청구항 2

제 1항에 있어서,

상기 금속층은 알루미늄(Al)-구리(Cu) 합금을 포함하고,

상기 알루미늄은 70 at% 내지 95 at% 포함하고,

상기 구리는 5 at% 내지 30 at% 포함하는 스마트 IC 기판.

청구항 3

제 1항에 있어서,

상기 금속층은 알루미늄(Al)-구리(Cu)-A 합금을 포함하고,

상기 A는 니켈(Ni), 티타늄(Ti), 아연(Zn), 주석(Sn), 크롬(Cr), 몰리브덴(Mo) 및 망간(Mn) 중 적어도 하나의 금속을 포함하는 스마트 IC 기판.

청구항 4

제 3항에 있어서,

상기 알루미늄은 70 at% 내지 90 at% 포함하고,

상기 구리는 5 at% 내지 25 at%는 포함하고

상기 A 금속은 0.1 at% 내지 10 at% 포함하는 스마트 IC 기판.

청구항 5

제 1항 내지 제 4항 중 어느 한 항에 따른 스마트 IC 기판;

상기 제 2 면 상에 배치되는 칩; 및

상기 칩과 상기 금속층을 연결하는 복수의 와이어를 포함하고,

상기 기재는 복수의 홀을 포함하고,

상기 금속층은 알루미늄(Al)-구리(Cu) 합금 또는 알루미늄(Al)-구리(Cu)-A 합금을 포함하고,

상기 금속층의 타면은 상기 홀을 통해 노출되는 본딩 영역을 포함하고,

상기 와이어는 상기 본딩 영역과 직접 접촉하는 스마트 IC 모듈

청구항 6

제 1 면 및 상기 제 1 면과 반대되는 제 2 면을 포함하는 기재;

상기 제 1 면 상에 배치되는 제 1 본딩층;

상기 제 2 면 상에 배치되는 제 2 본딩층;

상기 제 1 본딩층 상에 배치되는 제 1 금속층;

상기 제 2 본딩층 상에 배치되는 제 2 금속층;

상기 제 1 금속층의 일면 상에 배치되는 제 1 도금층을 포함하고,

상기 제 1 금속층 및 상기 제 2 금속층 중 적어도 하나의 금속층은 알루미늄(Al)-구리(Cu) 합금 또는 알루미늄(Al)-구리(Cu)-A 합금을 포함하는 스마트 IC 기판.

청구항 7

제 6항에 있어서,

상기 제 1 금속층은 알루미늄(Al)-구리(Cu) 합금을 포함하고,

상기 알루미늄은 70 at% 내지 95 at% 포함하고,

상기 구리는 5 at% 내지 30 at% 포함하는 스마트 IC 기판.

청구항 8

제 6항에 있어서,

상기 금속층은 알루미늄(Al)-구리(Cu)-A 합금을 포함하고,

상기 A는 니켈(Ni), 티타늄(Ti), 아연(Zn), 주석(Sn), 크롬(Cr), 몰리브덴(Mo) 및 망간(Mn) 중 적어도 하나의 금속을 포함하고

상기 알루미늄은 70 at% 내지 90 at% 포함하고,

상기 구리는 5 at% 내지 25 at%는 포함하고

상기 A 금속은 0.1 at% 내지 10 at% 포함하는 스마트 IC 기판.

청구항 9

제 6항에 있어서,

상기 제 1 금속층은 알루미늄(Al)-구리(Cu) 합금 또는 알루미늄(Al)-구리(Cu)-A 합금을 포함하고,

상기 제 2 금속층은 구리를 포함하는 스마트 IC 기판.

청구항 10

제 9항에 있어서,

상기 제 2 금속층의 일면 상에 배치되는 제 2 도금층을 더 포함하는 스마트 IC 기판.

청구항 11

제 6항 내지 제 10항 중 어느 한 항에 따른 스마트 IC 기판;

상기 제 2 본딩층 상에 배치되는 칩; 및

상기 칩과 상기 제 1 금속층 및 상기 제 2 금속층을 연결하는 복수의 와이어를 포함하고,

상기 기재는 복수의 홀을 포함하고,

상기 제 1 금속층 및 상기 제 2 금속층 중 적어도 하나의 금속층은 알루미늄(Al)-구리(Cu) 합금 또는 알루미늄(Al)-구리(Cu)-A 합금을 포함하고,

상기 제 1 금속층의 타면은 상기 홀을 통해 노출되는 본딩 영역을 포함하고,

상기 와이어는 상기 본딩 영역과 직접 접촉하는 스마트 IC 모듈

청구항 12

제 11항에 있어서,

상기 와이어는 상기 제 2 금속층의 일면과 직접 접촉하는 스마트 IC 모듈

청구항 13

제 11항에 있어서,

상기 와이어는 상기 제 2 도금층과 직접 접촉하는 스마트 IC 모듈

청구항 14

수용부를 포함하는 본체부;

상기 본체부 상에 배치되는 상부층 및 하부층; 및

상기 수용부 내부에 배치되는 제 5 항에 따른 스마트 IC 모듈을 포함하는 IC 카드.

청구항 15

수용부를 포함하는 본체부;

상기 본체부 상에 배치되는 상부층 및 하부층; 및

상기 수용부 내부에 배치되는 제 11항에 따른 스마트 IC 모듈을 포함하는 IC 카드.

청구항 16

제 15항에 있어서,

상기 본체부 상에 배치되는 안테나 패턴을 더 포함하는 IC 카드.

발명의 설명

기 술 분 야

[0001] 실시예는 스마트 IC 기판, 스마트 IC 모듈 및 이를 포함하는 IC 카드에 관한 것이다.

배 경 기 술

[0002] IC 카드는 정보의 저장과 처리가 가능한 집적회로 칩이 내장된 플라스틱 카드이다. 상기 IC 카드는 필요한 정보들이 저장된 IC를 실장한다. 상기 정보는 전기 신호의 형태로 리더기(reader)에 전달된다

[0003] 상기 IC 카드는 스마트 IC 모듈을 카드의 본체부에 삽입하여 제조된다.

[0004] 상기 스마트 IC 모듈은 금속층의 배치에 따라서 싱글형(single type) 또는 듀얼형(dual type)으로 구분된다. 상기 싱글형은 기재의 일면 상에만 금속층 및 도금층이 배치된다. 또한, 상기 듀얼형은 기재의 양면 상에 금속층 및 도금층이 배치된다.

[0005] 또한, 상기 스마트 IC 모듈은 카드의 사용방법에 따라서 접촉식(contact), 비접촉식(contactless), 하이브리드(hybrid) 및 콤비(combi) 카드로 구분된다. 상기 접촉식 카드는 물리적 접촉에 의해 정보를 송수신한다. 또한, 상기 비접촉식 카드는 물리적 접촉 없이 정보를 송수신한다. 또한, 하이브리드 카드 및 콤비 카드는 상기 접촉식 및 상기 비접촉식 기능을 모두 포함한다.

[0006] 이에 따라, 상기 스마트 IC 모듈은 접촉면과 본딩면을 포함한다. 상기 접촉면은 외부의 장치와 접촉된다. 상기 본딩면 상에는 칩이 배치된다. 상기 본딩면은 상기 카드 본체부의 내부에 삽입된다.

[0007] 상기 본딩면 상에 배치되는 칩과 상기 접촉면 상에 배치되는 금속층은 와이어 본딩에 의해 전기적으로 연결된다. 이에 따라, 상기 스마트 IC 모듈은 복수의 홀을 포함한다. 상기 홀을 통해 상기 칩과 상기 금속층이

와이어 본딩된다.

[0008] 상기 금속층 상에는 와이어 본딩을 위한 도금층이 배치될 수 있다.

[0009] 상기 도금층에 의해 스마트 IC 모듈의 제조 공정이 증가할 수 있다. 또한, 상기 도금층은 금(Au)을 포함한다. 이에 따라, 공정 비용이 증가할 수 있다.

[0010] 따라서, 상기와 같은 문제점을 해결할 수 있는 새로운 구조의 스마트 IC 기판, 스마트 IC 모듈 및 이를 포함하는 IC 카드가 요구된다.

[0011] 상기 스마트 IC 기판과 관련된 선행기술로서 한국공개특허(KR10-2002-0011361)에 개시되어 있다.

발명의 내용

해결하려는 과제

[0012] 실시예는 향상된 신뢰성을 가지는 스마트 IC 기판을 제공한다.

과제의 해결 수단

[0013] 실시예에 따른 스마트 IC 기판은 제 1 면 및 상기 제 1 면과 반대되는 제 2 면을 포함하는 기재; 상기 제 1 면 상에 배치되는 본딩층; 상기 본딩층 상에 배치되는 금속층; 및 상기 금속층의 일면 상에 배치되는 도금층을 포함하고, 상기 금속층은 알루미늄(Al)-구리(Cu) 합금 또는 알루미늄(Al)-구리(Cu)-A 합금을 포함한다.

발명의 효과

[0014] 실시예에 따른 스마트 IC 기판은 합금을 포함하는 금속층을 포함한다. 상기 금속층은 패터닝되어 복수의 전도성 패턴을 형성한다.

[0015] 상기 합금은 2원계 합금 또는 3원계 이상의 합금일 수 있다. 상기 금속층이 상기 합금으로 형성되므로, 상기 금속층의 본딩성 및 강도가 향상될 수 있다. 이에 따라, 상기 와이어는 상기 금속층과 직접 본딩될 수 있다. 이에 따라, 상기 칩과 상기 금속층을 연결하기 위한 별도의 도금층이 생략될 수 있다. 이에 따라, 공정 효율이 향상된다.

[0016] 또한, 상기 복수의 와이어들은 동일한 금속층과 본딩된다. 이에 따라, 와이어들의 본딩성이 균일해질 수 있다. 따라서, 상기 스마트 IC 모듈의 신뢰성이 향상될 수 있다.

[0017] 또한, 상기 금속층이 상기 합금으로 형성되므로, 상기 금속층의 내부식성 및 전기 전도성이 향상될 수 있다. 이에 따라, 상기 칩과 상기 전도성 패턴 사이의 신호가 용이하게 이동할 수 있다. 또한, 상기 금속층의 본딩 영역이 공정 중 산화되는 것을 방지할 수 있다.

도면의 간단한 설명

[0018] 도 1은 제 1 실시예에 따른 스마트 IC 기판의 제 1 면의 상면도이다.

도 2는 제 1 실시예에 따른 스마트 IC 기판의 제 2 면의 상면도이다.

도 3은 도 2의 A-A' 영역을 절단한 단면도이다.

도 4는 제 1 실시예에 따른 스마트 IC 모듈의 제 2 면의 상면도이다.

도 5는 도 4의 B-B' 영역을 절단한 단면도이다.

도 6은 제 2 실시예에 따른 스마트 IC 기판의 제 1 면의 상면도이다.

도 7은 제 2 실시예에 따른 스마트 IC 기판의 제 2 면의 상면도이다.

도 8은 도 7의 C-C' 영역을 절단한 단면도이다.

도 9 및 도 10은 도 7의 D-D' 영역을 절단한 단면도이다.

도 11은 제 2 실시예에 따른 스마트 IC 모듈의 제 2 면의 상면도이다.

도 12는 도 11의 E-E' 영역을 절단한 단면도이다.

도 13은 도 11의 F-F' 영역을 절단한 단면도들이다.

도 14는 실시예에 따른 스마트 IC 카드의 분해 사시도이다.

도 15는 실시예에 따른 스마트 IC 모듈의 결합을 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다. 다만, 본 발명의 기술 사상은 설명되는 일부 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있고, 본 발명의 기술 사상 범위 내에서라면, 실시예들간 그 구성 요소들 중 하나 이상을 선택적으로 결합, 치환하여 사용할 수 있다.

[0020] 또한, 본 발명의 실시예에서 사용되는 용어(기술 및 과학적 용어를 포함)는, 명백하게 특별히 정의되어 기술되지 않는 한, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 일반적으로 이해될 수 있는 의미로 해석될 수 있으며, 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥상의 의미를 고려하여 그 의미를 해석할 수 있을 것이다.

[0021] 또한, 본 발명의 실시예에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함할 수 있고, “A 및(와) B, C중 적어도 하나(또는 한개이상)”로 기재되는 경우 A, B, C로 조합할 수 있는 모든 조합 중 하나이상을 포함할 수 있다.

[0022] 또한, 본 발명의 실시 예의 구성 요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등으로 한정되지 않는다.

[0023] 그리고, 어떤 구성 요소가 다른 구성요소에 '연결', '결합' 또는 '접속'된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결, 결합 또는 접속되는 경우 뿐만 아니라, 그 구성 요소와 그 다른 구성요소 사이에 있는 또 다른 구성 요소로 인해 '연결', '결합' 또는 '접속 ' 되는 경우도 포함할 수 있다.

[0024] 또한, 각 구성 요소의 " 상(위) 또는 하(아래)"에 형성 또는 배치되는 것으로 기재되는 경우, 상(위) 또는 하(아래)는 두 개의 구성 요소들이 서로 직접 접촉되는 경우뿐만 아니라 하나 이상의 또 다른 구성 요소가 두 개의 구성 요소들 사이에 형성 또는 배치되는 경우도 포함한다.

[0025] 또한 “상(위) 또는 하(아래)”으로 표현되는 경우 하나의 구성 요소를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.

[0027] 이하, 도면들을 참조하여 실시예에 따른 스마트 IC 기판, 스마트 IC 모듈 및 이를 포함하는 스마트 IC 카드를 설명한다.

[0029] 도 1 내지 도 5를 참조하여 제 1 실시예에 따른 스마트 IC 기판(1000) 및 스마트 IC 모듈(2000)을 설명한다.

[0030] 도 1 내지 도 3을 참조하면, 상기 스마트 IC 기판은 기재(100), 본딩층(200). 금속층(300), 도금층(400)을 포함한다.

[0031] 상기 기재(100)는 제 1 면(1S) 및 제 2 면(2S)을 포함한다. 상기 제 1 면(1S) 및 상기 제 2 면(2S)은 서로 반대되는 면이다.

[0032] 상기 제 1 면(1S)은 컨택면(Contact Surface)이다. 자세하게, 상기 제 1 면(1S)은 직접 또는 간접적인 접촉에 의해 상기 스마트 IC 모듈의 정보를 인식할 수 있는 면이다. 또한, 상기 제 2 면(2S)은 본딩면(Bonding Surface)이다. 자세하게, 상기 제 2 면(2S)은 칩이 실장되고, 상기 IC 카드의 본체와 접착되는 면이다.

[0033] 상기 기재(100)는 수지 물질을 포함한다. 상기 기재(100)는 유리섬유를 포함하는 프리프레그(prepreg)를 포함할 수 있다. 자세하게, 상기 기재(100)는 에폭시 수지의 내부에 유리 섬유 및 실리콘계 필러(Si filler)가 분산된 물질을 포함할 수 있다.

[0034] 또는, 상기 기재(100)는 리지드(rigid)하거나 또는 플렉서블(flexible)할 수 있다. 예를 들어, 상기 기재(100)

는 유리 또는 플라스틱을 포함할 수 있다. 자세하게, 상기 기재(100)는 소다라임유리(soda lime glass) 또는 알루미노실리케이트유리 등의 화학 강화/반강화유리를 포함할 수 있다. 또는, 상기 기재(100)는 폴리이미드(Polyimide, PI), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET), 프로필렌 글리콜(propylene glycol, PPG) 폴리 카보네이트(PC) 또는 사파이어를 포함할 수 있다.

[0035] 또는, 상기 기재(100)는 광등방성 필름을 포함할 수 있다. 일례로, 상기 기재(100)는 COC(Cyclic Olefin Copolymer), COP(Cyclic Olefin Polymer), 광등방 폴리카보네이트(polycarbonate, PC) 또는 광등방 폴리메틸메타크릴레이트(PMMA)를 포함할 수 있다.

[0036] 또는, 상기 기재(100)는 부분적으로 곡면을 가지면서 휘어질 수 있다. 즉, 기재(100)는 부분적으로는 평면을 가지고, 부분적으로는 곡면을 가지면서 휘어질 수 있다. 자세하게, 상기 기재(100)의 끝단은 곡면을 가지면서 휘어질 수 있다. 또는, 상기 기재(100)는 랜덤한 곡률을 가지면서 휘어질 수 있다.

[0037] 상기 기재(100)는 설정 범위의 두께를 가질 수 있다. 예를 들어, 상기 기재(100)의 두께는 60㎛ 내지 140㎛, 70㎛ 내지 120㎛ 또는 80㎛ 내지 100㎛ 일 수 있다. 상기 기재(100)의 두께가 60㎛ 미만인 경우, 상기 기재(100)의 지지력이 감소한다. 또한, 상기 기재(100)의 두께가 140㎛ 초과인 경우, 상기 스마트 IC 기판의 두께가 증가될 수 있다. 이에 의해, 상기 IC 카드의 크기가 증가된다.

[0038] 상기 기재(100)는 절연성을 가진다. 이에 의해, 상기 기재(100)는 회로 간의 쇼트를 방지한다. 또한, 상기 기재(100)는 회로를 형성하는 공정 중에 회로를 지지하는 역할을 한다.

[0040] 상기 기재(100)는 홀을 포함한다. 자세하게, 상기 기재(100)는 복수의 홀(H) 을 포함한다.

[0041] 상기 복수의 홀 중 적어도 하나의 홀은 와이어 본딩이 되는 영역이다. 예를 들어, 복수의 홀은 모두 와이어 본딩이 되는 영역이다. 또는, 복수의 홀 중 일부의 홀은 와이어 본딩이 되는 영역이다. 상기 칩(C)과 상기 도금층은 상기 홀(H)을 통해 와이어 본딩된다.

[0042] 상기 홀(H)은 설정 범위의 폭을 가진다. 상기 홀(H)의 폭은 상기 홀의 직경 또는 홀의 내측면 사이의 최소 거리로 정의될 수 있다. 예를 들어, 상기 홀(H)의 폭은 500㎛ 내지 1000㎛, 600㎛ 내지 900㎛ 또는 700㎛ 내지 800㎛ 일 수 있다. 상기 홀(H)의 폭이 500㎛ 미만인 경우, 상기 홀(H)을 통해 와이어 본딩이 어려워진다. 또한, 상기 홀(H)의 폭이 1000㎛ 초과인 경우, 상기 기재(100)의 지지력이 감소한다.

[0044] 상기 본딩층(200)은 상기 기재(100) 상에 배치된다. 자세하게, 상기 본딩층(200)은 상기 제 1 면(1S) 상에 배치된다.

[0045] 상기 본딩층(200)은 수지 물질을 포함한다. 예를 들어, 상기 본딩층(200)은 에폭시 수지, 아크릴 수지 및 폴리이미드 수지 중 적어도 하나를 포함할 수 있다. 또한, 상기 본딩층(200)은 천연 고무, 가소제, 경화제 및 인계 난연제 중 적어도 하나의 첨가물을 포함할 수 있다. 이에 의해, 상기 본딩층(200)의 유연성이 향상된다.

[0046] 상기 본딩층(200)은 설정 범위의 두께를 가질 수 있다. 예를 들어, 상기 본딩층(200)의 두께는 15㎛ 내지 35㎛, 20㎛ 내지 30㎛ 또는 22㎛ 내지 28㎛ 일 수 있다. 상기 본딩층(200)의 두께가 15㎛ 미만인 경우, 상기 본딩층(200)의 접착력이 감소한다. 이에 의해, 상기 본딩층(200) 상의 금속층이 탈막될 수 있다. 또한, 상기 본딩층(200)의 두께가 35㎛ 초과인 경우, 상기 스마트 IC 기판의 두께가 증가될 수 있다. 이에 의해, 상기 IC 카드의 크기가 증가된다.

[0048] 상기 금속층(300)은 상기 기재(100) 상에 배치된다. 상기 금속층(300)은 상기 본딩층(200) 상에 배치된다.

[0049] 상기 금속층(300)은 설정 범위의 두께를 가질 수 있다. 예를 들어, 상기 금속층(300)의 두께는 20㎛ 내지 60㎛, 25㎛ 내지 50㎛ 또는 35㎛ 내지 40㎛ 일 수 있다. 상기 금속층(300)의 두께가 20㎛ 미만인 경우, 상기 금속층(300)의 저항이 증가한다. 또한, 상기 금속층(300)의 두께가 60㎛ 초과인 경우, 상기 스마트 IC 기판의 두께가 증가될 수 있다. 이에 의해, 상기 IC 카드의 크기가 증가된다. 또한, 공정 효율이 감소할 수 있다.

[0050] 상기 금속층(300)은 복수의 전도성 패턴(P)들을 포함한다. 상기 전도성 패턴(P)은 상기 금속층(300)을 패터닝하여 형성된다.

[0051] 상기 전도성 패턴(P)들은 상기 제 1 면(1S) 상에 배치된다. 상기 전도성 패턴(P)들은 상기 컨택면 상에 배치된다. 상기 전도성 패턴(P)들은 서로 이격하여 배치된다. 상기 홀(H)은 각각의 전도성 패턴(P)과 대응되는 영역에 배치된다.

[0052] 상기 금속층(300)은 금속 합금을 포함한다. 예를 들어, 상기 금속층(300)은 알루미늄(Al) 및 구리(Cu)를 포함할 수 있다. 자세하게, 상기 금속층(300)은 알루미늄(Al)-구리(Cu) 합금을 포함할 수 있다. 즉, 상기 금속층(300)은 2원계 합금을 포함할 수 있다.

[0053] 상기 알루미늄과 상기 구리는 설정된 범위로 포함될 수 있다. 상기 금속층(300)은 상기 알루미늄이 상기 구리보다 많이 포함하는 합금을 포함할 수 있다. 즉, 상기 금속층(300)은 주성분이 알루미늄인 알루미늄(Al)-구리(Cu) 합금을 포함할 수 있다.

[0054] 상기 알루미늄은 70 at% 이상 포함될 수 있다. 자세하게, 상기 알루미늄은 70 at% 내지 95 at%, 73 at% 내지 87 at% 또는 75at% 내지 85 at% 포함될 수 있다. 상기 알루미늄의 원자퍼센트(at%)의 범위는 상기 알루미늄(Al)-구리(Cu) 합금의 원자퍼센트를 100으로 하였을 때를 기준으로 한 범위이다.

[0055] 상기 금속층의 본딩 특성은 상기 알루미늄에 의해 제어된다. 상기 금속층이 상기 범위의 알루미늄을 포함하므로, 상기 금속층의 본딩력이 향상된다. 이에 따라, 상기 칩은 상기 금속층(300)과 직접 와이어 본딩될 수 있다. 이에 따라, 상기 금속층의 타면(302) 상에 별도의 도금층을 배치하는 것을 생략할 수 있다.

[0056] 상기 알루미늄이 70 at% 미만이면 상기 금속층의 본딩력이 감소한다. 이에 따라, 상기 칩과 상기 금속층의 연결 특성이 감소한다. 따라서, 스마트 IC 모듈의 신뢰성이 감소한다.

[0057] 상기 알루미늄이 95 at% 초과하면 상기 금속층이 순수한 알루미늄의 특성에 가까워진다. 이에 따라, 상기 금속층의 기계적 강도 및 전기 전도성이 감소한다. 따라서, 스마트 IC 모듈의 구동 특성이 감소한다.

[0059] 상기 구리는 30 at% 이하 포함될 수 있다. 자세하게, 상기 구리는 5 at% 내지 30 at%, 7 at% 내지 20 at% 또는 10t% 내지 15 at% 포함될 수 있다. 상기 구리의 원자퍼센트(at%)의 범위는 상기 알루미늄(Al)-구리(Cu) 합금의 원자퍼센트를 100으로 하였을 때를 기준으로 한 범위이다.

[0060] 상기 금속층의 강도 및 전기 전도성은 상기 구리에 의해 제어된다. 상기 금속층이 상기 범위의 구리를 포함하므로, 상기 금속층의 강도 및 전기 전도성이 향상된다. 이에 따라, 상기 칩은 상기 금속층(300)을 와이어 본딩할 때, 상기 금속층에 크랙이 발생하는 것을 방지할 수 있다. 또한, 상기 칩과 상기 금속층 사이의 신호가 용이하게 이동할 수 있다.

[0061] 상기 구리가 5 at% 미만이면 상기 금속층의 기계적 강도 및 전기 전도성이 감소한다. 이에 따라, 상기 칩과 상기 금속층을 연결할 때, 상기 금속층에 크랙이 형성될 수 있다. 따라서, 스마트 IC 모듈의 신뢰성이 감소한다. 또한, 상기 칩과 상기 금속층 사이의 신호가 용이하게 이동하지 못한다. 이에 따라, 스마트 IC 모듈의 구동 특성이 감소한다.

[0062] 상기 구리가 30 at% 초과하면 상기 알루미늄의 고용 한계가 초과된다. 이에 의해, 상기 알루미늄-구리 합금의 형성이 어려워진다. 이에 따라, 상기 금속층의 본딩 특성이 감소한다. 따라서, 스마트 IC 모듈의 신뢰성이 감소한다.

[0064] 상기 금속층(300)은 다른 금속을 더 포함할 수 있다. 자세하게, 상기 금속층은 구리-알루미늄-A 합금을 포함할 수 있다. 상기 A는 니켈(Ni), 티타늄(Ti), 아연(Zn), 주석(Sn), 크롬(Cr), 몰리브덴(Mo) 및 망간(Mn) 중 적어도 하나의 금속을 포함할 수 있다. 즉, 상기 금속층(300)은 3원계 이상의 합금을 포함할 수 있다.

[0065] 상기 A 금속은 설정된 범위로 포함될 수 있다. 상기 A 금속은 상기 알루미늄보다 적게 포함될 수 있다. 상기 A 금속은 상기 구리와 다른 양으로 포함될 수 있다. 일례로, 상기 A 금속은 상기 구리보다 많이 포함될 수 있다. 또는, 상기 A 금속은 상기 구리보다 적게 포함될 수 있다.

[0066] 상기 알루미늄은 70 at% 이상 포함될 수 있다. 자세하게, 상기 알루미늄은 70 at% 내지 90 at%, 73 at% 내지 87 at% 또는 75at% 내지 85 at% 포함될 수 있다. 상기 알루미늄의 원자퍼센트(at%)의 범위는 상기 알루미늄(Al)-구리(Cu)-A 합금의 원자퍼센트를 100으로 하였을 때를 기준으로 한 범위이다.

[0067] 상기 구리는 25 at% 이하 포함될 수 있다. 자세하게, 상기 구리는 5 at% 내지 25 at%, 7 at% 내지 20 at% 또는 10t% 내지 15 at% 포함될 수 있다. 상기 구리의 원자퍼센트(at%)의 범위는 상기 알루미늄(Al)-구리(Cu)-A 합금의 원자퍼센트를 100으로 하였을 때를 기준으로 한 범위이다.

[0068] 상기 A 금속은 10 at% 이하 포함될 수 있다. 자세하게, 상기 A 금속은 0.1 at% 내지 10 at%, 3 at% 내지 9 at% 또는 5 at% 내지 7 at% 포함될 수 있다. 상기 A 금속의 원자퍼센트(at%)의 범위는 상기 알루미늄(Al)-구리(Cu)-A 합금의 원자퍼센트를 100으로 하였을 때를 기준으로 한 범위이다.

[0069] 상기 금속층(300)의 내부식성은 상기 A 금속에 의해 향상된다. 상기 A 금속이 0.1 at% 미만이면, 상기 금속층(300)의 내부식성이 감소할 수 있다. 이에 따라, 상기 스마트 IC 모듈의 신뢰성이 감소할 수 있다.

[0070] 또한, 상기 금속층(300)의 압연성은 상기 A 금속에 의해 향상된다. 상기 합금은 압연 공정에 의해 형성된다. 상기 A 금속이 0.1 at% 미만이면, 상기 금속층(300)의 압연성이 감소한다. 이에 의해, 상기 금속층(300)의 두께가 증가할 수 있다. 또한, 상기 금속층(300)의 표면 조도가 증가할 수 있다.

[0071] 상기 A 금속이 10 at% 초과하면 합금화 공정 중 상기 A 금속에 의한 2차상이 형성될 수 있다. 이에 의해, 상기 합금의 조성이 불균일해진다. 이에 따라, 상기 금속층의 본딩성, 강도, 내부식성 및 압연성 중 적어도 하나의 특성이 감소할 수 있다.

[0073] 상기 도금층은 상기 금속층(300) 상에 배치된다. 자세하게, 상기 도금층은 상기 금속층의 일면(301) 상에 배치된다. 상기 금속층(300) 및 상기 도금층(400)에 의해 상기 전도성 패턴(P)이 형성된다.

[0074] 상기 도금층(400)은 제 1 층(410) 및 제 2 층(420)을 포함한다. 상기 제 1 층(410)은 상기 금속층(300)과 접촉한다. 상기 2 층(420)은 상기 제 1 층(410)과 접촉한다. 이에 따라, 상기 제 1 층(410)은 상기 금속층(300)과 상기 제 2 층(420) 사이에 배치된다.

[0075] 한편, 도면에는 도시되지 않았지만 상기 제 2 층(420) 상에는 유기 코팅층이 배치될 수 있다. 상기 유기 코팅층은 상기 제 2 층(420)을 보호한다. 이에 따라, 상기 제 2 층(420)의 부식을 방지할 수 있다.

[0076] 상기 제 1 층(410) 및 상기 제 2 층(420)은 다른 금속을 포함할 수 있다. 자세하게, 상기 제 1 층(410)은 니켈(Ni)을 포함할 수 있다. 상기 제 2 층(420)은 금(Au) 또는 팔라듐(Pd)을 포함할 수 있다.

[0077] 상기 제 1 층(410)과 상기 제 2 층(420)의 두께는 다르다. 자세하게, 상기 제 1 층(410)의 두께는 상기 제 2 층(420)의 두께보다 크다. 예를 들어, 상기 제 1 층(410)의 두께는 1㎛ 내지 3㎛일 수 있다. 상기 제 2 층(420)의 두께는 0.01㎛ 내지 0.1㎛일 수 있다. 상기 도금층(410)은 상기 기재(100)의 제 1 면(1S) 상에 배치된다. 따라서, 상기 도금층(400)은 상기 IC 카드의 외부로 노출될 수 있다. 상기 제 1 층(410)은 니켈을 포함한다. 이에 의해, 사용자에게 유해한 독성이 전달될 수 있다.

[0078] 따라서, 상기 제 1 층(410) 상에는 상기 제 2 층(420)이 배치된다. 이에 따라, 상기 제 1 층(410)이 외부로 노출되는 것을 방지한다. 또한, 상기 제 2 층(420)은 금을 포함한다. 따라서, 상기 제 1 도금층(410)의 부식을 방지한다. 또한, 사용자의 심미감을 향상시킨다. 또한, 상기 제 2 층(420)은 매우 얇은 두께로 배치된다. 따라서, 공정 비용이 감소되고, 공정 효율이 향상된다.

[0080] 상기 와이어는 상기 금속층(300)과 본딩된다. 자세하게, 상기 와이어는 상기 금속층의 타면(302)과 본딩된다. 상기 타면(302)의 일 영역은 상기 홀(H)에 의해 노출된다. 즉, 상기 타면(302)은 상기 홀(H)에 의해 노출되는 본딩 영역(BA)을 포함한다. 상기 와이어는 상기 본딩 영역(BA)과 본딩된다. 상기 와이어는 상기 금속층과 직접 접촉하고, 상기 본딩 영역(BA)과 본딩된다.

[0081] 앞서 설명하였듯이. 상기 금속층은 합금을 포함한다. 이에 따라, 상기 금속층의 본력성 및 강도가 증가한다. 이에 따라, 상기 와이어는 상기 금속층과 직접 본딩될 수 있다.

[0082] 따라서, 상기 금속층의 타면에 배치되는 별도의 도금층이 생략될 수 있다. 따라서, 상기 스마트 IC 모듈의 공정 효율이 향상될 수 있다. 또한, 복수의 와이어가 동일한 금속층(300)과 본딩된다. 상기 금속층의 타면에 복수의 도금층이 배치할 때, 공정 중 오차에 의해 도금층들의 두께가 달라질 수 있다. 이에 따라, 도금층들의 본딩력이 서로 달라질 수 있다. 이에 따라, 복수의 와이어들의 본딩력이 달라질 수 있다. 이에 의해, 각각의 전도성 패턴

으로 이동하는 신호의 속도가 불균일해질 수 있다.

[0083] 그러나, 복수의 와이어가 동일한 금속층(300)과 본딩되므로 상기 복수의 와이어들의 본딩력이 균일해질 수 있다. 따라서, 상기 스마트 IC 모듈의 신뢰성 및 구동 특성이 향상될 수 있다.

[0085] 이하. 도 4 및 도 5를 참조하여 제 1 실시예에 따른 스마트 IC 모듈을 설명한다.

[0086] 도 4 및 도 5를 참조하면, 상기 스마트 IC 모듈(2000)은 앞서 설명한 상기 스마트 IC 기판(1000) 및 칩(C)을 포함한다.

[0087] 상기 칩(C)은 상기 제 2 면(2S) 상에 배치된다. 자세하게, 상기 칩(C)은 상기 본딩면 상에 배치된다.

[0088] 상기 칩(C)은 상기 금속층(300)과 연결된다. 상기 칩(C)은 상기 금속층(300)과 직접 접촉된다. 상기 칩(C)은 상기 금속층(300)의 타면(302)과 연결된다. 상기 칩(C)은 상기 금속층(300)의 타면의 본딩 영역(BA)과 연결된다. 자세하게, 상기 칩(C)과 상기 본딩 영역(BA)은 와이어(W)에 의해 와이어 본딩된다. 이에 따라, 상기 칩(C)과 상기 전도성 패턴(P)들은 전기적으로 연결된다.

[0089] 상기 와이어(W)는 금속을 포함한다. 자세하게, 상기 와이어(W)는 상기 금속층(300)과 동일 또는 다른 물질을 포함할 수 있다. 예를 들어, 상기 와이어(W)는 금, 구리 또는 알루미늄을 포함할 수 있다.

[0090] 상기 칩(C) 상에는 몰딩 부재(M)가 배치될 수 있다. 상기 몰딩 부재(M)는 상기 칩(C) 및 상기 와이어(W)를 덮으면서 배치된다. 이에 따라, 외부의 충격에 의해 와이어 본딩이 손상되는 것을 방지할 수 있다.

[0092] 제 1 실시예에 따른 스마트 IC 기판은 합금을 포함하는 금속층을 포함한다. 상기 금속층은 패터닝되어 복수의 전도성 패턴을 형성한다.

[0093] 상기 합금은 2원계 합금 또는 3원계 이상의 합금일 수 있다. 상기 금속층이 상기 합금으로 형성되므로, 상기 금속층의 본딩력 및 강도가 향상될 수 있다. 이에 따라, 상기 와이어는 상기 금속층과 직접 본딩될 수 있다. 이에 따라, 상기 칩과 상기 금속층을 연결하기 위한 별도의 도금층이 생략될 수 있다. 이에 따라, 공정 효율이 향상된다.

[0094] 또한, 상기 복수의 와이어들은 동일한 금속층과 본딩된다. 이에 따라, 와이어들의 본딩성이 균일해질 수 있다. 따라서, 상기 스마트 IC 모듈의 신뢰성이 향상될 수 있다.

[0095] 또한, 상기 금속층이 상기 합금으로 형성되므로, 상기 금속층의 내부식성 및 전기 전도성이 향상될 수 있다. 이에 따라, 상기 칩과 상기 전도성 패턴 사이의 신호가 용이하게 이동할 수 있다. 또한, 상기 금속층의 본딩 영역이 공정 중 산화되는 것을 방지할 수 있다.

[0097] 이하, 도 6 내지 도 13을 참조하여 제 2 실시예에 따른 스마트 IC 기판(1000) 및 스마트 IC 모듈(2000)을 설명한다.

[0098] 도 6 내지 도 10을 참조하면, 상기 스마트 IC 기판은 기재(100), 본딩층(200). 금속층(300), 도금층을 포함한다.

[0099] 상기 기재(100)는 제 1 면(1S) 및 제 2 면(2S)을 포함한다. 상기 제 1 면(1S) 및 상기 제 2 면(2S)은 서로 반대되는 면이다. 상기 제 1 면(1S)은 컨택면(Contact Surface)으로 정의된다. 또한, 상기 제 2 면(2S)은 본딩면(Bonding Surface)으로 정의된다.

[0100] 상기 기재(100)의 물질, 형상 및 두께는 제 1 실시예와 동일하다.

[0101] 상기 기재(100)는 홀(H)을 포함한다. 상기 홀(H)은 복수의 홀을 포함한다. 상기 복수의 홀 중 적어도 하나의 홀은 와이어 본딩이 되는 영역이다. 예를 들어, 복수의 홀은 모두 와이어 본딩이 되는 영역이다. 또는, 복수의 홀 중 일부의 홀은 와이어 본딩이 되는 영역이다. 상기 칩(C)과 상기 도금층은 상기 홀(H)을 통해 와이어 본딩된다.

[0102] 상기 홀(H)은 설정 범위의 폭을 가진다. 상기 홀(H)의 폭은 상기 홀의 직경 또는 홀의 내측면 사이의 최소 거리

로 정의될 수 있다. 예를 들어, 상기 홀(H)의 폭은 500㎛ 내지 1000㎛, 600㎛ 내지 900㎛ 또는 700㎛ 내지 800㎛ 일 수 있다. 상기 홀(H)의 폭이 500㎛ 미만인 경우, 상기 홀(H)을 통해 와이어 본딩이 어려워진다. 또한, 상기 홀(H)의 폭이 1000㎛ 초과인 경우, 상기 기재(100)의 지지력이 감소한다.

[0104] 상기 본딩층(200)은 상기 기재(100) 상에 배치된다. 상기 본딩층(200)은 제 1 본딩층(210) 및 제 2 본딩층(220)을 포함한다. 상기 제 1 본딩층(210)은 상기 제 1 면(1S) 상에 배치된다. 상기 제 2 본딩층(220)은 상기 제 2 면(2S) 상에 배치된다.

[0105] 상기 본딩층(200)의 물질 및 두께는 제 1 실시예와 동일하다.

[0107] 상기 금속층(300)은 상기 기재(100) 상에 배치된다. 상기 금속층(300)은 제 1 금속층(310) 및 제 2 금속층(320)을 포함한다. 상기 제 1 금속층(310)은 상기 제 1 본딩층(210) 상에 배치된다. 상기 제 2 금속층(320)은 상기 제 2 본딩층(220) 상에 배치된다.

[0108] 상기 제 1 금속층(310) 및 상기 제 2 금속층(320) 중 적어도 하나는 앞서 설명한 합금을 포함할 수 있다.

[0109] 예를 들어, 도 8 및 도 9를 참조하면, 상기 제 1 금속층(310) 및 상기 제 2 금속층(320)은 앞서 설명한 합금을 포함한다. 이에 따라, 상기 제 1 금속층(310)의 타면(312) 상에는 와이어 본딩을 위한 별도의 도금층이 배치되지 않는다. 또한, 상기 제 2 금속층(320)의 일면(321) 상에는 와이어 본딩을 위한 별도의 도금층이 배치되지 않는다.

[0110] 또는, 도 8 및 도 10을 참조하면, 상기 제 1 금속층(310)과 상기 제 2 금속층은 다른 금속을 포함한다. 자세하게, 상기 제 1 금속층(310)은 앞서 설명한 합금을 포함한다. 또한, 상기 제 2 금속층(320)은 구리를 포함할 수 있다.

[0111] 이에 따라, 상기 제 1 금속층(310)의 일면(311) 상에는 제 1 도금층(401)이 배치된다. 또한, 상기 제 1 금속층(310)의 타면(312) 상에는 와이어 본딩을 위한 별도의 도금층이 배치되지 않는다. 또한, 상기 제 2 금속층(320)의 일면(321) 상에는 와이어 본딩을 위한 별도의 도금층이 배치된다. 자세하게, 상기 제 2 금속층(320)의 일면(321) 상에는 제 3 도금층(402)이 배치된다.

[0112] 상기 제 1 도금층(401)은 제 1-1 층(401a) 및 제 1-2 층(401b)을 포함한다. 또한, 상기 제 2 도금층(402)은 제 2-1 층(402a) 및 제 2-2 층(402b)을 포함한다.

[0113] 상기 제 1-1 층(401a) 및 상기 제 1-2 층(401b)은 앞서 설명한 상기 제 1 층(410) 및 상기 제 2 층(420)과 각각 대응한다.

[0114] 상기 제 2-1 층(402a)은 니켈을 포함할 수 있다. 상기 제 2-2 층(402b)은 금 또는 팔라듐을 포함할 수 있다.

[0115] 상기 제 1 도금층(401) 및 상기 제 2 도금층(402)은 다른 크기를 가질 수 있다. 자세하게, 상기 제 1 도금층(401)의 두께 및 상기 제 2 도금층(402)의 두께는 다를 수 있다.

[0116] 상기 제 2 도금층(402)의 두께는 상기 제 1 도금층(401)의 두께보다 크다. 상기 제 1-1 층(401a)의 두께와 상기 제 2-1 층(402a)의 두께는 다를 수 있다. 자세하게, 상기 제 1-1 층(401a)의 두께는 상기 제 2-1 층(402a)의 두께보다 작을 수 있다. 또한, 상기 제 1-2 층(401b)의 두께와 상기 제 2-2 층(402b)의 두께는 다를 수 있다. 자세하게, 상기 제 1-2 층(401b)의 두께는 상기 제 2-2 층(402b)의 두께보다 작을 수 있다. 이에 의해, 상기 제 2 도금층(402)의 두께는 상기 제 1 도금층(401)의 두께보다 크다.

[0117] 상기 제 2-1 층(402a)의 두께는 2㎛ 내지 9㎛일 수 있다. 상기 제 2-2 층(402b)의 두께는 1㎛ 내지 9㎛, 2㎛ 내지 8㎛ 또는 3㎛ 내지 7㎛일 수 있다. 상기 제 2 도금층(402)은 상기 칩(C)과 와이어 본딩된다. 따라서, 상기 제 2-2 층(402b)의 두께는 상기 제 1-2 층(401b)의 두께보다 크다. 상기 제 2-2 층(402b)의 두께가 1㎛ 미만인 경우, 상기 와이어가 안정적으로 본딩되지 않는다. 또한, 상기 제 2-2 층(402b)의 두께가 9㎛ 초과인 경우, 공정 비용이 증가하고, 공정 효율이 감소된다.

[0119] 상기 제 1 금속층(310)은 복수의 전도성 패턴(P)들을 포함한다. 상기 전도성 패턴(P)은 상기 제 1 금속층(310)

을 패터닝하여 형성된다.

[0120] 상기 전도성 패턴(P)들은 상기 제 1 면(1S) 상에 배치된다. 상기 전도성 패턴(P)들은 상기 본딩층(200) 상에 배치된다. 상기 전도성 패턴(P)들은 상기 컨택면 상에 배치된다.

[0121] 상기 전도성 패턴(P)들은 서로 이격하여 배치된다. 상기 홀(H)은 각각의 전도성 패턴(P)과 대응되는 영역에 배치된다.

[0122] 상기 스마트 IC 기판(1000)은 배선 패턴(500)을 포함한다. 상기 배선 패턴(500)은 상기 제 2 면(2S) 상에 배치된다. 상기 배선 패턴(500)은 상기 제 2 본딩층(220) 상에 배치된다. 상기 배선 패턴(500)은 본딩면 상에 배치된다.

[0123] 상기 배선 패턴(500)은 외부의 안테나 패턴과 연결된다. 이에 따라, 상기 스마트 IC 모듈은 비접촉식으로 구동될 수 있다.

[0124] 상기 배선 패턴(500)은 배선부(510) 및 연결부(520)를 포함할 수 있다.

[0125] 상기 배선부(510)는 제 1 배선부(511), 제 2 배선부(512) 및 상기 제 3 배선부(513)를 포함할 수 있다. 상기 제 1 배선부(511) 및 상기 연결부(520)는 몰딩 영역(MA)의 내부에 배치된다. 상기 제 2 배선부(512) 및 상기 제 3 배선부(513)는 상기 몰딩 영역(MA)의 외부에 배치된다.

[0126] 상기 제 1 배선부(511) 및 상기 제 3 배선부(513)는 상기 제 2 배선부(512)에 의해 연결될 수 있다.

[0127] 상기 제 1 배선부(511), 제 2 배선부(512) 및 상기 제 3 배선부(513)는 서로 다른 선폭을 가질 수 있다. 예를 들어, 상기 제 2 배선부(512)의 선폭은 상기 제 1 배선부(511)의 선폭보다 클 수 있다. 이에 따라, 상기 몰딩 영역(MA)의 내부에 몰딩부(M)를 배치한 후, 상기 몰딩부(M) 외부에 배치되는 배선부가 손상되는 것을 방지할 수 있다.

[0128] 상기 제 3 배선부(513)의 선폭은 상기 제 1 배선부(511) 및 상기 제 2 배선부(512)의 선폭보다 클 수 있다. 상기 제 3 배선부(513)는 상기 카드 본체와 연결되는 영역이다. 상기 제 3 배선부(513)의 선폭이 크게 형성되므로, 상기 스마트 IC 기판과 상기 카드 본체는 용이하게 연결될 수 있다.

[0129] 상기 연결부(520)는 제 1 연결부(521) 및 제 2 연결부(522)를 포함할 수 있다. 자세하게, 복수의 배선 패턴 중 적어도 하나의 배선 패턴은 상기 제 1 연결부(521) 및 상기 제 2 연결부(522)를 포함할 수 있다.

[0130] 상기 제 1 연결부(521) 및 상기 제 2 연결부(522)의 크기는 상기 홀(H)의 크기보다 작을 수 있다. 또한, 상기 제 2 연결부(522)의 크기는 상기 제 3 배선부(513)의 크기보다 작을 수 있다. 예를 들어, 상기 제 2 연결부(522)의 면적은 상기 제 3 배선부(513)의 면적보다 작을 수 있다. 이에 의해, 상기 칩 실장 영역의 공간을 넓게 확보할 수 있고, 패키징 크기가 감소될 수 있다.

[0131] 또한, 상기 제 1 연결부(521) 또는 상기 제 2 연결부(522)는 상기 칩과 와이어 본딩된다. 상기 연결부는 2개 또는 2개 이상의 연결부들을 포함한다. 따라서, 하나의 연결부에서 와이어 본딩에 문제가 생기는 경우, 다른 연결부에 와이어 본딩하여 해결할 수 있다. 예를 들어, 상기 제 1 연결부(521)의 와이어 본딩에서 문제가 발생하면, 상기 제 2 연결부(522)에 추가로 와이어 본딩할 수 있다.

[0133] 이하. 도 11 내지 도 13을 참조하여 제 2 실시예에 따른 스마트 IC 모듈을 설명한다.

[0134] 도 11 내지 도 13을 참조하면, 상기 스마트 IC 모듈(2000)은 앞서 설명한 상기 스마트 IC 기판(1000) 및 칩(C)을 포함한다.

[0135] 상기 칩(C)은 상기 제 2 본딩층(220) 상에 배치된다.

[0136] 도 12를 참조하면, 상기 칩(C)은 상기 제 1 금속층(310)과 연결된다. 상기 칩(C)은 상기 제 1 금속층(310)의 타면(312)과 연결된다. 상기 칩(C)은 상기 제 1 금속층(310)의 타면의 본딩 영역(BA)과 연결된다. 자세하게, 상기 칩(C)과 상기 본딩 영역(BA)은 와이어(W)에 의해 와이어 본딩된다. 이에 따라, 상기 칩(C)과 상기 전도성 패턴(P)들은 전기적으로 연결된다.

[0137] 도 13을 참조하면, 상기 칩(C)은 상기 제 2 금속층(320)과 연결된다.상기 칩(C)은 상기 제 2 금속층(320)의 일면(321)과 연결된다. 자세하게, 상기 칩(C)과 상기 제 2 금속층(320)은 와이어(W)에 의해 와이어 본딩된다. 이

에 따라, 상기 칩(C)과 상기 안테나 패턴들은 전기적으로 연결된다.

[0138] 또는, 도 10과 같이 상기 제 2 금속층 상에 도금층이 배치되는 경우, 상기 칩(C)은 상기 제 2 도금층(402)과 연결된다. 자세하게, 상기 칩(C)과 상기 제 2 도금층(402)은 와이어(W)에 의해 와이어 본딩된다. 이에 따라, 상기 칩(C)과 상기 안테나 패턴들은 전기적으로 연결된다.

[0139] 상기 와이어(W)는 금속을 포함한다. 자세하게, 상기 와이어(W)는 상기 금속층(300) 또는 도금층과 동일 또는 다른 물질을 포함할 수 있다. 예를 들어, 상기 와이어(W)는 금, 구리 또는 알루미늄을 포함할 수 있다.

[0140] 상기 칩(C) 상에는 몰딩 부재(M)가 배치될 수 있다. 상기 몰딩 부재(M)는 상기 칩(C) 및 상기 와이어(W)를 덮으면서 배치된다. 이에 따라, 외부의 충격에 의해 와이어 본딩이 손상되는 것을 방지할 수 있다.

[0142] 제 2 실시예에 따른 스마트 IC 기판은 합금을 포함하는 금속층을 포함한다. 상기 금속층은 패터닝되어 복수의 전도성 패턴을 형성한다.

[0143] 상기 합금은 2원계 합금 또는 3원계 이상의 합금일 수 있다. 상기 금속층이 상기 합금으로 형성되므로, 상기 금속층의 본딩성 및 강도가 향상될 수 있다. 이에 따라, 상기 와이어는 상기 금속층과 직접 본딩될 수 있다. 이에 따라, 상기 칩과 상기 금속층을 연결하기 위한 별도의 도금층이 생략될 수 있다. 이에 따라, 공정 효율이 향상된다.

[0144] 또한, 상기 복수의 와이어들은 동일한 금속층과 본딩된다. 이에 따라, 와이어들의 본딩성이 균일해질 수 있다. 따라서, 상기 스마트 IC 모듈의 신뢰성이 향상될 수 있다.

[0145] 또한, 상기 금속층이 상기 합금으로 형성되므로, 상기 금속층의 내부식성 및 전기 전도성이 향상될 수 있다. 이에 따라, 상기 칩과 상기 전도성 패턴 사이의 신호가 용이하게 이동할 수 있다. 또한, 상기 금속층의 본딩 영역이 공정 중 산화되는 것을 방지할 수 있다.

[0146] 또한, 상기 제 1 금속층 및 상기 제 2 금속층은 다른 금속을 포함할 수 있다. 상기 제 1 금속층은 합금을 포함할 수 있다. 또한, 상기 제 2 금속층은 구리를 포함할 수 있다. 또한, 상기 제 2 금속층 상에는 제 2 도금층이 배치될 수 있다.

[0147] 이에 따라, 상기 제 1 금속층과 상기 제 2 도금층의 본딩력이 달라진다. 예를 들어, 상기 제 1 금속층의 본딩력은 상기 제 2 도금층의 본딩력보다 클 수 있다.

[0148] 상기 제 1 금속층과 연결되는 와이어는 상기 홀의 내부에 배치된다. 이에 따라, 상기 와이어를 연결할 때 공간의 제약이 발생한다. 또한, 와이어의 길이가 증가할 수 있다. 반면에, 상기 제 2 금속층과 연결되는 와이어는 홀의 외부에 배치된다. 또한, 와이어의 길이가 상대적으로 짧을 수 있다.

[0149] 이에 따라, 상기 제 1 금속층과 연결되는 와이어의 본딩력이 상기 제 2 금속층과 연결되는 와이어의 본딩력보다 크게 형성할 수 있다. 이에 따라, 상기 제 1 금속층과 연결되는 와이어의 연결 특성이 향상될 수 있다.

[0151] 이하, 실시예 및 비교예를 통해 본 발명을 상세하게 설명한다.

[0152] 실시예

[0153] 앞서 설명한 스마트 IC 기판을 제조한다.

[0154] 상기 금속층은 앞서 설명한 알루미늄-구리 합금 또는 알루미늄-구리-A 합금을 포함한다. 자세하게, 상기 금속층으 앞서 설명한 원자 퍼센트의 비율을 가지는 알루미늄-구리 합금 또는 알루미늄-구리-A 합금을 포함한다.

[0155] 이어서, 상기 와이어와 상기 금속층을 본딩한 후 본딩력 및 인장강도를 측정한다.

[0157] 비교예

[0158] 앞서 설명한 스마트 IC 기판을 제조한다.

[0159] 상기 금속층은 구리를 포함한다. 상기 금속층 상에 도금층이 배치된다. 상기 도금층은 상기 금속층 상에 배치되

는 니켈 및 상기 니켈 상에 배치되는 금을 포함한다.

[0160] 이어서, 상기 와이어와 상기 도금층을 본딩한 후 본딩력 및 인장강도를 측정한다.

표 1

[0162]

	실시예	비교예
본딩력 (gf)	5.8	4
인장강도(MPa)	1200	550

[0163] 표 1을 참조하면, 실시예는 비교예보다 본딩력 및 인장 강도가 큰 것을 알 수 있다. 즉, 상기 합금을 포함하는 금속층은 상기 와이어와의 본딩력이 큰 것을 알 수 있다. 또한, 상기 합금을 포함하는 금속층의 강도가 큰 것을 알 수 있다.

[0165] 이하, 도 14 및 도 15를 참조하여 실시예에 따른 IC 카드를 설명한다.

[0166] 도 14 및 도 15를 참조하면, 상기 IC 카드(3000)는 본체부(3100), 상부층(3210) 및 하부층(3220)을 포함할 수 있다.

[0167] 상기 본체부(3100)는 수용부(3110)를 포함한다. 상기 스마트 IC 모듈(2000)은 상기 수용부(3110) 내부에 배치된다.

[0168] 상기 IC 카드는 다양한 모드로 구동될 수 있다. 예를 들어, 상기 IC 카드는 접촉식 카드로 구동될 수 있다.

[0169] 또는, 상기 본체부(3100) 상에는 안테나 패턴(AP)이 배치될 수 있다. 자세하게, 상기 안테나 패턴은 상기 본체부(3100)의 가장자리에 코일 형상으로 배치될 수 있다. 이에 따라, 상기 IC 카드는 비접촉식 카드, 콤비 카드 또는 하이브리드 카드로 구동될 수 있다.

[0170] 상기 스마트 IC 모듈(2000)은 상기 수용부(3110)의 내부에 삽입된다. 상기 스마트 IC 모듈(2000)과 상기 본체부(3100)는 접착층(3120)에 의해 접착된다. 이에 의해, 상기 스마트 IC 모듈(2000)은 상기 수용부(3110)에 삽입되어 고정된다.

[0171] 상기 상부층(3210)은 상기 본체부(3100)의 상부에 배치된다. 상기 상부층(3210)은 투명한 물질을 포함할 수 있다. 상기 상부층(3210)은 투명한 수지 물질을 포함할 수 있다. 상기 상부층(3210)은 적어도 하나의 층으로 배치될 수 있다. 즉, 상기 상부층(3210)은 복수의 층을 포함할 수 있다.

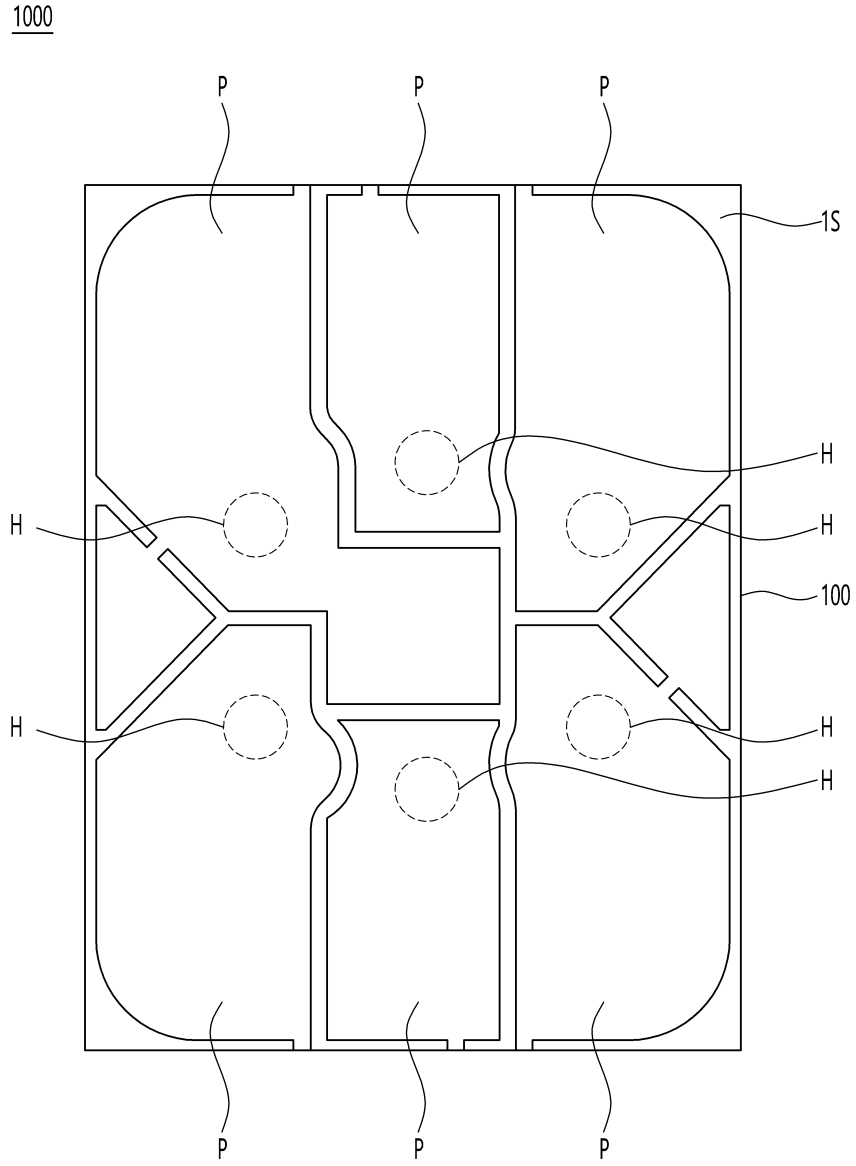
[0172] 상기 하부층(3220)은 상기 본체부(3100)의 하부에 배치된다. 상기 하부층(3220)에는 자기 스트라이프(magnetic stripe)가 배치될 수 있다. 상기 하부층(3220)은 투명한 물질을 포함할 수 있다. 상기 하부층(3220)은 투명한 수지 물질을 포함할 수 있다. 상기 하부층(3220)은 적어도 하나의 층으로 배치될 수 있다. 즉, 상기 하부층(3220)은 복수의 층을 포함할 수 있다.

[0174] 상술한 실시예에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

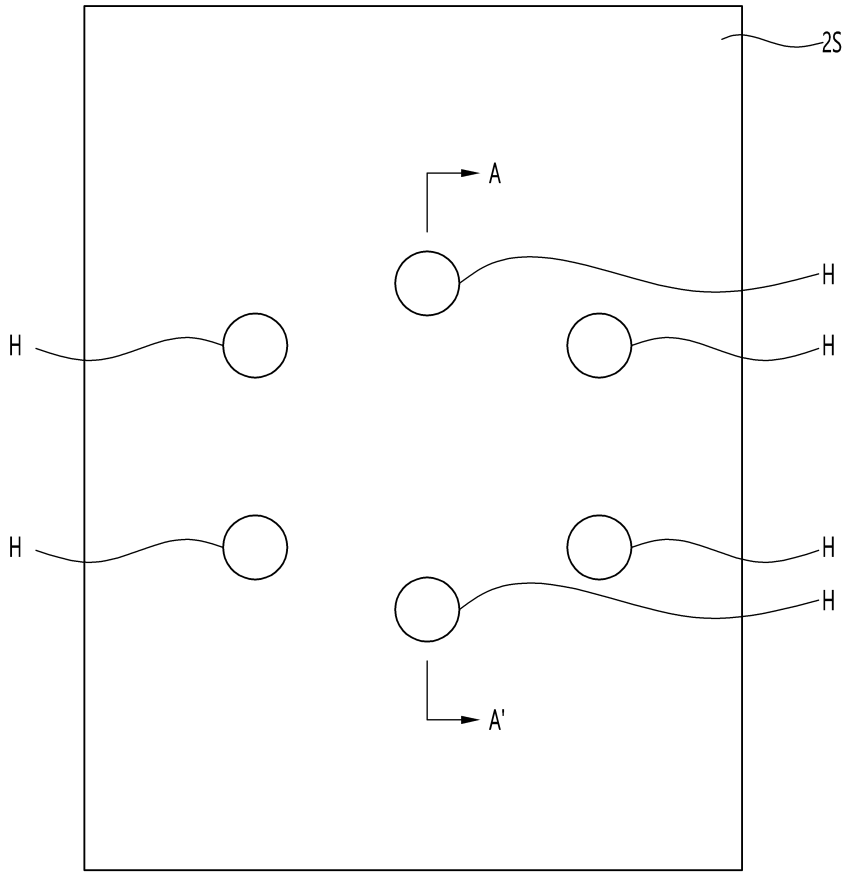
[0175] 또한, 이상에서 실시예들을 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예들에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부한 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면

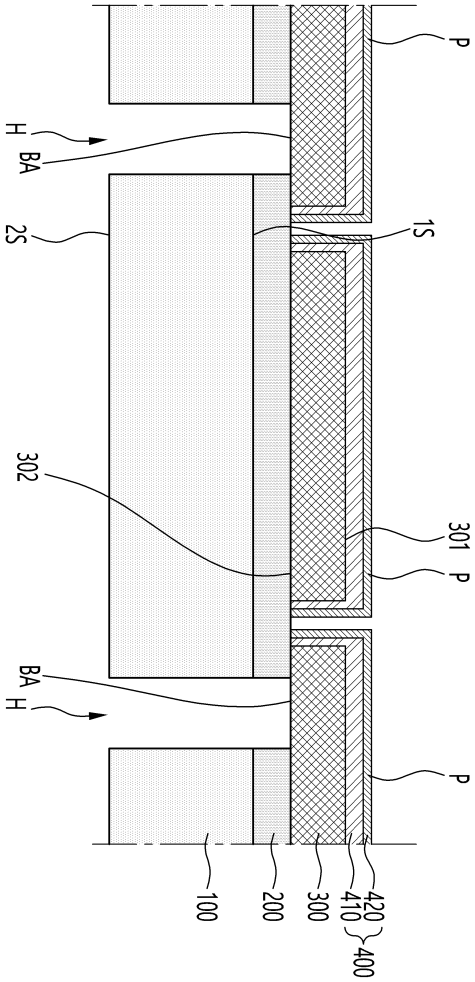
도면1



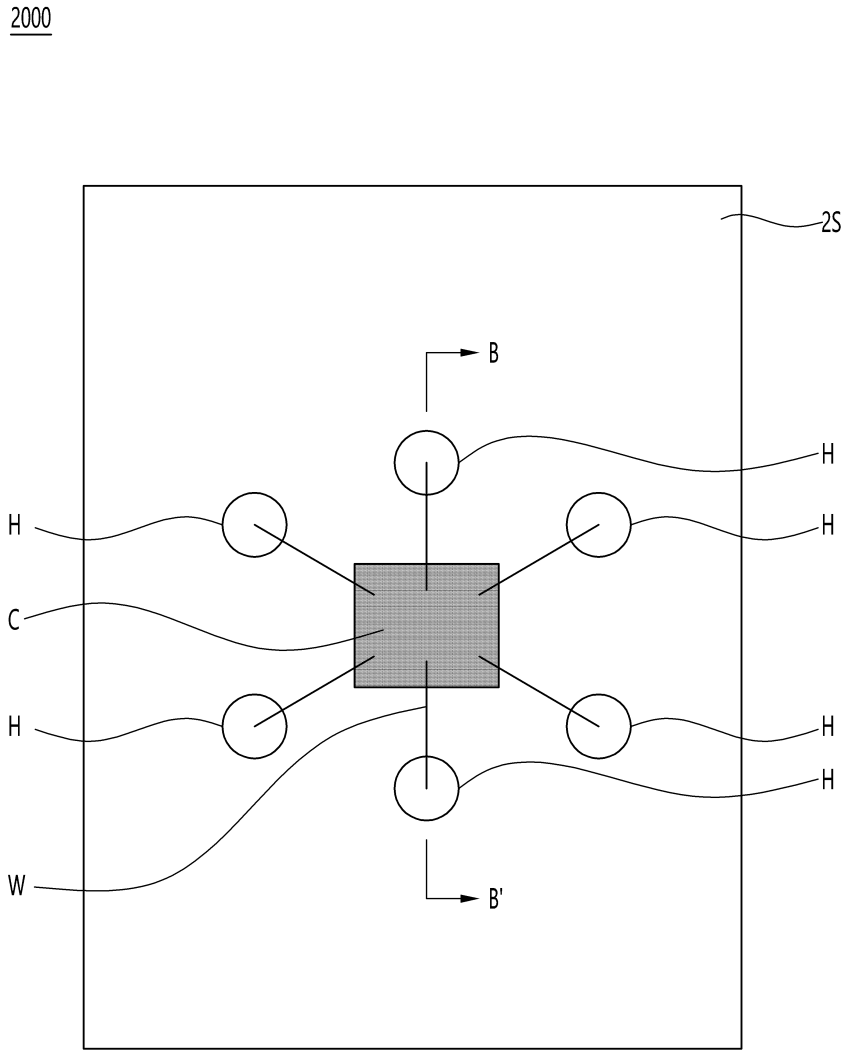
도면2



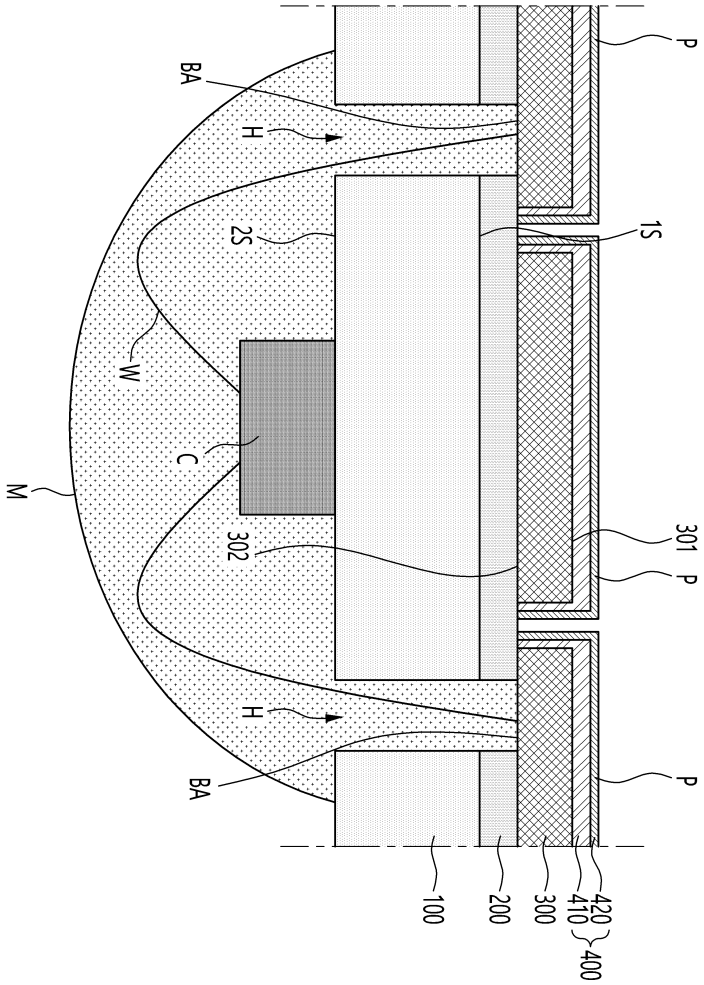
도면3



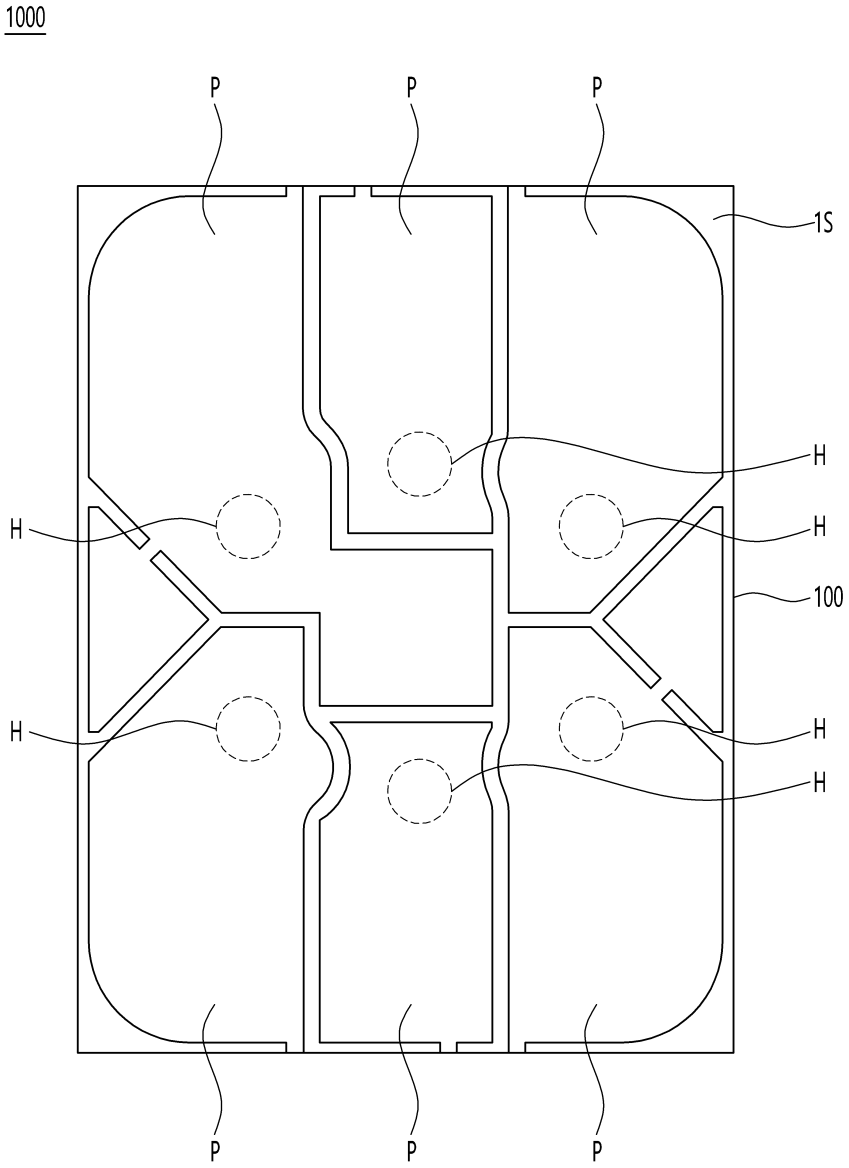
도면4



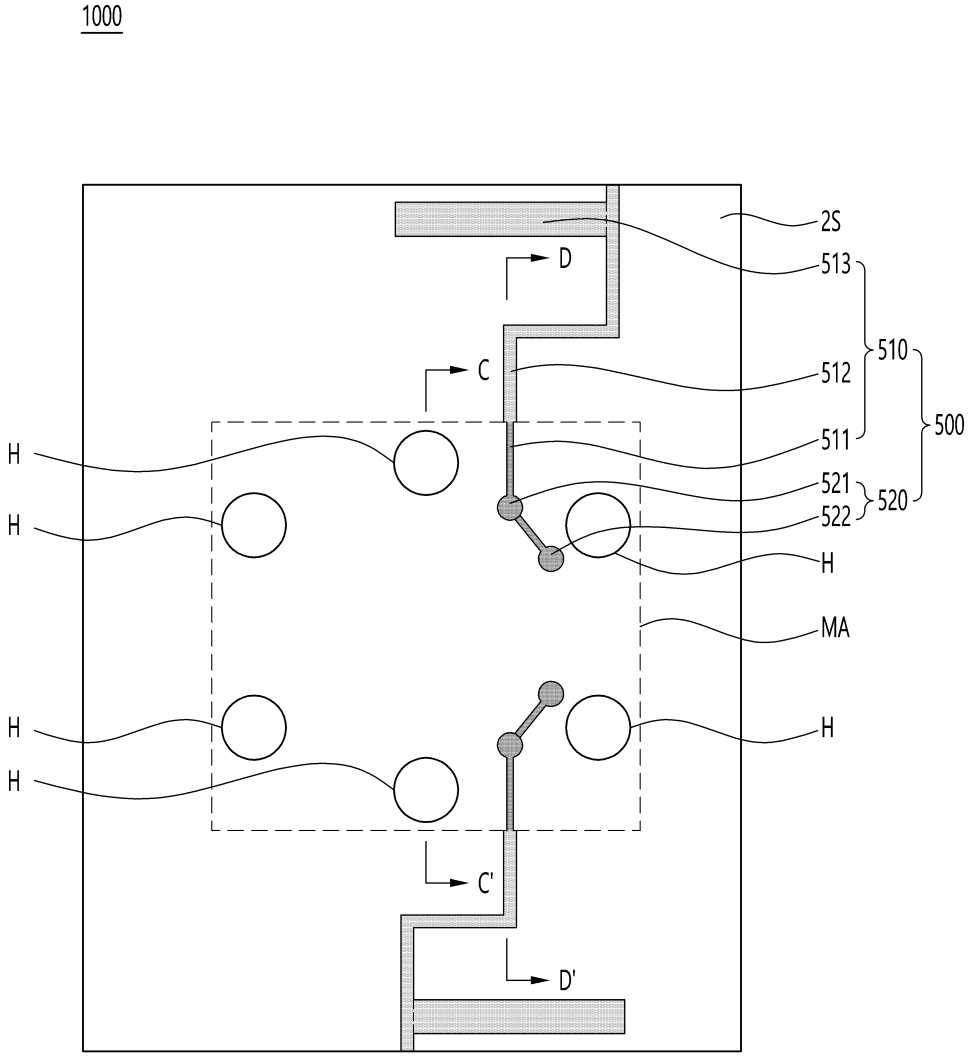
도면5



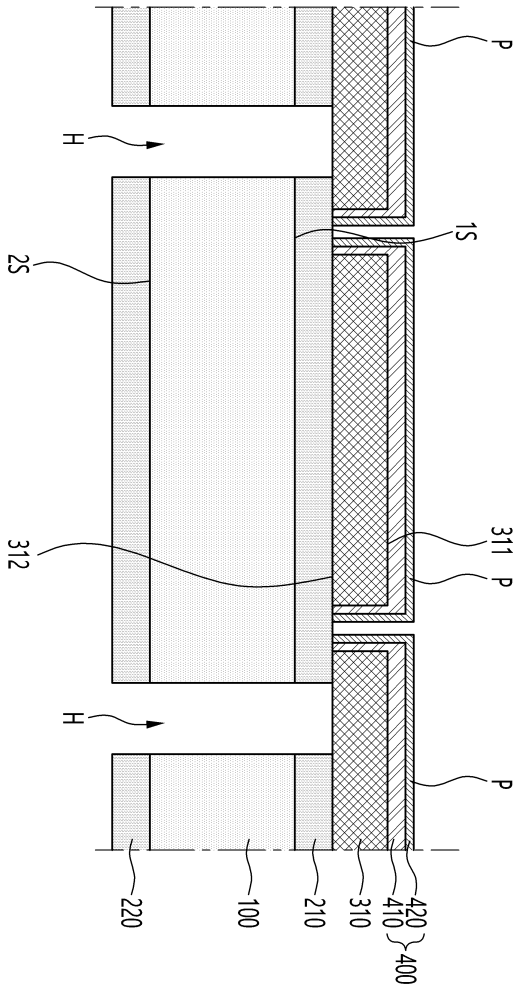
도면6



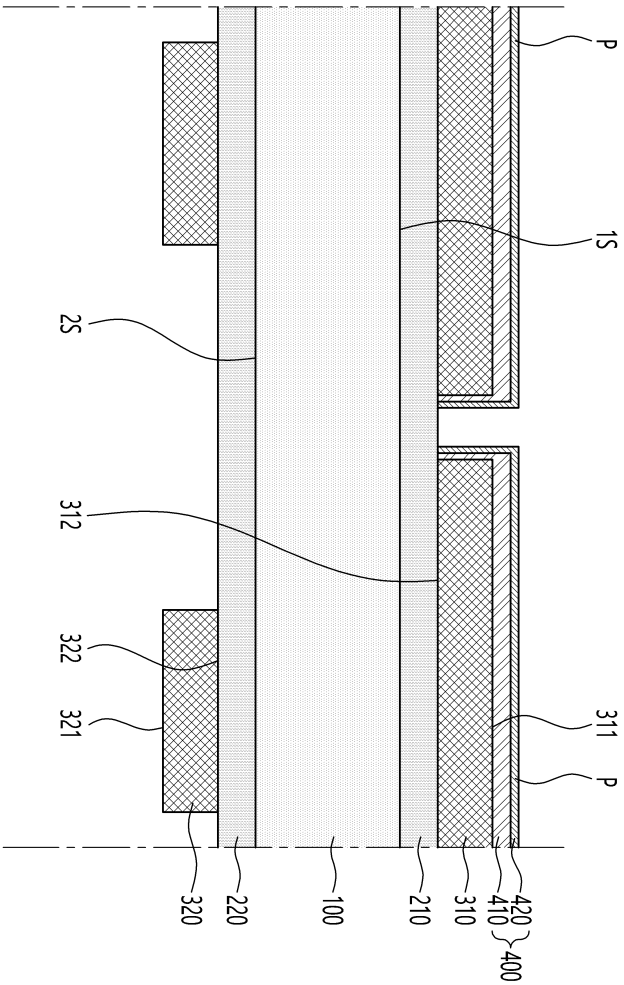
도면7



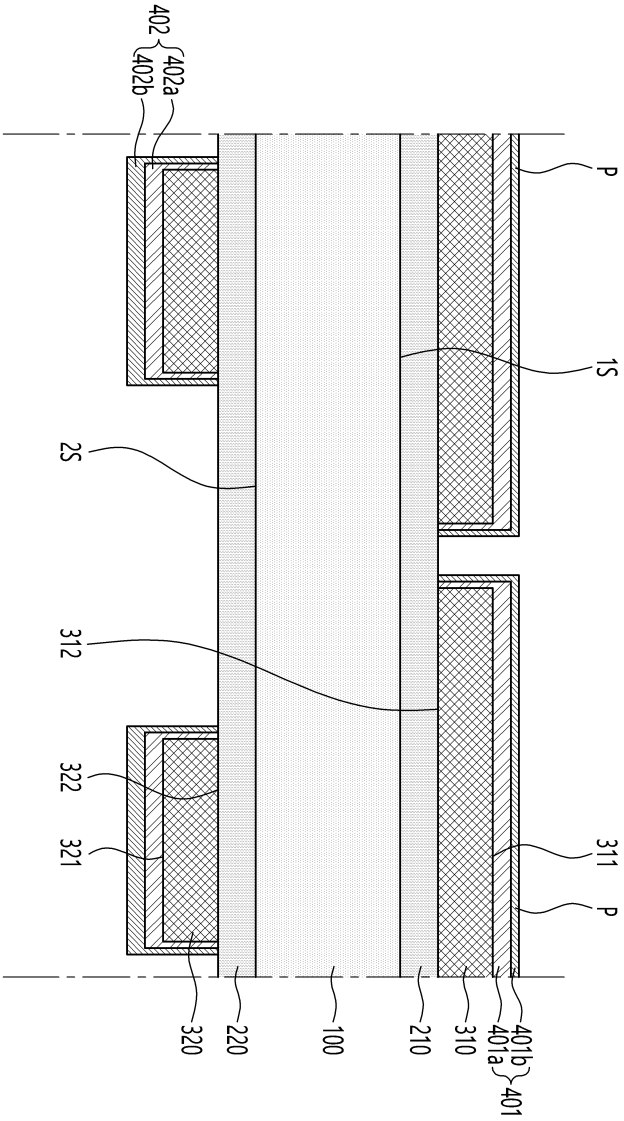
도면8



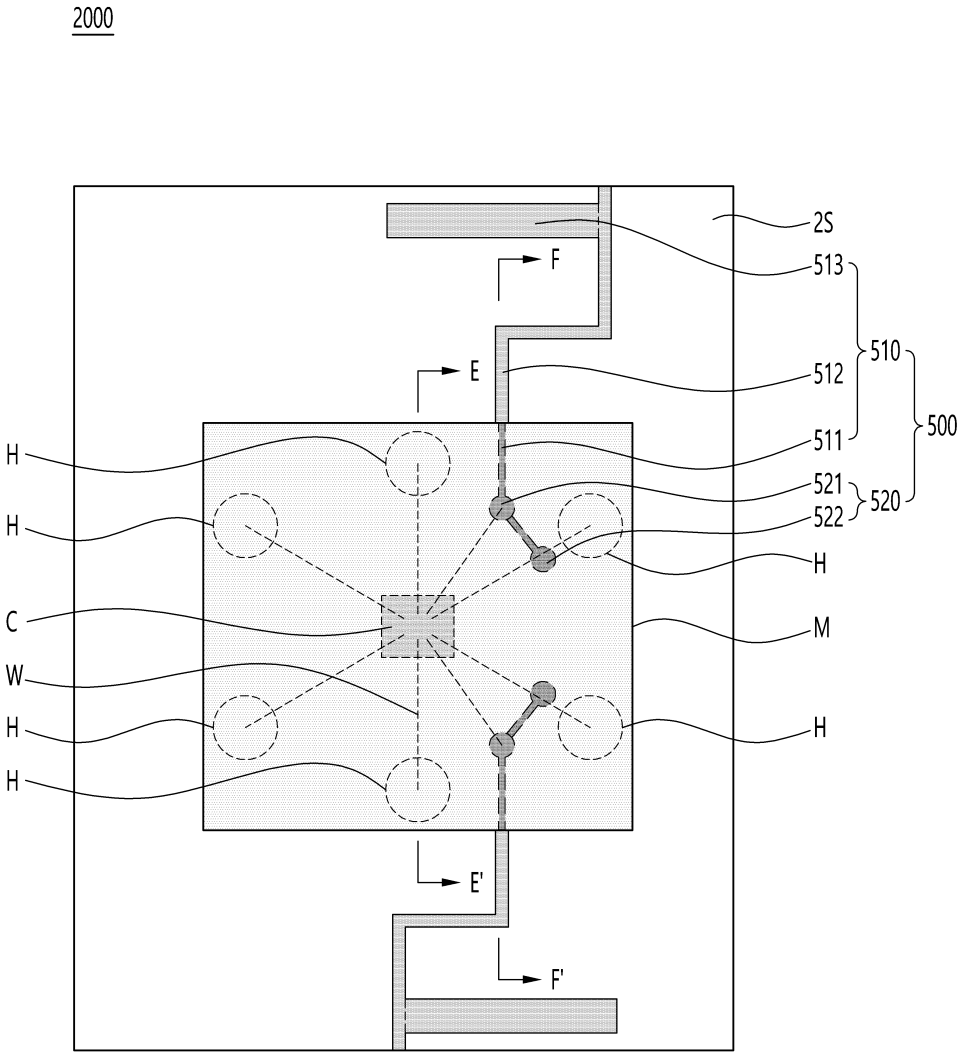
도면9



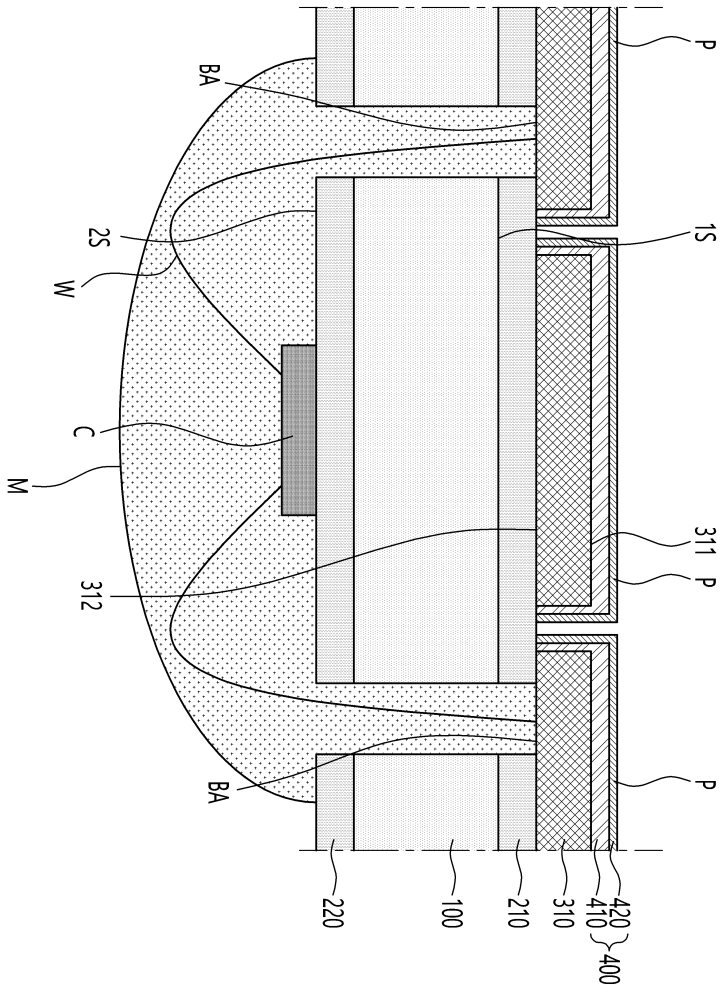
도면10


402
402a
402b
P
1S
2S
312
322
321
311
P
320
220
100
210
310
401b
401a
401

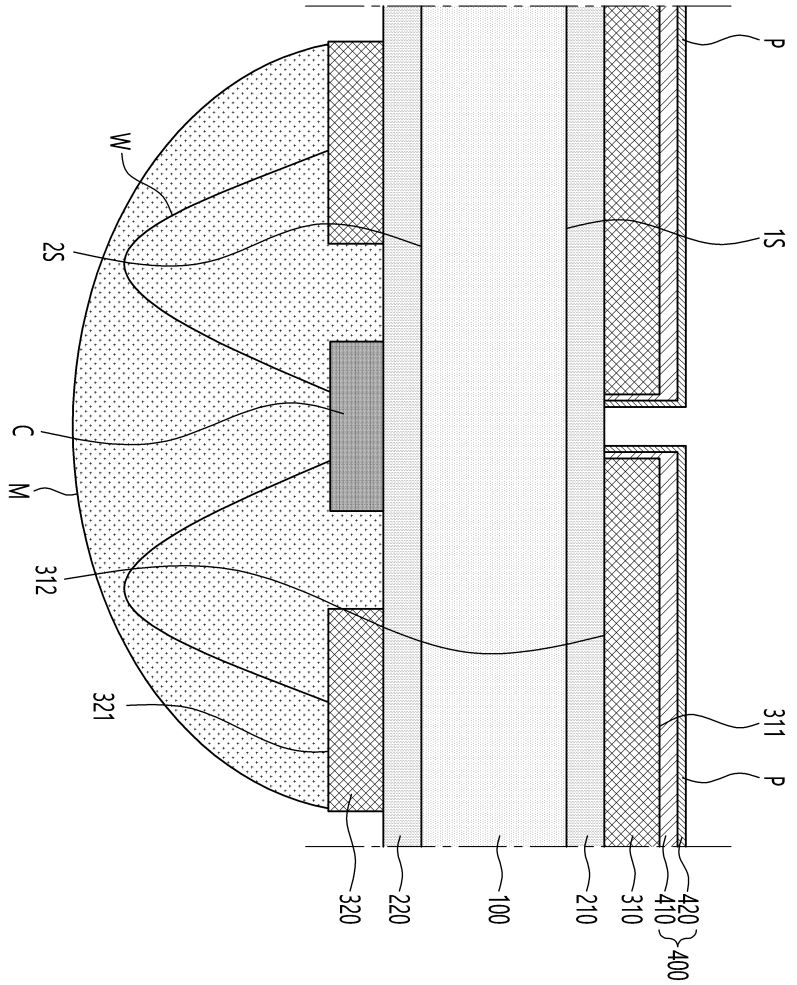
도면11



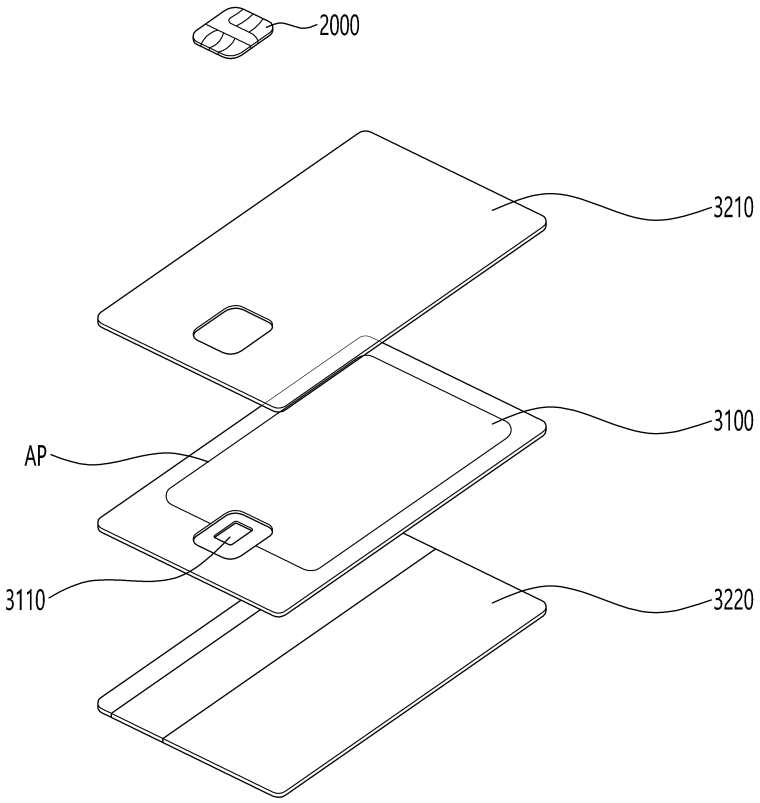
도면12



도면13



도면14



도면15

