



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0085741  
(43) 공개일자 2020년07월15일

- (51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 27/06 (2006.01)  
H01L 27/088 (2006.01) H01L 27/1156 (2017.01)  
H01L 29/788 (2006.01) H01L 29/792 (2006.01)
- (52) CPC특허분류  
H01L 29/7869 (2013.01)  
H01L 27/0617 (2013.01)
- (21) 출원번호 10-2020-7011809
- (22) 출원일자(국제) 2018년10월29일  
심사청구일자 없음
- (85) 번역문제출일자 2020년04월23일
- (86) 국제출원번호 PCT/IB2018/058425
- (87) 국제공개번호 WO 2019/092541  
국제공개일자 2019년05월16일
- (30) 우선권주장  
JP-P-2017-216669 2017년11월09일 일본(JP)

- (71) 출원인  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
야마자키, 슌페이  
일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
히라마쓰, 도모끼  
일본 136-0074 도쿄도 고토꾸 히가시스나  
1-1-1-339  
(뒷면에 계속)
- (74) 대리인  
양영준, 윤선근, 박충범

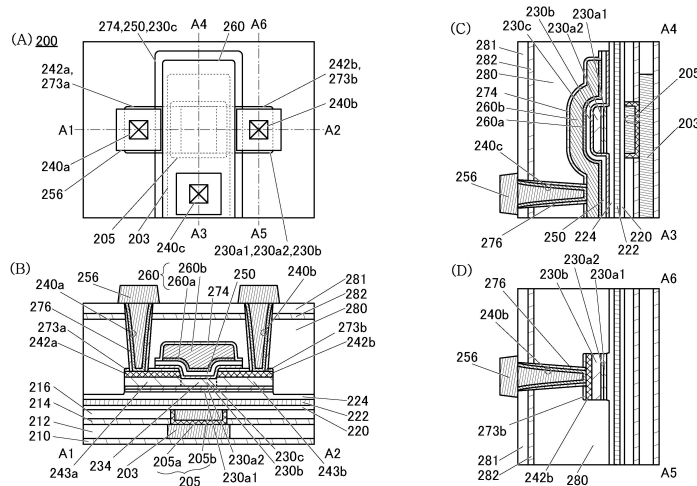
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치 및 반도체 장치의 제작 방법

(57) 요약

신뢰성이 양호한 반도체 장치를 제공한다. 제 1 절연체와, 제 1 절연체 위에 배치된 제 1 산화물과, 제 1 산화물 위에 배치된 제 2 산화물과, 제 2 산화물 위에 서로 떨어져 배치된 제 1 도전체 및 제 2 도전체와, 제 2 산화물, 제 1 도전체, 및 제 2 도전체 위에 배치된 제 3 산화물과, 제 3 산화물 위에 배치된 제 2 절연막과, 제 3 산화물 및 제 2 절연막 사이에 두고 제 2 산화물 위에 배치된 제 3 도전체를 가지고, 제 3 산화물은 금속 원소와 질소를 포함하고, 금속 원소는 질소와 결합되어 있다.

대표도



(52) CPC특허분류

*H01L 27/088* (2013.01)

*H01L 27/1156* (2013.01)

*H01L 29/788* (2013.01)

*H01L 29/792* (2013.01)

(72) 발명자

**노나카, 유스케**

일본 243-0814 가나가와켄 아쓰기시 쓰마다미나미  
1-9-7-1

**이시하라, 노리다카**

일본 253-0111 가나가와켄 고자군 사무카와마찌 이  
찌노미야 5-10-7 더블유103

**삼본스게, 쇼따**

일본 270-0031 지바켄 마쓰도시 요코스카  
2-13-31-105

**야마네, 야스마사**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**엔도, 유타**

일본 243-0038 가나가와켄 아쓰기시 아이나 133-4

## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,  
제 1 절연체와,  
상기 제 1 절연체 위에 배치된 제 1 산화물과,  
상기 제 1 산화물 위에 배치된 제 2 산화물과,  
상기 제 2 산화물 위에 서로 떨어져 배치된 제 1 도전체 및 제 2 도전체와,  
상기 제 2 산화물, 상기 제 1 도전체, 및 상기 제 2 도전체 위에 배치된 제 3 산화물과,  
상기 제 3 산화물 위에 배치된 제 2 절연막과,  
상기 제 3 산화물 및 상기 제 2 절연막을 사이에 두고 상기 제 2 산화물 위에 배치된 제 3 도전체를 가지고,  
상기 제 3 산화물은 금속 원소와 질소를 포함하고,  
상기 금속 원소는 질소와 결합되어 있는 것을 특징으로 하는, 반도체 장치.

#### 청구항 2

제 1 항에 있어서,  
상기 제 3 산화물은 고정 전하를 유지하는 층인 것을 특징으로 하는, 반도체 장치.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,  
상기 제 3 산화물에서 질소의 원자수 비율이 0.1atomic% 미만인 것을 특징으로 하는, 반도체 장치.

#### 청구항 4

반도체 장치로서,  
제 1 절연체와,  
상기 제 1 절연체 위에 배치된 제 1 산화물과,  
상기 제 1 산화물 위에 배치된 제 2 산화물과,  
상기 제 2 산화물 위에 서로 떨어져 배치된 제 1 도전체 및 제 2 도전체와,  
상기 제 2 산화물, 상기 제 1 도전체, 및 상기 제 2 도전체 위에 배치된 제 3 산화물과,  
상기 제 3 산화물 위에 배치된 제 2 절연막과,  
상기 제 3 산화물 및 상기 제 2 절연막을 사이에 두고 상기 제 2 산화물 위에 배치된 제 3 도전체를 가지고,  
상기 제 1 산화물은 제 1 층과 제 2 층을 가지고,  
상기 제 2 층은 금속 원소와 질소를 포함하고,  
상기 금속 원소는 질소와 결합되어 있는 것을 특징으로 하는, 반도체 장치.

#### 청구항 5

제 4 항에 있어서,

상기 제 2 층은 고정 전하를 유지하는 층인 것을 특징으로 하는, 반도체 장치.

**청구항 6**

제 4 항 또는 제 5 항에 있어서,

상기 제 2 층에서 질소의 원자수 비율이 0.1atomic% 미만인 것을 특징으로 하는, 반도체 장치.

**청구항 7**

제 4 항 내지 제 6 항 중 어느 한 항에 있어서,

상기 제 1 층은 상기 제 2 층보다 산소 농도가 높고,

상기 제 2 층은 상기 제 1 층보다 질소 농도가 높은 것을 특징으로 하는, 반도체 장치.

**청구항 8**

제 1 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 제 1 산화물, 상기 제 2 산화물, 및 상기 제 3 산화물은 In과, 원소 M(M은 Al, Ga, Y, 또는 Sn)과, Zn을 가지는 것을 특징으로 하는, 반도체 장치.

**청구항 9**

제 1 항 내지 제 8 항 중 어느 한 항에 있어서,

상기 금속 원소는 In, 원소 M(M은 Al, Ga, Y, 또는 Sn), 및 Zn에서 선택된 하나인 것을 특징으로 하는, 반도체 장치.

**청구항 10**

제 6 항에 있어서,

상기 제 2 층에서 질소의 원자수 비율이 0.02atomic% 이상인 것을 특징으로 하는, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 일 형태는 반도체 장치, 그리고 반도체 장치의 제작 방법에 관한 것이다. 또는, 본 발명의 일 형태는 반도체 웨이퍼, 모듈, 및 전자 기기에 관한 것이다.

[0002] 또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 트랜지스터 등의 반도체 소자를 비롯하여, 반도체 회로, 연산 장치, 기억 장치는, 반도체 장치의 일 형태이다. 표시 장치(액정 표시 장치, 발광 표시 장치 등), 투영 장치, 조명 장치, 전기 광학 장치, 축전 장치, 기억 장치, 반도체 회로, 촬상 장치, 및 전자 기기 등은 반도체 장치를 포함한다고 할 수 있는 경우가 있다.

[0003] 또한, 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 일 형태는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는, 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

**배경 기술**

[0004] 근년 반도체 장치의 개발이 진행되면서 LSI, CPU(Central Processing Unit)나 GPU(Graphics Processing Unit) 등의 프로세서, 및 메모리의 개발이 진행되고 있다. 프로세서는 반도체 웨이퍼에서 잘라낸 반도체 집적 회로(적어도 트랜지스터 및 메모리)를 가지고, 접속 단자인 전극이 형성된 반도체 소자의 집합체이다.

[0005] LSI, CPU나 GPU 등의 프로세서, 및 메모리 등의 반도체 회로(IC칩)는 회로 기관, 예를 들어 프린트 배선판에 실장되어, 다양한 전자 기기의 부품 중 하나로서 사용된다.

[0006] 또한, 절연 표면을 가지는 기관 위에 형성된 반도체 박막을 사용하여 트랜지스터를 구성하는 기술이 주목되고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(단순히 표시 장치라고도 표기함)와 같은 전자 디바이스

이스에 널리 응용되어 있다. 트랜지스터에 적용 가능한 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목되고 있다.

[0007] 또한, 산화물 반도체를 사용한 트랜지스터는, 비도통 상태에서 누설 전류가 매우 작은 것이 알려져 있다. 예를 들어, 산화물 반도체를 사용한 트랜지스터의 누설 전류가 작은 특성을 응용한 저소비전력의 CPU 등이 개시되어 있다(특허문헌 1 참조).

[0008] 또한, 근년에는 전자 기기의 소형화 및 경량화에 따라, 트랜지스터 등을 고밀도로 집적한 집적 회로에 대한 요구가 높아지고 있다. 또한, 집적 회로를 포함하는 반도체 장치의 생산성의 향상이 요구된다.

**선행기술문헌**

**특허문헌**

[0009] (특허문헌 0001) 일본 공개특허공보 특개2012-257187호

**발명의 내용**

**해결하려는 과제**

[0010] 본 발명의 일 형태는 소비전력을 억제할 수 있는 반도체 장치를 제공하는 것을 과제의 하나로 한다. 본 발명의 일 형태는 신뢰성이 양호한 반도체 장치를 제공하는 것을 과제의 하나로 한다. 본 발명의 일 형태는 양호한 전기 특성을 가지는 반도체 장치를 제공하는 것을 과제의 하나로 한다. 본 발명의 일 형태는 장기간에 걸쳐 데이터의 유지가 가능한 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0011] 본 발명의 일 형태는 정보의 기록 속도가 빠른 반도체 장치를 제공하는 것을 과제의 하나로 한다. 본 발명의 일 형태는 설계 자유도가 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다. 본 발명의 일 형태는 미세화 또는 고집적화가 가능한 반도체 장치를 제공하는 것을 과제의 하나로 한다. 본 발명의 일 형태는 신규 반도체 장치를 제공하는 것을 과제의 하나로 한다. 본 발명의 일 형태는 생산성이 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다.

[0012] 또한, 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한, 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이며 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 과제를 추출할 수 있다.

**과제의 해결 수단**

[0013] 본 발명의 일 형태는 채널 형성 영역을 가지는 반도체층과, 반도체층과 접하도록 제공된 고정 전하를 유지하는 층을 가지는 반도체 장치이다. 반도체 장치는 고정 전하를 유지하는 층에 의하여 문턱값이 제어된다.

[0014] 또한, 반도체층은 산화물을 포함하는 것이 바람직하다.

[0015] 본 발명의 일 형태는 제 1 절연체와, 제 1 절연체 위에 배치된 제 1 산화물과, 제 1 산화물 위에 배치된 제 2 산화물과, 제 2 산화물 위에 서로 떨어져 배치된 제 1 도전체 및 제 2 도전체와, 제 2 산화물, 제 1 도전체, 및 제 2 도전체 위에 배치된 제 3 산화물과, 제 3 산화물 위에 배치된 제 2 절연막과, 제 3 산화물 및 제 2 절연막을 사이에 두고 제 2 산화물 위에 배치된 제 3 도전체를 가지고, 제 3 산화물은 금속 원소와 질소를 포함하고, 금속 원소는 질소와 결합되어 있는 반도체 장치이다.

[0016] 상기에서, 제 3 산화물은 고정 전하를 유지하는 층인 것이 바람직하다.

[0017] 상기에서, 제 3 산화물에 있어서 질소의 원자수 비율이 0.1atomic% 미만인 것이 바람직하다.

[0018] 본 발명의 일 형태는 제 1 절연체와, 제 1 절연체 위에 배치된 제 1 산화물과, 제 1 산화물 위에 배치된 제 2 산화물과, 제 2 산화물 위에 서로 떨어져 배치된 제 1 도전체 및 제 2 도전체와, 제 2 산화물, 제 1 도전체, 및 제 2 도전체 위에 배치된 제 3 산화물과, 제 3 산화물 위에 배치된 제 2 절연막과, 제 3 산화물 및 제 2 절연막을 사이에 두고 제 2 산화물 위에 배치된 제 3 도전체를 가지고, 제 1 산화물은 제 1 층과 제 2 층을 가지고, 제 2 층은 금속 원소와 질소를 포함하고, 금속 원소는 질소와 결합되어 있는 반도체 장치이다.

- [0019] 상기에서, 제 2 층은 고정 전하를 유지하는 층인 것이 바람직하다.
- [0020] 상기에서, 제 2 층에 있어서 질소의 원자수 비율이 0.1atomic% 미만인 것이 바람직하다.
- [0021] 상기에서, 제 1 층은 제 2 층보다 산소 농도가 높고, 제 2 층은 제 1 층보다 질소 농도가 높은 것이 바람직하다.
- [0022] 상기에서, 제 1 산화물, 제 2 산화물, 및 제 3 산화물은 In과, 원소 M(M은 Al, Ga, Y, 또는 Sn)과, Zn을 가지는 것이 바람직하다.
- [0023] 상기에서, 금속 원소는 In, 원소 M(M은 Al, Ga, Y, 또는 Sn), 및 Zn에서 선택된 하나인 것이 바람직하다.
- [0024] 상기에서, 제 1 도전체 및 제 2 도전체는 루테튬을 포함하는 것이 바람직하다.

**발명의 효과**

- [0025] 본 발명의 일 형태에 의하여 소비전력을 억제할 수 있는 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 장기간에 걸쳐 데이터의 유지가 가능한 반도체 장치를 제공할 수 있다.
- [0026] 본 발명의 일 형태에 의하여 정보의 기록 속도가 빠른 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 설계 자유도가 높은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 신규 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 의하여 생산성이 높은 반도체 장치를 제공할 수 있다.
- [0027] 또한, 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한, 본 발명의 일 형태는 이들 효과 모두를 가질 필요는 없다. 또한 이들 이외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것이고, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 효과를 추출할 수 있다.

**도면의 간단한 설명**

- [0028] 도 1은 본 발명의 일 형태에 따른 반도체 장치의 상면도 및 단면도.
- 도 2는 본 발명의 일 형태에 따른 반도체 장치의 상면도 및 단면도.
- 도 3은 본 발명의 일 형태에 따른 반도체 장치의 상면도 및 단면도.
- 도 4는 본 발명의 일 형태에 따른 반도체 장치의 상면도 및 단면도.
- 도 5는 본 발명의 일 형태에 따른 반도체 장치의 단면도.
- 도 6은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 나타낸 상면도 및 단면도.
- 도 7은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 나타낸 상면도 및 단면도.
- 도 8은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 나타낸 상면도 및 단면도.
- 도 9는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 나타낸 상면도 및 단면도.
- 도 10은 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 나타낸 상면도 및 단면도.
- 도 11은 본 발명의 일 형태에 따른 기억 장치의 구성을 나타낸 단면도.
- 도 12는 본 발명의 일 형태에 따른 기억 장치의 구성예를 나타낸 블록도.
- 도 13은 본 발명의 일 형태에 따른 기억 장치의 구성예를 나타낸 회로도.
- 도 14는 본 발명의 일 형태에 따른 반도체 장치를 나타낸 도면.
- 도 15는 본 발명의 일 형태에 따른 기억 장치의 모식도.
- 도 16은 본 발명의 일 형태에 따른 전자 기기를 나타낸 도면.
- 도 17은 본 발명의 실시예에 따른 반도체 장치의 단면도.

도 18은 본 발명의 실시예에 따른 계산 결과를 나타낸 도면.

도 19는 본 발명의 실시예에 따른 반도체 장치의 단면도.

도 20은 본 발명의 실시예에 따른 계산 결과를 나타낸 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0029] 이하에서, 실시형태에 대하여 도면을 참조하면서 설명한다. 다만, 실시형태는 많은 상이한 형태로 실시할 수 있고, 취지 및 그 범위로부터 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서, 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0030] 또한, 도면에서, 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되는 것은 아니다. 또한, 도면은 이상적인 예를 모식적으로 도시한 것이므로, 도면에 도시된 형상 또는 값 등에 한정되지 않는다. 예를 들어, 실제의 제조 공정에서, 에칭 등의 처리에 의하여 층이나 레지스트 마스크 등이 의도치 않게 감소되는 경우가 있지만, 이해를 용이하게 하기 위하여 도면에 반영하지 않은 경우가 있다. 또한, 도면에서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략하는 경우가 있다. 또한, 같은 기능을 가지는 부분을 가리키는 경우에는, 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.
- [0031] 또한, 특히 상면도('평면도'라고도 함)나 사시도 등에서, 발명의 이해를 용이하게 하기 위하여 일부의 구성 요소의 기재를 생략하는 경우가 있다. 또한, 일부의 숨은선 등의 기재를 생략하는 경우가 있다.
- [0032] 또한, 본 명세서 등에서, 제 1, 제 2 등으로 붙여지는 서수사는 편의상 사용하는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 그러므로, 예를 들어 '제 1'을 '제 2' 또는 '제 3' 등으로 적절히 치환하여 설명할 수 있다. 또한, 본 명세서 등에 기재되어 있는 서수사와, 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않는 경우가 있다.
- [0033] 또한, 본 명세서 등에서, '위', '아래' 등의 배치를 나타내는 말은 구성끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하는 것이다. 또한 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화되는 것이다. 따라서, 명세서에서 설명된 말에 한정되지 않고, 상황에 따라 적절히 환언할 수 있다.
- [0034] 예를 들어, 본 명세서 등에서, X와 Y가 접속되어 있다고 명시적으로 기재되어 있는 경우에는, X와 Y가 전기적으로 접속되어 있는 경우와, X와 Y가 기능적으로 접속되어 있는 경우와, X와 Y가 직접적으로 접속되어 있는 경우가 본 명세서 등에 개시되어 있는 것으로 한다. 따라서, 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타난 접속 관계에 한정되지 않고, 도면 또는 문장에 나타난 접속 관계 이외의 것도 도면 또는 문장에 기재되어 있는 것으로 한다.
- [0035] 여기서, X, Y는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.
- [0036] 본 명세서에서, 산화물, 금속 산화물, 화합물 등을 구성하는 원소의 원자수비를 나타내는 경우, 특별히 언급이 없는 한 그 원자수비의 근방도 포함되는 경우가 있다. 여기서, 원자수비의 근방이란, 각 원자수를 나타내는 값의 50% 이상 150% 이하의 값을 포함하는 것으로 한다. 예를 들어, [A]:[B]=2:1의 원자수비의 경우, [A]의 근방으로서 1 이상 3 이하를 포함하고, [B]의 근방으로서 0.5 이상 1.5 이하를 포함하는 것으로 한다. 또한, 원자수비의 근방이란, 각 원자수를 나타내는 값의 80% 이상 120% 이하의 값을 포함하는 것으로 한다. 예를 들어, [A]:[B]=2:1의 원자수비의 경우, [A]의 근방으로서 1.6 이상 2.4 이하를 포함하고, [B]의 근방으로서 0.8 이상 1.2 이하를 포함하는 것으로 한다. 또한, 원자수비의 근방이란, 각 원자수를 나타내는 값의 90% 이상 110% 이하의 값을 포함하는 것으로 한다. 예를 들어, [A]:[B]=2:1의 원자수비의 경우, [A]의 근방으로서 1.8 이상 2.2 이하를 포함하고, [B]의 근방으로서 0.9 이상 1.1 이하를 포함하는 것으로 한다.
- [0037] 또한, 소스나 드레인의 기능은 상이한 극성의 트랜지스터를 채용하는 경우나 회로 동작에서 전류의 방향이 변화되는 경우 등에는 바뀌는 경우가 있다. 그러므로, 본 명세서 등에서는, 소스나 드레인의 용어는 바꾸어 사용할 수 있는 경우가 있다.
- [0038] 또한, 본 명세서 등에 있어서, 트랜지스터의 구조에 따라서는, 실제로 채널이 형성되는 영역에서의 채널 폭(이하, '실효적인 채널 폭'이라고도 함)과 트랜지스터의 상면도에서 나타내는 채널 폭(이하, '외관상 채널 폭'이라고도 함)이 상이한 경우가 있다. 예를 들어, 게이트 전극이 반도체의 측면을 덮는 경우, 실효적인 채널 폭이

외관상 채널 폭보다 크기 때문에, 그 영향을 무시할 수 없는 경우가 있다. 예를 들어, 게이트 전극이 반도체의 측면을 덮는 미세 트랜지스터에서는, 반도체의 측면에 형성되는 채널 형성 영역의 비율이 큰 경우가 있다. 이 경우에는 외관상 채널 폭보다 실질적인 채널 폭이 크다.

- [0039] 이러한 경우, 실질적인 채널 폭을 실측에 의하여 어렵잡기 어려워지는 경우가 있다. 예를 들어, 설겅값으로부터 실질적인 채널 폭을 어렵잡기 위해서는, 반도체의 형상이 미리 알려져 있다는 가정이 필요하다. 따라서, 반도체의 형상을 정확하게 알 수 없는 경우에는 실질적인 채널 폭을 정확하게 측정하기 어렵다.
- [0040] 또한, 본 명세서에서는, 단순히 채널 폭이라고 기재한 경우에는, 외관상 채널 폭을 가리키는 경우가 있다. 또는, 본 명세서에서 단순히 채널 폭이라고 기재한 경우에는, 실질적인 채널 폭을 가리키는 경우가 있다. 또한, 채널 길이, 채널 폭, 실질적인 채널 폭, 외관상 채널 폭 등은 단면 TEM상 등을 해석하는 것 등에 의하여 값을 결정할 수 있다.
- [0041] 또한, 반도체의 불순물이란, 예를 들어 반도체를 구성하는 주성분 외의 것을 말한다. 예를 들어, 농도가 0.1atomic% 미만인 원소는 불순물이라고 할 수 있다. 불순물이 포함됨으로써, 예를 들어 반도체의 DOS(Density of States)가 높아지거나, 결정성의 저하 등이 일어나는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 및 산화물 반도체의 주성분 외의 전이 금속(transition metal) 등이 있고, 예를 들어 수소, 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 산화물 반도체의 경우, 물도 불순물로서 기능하는 경우가 있다. 또한, 산화물 반도체의 경우, 예를 들어 불순물의 혼입으로 인하여 산소 결손이 형성되는 경우가 있다. 또한, 반도체가 실리콘인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 산소, 수소를 제외한 1족 원소, 2족 원소, 13족 원소, 및 15족 원소 등이 있다.
- [0042] 또한, 본 명세서 등에서, 산화질화 실리콘이란, 그 조성으로서 질소보다 산소의 함유량이 많은 것이다. 또한, 질화산화 실리콘이란, 그 조성으로서 산소보다 질소의 함유량이 많은 것이다.
- [0043] 또한, 본 명세서 등에서, '평행'이란, 2개의 직선이 -10° 이상 10° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, -5° 이상 5° 이하의 경우도 포함된다. 또한, '실질적으로 평행'이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치되어 있는 상태를 말한다. 또한, '수직'이란, 2개의 직선이 80° 이상 100° 이하의 각도로 배치되어 있는 상태를 말한다. 따라서, 85° 이상 95° 이하의 경우도 포함된다. 또한, '실질적으로 수직'이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치되어 있는 상태를 말한다.
- [0044] 또한, 본 명세서에서 배리어막이란 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 막이며, 상기 배리어막이 도전성을 가지는 경우에는 도전성 배리어막이라고 부르는 경우가 있다.
- [0045] 본 명세서 등에서, 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은, 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어 트랜지스터의 반도체층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 부르는 경우가 있다. 즉, OS FET 또는 OS 트랜지스터라고 기재하는 경우에는, 산화물 또는 산화물 반도체를 포함하는 트랜지스터로 환언할 수 있다.
- [0046] 또한, 본 명세서 등에서 노멀리 오프란, 게이트에 전위를 인가하지 않거나, 또는 게이트에 접지 전위를 공급하였을 때, 트랜지스터를 흐르는 채널 폭 1 $\mu$ m당 전류가 실온에서 1X10<sup>-20</sup>A 이하, 85℃에서 1X10<sup>-18</sup>A 이하, 또는 125℃에서 1X10<sup>-16</sup>A 이하인 것을 말한다.
- [0047] (실시형태 1)
- [0048] 이하에서는, 본 발명의 일 형태에 따른 트랜지스터(200)를 가지는 반도체 장치의 일례에 대하여 설명한다.
- [0049] <반도체 장치의 구성예>
- [0050] 도 1의 (A), (B), (C), 및 (D)는 본 발명의 일 형태에 따른 트랜지스터(200), 및 트랜지스터(200) 주변의 상면도 및 단면도이다.
- [0051] 도 1의 (A)는 트랜지스터(200)를 가지는 반도체 장치의 상면도이다. 또한, 도 1의 (B), (C), 및 (D)는 상기 반도체 장치의 단면도이다. 여기서, 도 1의 (B)는 도 1의 (A)에 A1-A2의 일점쇄선으로 나타난 부분의 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한, 도 1의 (C)는 도 1의 (A)에 A3-A4의 일점쇄선으로 나타난 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한, 도

1의 (D)는 도 1의 (A)에 A5-A6의 일점쇄선으로 나타낸 부분의 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한, 도 1의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0052] 본 발명의 일 형태의 반도체 장치는 트랜지스터(200)와, 층간막으로서 기능하는 절연체(210), 절연체(212), 및 절연체(281)를 포함한다. 또한, 트랜지스터(200)와 전기적으로 접속되고, 배선으로서 기능하는 도전체(203), 도전체(256), 및 플러그로서 기능하는 도전체(240)(도전체(240a), 도전체(240b), 및 도전체(240c))를 가진다.

[0053] 또한, 도전체(203)는 절연체(212)의 개구의 내벽에 접하여 형성되어 있다. 여기서, 도전체(203)의 상면의 높이와 절연체(212)의 상면의 높이는 같은 정도로 할 수 있다. 또한, 트랜지스터(200)에서 도전체(203)가 단층 구조가 되는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(203)를 2층 이상의 적층 구조로서 제공하는 구성으로 하여도 좋다. 구조체가 적층 구조를 가지는 경우, 형성 순으로 서수를 붙여 구별하는 경우가 있다.

[0054] 또한, 도전체(240)는 절연체(273), 절연체(280), 절연체(282), 및 절연체(281)의 개구의 내벽, 및 절연체(274), 절연체(280), 절연체(282), 및 절연체(281)의 개구의 내측에 접하여 도전체(240)의 제 1 도전체가 형성되고, 더 내측에 도전체(240)의 제 2 도전체가 형성되어 있다. 여기서, 도전체(240)의 상면의 높이와 절연체(281)의 상면의 높이는 같은 정도로 할 수 있다. 또한, 트랜지스터(200)에서 도전체(240)의 제 1 도전체 및 도전체(240)의 제 2 도전체를 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(240)를 단층, 또는 3층 이상의 적층 구조로 제공하는 구성으로 하여도 좋다. 구조체가 적층 구조를 가지는 경우, 형성 순으로 서수를 붙여 구별하는 경우가 있다. 또한, 절연체(280), 절연체(282), 및 절연체(281)의 개구의 내벽과 도전체(240) 사이에 수소나 물 등의 불순물이나 산소 등의 투과를 억제하는 절연성 배리어 또는 도전성 배리어를 제공하는 것이 바람직하다. 본 실시형태에서는, 절연성 배리어로서 절연체(276)를 제공하는 예를 나타내었다. 절연체(276)는 적어도 절연체(280)의 측면과 절연체(282)의 측면의 일부에 제공되어 있으면 좋고, 절연체(280)에 포함되는 수소나 물 등의 불순물이나 산소 등의 도전체(240)로의 확산을 억제하는 것이 바람직하다.

[0055] 트랜지스터(200)에서는 도전체(256)가 단층 구조인 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(203)를 2층 이상의 적층 구조로서 제공하는 구성으로 하여도 좋다. 구조체가 적층 구조를 가지는 경우, 형성 순으로 서수를 붙여 구별하는 경우가 있다.

[0056] [트랜지스터(200)]

[0057] 도 1에 도시된 바와 같이, 트랜지스터(200)는 기판(도시하지 않았음) 위에 배치된 절연체(222)와, 절연체(222) 위에 배치된 절연체(224)와, 절연체(224) 위에 배치된 산화물(230)(산화물(230a1) 및 산화물(230a2)), 및 산화물(230b)과, 산화물(230b) 위에 서로 떨어져 배치된 도전체(242a) 및 도전체(242b)와, 도전체(242a) 및 도전체(242b) 위에 각각 제공된 절연체(273a) 및 절연체(273b)와, 산화물(230), 도전체(242a), 도전체(242b), 절연체(273a), 및 절연체(273b) 위에 배치된 산화물(230c)과, 산화물(230c) 위에 배치된 절연체(250)와, 절연체(250) 위에 배치되고, 적어도 일부가 도전체(242a)와 도전체(242b) 사이에 중첩되도록 배치된 도전체(260)와, 절연체(250) 위에 제공되고, 또한 도전체(260)를 덮어 배치된 절연체(274)와, 절연체(274) 위에 배치된 절연체(280)와, 절연체(280) 위에 배치된 절연체(282)를 가진다.

[0058] 여기서, 절연체(222), 절연체(273), 및 절연체(274)는 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어, 절연체(222), 절연체(273), 및 절연체(274)는 절연체(224) 또는 절연체(280)보다 산소 투과성이 낮은 것이 바람직하다.

[0059] 또한, 산화물(230a1), 산화물(230a2), 산화물(230b), 및 산화물(230c) 중 적어도 하나는 질소를 포함하는 산화물인 것이 바람직하다. 예를 들어, 산화물(230b)과 접하는 산화물(230a2) 및 산화물(230c) 중 한쪽 또는 양쪽이 질소를 포함하는 산화물인 것이 바람직하다.

[0060] 또한, 산화물(230a2)로서, 질소를 포함하는 산화물을 사용하는 경우, 산화물(230a1)은 질소를 포함하지 않는 산화물, 산화물(230a2)에 비하여 질소의 함유량이 적은 산화물, 또는 산화물(230a2)에 비하여 산소의 함유량이 많은 산화물인 것이 바람직하다. 산화물(230a1)은 이의 형성 시에, 또는 형성 후에 절연체(224)에 산소를 공급할 수 있는 것이 바람직하다. 예를 들어, 산소를 포함하는 분위기에서 산화물(230a1)을 형성함으로써, 산화물(230a1)의 형성 시에 절연체(224)로 산소를 공급하거나, 산소의 함유량이 많은 산화물을 형성할 수 있게 된다.

또한, 산화물(230a1)로서, 산소의 함유량이 많은 산화물을 사용함으로써, 가열 처리에 의하여 절연체(224)로 산소를 방출할 수 있게 된다.

[0061] 또한, 트랜지스터(200)에서 채널이 형성되는 영역(이하, 채널 형성 영역이라고도 함)과 그 근방에서, 산화물(230a), 산화물(230b), 및 산화물(230c)의 3층을 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 산화물(230b)의 단층, 산화물(230b)과 산화물(230a)의 2층 구조, 산화물(230b)과 산화물(230c)의 2층 구조, 또는 4층 이상의 적층 구조를 제공하는 구성으로 하여도 좋다. 또한, 산화물(230a)이 산화물(230a1) 및 산화물(230a2)의 2층을 가지는 예를 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 단층 구조로 하여도, 3층 이상의 적층 구조로 하여도 좋다. 또한, 트랜지스터(200)에서는, 도전체(260)를 2층의 적층 구조로서 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(260)가 단층 구조이어도 좋고, 3층 이상의 적층 구조이어도 좋다.

[0062] 질소를 포함하는 산화물은 고정 전하를 유지하는 층으로서 기능한다. 질소를 포함하는 산화물은 이의 형성 시에, 또는 형성 후에 산화물에 포함되는 산소의 일부가 질소로 치환되거나, 또는 산화물 내의 산소 결손(Vo라고 표기하는 경우가 있음)에 질소가 들어감으로써 형성된다. 이 구조는, 미드 갭 및 그 근방에 상태를 형성한다는 것이 제 1 원리 계산의 결과로부터 시사되어 있다. 이 미드 갭 및 그 근방에 상태가 형성되면, 동시에 질소를 포함하는 산화물 내에 음의 전하가 존재하게 되고, 그 전하는 질소를 포함하는 산화물 내에서 고정된다. 즉, 질소를 포함하는 산화물은 음의 고정 전하를 유지한다.

[0063] 음의 고정 전하를 유지하는 질소를 포함하는 산화물이 채널 형성 영역을 가지는 산화물과 접하도록 제공된 트랜지스터는 질소를 포함하는 산화물이 제공되지 않은 트랜지스터와 비교하여, 문턱값이 플러스 측으로 시프트한다. 이는, 채널 형성 영역이 고정 전하로 인한 전계의 영향을 받기 때문이라고 생각된다.

[0064] 또한, 산화물 내의 산소 결손(Vo)에 질소(N)가 들어가는 것을, VoN이 형성된다고 표기하는 경우가 있다.

[0065] 질소를 포함하는 산화물 내에서, VoN이 증가하면 그만큼 음의 고정 전하가 증가한다. 즉, 질소를 포함하는 산화물 내의 VoN 밀도의 증가에 의하여, 고정 전하 밀도는 증가한다. 질소를 포함하는 산화물 내의 고정 전하 밀도는  $2.0 \times 10^{+17} \text{ atoms/cm}^3$  이상  $1.0 \times 10^{+19} \text{ atoms/cm}^3$  이하, 바람직하게는  $1.0 \times 10^{+18} \text{ atoms/cm}^3$  이상  $1.0 \times 10^{+19} \text{ atoms/cm}^3$  이하로 하는 것이 바람직하다. 질소를 포함하는 산화물 내의 음의 고정 전하 밀도의 증가에 따라, 상기 트랜지스터의 문턱값은 플러스 측으로 시프트된다.

[0066] 트랜지스터의 문턱값은 백 게이트로서 기능하는 제 2 게이트에 전위를 인가함으로써 제어할 수도 있다. 한편, 상기 트랜지스터를 원하는 문턱값으로 제어하기 위하여 제 2 게이트에 인가되는 전위는, 상기 트랜지스터를 가지는 반도체 장치 또는 전자 기기의 소비전력을 증가시킨다. 본 실시형태와 같이, 채널 형성 영역을 가지는 산화물과 접하도록 질소를 포함하는 산화물을 제공함으로써, 제 2 게이트에 인가되는 전위의 절댓값을 작게 할 수 있기 때문에 바람직하다. 또는, 채널 형성 영역을 가지는 산화물과 접하도록 질소를 포함하는 산화물을 제공함으로써, 원하는 문턱값을 가지는 트랜지스터를 얻을 수 있는 경우에는, 제 2 게이트로의 전위의 인가 또는 제 2 게이트 자체가 불필요하게 되기 때문에 바람직하다. 이로써, 소비전력이 저감된 트랜지스터, 반도체 장치, 및 전자 기기를 얻을 수 있다.

[0067] 또한, 제 2 게이트에 전위를 인가하는 것으로 인한 트랜지스터의 열화가 우려되는 경우, 채널 형성 영역을 가지는 산화물과 접하도록 질소를 포함하는 산화물을 제공하고, 제 2 게이트에 인가되는 전위를 저감함으로써, 트랜지스터의 열화가 억제되거나, 또는 열화의 정도가 저감되기 때문에 바람직하다. 이로써, 신뢰성이 향상된 트랜지스터, 반도체 장치, 및 전자 기기를 얻을 수 있다.

[0068] 여기서, 도전체(260)는 트랜지스터의 게이트 전극으로서 기능하고, 도전체(242a) 및 도전체(242b)는 각각 소스 전극 또는 드레인 전극으로서 기능한다. 도전체(260)는 절연체(250)를 개재(介在)하여 도전체(242a)와 중첩되는 영역과, 절연체(250)를 개재하여 도전체(242b)와 중첩되는 영역을 가지는 것이 바람직하다. 도전체(260)를 이와 같은 형상으로 함으로써 도전체(260)에 정렬 마진을 가지게 할 수 있어, 산화물(230)의 도전체(242a)와 도전체(242b) 사이의 영역에 도전체(260)를 확실하게 중첩시킬 수 있다.

[0069] 또한 도 1에 나타난 바와 같이, 도전체(260)는 도전체(260a)와, 도전체(260a) 위에 배치된 도전체(260b)를 가지는 것이 바람직하다. 또한, 본 명세서에서, 도전체(242a) 및 도전체(242b)를 합쳐 도전체(242)라고 하는 경우가 있다.

[0070] 또한 트랜지스터(200)는 기판(도시하지 않았음) 위에 배치된 절연체(214)와, 절연체(214) 위에 배치된 절연체

(216)와, 절연체(214) 및 절연체(216)에 매립되도록 배치된 도전체(205)와, 절연체(216)와 도전체(205) 위에 배치된 절연체(220)를 가지는 것이 바람직하다. 또한 절연체(220) 위에 절연체(222)가 배치되는 것이 바람직하다.

- [0071] 또한, 트랜지스터(200)에서는 채널 형성 영역을 포함하는 산화물(230)(산화물(230a), 산화물(230b), 및 산화물(230c))에 산화물 반도체로서 기능하는 금속 산화물(이하, 산화물 반도체라고도 함)을 사용하는 것이 바람직하다.
- [0072] 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터(200)는 비도통 상태에서 누설 전류가 매우 작기 때문에, 저소비전력의 반도체 장치를 제공할 수 있다. 또한, 산화물 반도체는 스퍼터링법 등을 사용하여 성막할 수 있기 때문에, 고집적형 반도체 장치를 구성하는 트랜지스터(200)에 사용할 수 있다.
- [0073] 예를 들어, 산화물(230)로서 In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 1종류 또는 복수 종류) 등의 금속 산화물을 사용하는 것이 좋다. 특히, 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석을 사용하면 좋다. 또한, 산화물(230)로서 In-Ga 산화물, In-Zn 산화물을 사용하여도 좋다. 또한, 산화물(230)로서, 질소를 포함하는 금속 산화물을 사용할 수 있다. 산화물(230)의 일부에 질소를 포함하는 금속 산화물을 사용함으로써, 트랜지스터의 문턱값을 플러스 측으로 시프트시키고, 트랜지스터 특성이 노멀리 온이 되는 것을 억제할 수 있다.
- [0074] 산화물(230)이 질소를 가지는 경우, 이의 질소 농도는  $2.0 \times 10^{+17}$  atoms/cm<sup>3</sup> 이상  $1 \times 10^{+22}$  atoms/cm<sup>3</sup> 이하가 바람직하다. 또한,  $1 \times 10^{+18}$  atoms/cm<sup>3</sup> 이상  $4 \times 10^{+21}$  atoms/cm<sup>3</sup> 이하가 바람직하다. 또한,  $1 \times 10^{+19}$  atoms/cm<sup>3</sup> 이상  $2 \times 10^{+21}$  atoms/cm<sup>3</sup> 이하가 바람직하다. 또한,  $2 \times 10^{+19}$  atoms/cm<sup>3</sup> 이상  $1 \times 10^{+20}$  atoms/cm<sup>3</sup> 미만이 바람직하다.
- [0075] 또는, 산화물(230) 내의 질소의 원자수 비율은, 0.001atomic% 이상 10atomic% 이하가 바람직하다. 또한, 0.005atomic% 이상 5atomic% 이하가 바람직하다. 또한, 0.01atomic% 이상 3atomic% 이하가 바람직하다. 또한, 0.02atomic% 이상 0.1atomic% 미만이 바람직하다. 본 명세서 등에서, 질소의 원자수 비율(atomic%)이란 인듐, 원소 M, 아연, 산소, 질소 각각의 원자수의 합계에 대한 질소의 원자수 비율을 가리킨다. 또한, 본 명세서 등에서, 질소의 원자수 비율을 질소 농도라고 기재하는 경우가 있다.
- [0076] 질소 농도(atoms/cm<sup>3</sup>), 금속 산화물층의 조성, 및 밀도(g/cm<sup>3</sup>)로부터, 질소의 원자수 비율(atomic%)을 산출할 수 있다. 금속 산화물층의 밀도는 X선 반사율법(XRR: X-ray Reflectivity)에 의하여 평가할 수 있다.
- [0077] 산화물(230) 내의 질소 농도 또는 질소의 원자수 비율을 상술한 범위로 함으로써, 산화물(230)은 고정 전하를 유지하는 층으로서 기능하고, 노멀리 오프의 전기 특성을 가지고, 또한 온 전류가 높은 트랜지스터를 얻을 수 있다. 또한, 이로써 소비전력이 저감된 트랜지스터, 반도체 장치, 및 전자 기기를 얻을 수 있다.
- [0078] 본 명세서 등에서, 예를 들어 A는 B보다 질소 농도가 높다고 기재하는 경우, A의 질소 농도(atoms/cm<sup>3</sup>) 또는 질소의 원자수 비율(atomic%)이 B보다 높은 것을 가리킨다.
- [0079] 여기서, 산화물(230)은 수소, 질소, 또는 금속 원소 등의 불순물이 존재하면, 캐리어 밀도가 증대하고 저저항화하는 경우가 있다. 또한, 산화물(230)에 포함되는 산소 농도가 저하되면, 캐리어 밀도가 증대하고 저저항화하는 경우가 있다.
- [0080] 산화물(230) 위에 접하도록 제공되고, 소스 전극이나 드레인 전극으로서 기능하는 도전체(242)(도전체(242a) 및 도전체(242b))가 산화물(230)의 산소를 흡수하는 기능을 가지는 경우, 또는 산화물(230)에 수소, 질소, 또는 금속 원소 등의 불순물을 공급하는 기능을 가지는 경우, 산화물(230)에는 부분적으로 저저항 영역이 형성되는 경우가 있다.
- [0081] 여기서, 도 1의 (B)에 도시된 바와 같이, 산화물(230b) 위에 접하도록 도전체(242)가 제공되고, 산화물(230b)과 도전체(242)의 계면과 그 근방에는 저저항 영역으로서 영역(243)(영역(243a) 및 영역(243b))이 형성되어 있다. 영역(243a)은 소스 영역 및 드레인 영역 중 한쪽으로서 기능하고, 영역(243b)은 소스 영역 및 드레인 영역의 다른 쪽으로서 기능한다. 영역(243a) 및 영역(243b) 사이에는 채널 형성 영역으로서 기능하는 영역(234)이 제공된다.
- [0082] 소스 영역 또는 드레인 영역으로서 기능하는 영역(243)은 산소 농도가 낮거나, 또는 수소, 질소, 금속 원소 등

의 불순물을 포함함으로써 캐리어 농도가 증가하고, 저저항화된 영역이다. 즉, 영역(243)은 영역(234)과 비교하여, 캐리어 밀도가 높고 저항이 낮은 영역이다. 또한, 채널 형성 영역으로서 기능하는 영역(234)은 영역(243)보다 산소 농도가 높거나, 또는 불순물 농도가 낮기 때문에, 캐리어 밀도가 낮은 고저항 영역이다.

- [0083] 여기서 산화물 반도체를 사용한 트랜지스터는 산화물 반도체 내의 채널이 형성되는 영역에 불순물 및 산소 결손이 존재하면 전기 특성이 변동하기 쉽고 신뢰성이 떨어지는 경우가 있다. 또한 산화물 반도체 내의 채널이 형성되는 영역에 산소 결손이 포함되면 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 따라서, 채널이 형성되는 영역(234) 내의 산소 결손은 가능한 한 저감되어 있는 것이 바람직하다.
- [0084] 트랜지스터가 노멀리 온이 되는 것을 억제하기 위해서는, 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 절연체를 산화물(230)과 접촉시켜 제공하고, 열처리에 의하여 상기 절연체가 포함하는 산소를 산화물(230)로 확산시키면 좋다. 예를 들어 절연체(280)에 산소를 첨가하고, 절연체(280)에 포함되는 산소를 열처리에 의하여 확산시키면 좋다. 이에 의하여, 산화물(230)에 산소가 공급되고, 이 산소에 의하여 산화물(230)의 산소 결손을 저감하여, 트랜지스터가 노멀리 온이 되는 것을 억제할 수 있다.
- [0085] 또한, 저저항 영역인 영역(243)이 금속 원소를 포함하는 경우, 영역(243)은 산화물(230) 외에 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 등의 금속 원소 중에서 선택되는 어느 하나 또는 복수의 금속 원소를 가지는 것이 바람직하다.
- [0086] 또한, 도 1의 (B)에서는, 영역(243)이 산화물(230b)의 막 두께와 실질적으로 같은 두께를 가지지만, 이에 한정되지 않는다. 예를 들어, 도 5의 (A)에 도시된 바와 같이, 영역(243)은 산화물(230b)의 막 두께 방향에서, 산화물(230b)의 도전체(242)의 계면 근방에 형성되어 있어도 좋고, 산화물(230a)에도 형성되어 있어도 좋다. 또한, 도 5의 (B)는 도전체(242)가 적층 구조를 가지는 예를 도시한 것이다. 도전체(242)는 산화물(230b)과 접하는 도전체(242-1), 및 도전체(242-1)의 위의 도전체(242-2)를 가진다. 도전체(242-1)가 산화물(230b)에 포함되는 산소를 흡수함으로써, 산화물(230b)에 저저항 영역으로서 기능하는 영역(243)을 형성한다. 또한, 영역(243)을 접합층, 또는 N형 접합층이라고 부르는 경우가 있다.
- [0087] 또한, 산화물(230)에서, 각 영역의 경계를 명확히 검출하기 어려운 경우가 있다. 각 영역 내에서 검출되는 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도는, 영역마다의 단계적인 변화에 한정되지 않고, 각 영역 내에서도 연속적으로 변화(그라데이션이라고도 함)되어도 좋다. 즉, 채널 형성 영역에 가까운 영역일수록, 금속 원소, 그리고 수소 및 질소 등의 불순물 원소의 농도가 감소되어 있으면 좋다.
- [0088] 산화물(230)을 선택적으로 저저항화하기 위해서는, 도전체(242)로서, 예를 들어 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 등의 도전성을 높이는 금속 원소, 및 불순물 중 적어도 하나를 포함하는 재료를 사용하는 것이 바람직하다. 또한 도전체(242)를 형성할 때, 산화물(230)에 산소 결손을 형성하는 원소 또는 산소 결손에 포획되는 원소 등의 불순물이 주입되는 재료나 성막 방법 등을 사용하면 좋다. 예를 들어 상기 원소로서 수소, 붕소, 탄소, 질소, 플루오린, 인, 황, 염소, 희가스 등을 들 수 있다. 또한, 희가스의 대표적인 예로서는 헬륨, 네온, 아르곤, 크립톤, 및 제논 등이 있다.
- [0089] 예를 들어, 도전체(242-1)로서 알루미늄, 타이타늄, 실리콘, 탄탈럼, 텅스텐, 및 이들을 포함하는 화합물 중 적어도 하나를 포함하는 재료를 사용하고, 도전체(242-2)로서 루테튬이나, 알루미늄을 포함하는 루테튬을 사용할 수 있다.
- [0090] 또한, 산화물 반도체는 스퍼터링법 등을 사용하여 성막할 수 있기 때문에, 고집적형 반도체 장치를 구성하는 트랜지스터에 사용할 수 있다. 또한, 채널 형성 영역에 산화물 반도체를 사용한 트랜지스터는, 비도통 상태에서 누설 전류(오프 전류)가 매우 작기 때문에, 저소비전력의 반도체 장치를 제공할 수 있다.
- [0091] 이상으로부터, 온 전류가 큰 트랜지스터를 가지는 반도체 장치를 제공할 수 있다. 또는, 오프 전류가 작은 트랜지스터를 가지는 반도체 장치를 제공할 수 있다. 또는, 전기 특성의 변동을 억제하고, 안정적인 전기 특성을 가지면서, 신뢰성을 향상시킨 반도체 장치를 제공할 수 있다.
- [0092] 이하에서는, 본 발명의 일 형태에 따른 트랜지스터(200)를 가지는 반도체 장치의 자세한 구성에 대하여 설명한다.
- [0093] 도전체(203)는 도 1의 (A) 및 (C)에 도시된 바와 같이, 채널 폭 방향으로 연장되어 있고, 도전체(205)에 전위를

인가하는 배선으로서 기능한다. 또한, 도전체(203)는 절연체(212)에 매립되어 제공되는 것이 바람직하다.

- [0094] 도전체(205)는 산화물(230) 및 도전체(260)와 중첩되도록 배치된다. 또한, 도전체(205)는 도전체(203) 위에 접하여 제공하는 것이 좋다. 또한, 도전체(205)는 절연체(214) 및 절연체(216)에 매립되어 제공되는 것이 바람직하다.
- [0095] 여기서, 도전체(260)는 제 1 게이트(톱 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 또한, 도전체(205)는 제 2 게이트(보텀 게이트라고도 함) 전극으로서 기능하는 경우가 있다. 그 경우, 도전체(205)에 인가되는 전위를 도전체(260)에 인가되는 전위와 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터(200)의  $V_{th}$ 를 제어할 수 있다. 특히, 도전체(205)에 음의 전위를 인가함으로써 트랜지스터(200)의  $V_{th}$ 를 0V보다 크게 하고, 오프 전류를 저감할 수 있게 된다. 따라서, 도전체(205)에 음의 전위를 인가하는 경우에는 인가하지 않는 경우보다 도전체(260)에 인가되는 전위가 0V일 때의 드레인 전류를 작게 할 수 있다.
- [0096] 또한, 도전체(203) 위에 도전체(205)를 제공함으로써, 제 1 게이트 전극 및 배선으로서의 기능을 가지는 도전체(260)와 도전체(203)의 거리를 적절히 설계할 수 있게 된다. 즉, 도전체(203)와 도전체(260) 사이에 절연체(214) 및 절연체(216) 등이 제공됨으로써, 도전체(203)와 도전체(260) 사이의 기생 용량을 저감하여, 도전체(203)와 도전체(260) 사이의 절연 내압을 높일 수 있다.
- [0097] 또한 도전체(203)와 도전체(260) 사이의 기생 용량을 저감함으로써, 트랜지스터(200)의 스위칭 속도를 향상시켜 높은 주파수 특성을 가지는 트랜지스터로 할 수 있다. 또한, 도전체(203)와 도전체(260) 사이의 절연 내압을 높임으로써, 트랜지스터(200)의 신뢰성을 향상시킬 수 있다. 따라서, 절연체(214) 및 절연체(216)의 막 두께를 두껍게 하는 것이 바람직하다. 또한, 도전체(203)의 연장 방향은 이에 한정되지 않고, 예를 들어 트랜지스터(200)의 채널 길이 방향으로 연장되어도 좋다.
- [0098] 또한, 도전체(205)는 도 1의 (A)에 도시된 바와 같이, 산화물(230) 및 도전체(260)와 중첩되도록 배치한다. 또한, 도전체(205)는 산화물(230)에서의 영역(234)보다 크게 제공하는 것이 좋다. 특히, 도 1의 (C)에 도시된 바와 같이, 도전체(205)는 산화물(230b)의 영역(234)의 채널 폭 방향과 교차되는 단부보다 외측의 영역에서도, 연장되어 있는 것이 바람직하다. 즉, 산화물(230b)의 채널 폭 방향에서의 측면의 외측에서 도전체(205)와 도전체(260)는 절연체를 개재하여 중첩되어 있는 것이 바람직하다.
- [0099] 상기 구성을 가짐으로써, 도전체(260) 및 도전체(205)에 전위를 인가한 경우, 도전체(260)로부터 발생하는 전계와 도전체(205)로부터 발생하는 전계가 연결되고, 산화물(230)에 형성되는 채널 형성 영역을 덮을 수 있다.
- [0100] 즉, 제 1 게이트 전극으로서의 기능을 가지는 도전체(260)의 전계와 제 2 게이트 전극으로서의 기능을 가지는 도전체(205)의 전계에 의하여 영역(234)의 채널 형성 영역을 전기적으로 둘러쌀 수 있다. 본 명세서에서 제 1 게이트 전극 및 제 2 게이트 전극의 전계로 채널 형성 영역을 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(S-channel) 구조라고 부른다.
- [0101] 또한, 도전체(205)에서는 절연체(214) 및 절연체(216)의 개구의 내벽에 접하여 도전체(205a)가 형성되고, 더 내측에 도전체(205b)가 형성되어 있다. 여기서, 도전체(205a) 및 도전체(205b)의 상면의 높이와 절연체(216)의 상면의 높이는 같은 정도로 할 수 있다. 또한, 트랜지스터(200)에서 도전체(205a) 및 도전체(205b)를 적층하는 구성을 나타내었지만, 본 발명은 이에 한정되는 것이 아니다. 예를 들어, 도전체(205)는 단층, 또는 3층 이상의 적층 구조로서 제공되는 구성으로 하여도 좋다. 구조체가 적층 구조를 가지는 경우, 형성 순으로 서수를 붙여 구별하는 경우가 있다.
- [0102] 여기서, 도전체(205a)에는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자( $N_2O$ ,  $NO$ ,  $NO_2$  등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 도전성 재료를 사용하는 것이 바람직하다. 또한, 본 명세서에서, 불순물 또는 산소의 확산을 억제하는 기능이란, 상기 불순물 또는 상기 산소 중 어느 하나 또는 모두의 확산을 억제하는 기능으로 한다.
- [0103] 도전체(205a)가 산소의 확산을 억제하는 기능을 가짐으로써, 도전체(205b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 따라서, 도전체(205a)로서는, 상기 도전성 재료를 단층 또는 적층으로 하면 좋다. 이로써, 수소, 물 등의 불순물이 도전체(205)를 통하여 트랜지스터(200) 측으

로 확산되는 것을 억제할 수 있다.

- [0104] 또한, 도전체(205b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도전체(205b)를 단층으로 도시하였지만, 적층 구조로 하여도 좋고, 예를 들어 타이타늄, 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다.
- [0105] 또한, 도전체(203)는 배선으로서 기능하기 때문에 도전체(205b)보다 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어, 구리 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한, 도전체(203)는 적층 구조로 하여도 좋고, 예를 들어 탄탈럼, 질화 탄탈럼, 타이타늄, 또는 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다.
- [0106] 특히, 도전체(203)에 구리를 사용하는 것이 바람직하다. 구리는 저항이 작기 때문에, 배선 등으로 사용하는 것이 바람직하다. 한편, 구리는 확산되기 쉽기 때문에, 산화물(230)로 확산됨으로써 트랜지스터(200)의 전기 특성을 저하시키는 경우가 있다. 그러므로, 예를 들어 절연체(214)에는 구리의 투과성이 낮은 질화 실리콘, 산화 알루미늄, 또는 산화 하프늄 등의 재료를 사용함으로써, 구리의 확산을 억제할 수 있다.
- [0107] 또한, 도전체(205), 절연체(214), 및 절연체(216)는 반드시 제공할 필요는 없다. 그 경우, 도전체(203)의 일부가 제 2 게이트 전극으로서 기능할 수 있다.
- [0108] 절연체(210) 및 절연체(214)는 물 또는 수소 등의 불순물이 기판 측으로부터 트랜지스터(200)로 혼입되는 것을 억제하는 배리어 절연막으로서 기능하는 것이 바람직하다. 따라서, 절연체(210) 및 절연체(214)에는, 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자( $N_2O$ ,  $NO$ ,  $NO_2$  등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는(상기 불순물이 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료를 사용하는 것이 바람직하다.
- [0109] 예를 들어, 절연체(210)로서 산화 알루미늄 등을 사용하고, 절연체(214)로서 질화 실리콘 등을 사용하는 것이 바람직하다. 이로써, 수소, 물 등의 불순물이 절연체(210) 및 절연체(214)보다 기판 측으로부터 트랜지스터(200) 측으로 확산되는 것을 억제할 수 있다. 또는, 절연체(224) 등에 포함되는 산소가 절연체(210) 및 절연체(214)보다 기판 측으로 확산되는 것을 억제할 수 있다.
- [0110] 또한 도전체(203) 위에 도전체(205)를 적층시켜 제공하는 구성으로 함으로써, 도전체(203)와 도전체(205) 사이에 절연체(214)를 제공할 수 있다. 여기서, 도전체(203)의 제 2 도전체에 구리 등 확산되기 쉬운 금속을 사용하여도, 절연체(214)로서 질화 실리콘 등을 제공함으로써, 상기 금속이 절연체(214)보다 위층으로 확산되는 것을 억제할 수 있다.
- [0111] 또한, 층간막으로서 기능하는 절연체(212), 절연체(216), 절연체(280), 및 절연체(281)는 절연체(210) 또는 절연체(214)보다 유전율이 낮은 것이 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.
- [0112] 예를 들어, 절연체(212), 절연체(216), 절연체(280), 및 절연체(281)로서 산화 실리콘, 산화질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘산 연(PZT), 타이타늄산 스트론튬( $SrTiO_3$ ), 또는  $(Ba,Sr)TiO_3$ (BST) 등의 절연체를 단층 또는 적층으로 사용할 수 있다. 또는 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.
- [0113] 절연체(220), 절연체(222), 절연체(224), 및 절연체(250)는 게이트 절연체로서의 기능을 가진다.
- [0114] 절연체(222)는 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어 절연체(222)는 절연체(224)보다 산소 투과성이 낮은 것이 바람직하다.
- [0115] 절연체(222)가 산소나 불순물의 확산을 억제하는 기능을 가짐으로써, 산화물(230)이 포함하는 산소는 절연체(220) 측으로 확산되지 않으므로 바람직하다. 또한, 도전체(205)가 절연체(224)나 산화물(230)이 포함하는 산소와 반응하는 것을 억제할 수 있다.
- [0116] 특히, 불순물 및 산소 등의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 절연성 재료인 알루

미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용하는 것이 좋다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 이와 같은 재료를 사용하여 절연체(222)를 형성한 경우, 절연체(222)는 산화물(230)로부터의 산소의 방출이나, 트랜지스터(200)의 주변부로부터 산화물(230)로의 수소 등의 불순물의 혼입을 억제하는 층으로서 기능한다.

[0117] 또는, 이들 절연체에, 예를 들어 산화 알루미늄, 산화 비스무트, 산화 저마늄, 산화 나이오븀, 산화 실리콘, 산화 타이타늄, 산화 텅스텐, 산화 이트륨, 산화 지르코늄을 첨가하여도 좋다. 또는 이들 절연체를 질화 처리하여도 좋다. 상기 절연체에 산화 실리콘, 산화질화 실리콘, 또는 질화 실리콘을 적층하여 사용하여도 좋다.

[0118] 또한 절연체(222)에는 예를 들어 산화 알루미늄, 산화 하프늄, 산화 탄탈럼, 산화 지르코늄, 타이타늄산 지르콘 산 연(PZT), 타이타늄산 스트론튬( $\text{SrTiO}_3$ ), 또는  $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST) 등 소위 high-k 재료를 포함한 절연체를 단층 또는 적층으로 사용하여도 좋다. 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서, 트랜지스터 동작 시의 게이트 전위의 저감이 가능하게 된다.

[0119] 또한, 절연체(220)는 열적으로 안정적인 것이 바람직하다. 예를 들어, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 적합하다. 또한 high-k 재료의 절연체와, 산화 실리콘 또는 산화질화 실리콘을 조합함으로써, 열적으로 안정적이며 비유전율이 높은 적층 구조의 절연체(220)를 얻을 수 있다.

[0120] 또한, 절연체(220), 절연체(222), 및 절연체(224)가 2층 이상의 적층 구조를 가져도 좋다. 그 경우, 같은 재료로 이루어지는 적층 구조에 한정되지 않고, 상이한 재료로 이루어지는 적층 구조이어도 좋다. 또한, 절연체(220)를 제공하지 않고, 절연체(222)와 절연체(224)만을 제공하는 구성으로 하여도 좋다.

[0121] 산화물(230)은 산화물(230a)과, 산화물(230a) 위의 산화물(230b)과, 산화물(230b) 위의 산화물(230c)을 가진다. 또한, 산화물(230a)은 산화물(230a1) 및 산화물(230a2)의 적층 구조를 가진다. 산화물(230b) 아래에 산화물(230a)을 가짐으로써, 산화물(230a)보다 아래쪽에 형성된 구조물로부터 산화물(230b)로의 불순물의 확산을 억제할 수 있다. 또한, 산화물(230b) 위에 산화물(230c)을 가짐으로써, 산화물(230c)보다 위쪽에 형성된 구조물로부터 산화물(230b)로의 불순물의 확산을 억제할 수 있다.

[0122] 산화물(230)로서, In-M-Zn 산화물(원소 M은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브덴, 탄탈럼, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 1종류 또는 복수 종류)로 나타낼 수 있는 금속 산화물, In-Ga 산화물, In-Zn 산화물 등을 사용할 수 있다.

[0123] 또한, 산화물(230)로서 In-M-Zn 산화물을 사용하는 경우, 산화물(230)은 각 금속 원자의 원자수비가 상이한 산화물로 이루어진 적층 구조를 가지는 것이 바람직하다. 구체적으로는, 산화물(230a)에 사용하는 금속 산화물에서, 구성 원소 중의 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 구성 원소 중의 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(230a)에 사용하는 금속 산화물에서 In에 대한 원소 M의 원자수비가 산화물(230b)에 사용하는 금속 산화물에서의 In에 대한 원소 M의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(230b)에 사용하는 금속 산화물에서 원소 M에 대한 In의 원자수비가 산화물(230a)에 사용하는 금속 산화물에서의 원소 M에 대한 In의 원자수비보다 큰 것이 바람직하다. 또한, 산화물(230c)에는 산화물(230a) 또는 산화물(230b)에 사용할 수 있는 금속 산화물을 사용할 수 있다.

[0124] 또한, 자세한 내용은 후술하지만, 산화물(230)에 약한 Zn-O 결합이 존재하면, 트랜지스터의 안정성이 저하되는 경우가 있다. 따라서 산화물(230), 특히 산화물(230b)에 포함되는 Zn이 적은 것이 바람직하다. 예를 들어 산화물(230b)에 포함되는 Zn의 원자수비를 산화물(230b)에 포함되는 In의 원자수비보다 작게 하면 좋다.

[0125] 또한 산화물(230b)은 결정성을 가지는 것이 바람직하다. 예를 들어, 후술하는 CAAC-OS(c-axis aligned crystalline oxide semiconductor)를 사용하는 것이 바람직하다. CAAC-OS 등의 결정성을 가지는 산화물은 불순물이나 결합(산소 결손 등)이 적고 결정성이 높은 치밀한 구조를 가진다. 따라서, 소스 전극 또는 드레인 전극이 산화물(230b)로부터 산소를 추출하는 것을 억제할 수 있다. 이로써, 열처리를 수행하여도, 산화물(230b)로부터 산소가 추출되는 것을 저감할 수 있기 때문에, 트랜지스터(200)는 제조 공정에서의 열 이력(소위 thermal budget)에 대하여 안정적이다.

[0126] 또한, 산화물(230)의 적어도 일부가 질소를 포함하는 경우, 산화물(230)의 형성 시에, 또는 형성 후에 산화물

(230)로부터 산소가 추출됨으로써 발생하는 산소 결손(Vo라고 표기하는 경우가 있음)에 질소가 들어감으로써 VoN을 형성하여, 산소 결손을 보완하는 경우가 있다. 금속 산화물 내의 산소가 질소로 치환됨으로써, 금속 산화물은 금속(M)과 질소(N)의 결합(MN 결합이라고 표기하는 경우가 있음)을 가진다. 여기서, M은 In, Ga, 또는 Zn인 것이 바람직하다. 금속 산화물 내의 VoN 및 MN 결합은 매우 안정적인 것으로 생각된다. 따라서, 산화물(230)로부터 Zn, Ga, In 등의 금속 원소의 이탈을 억제할 수 있다. 이와 같은 금속 산화물을 사용한 반도체 장치는 안정적인 전기 특성을 가지면서 신뢰성이 향상된다.

[0127] 또한, 산화물(230a1), 산화물(230a2), 산화물(230b), 및 산화물(230c) 중 어느 하나 또는 복수에 질소를 포함하는 금속 산화물을 사용함으로써, 상기 산화물은 음의 고정 전하를 유지하고, 트랜지스터(200)의 문턱값을 플러스 측으로 시프트시킬 수 있기 때문에 바람직하다.

[0128] 또한, 산화물(230a) 및 산화물(230c)의 전도대 하단의 에너지가 산화물(230b)의 전도대 하단의 에너지보다 높은 것이 바람직하다. 또한, 환언하면 산화물(230a) 및 산화물(230c)의 전자 친화력이 산화물(230b)의 전자 친화력보다 작은 것이 바람직하다.

[0129] 여기서, 산화물(230a), 산화물(230b), 및 산화물(230c)의 접합부에서 전도대 하단의 에너지 준위는 완만하게 변화한다. 환언하면, 산화물(230a), 산화물(230b), 및 산화물(230c)의 접합부에서의 전도대 하단의 에너지 준위는 연속적으로 변화 또는 연속 접합한다고도 할 수 있다. 이와 같이 하기 위해서는, 산화물(230a)과 산화물(230b)의 계면 및 산화물(230b)과 산화물(230c)의 계면에서 형성되는 혼합층의 결합 준위 밀도를 낮추는 것이 좋다.

[0130] 구체적으로는, 산화물(230a)과 산화물(230b), 산화물(230b)과 산화물(230c)이, 산소 이외에, 공통되는 원소를 가짐으로써(주성분으로 함으로써), 결합 준위 밀도가 낮은 혼합층을 형성할 수 있다. 예를 들어, 산화물(230b)이 In-Ga-Zn 산화물인 경우, 산화물(230a) 및 산화물(230c)로서 In-Ga-Zn 산화물, Ga-Zn 산화물, 산화 갈륨 등을 사용하는 것이 좋다.

[0131] 산화물(230a)로서 [In]:[Ga]:[Zn]=1:3:4 또는 그 근방의 원자수비의 금속 산화물, [In]:[Ga]:[Zn]=1:3:2 또는 그 근방의 원자수비의 금속 산화물, [In]:[Ga]:[Zn]=1:1:0.5 또는 그 근방의 원자수비의 금속 산화물, 및 질소를 포함하는 상기 금속 산화물 등을 사용할 수 있다. 여기서, 본 명세서에서, 어떤 원자수비의 근방이란, 각 원자수를 나타내는 값의 50% 이상 150% 이하, 바람직하게는 80% 이상 120% 이하, 더 바람직하게는 90% 이상 110% 이하를 포함하는 것으로 한다. 또한, 산화물(230a)이 산화물(230a1) 및 산화물(230a2)을 포함하는 적층 구조를 가지는 경우, 산화물(230a1)이 가지는 금속 원소의 원자수비는 산화물(230a2)이 가지는 금속 원소의 원자수비와 같아도 좋고, 상이하여도 좋다. 또한, 산화물(230a1) 및 산화물(230a2) 중 한쪽 또는 양쪽이 질소를 포함하는 것이 바람직하다. 또한, 산화물(230a1) 및 산화물(230a2)의 양쪽이 질소를 포함하는 경우, 산화물(230a1)의 질소 농도와 산화물(230a2)의 질소 농도는 같아도 좋고, 상이하여도 좋다. 예를 들어, 산화물(230a1) 및 산화물(230a2)로서 [In]:[Ga]:[Zn]=1:3:4의 원자수비의 금속 산화물을 사용하고, 산화물(230a1)은 산화물(230a2)에 비하여 산소 농도가 높고, 산화물(230a2)은 산화물(230a1)에 비하여 질소 농도가 높은 것이 바람직하다.

[0132] 산화물(230b)로서 [In]:[Ga]:[Zn]=4:2:3 또는 그 근방의 원자수비의 금속 산화물, [In]:[Ga]:[Zn]=1:1:0.5 또는 그 근방의 원자수비의 금속 산화물, [In]:[Ga]:[Zn]=5:1:7 또는 그 근방의 원자수비의 금속 산화물, [In]:[Ga]:[Zn]=1:1:1 또는 그 근방의 원자수비의 금속 산화물, 및 질소를 포함하는 상기 금속 산화물 등을 사용할 수 있다.

[0133] 산화물(230c)로서 [In]:[Ga]:[Zn]=4:2:3 또는 그 근방의 원자수비의 금속 산화물, [In]:[Ga]:[Zn]=1:1:0.5 또는 그 근방의 원자수비의 금속 산화물, [In]:[Ga]:[Zn]=5:1:7 또는 그 근방의 원자수비의 금속 산화물, [In]:[Ga]:[Zn]=1:1:1 또는 그 근방의 원자수비의 금속 산화물, 및 질소를 포함하는 상기 금속 산화물 등을 사용할 수 있다. 또한, 산화물(230c)로서 실리콘을 포함하는 인듐 주석 산화물을 사용할 수 있다.

[0134] 이때, 캐리어의 주된 경로는 산화물(230b)이다. 산화물(230a), 산화물(230c)을 상술한 구성으로 함으로써, 산화물(230a)과 산화물(230b)의 계면, 및 산화물(230b)과 산화물(230c)의 계면에서의 결합 준위 밀도를 낮출 수 있다. 그러므로, 계면 산란으로 인한 캐리어 전도로의 영향이 작아지고, 트랜지스터(200)는 높은 온 전류를 얻을 수 있다. 한편, 산화물(230c) 또는 산화물(230a)이 캐리어의 주된 경로가 되는 경우도 있다.

[0135] 또한, 산화물(230)은 영역(243) 및 영역(234)을 가진다. 또한, 영역(243)의 적어도 일부는 도전체(242)와 접하는 영역을 가진다.

- [0136] 또한, 트랜지스터(200)를 온으로 하면, 영역(243a) 또는 영역(243b)은 소스 영역 또는 드레인 영역으로서 기능한다. 한편, 영역(234)은 채널이 형성되는 영역으로서 기능한다. 또한, 영역(243)과 영역(234) 사이에 접합 영역으로서 기능하는 영역을 가져도 좋다.
- [0137] 또한, 산화물(230a1), 산화물(230a2), 산화물(230b), 및 산화물(230c) 중 적어도 하나는 고정 전하를 유지하는 층인 것이 바람직하고, 고정 전하를 유지하는 층으로서 질소를 포함하는 산화물인 것이 바람직하다.
- [0138] 즉, 각 영역의 범위를 적절히 선택함으로써, 회로 설계에 맞추어, 요구에 걸맞은 전기 특성을 가지는 트랜지스터를 용이하게 제공할 수 있다.
- [0139] 산화물(230)에는 산화물 반도체로서 기능하는 금속 산화물을 사용하는 것이 바람직하다. 예를 들어, 영역(234)이 되는 금속 산화물로서는 밴드 갭이 2eV 이상, 바람직하게는 2.5eV 이상인 것을 사용하는 것이 바람직하다. 이와 같이, 밴드 갭이 큰 금속 산화물을 사용함으로써, 트랜지스터의 오프 전류를 저감할 수 있다.
- [0140] 산화물 반도체를 사용한 트랜지스터는 비도통 상태에서 누설 전류가 매우 작기 때문에, 저소비전력의 반도체 장치를 제공할 수 있다. 또한, 산화물 반도체는 스핀터링법 등을 사용하여 성막할 수 있기 때문에, 고집적형 반도체 장치를 구성하는 트랜지스터에 사용할 수 있다.
- [0141] 산화물(230b) 위에는 소스 전극 및 드레인 전극으로서 기능하는 도전체(242)(도전체(242a) 및 도전체(242b))가 제공된다. 도전체(242)로서는, 알루미늄, 크롬, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브덴, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어, 알루미늄을 포함하는 루테튬 합금, 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한, 알루미늄을 포함하는 루테튬 합금, 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다.
- [0142] 산화물(230)과 접하도록 상기 도전체(242)를 제공함으로써, 영역(243)의 산소 농도가 저감되는 경우가 있다. 또한, 영역(243)에, 도전체(242)에 포함되는 금속과, 산화물(230)의 성분을 포함하는 금속 화합물층이 형성되는 경우가 있다. 이와 같은 경우, 영역(243)의 캐리어 밀도가 증가하여 영역(243)은 저저항 영역이 된다.
- [0143] 또한, 도전체(242)는 적층 구조로 하여도 좋다. 예를 들어, 도 5의 (B)에 도시된 바와 같이, 도전체(242)로서 산화물(230)에 포함되는 산소를 흡수하는 도전체(242-1)와, 도전체(242-1)에 비하여 산소를 흡수하기 어려운 도전체(242-2)를 적층하여도 좋다. 이와 같은 구조로 함으로써, 산화물(230)에 포함되는 산소가 도전체(242-1)에 흡수되고, 산화물(230)에서 도전체(242-1)의 근방에는 산소 농도가 저감됨으로써 저저항화된 영역(243)이 형성되는 경우가 있다.
- [0144] 예를 들어, 도전체(242-1)로서 알루미늄, 타이타늄, 실리콘, 탄탈럼, 텅스텐, 및 이들을 포함하는 화합물 중 적어도 하나를 포함하는 재료를 사용하고, 도전체(242-2)로서 루테튬이나, 알루미늄을 포함하는 루테튬을 사용할 수 있다.
- [0145] 도전체(242a) 및 도전체(242b) 위에는 각각 절연체(273a) 및 절연체(273b)(절연체(273))가 제공되는 것이 바람직하다.
- [0146] 절연체(273)는 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어, 절연체(273)에는 절연체(222)와 같은 재료를 사용할 수 있다. 절연체(273)로서는, 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 성막하는 것이 좋다. 또한, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 특히, 하프늄 알루미늄네이트는 산화 하프늄막보다 내열성이 높다. 그러므로, 후후의 공정에서의 열처리에서, 결정화하기 어렵기 때문에 바람직하다.
- [0147] 절연체(273)는 피복성이 좋은 ALD법을 사용하여 성막하는 것이 바람직하다.
- [0148] 이와 같은 절연체(273)를 사용함으로써, 도전체(242)의 산화를 억제할 수 있어, 도전체(242)는 산화물(230)과

양호한 콘택트를 얻을 수 있다.

- [0149] 절연체(250)는 게이트 절연체로서 기능한다. 절연체(250)는 산화물(230c)의 상면에 접하여 배치하는 것이 바람직하다. 절연체(250)는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공(空孔)을 가지는 산화 실리콘을 사용할 수 있다. 특히, 산화 실리콘 및 산화질화 실리콘은 열에 대하여 안정적이기 때문에 바람직하다.
- [0150] 절연체(224)와 마찬가지로, 절연체(250) 내의 물 또는 수소 등의 불순물 농도가 저감되어 있는 것이 바람직하다. 절연체(250)의 막 두께는 1nm 이상 20nm 이하로 하는 것이 바람직하다.
- [0151] 또한 절연체(250)와 도전체(260) 사이에 금속 산화물을 제공하여도 좋다. 상기 금속 산화물은 절연체(250)로부터 도전체(260)로의 산소 확산을 억제하는 것이 바람직하다. 산소의 확산을 억제하는 금속 산화물을 제공함으로써, 절연체(250)로부터 도전체(260)로의 산소의 확산이 억제된다. 즉 절연체(250)의 산소로 인한 도전체(260)의 산화를 억제할 수 있다.
- [0152] 또한, 상기 금속 산화물은 게이트 절연체의 일부로서의 기능을 가지는 경우가 있다. 따라서, 절연체(250)에 산화 실리콘이나 산화질화 실리콘 등을 사용하는 경우, 상기 금속 산화물에는 비유전율이 높은 high-k 재료인 금속 산화물을 사용하는 것이 바람직하다. 게이트 절연체를 절연체(250)와 상기 금속 산화물의 적층 구조로 함으로써, 열에 대하여 안정적이고, 또한 비유전율이 높은 적층 구조로 할 수 있다. 따라서, 게이트 절연체의 물리적 막 두께를 유지한 채, 트랜지스터 동작 시에 인가하는 게이트 전위의 저감화가 가능해진다. 또한, 게이트 절연체로서 기능하는 절연체의 등가 산화막 두께(EOT)의 박막화가 가능하게 된다.
- [0153] 구체적으로는, 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 또는 마그네슘 등에서 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다.
- [0154] 특히, 알루미늄 또는 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄에이트) 등을 사용하는 것이 바람직하다. 특히, 하프늄 알루미늄에이트는 산화 하프늄막보다 내열성이 높다. 그러므로, 추후의 공정에서의 열처리에서, 결정화하기 어렵기 때문에 바람직하다. 또한, 상기 금속 산화물은 필수적인 구성이 아니다. 요구되는 트랜지스터 특성에 따라 적절히 설계하면 좋다.
- [0155] 제 1 게이트 전극으로서 기능하는 도전체(260)는, 도 1에서는 2층 구조로서 도시하였지만, 단층 구조이어도 좋고 3층 이상의 적층 구조이어도 좋다.
- [0156] 도전체(260a)에는 도전체(205a)와 마찬가지로, 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자( $N_2O$ ,  $NO$ ,  $NO_2$  등), 구리 원자 등의 불순물의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 또는, 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다.
- [0157] 또한, 도전체(260a)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(250)에 포함되는 산소로 인하여 도전체(260b)가 산화되어 도전율이 저하되는 것을 억제할 수 있다. 산소의 확산을 억제하는 기능을 가지는 도전성 재료로서는, 예를 들어 탄탈럼, 질화 탄탈럼, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다.
- [0158] 또한, 도전체(260b)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한 도전체(260)는 배선으로서도 기능하기 때문에, 도전성이 높은 도전체를 사용하는 것이 바람직하다. 예를 들어, 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용할 수 있다. 또한, 도전체(260b)는 적층 구조로 하여도 좋고, 예를 들어 타이타늄, 질화 타이타늄과 상기 도전성 재료의 적층 구조로 하여도 좋다.
- [0159] 또한, 도 1의 (C)에 도시된 바와 같이, 도전체(205)가 산화물(230)의 채널 폭 방향과 교차되는 단부보다 외측의 영역에서 연장되어 있는 경우, 도전체(260)는 상기 영역에서 절연체(250)를 개재하여 중첩되어 있는 것이 바람직하다. 즉, 산화물(230)의 측면의 외측에서, 도전체(205)와, 절연체(250)와, 도전체(260)는 적층 구조를 형성하는 것이 바람직하다.
- [0160] 상기 구성을 가짐으로써, 도전체(260) 및 도전체(205)에 전위를 인가한 경우, 도전체(260)로부터 발생하는 전계와 도전체(205)로부터 발생하는 전계가 연결되고, 산화물(230)에 형성되는 채널 형성 영역을 덮을 수 있다.
- [0161] 즉, 제 1 게이트 전극으로서의 기능을 가지는 도전체(260)의 전계와 제 2 게이트 전극으로서의 기능을 가지는

도전체(205)의 전계에 의하여 영역(234)의 채널 형성 영역을 전기적으로 둘러쌀 수 있다.

- [0162] 절연체(274)는 절연체(250)의 상면과 도전체(260)의 상면 및 측면에 접하는 것이 바람직하다.
- [0163] 절연체(274)는 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어, 절연체(274)에는 절연체(222)나 절연체(273)와 같은 재료를 사용할 수 있다. 절연체(274)로서는, 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 성막하는 것이 좋다. 또한, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄에이트) 등을 사용하는 것이 바람직하다. 특히, 하프늄 알루미늄에이트는 산화 하프늄막보다 내열성이 높다. 그러므로, 추후의 공정에서의 열처리에서, 결정화하기 어렵기 때문에 바람직하다.
- [0164] 절연체(274)는, ALD법을 사용하여 성막하는 것이 바람직하다. ALD법은 피복성이 양호한 성막법이기에 때문에, 도전체(260)나 산화물(230)에 의하여 생기는 요철에 대하여 단절 등이 형성되는 것을 방지할 수 있다.
- [0165] 이와 같은 절연체(274)를 사용함으로써, 도전체(260)의 산화를 억제할 수 있다.
- [0166] 절연체(280)는 절연체(224), 산화물(230), 도전체(242), 절연체(273), 절연체(250), 도전체(260), 및 절연체(274) 위에 제공된다. 절연체(280)는 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 것이 바람직하다. 예를 들어 절연체(280)로서 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘 등을 가지는 것이 바람직하다. 특히, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 특히, 산화 실리콘, 산화질화 실리콘, 공공을 가지는 산화 실리콘 등의 재료는 가열에 의하여 이탈되는 산소를 포함하는 영역을 용이하게 형성할 수 있기 때문에 바람직하다.
- [0167] 상술한 바와 같이, 절연체(280)는 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 것이 바람직하다. 가열에 의하여 산소가 방출되는 절연체(280)를 절연체(224)와 접촉하여 제공함으로써 절연체(280) 내의 산소를 절연체(224)를 통하여 산화물(230)의 영역(234)으로 효율적으로 공급할 수 있다. 또한, 절연체(280) 내의 물 또는 수소 등의 불순물 농도가 저감되어 있는 것이 바람직하다.
- [0168] 또한, 절연체(280)의 상면은 도 1의 (B), (C), 및 (D)에 도시된 바와 같이, 평탄화되어 있어도 좋다. 또는, 절연체(280)의 상면은 산화물(230)이나 도전체(260)에 의하여 생기는 요철을 따르도록 요철면을 가져도 좋다.
- [0169] 절연체(282)는 산소(예를 들어, 산소 원자, 산소 분자 등 중 적어도 하나)의 확산을 억제하는 기능을 가지는(상기 산소가 투과하기 어려운) 것이 바람직하다. 예를 들어, 절연체(282)는 절연체(224)나 절연체(280)보다 산소 투과성이 낮은 것이 바람직하다.
- [0170] 절연체(282)는, 절연체(280)의 상면에 접하여 제공되는 것이 바람직하다. 절연체(282)를, 산소를 포함하는 분위기에서 스퍼터링법을 사용하여 성막함으로써, 가열에 의하여 이탈되는 산소를 포함하는 영역을 절연체(280)에 제공할 수 있다. 이로써, 상기 영역으로부터 절연체(224)나 절연체(250)를 통하여 산화물(230) 내에 산소를 공급할 수 있다. 여기서, 절연체(282)가 산소의 확산을 억제하는 기능을 가짐으로써, 절연체(280)가 가지는 산소가 절연체(281) 측으로 확산되는 것을 방지할 수 있기 때문에 바람직하다.
- [0171] 예를 들어, 절연체(282)로서 하프늄, 알루미늄, 갈륨, 이트륨, 지르코늄, 텅스텐, 타이타늄, 탄탈럼, 니켈, 저마늄, 또는 마그네슘 등으로부터 선택된 1종류 또는 2종류 이상이 포함된 금속 산화물을 사용할 수 있다. 특히, 알루미늄 또는 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체인, 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄에이트) 등을 사용하는 것이 바람직하다. 특히, 하프늄 알루미늄에이트는 산화 하프늄막보다 내열성이 높다. 그러므로, 추후의 공정에서의 열처리에서, 결정화하기 어렵기 때문에 바람직하다.
- [0172] 특히, 산화 알루미늄은 배리어성이 높고, 0.5nm 이상 3.0nm 이하의 박막이어도, 수소 및 질소의 확산을 억제할 수 있다. 따라서 스퍼터링법으로 성막한 산화 알루미늄은 수소 등의 불순물의 배리어막으로서의 기능도 가질 수 있다. 예를 들어, 스퍼터링법으로 성막한 산화 알루미늄을 절연체(282)에 사용함으로써, 절연체(282)는 절연체(280)에 산소 공급을 수행하면서 절연체(282)의 위쪽으로부터의 수소 등의 불순물이 절연체(280) 측으로 혼입하는 것을 억제할 수 있다.
- [0173] 또한, 절연체(282) 위에 층간막으로서 기능하는 절연체(281)를 제공하는 것이 바람직하다. 절연체(281)는 절연

체(224) 등과 마찬가지로, 막 내의 물 또는 수소 등의 불순물 농도가 저감되어 있는 것이 바람직하다.

- [0174] 또한, 절연체(281), 절연체(282), 절연체(280), 및 절연체(273)에 형성된 개구에 도전체(240a) 및 도전체(240b)를 배치한다. 또한, 절연체(281), 절연체(282), 절연체(280), 및 절연체(274)에 형성된 개구에 도전체(240c)를 배치한다. 도전체(240a) 및 도전체(240b)는 도전체(260)를 기워 대향하여 제공된다. 또한, 도전체(240a), 도전체(240b), 및 도전체(240c)의 상면의 높이는 절연체(281)의 상면과 동일 평면상으로 하여도 좋다.
- [0175] 또한, 절연체(281), 절연체(282), 절연체(280), 및 절연체(273a)의 개구의 내벽에 접하여 도전체(240a)의 제 1 도전체가 형성되어 있다. 상기 개구의 바닥부의 적어도 일부에는 도전체(242a)가 위치하고, 도전체(240a)가 도전체(242a)와 접한다. 마찬가지로, 절연체(281), 절연체(282), 절연체(280), 및 절연체(273b)의 개구의 내벽에 접하여 도전체(240b)의 제 1 도전체가 형성되어 있다. 상기 개구의 바닥부의 적어도 일부에는 도전체(242b)가 위치하고, 도전체(240b)가 도전체(242b)와 접한다. 마찬가지로, 절연체(281), 절연체(282), 절연체(280), 및 절연체(274)의 개구의 내벽에 접하여 도전체(240c)의 제 1 도전체가 형성되어 있다. 상기 개구의 바닥부의 적어도 일부에는 도전체(260)가 위치하고, 도전체(240c)가 도전체(260)와 접한다.
- [0176] 또한, 각 개구의 내벽과 도전체(240) 사이에는 수소나 물 등의 불순물이나 산소 등의 투과를 억제하는 절연성 배리어 또는 도전성 배리어를 제공하는 것이 바람직하다. 본 실시형태에서는, 절연성 배리어로서 절연체(276)를 제공하는 예를 나타내었다. 절연체(276)는 적어도 절연체(280)의 측면과 절연체(282)의 측면의 일부에 제공되어 있으면 좋고, 절연체(280)에 포함되는 수소나 물 등의 불순물이나 산소 등의 도전체(240)로의 확산을 억제하는 것이 바람직하다.
- [0177] 도전체(240)에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 도전체(240)는 적층 구조로 하여도 좋다.
- [0178] 또한, 도전체(240)를 적층 구조로 하는 경우, 도전체(242), 절연체(273), 절연체(280), 절연체(282), 절연체(281)와 접하는 도전체에는 도전체(205a) 등과 마찬가지로 물 또는 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어, 탄탈럼, 질화 탄탈럼, 타이타늄, 질화 타이타늄, 루테튬, 또는 산화 루테튬 등을 사용하는 것이 바람직하다. 또한, 물 또는 수소 등의 불순물의 투과를 억제하는 기능을 가지는 도전성 재료는, 단층 또는 적층으로 사용하여도 좋다. 상기 도전성 재료를 사용함으로써, 절연체(280)에 첨가된 산소가 도전체(240)로 흡수되는 것을 방지할 수 있다. 또한, 절연체(281)보다 위층으로부터 수소, 물 등의 불순물이 도전체(240)를 통하여 산화물(230)로 혼입되는 것을 억제할 수 있다.
- [0179] 또한, 도전체(240)의 상면에 접하여 배선으로서 기능하는 도전체(256)를 배치하여도 좋다. 배선으로서 기능하는 도전체에는 텅스텐, 구리, 또는 알루미늄을 주성분으로 하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 상기 도전체는 적층 구조로 하여도 좋고, 예를 들어 타이타늄, 질화 타이타늄과 상기 도전성 재료의 적층으로 하여도 좋다. 또한, 도전체(256)는 도전체(203) 등과 마찬가지로, 절연체에 제공된 개구에 매립되도록 형성하여도 좋다.
- [0180] <반도체 장치의 구성 재료>
- [0181] 이하에서는, 반도체 장치에 사용할 수 있는 구성 재료에 대하여 설명한다.
- [0182] <<기관>>
- [0183] 트랜지스터(200)를 형성하는 기관으로서, 예를 들어 절연체 기관, 반도체 기관, 또는 도전체 기관을 사용하면 좋다. 절연체 기관으로서, 예를 들어 유리 기관, 석영 기관, 사파이어 기관, 안정화 지르코니아 기관(이트리아 안정화 지르코니아 기관 등), 수지 기관 등이 있다. 또한, 반도체 기관으로서, 예를 들어 실리콘, 저마늄 등의 반도체 기관, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨으로 이루어지는 화합물 반도체 기관 등이 있다. 또한, 상술한 반도체 기관 내부에 절연체 영역을 포함하는 반도체 기관, 예를 들어 SOI(Silicon On Insulator) 기관 등이 있다. 도전체 기관으로서, 흑연 기관, 금속 기관, 합금 기관, 도전성 수지 기관 등이 있다. 또는, 금속의 질화물을 가지는 기관, 금속의 산화물을 가지는 기관 등이 있다. 또한, 절연체 기관에 도전체 또는 반도체가 제공된 기관, 반도체 기관에 도전체 또는 절연체가 제공된 기관, 도전체 기관에 반도체 또는 절연체가 제공된 기관 등이 있다. 또는, 이들 기관에 소자가 제공된 것을 사용하여도 좋다. 기관에 제공되는 소자로서는, 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.
- [0184] 또한, 기관으로서 가요성 기관을 사용하여도 좋다. 또한, 가요성 기관 위에 트랜지스터를 제공하는 방법으로서

는, 비가요성 기판 위에 트랜지스터를 제작한 후, 트랜지스터를 박리하고, 가요성 기판인 기판으로 전치(轉置)하는 방법도 있다. 그 경우에는, 비가요성 기판과 트랜지스터 사이에 박리층을 제공하는 것이 좋다. 또한, 기판이 신축성을 가져도 좋다. 또한, 기판은 구부리거나 당기는 것을 중지하였을 때, 원래의 형상으로 되돌아가는 성질을 가져도 좋다. 또는, 원래의 형상으로 되돌아가지 않는 성질을 가져도 좋다. 기판은, 예를 들어 5 $\mu$ m 이상 700 $\mu$ m 이하, 바람직하게는 10 $\mu$ m 이상 500 $\mu$ m 이하, 더 바람직하게는 15 $\mu$ m 이상 300 $\mu$ m 이하의 두께가 되는 영역을 가진다. 기판을 얇게 하면, 트랜지스터를 가지는 반도체 장치를 경량화할 수 있다. 또한, 기판을 얇게 함으로써, 유리 등을 사용한 경우에도 신축성을 가지는 경우나, 구부리거나 당기는 것을 중지하였을 때 원래의 형상으로 되돌아가는 성질을 가지는 경우가 있다. 그러므로, 낙하 등으로 인하여 기판 위의 반도체 장치에 가해지는 충격 등을 완화할 수 있다. 즉, 튼튼한 반도체 장치를 제공할 수 있다.

[0185] 가요성 기판인 기판으로서, 예를 들어 금속, 합금, 수지, 또는 유리, 또는 이들의 섬유 등을 사용할 수 있다. 또한, 기판으로서 섬유를 짠 시트, 필름, 또는 포일 등을 사용하여도 좋다. 가요성 기판인 기판은 선펡창률이 낮을수록 환경으로 인한 변형이 억제되어 바람직하다. 가요성 기판인 기판으로서, 예를 들어 선펡창률이  $1 \times 10^{-3}/K$  이하,  $5 \times 10^{-5}/K$  이하, 또는  $1 \times 10^{-5}/K$  이하인 재질을 사용하면 좋다. 수지로서는, 예를 들어 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 아크릴 등이 있다. 특히, 아라미드는 선펡창률이 낮기 때문에, 가요성 기판인 기판으로서 적합하다.

[0186] <<절연체>>

[0187] 절연체로서는, 절연성을 가지는 산화물, 질화물, 산화질화물, 질화산화물, 금속 산화물, 금속 산화질화물, 금속 질화산화물 등이 있다.

[0188] 예를 들어, 트랜지스터의 미세화 및 고집적화가 진행되면, 게이트 절연체의 박막화로 인하여 누설 전류 등의 문제가 생기는 경우가 있다. 게이트 절연체로서 기능하는 절연체에 high-k 재료를 사용함으로써, 물리적 막 두께를 유지하면서 트랜지스터 동작 시의 저전압화가 가능하게 된다. 한편, 층간막으로서 기능하는 절연체에는 비유전율이 낮은 재료를 사용함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다. 따라서, 절연체의 기능에 따라 재료를 선택하는 것이 좋다.

[0189] 또한, 비유전율이 높은 절연체로서는, 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄 및 하프늄을 포함하는 산화물, 알루미늄 및 하프늄을 포함하는 산화질화물, 실리콘 및 하프늄을 포함하는 산화물, 실리콘 및 하프늄을 포함하는 산화질화물, 또는 실리콘 및 하프늄을 포함하는 질화물 등이 있다.

[0190] 또한, 비유전율이 낮은 절연체로서는, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등이 있다.

[0191] 또한, 특히 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이다. 그러므로, 예를 들어 수지와 조합함으로써, 열적으로 안정적이며 비유전율이 낮은 적층 구조로 할 수 있다. 수지로서는, 예를 들어 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 또는 아크릴 등이 있다. 또한, 예를 들어 산화 실리콘 및 산화질화 실리콘은 비유전율이 높은 절연체와 조합함으로써, 열적으로 안정적이며 비유전율이 높은 적층 구조로 할 수 있다.

[0192] 또한, 산화물 반도체를 사용한 트랜지스터는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로 둘러싸이므로써, 트랜지스터의 전기 특성을 안정적으로 할 수 있다.

[0193] 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈륨을 포함하는 절연체를, 단층으로 또는 적층으로 사용하면 좋다. 구체적으로는, 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체로서, 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 또는 산화 탄탈륨 등의 금속 산화물, 질화산화 실리콘, 또는 질화 실리콘 등을 사용할 수 있다.

[0194] 예를 들어, 게이트 절연체로서 기능하는 절연체(224) 및 절연체(250)는 가열에 의하여 이탈되는 산소를 포함하는 영역을 가지는 절연체인 것이 바람직하다. 예를 들어, 가열에 의하여 이탈되는 산소를 포함한 영역을 가지는 산화 실리콘 또는 산화질화 실리콘을 산화물(230)과 접촉하는 구조로 함으로써, 산화물(230)이 가지는 산소 결손을 보상할 수 있다.

- [0195] 또한 예를 들어 게이트 절연체의 일부로서 기능하는 절연체(222)에 알루미늄, hafnium, 및 갈륨 중 1종류 또는 복수 종류의 산화물을 포함하는 절연체를 사용할 수 있다. 특히, 알루미늄 및 hafnium 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서, 산화 알루미늄, 산화 hafnium, 알루미늄 및 hafnium을 포함하는 산화물(hafnium 알루미늄 네이트) 등을 사용하는 것이 바람직하다.
- [0196] 예를 들어, 절연체(220)에는 열에 대하여 안정적인 산화 실리콘 또는 산화질화 실리콘을 사용하는 것이 바람직하다. 게이트 절연체로서, 열에 대하여 안정적인 막과 비유전율이 높은 막의 적층 구조로 함으로써, 물리적 막 두께를 유지한 채, 게이트 절연체의 등가 산화막 두께(EOT)의 박막화가 가능하게 된다.
- [0197] 상기 적층 구조로 함으로써, 게이트 전극으로부터의 전계의 영향을 약하게 하지 않고, 온 전류의 향상을 도모할 수 있다. 또한, 게이트 절연체의 물리적인 두께에 의하여, 게이트 전극과 채널이 형성되는 영역 사이의 거리를 유지함으로써, 게이트 전극과 채널 형성 영역 사이의 누설 전류를 억제할 수 있다.
- [0198] 절연체(212), 절연체(216), 절연체(280), 및 절연체(281)는 비유전율이 낮은 절연체를 가지는 것이 바람직하다. 예를 들어, 절연체(212), 절연체(216), 절연체(280), 및 절연체(281)는, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등을 가지는 것이 바람직하다. 또는, 절연체(212), 절연체(216), 절연체(280), 및 절연체(281)는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 또는 공공을 가지는 산화 실리콘과, 수지의 적층 구조를 가지는 것이 바람직하다. 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에, 수지와 조합함으로써 열적으로 안정적이며 비유전율이 낮은 적층 구조로 할 수 있다. 수지로서는, 예를 들어 폴리에스터, 폴리올레핀, 폴리이미드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 또는 아크릴 등이 있다.
- [0199] 절연체(210), 절연체(214), 절연체(273), 절연체(274), 및 절연체(281)로서는 수소 등의 불순물 및 산소의 투과를 억제하는 기능을 가지는 절연체를 사용하면 좋다. 절연체(210), 절연체(214), 절연체(273), 절연체(274), 및 절연체(281)로서는, 예를 들어 산화 알루미늄, 산화 hafnium, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 또는 산화 탄탈럼 등의 금속 산화물, 질화산화 실리콘, 또는 질화 실리콘 등을 사용하면 좋다.
- [0200] <<도전체>>
- [0201] 도전체로서는, 알루미늄, 크롬, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브덴, 텅스텐, hafnium, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 등에서 선택된 금속 원소를 1종류 이상 포함하는 재료를 사용할 수 있다. 또한, 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.
- [0202] 또한, 상기 재료로 형성되는 도전층을 복수 적층하여 사용하여도 좋다. 예를 들어, 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한, 상술한 금속 원소를 포함하는 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한, 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다.
- [0203] 또한, 트랜지스터의 채널 형성 영역에 산화물을 사용하는 경우에서, 게이트 전극으로서 기능하는 도전체에는 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조를 사용하는 것이 바람직하다. 이 경우에는, 산소를 포함하는 도전성 재료를 채널 형성 영역 측에 제공하는 것이 좋다. 산소를 포함하는 도전성 재료를 채널 형성 영역 측에 제공함으로써, 상기 도전성 재료로부터 이탈된 산소가 채널 형성 영역에 공급되기 쉬워진다.
- [0204] 특히, 게이트 전극으로서 기능하는 도전체로서, 채널이 형성되는 금속 산화물에 포함되는 금속 원소 및 산소를 포함하는 도전성 재료를 사용하는 것이 바람직하다. 또한, 상술한 금속 원소 및 질소를 포함하는 도전성 재료를 사용하여도 좋다. 예를 들어, 질화 타이타늄, 질화 탄탈럼 등의 질소를 포함하는 도전성 재료를 사용하여도 좋다. 또한, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 실리콘을 첨가한 인듐 주석 산화물을 사용하여도 좋다. 또한, 질소를 포함하는 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이와 같은 재료를 사용함으로써, 채널이 형성되는 금속 산화물에 포함되는 수소를 포획할 수 있

는 경우가 있다. 또는, 외방의 절연체 등으로부터 혼입되는 수소를 포획할 수 있는 경우가 있다.

- [0205] 도전체(260), 도전체(203), 도전체(205), 도전체(242), 및 도전체(240)로서는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데넘, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘 중에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금이나 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어, 알루미늄을 포함하는 루테튬 합금, 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한, 알루미늄을 포함하는 루테튬 합금, 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료, 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한, 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는, 전기 전도도가 높은 반도체, 니켈실리사이드 등의 실리사이드를 사용하여도 좋다.
- [0206] <<금속 산화물>>
- [0207] 산화물(230)로서는 산화물 반도체로서 기능하는 금속 산화물을 사용하는 것이 바람직하다. 이하에서는, 본 발명에 따른 산화물(230)에 적용 가능한 금속 산화물에 대하여 설명한다.
- [0208] 금속 산화물은, 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히 인듐 및 아연을 포함하는 것이 바람직하다. 또한 이들에 더하여 알루미늄, 갈륨, 이트륨, 또는 주석 등이 포함되는 것이 바람직하다. 또한, 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 또는 마그네슘 등에서 선택된 1종류 또는 복수 종류가 포함되어 있어도 좋다.
- [0209] 여기서는, 금속 산화물이 인듐, 원소 M, 및 아연을 가지는 In-M-Zn 산화물인 경우를 생각한다. 또한 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석 등으로 한다. 그 외의 원소 M에 적용 가능한 원소로서는 붕소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘 등이 있다. 다만, 원소 M으로서, 상술한 원소를 복수 조합하여도 되는 경우가 있다.
- [0210] 또한, 본 명세서 등에서, 질소를 가지는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한, 질소를 가지는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 불러도 좋다.
- [0211] [금속 산화물의 구조]
- [0212] 산화물 반도체(금속 산화물)는 단결정 산화물 반도체와 이 외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, 예를 들어 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.
- [0213] 또한, 본 명세서 등에서, CAAC(c-axis aligned crystal) 및 CAC(Cloud-Aligned Composite)라고 기재하는 경우가 있다. 또한 CAAC는 결정 구조의 일례를 나타내고, CAC는 기능 또는 재료의 구성의 일례를 나타낸다.
- [0214] CAAC-OS는 c축 배향성을 가지며 a-b면 방향에서 복수의 나노 결정이 연결되어 변형을 가지는 결정 구조가 되어 있다. 또한, 변형이란, 복수의 나노 결정이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되어 있는 부분을 가리킨다.
- [0215] 나노 결정은 기본적으로 육각형이지만, 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한, 변형에서 오각형 및 칠각형 등의 격자 배열을 가지는 경우가 있다. 또한, CAAC-OS에서, 변형 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인하는 것은 어렵다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원소가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여, 변형을 허용할 수 있기 때문이다.
- [0216] 또한, CAAC-OS는 인듐 및 산소를 가지는 층(이하, In층)과 원소 M, 아연, 및 산소를 가지는 층(이하, (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 원소 M은 서로 치환할 수 있고, (M, Zn)층의 원소 M이 인듐과 치환된 경우, (In, M, Zn)층이라고 나타낼 수도 있다. 또한 In층의 인듐이 원소 M과 치환된 경우, (In, M)층이라고 나타낼 수도 있다.

- [0217] CAAC-OS는 결정성이 높은 금속 산화물이다. 한편, CAAC-OS는 명확한 결정립계를 확인하기 어렵기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한, 금속 산화물의 결정성은 불순물의 혼입이나 결함의 생성 등으로 인하여 저하되는 경우가 있기 때문에 CAAC-OS는 불순물이나 결함(산소 결손( $V_O$ : oxygen vacancy라고도 함) 등)이 적은 금속 산화물이라고도 할 수 있다. 따라서, CAAC-OS를 가지는 금속 산화물은 물리적 성질이 안정된다. 그러므로, CAAC-OS를 가지는 금속 산화물은 열에 강하고 신뢰성이 높다.
- [0218] 여기서 X선 회절(XRD: X-Ray Diffraction)에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어,  $InGaZnO_4$ 의 결정을 가지는 CAAC-OS에 대하여 out-of-plane법에 의한 구조 해석을 하면, 회절각( $2\theta$ )이  $31^\circ$  근방일 때 피크가 나타나는 경우가 있다. 이 피크는  $InGaZnO_4$ 의 결정의 (009)면에 귀속되기 때문에, CAAC-OS의 결정이 c축 배향성을 가지고, c축이 피형성면 또는 상면에 대략 수직인 방향으로 배향되어 있는 것을 나타낸다.
- [0219] 또한 전자 회절에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어,  $InGaZnO_4$ 의 결정을 포함하는 CAAC-OS에 대하여, 프로브 직경이 300nm인 전자 빔을 시료면에 평행하게 입사시키면, 회절 패턴(제한 시야 투과 전자 회절 패턴이라고도 함)이 나타나는 경우가 있다. 이 회절 패턴에는  $InGaZnO_4$ 의 결정의 (009)면에 기인하는 스폿이 포함된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 결정이 c축 배향성을 가지고 c축이 피형성면 또는 상면에 실질적으로 수직인 방향으로 배향되는 것을 알 수 있다. 한편, 같은 시료에 대하여, 프로브 직경이 300nm인 전자 빔을 시료면에 수직으로 입사시키면, 링 형상의 회절 패턴이 확인된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 결정의 a축 및 b축이 배향성을 가지지 않음을 알 수 있다.
- [0220] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 또한, nc-OS는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서, nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별이 되지 않는 경우가 있다.
- [0221] 또한, 인듐과, 갈륨과, 아연을 가지는 금속 산화물의 1종류인 인듐-갈륨-아연 산화물(이하, IGZO)은 상술한 나노 결정으로 함으로써 안정적인 구조를 취하는 경우가 있다. 특히, IGZO는 대기 중에서는 결정 성장이 어려운 경향이 있기 때문에 큰 결정(여기서는, 수mm의 결정 또는 수cm의 결정)보다 작은 결정(예를 들어 상술한 나노 결정)으로 하는 것이 구조적으로 더 안정되는 경우가 있다.
- [0222] a-like OS는, nc-OS와 비정질 산화물 반도체의 중간의 구조를 가지는 금속 산화물이다. a-like OS는, 공동(void) 또는 저밀도 영역을 가진다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다.
- [0223] 산화물 반도체(금속 산화물)는 다양한 구조를 취하며, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2종류 이상을 가져도 좋다.
- [0224] [금속 산화물의 구성]
- [0225] 이하에서는 본 발명의 일 형태에 개시되는 트랜지스터에 사용할 수 있는 CAC(Cloud-Aligned Composite)-OS의 구성에 대하여 설명한다.
- [0226] CAC-OS 또는 CAC-metal oxide란, 재료의 일부에서는 도전성의 기능을 가지고, 재료의 일부에서는 절연성의 기능을 가지고, 재료의 전체에서는 반도체로서의 기능을 가진다. 또한, CAC-OS 또는 CAC-metal oxide를 트랜지스터의 반도체층에 사용하는 경우, 도전성의 기능은 캐리어가 되는 전자(또는 정공)를 흘리는 기능이고, 절연성의 기능은 캐리어가 되는 전자를 흘리지 않는 기능이다. 도전성의 기능과 절연성의 기능의 상보적인 작용에 의하여, CAC-OS 또는 CAC-metal oxide는 스위칭 기능(On/Off시키는 기능)을 가질 수 있다. CAC-OS 또는 CAC-metal oxide에서 각각 기능을 분리시킴으로써 양쪽 모두의 기능을 최대한 높일 수 있다.
- [0227] 또한, CAC-OS 또는 CAC-metal oxide는 도전성 영역 및 절연성 영역을 가진다. 도전성 영역은 상술한 도전성의 기능을 가지고, 절연성 영역은 상술한 절연성의 기능을 가진다. 또한 재료 내에서, 도전성 영역과 절연성 영역은 나노 입자 레벨로 분리되는 경우가 있다. 또한 도전성 영역과 절연성 영역은 각각 재료 내에 편재(偏在)하는 경우가 있다. 또한 도전성 영역은 그 주변이 흐트러져 클라우드상(cloud-like)으로 연결되어 관찰되는 경우가 있다.
- [0228] 또한 CAC-OS 또는 CAC-metal oxide에서 도전성 영역과 절연성 영역은 각각 0.5nm 이상 10nm 이하, 바람직하게는

0.5nm 이상 3nm 이하의 크기로 재료 중에 분산되는 경우가 있다.

- [0229] 또한 CAC-OS 또는 CAC-metal oxide는 상이한 밴드 갭을 가지는 성분으로 구성된다. 예를 들어 CAC-OS 또는 CAC-metal oxide는 절연성 영역에 기인하는 와이드 갭을 가지는 성분과 도전성 영역에 기인하는 내로 갭을 가지는 성분으로 구성된다. 이 구성의 경우, 캐리어를 흘릴 때 내로 갭을 가지는 성분에서 주로 캐리어가 흐른다. 또한 내로 갭을 가지는 성분이 와이드 갭을 가지는 성분에서 상보적으로 작용함으로써 내로 갭을 가지는 성분에 연동되어 와이드 갭을 가지는 성분에도 캐리어가 흐른다. 그러므로, 상기 CAC-OS 또는 CAC-metal oxide를 트랜지스터의 채널 형성 영역에 사용하는 경우, 트랜지스터의 온 상태에서 높은 전류 구동력, 즉 큰 온 전류, 및 높은 전계 효과 이동도를 얻을 수 있다.
- [0230] 즉 CAC-OS 또는 CAC-metal oxide를 매트릭스 복합재(matrix composite) 또는 금속 매트릭스 복합재(metal matrix composite)라고 부를 수도 있다.
- [0231] [금속 산화물을 가지는 트랜지스터]
- [0232] 이어서, 상기 금속 산화물을 트랜지스터의 채널 형성 영역에 사용하는 경우에 대하여 설명한다.
- [0233] 또한, 상기 금속 산화물을 트랜지스터의 채널 형성 영역에 사용함으로써, 높은 전계 효과 이동도의 트랜지스터를 실현할 수 있다. 또한, 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0234] 여기서, 금속 산화물의 전기 전도의 가설(假說)의 일례에 대하여 설명한다.
- [0235] 고체 내의 전기 전도는 산란 중심이라고 불리는 산란원에 의하여 저해된다. 예를 들어, 단결정 실리콘의 경우, 격자 산란과 이온화 불순물 산란이 주된 산란 중심인 것으로 알려져 있다. 환언하면, 격자 결함 및 불순물이 적은 본질적인 상태일 때, 고체 내의 전기 전도의 저해 요인이 없으므로 캐리어의 이동도는 높다.
- [0236] 상기 내용은 금속 산화물에 대해서도 적용되는 것으로 추측된다. 예를 들어, 화학량론적 조성보다 산소의 양이 적은 금속 산화물에서는, 산소 결손이 많이 존재하는 것으로 생각된다. 이 산소 결손 주변에 존재하는 원자는 본질적인 상태보다 왜곡된 곳에 위치한다. 이 산소 결손으로 인한 왜곡이 산란 중심이 될 가능성이 있다.
- [0237] 또한, 예를 들어 화학량론적 조성보다 산소의 양이 적은 금속 산화물에서는 과잉 산소가 존재한다. 금속 산화물 내에서 유리(遊離)된 상태로 존재하는 과잉 산소는 전자를 받음으로써  $O^-$ 나  $O^{2-}$ 가 된다.  $O^-$ 나  $O^{2-}$ 가 된 과잉 산소는 산란 중심이 될 가능성이 있다.
- [0238] 이상의 내용으로부터, 금속 산화물이 화학량론적 조성을 만족시키는 산소를 포함한 본질적인 상태를 가지는 경우, 캐리어의 이동도는 높은 것으로 생각된다.
- [0239] 인듐과, 갈륨과, 아연을 포함한 금속 산화물의 1종류인, 인듐-갈륨-아연 산화물(이하, IGZO)은 특히 대기 중에서는 결정이 성장하기 어려운 경향이 있기 때문에, 큰 결정(여기서는, 수mm의 결정 또는 수cm의 결정)보다 작은 결정(예를 들어, 상술한 나노 결정)으로 하는 것이 구조적으로 안정되는 경우가 있다. 이는, 큰 결정이 형성될 때보다 작은 결정들이 연결될 때, 왜곡 에너지가 더 완화되기 때문이라고 생각된다.
- [0240] 또한, 작은 결정들이 연결되는 영역에서는, 상기 영역의 왜곡 에너지를 완화시키기 위하여, 결함이 형성되는 경우가 있다. 따라서, 상기 영역에 결함을 형성하지 않고 왜곡 에너지를 완화시킴으로써, 캐리어의 이동도를 높일 수 있다.
- [0241] 또한, 트랜지스터에는 캐리어 밀도가 낮은 금속 산화물을 사용하는 것이 바람직하다. 금속 산화물막의 캐리어 밀도를 낮추는 경우에는, 금속 산화물막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 예를 들어, 금속 산화물은 캐리어 밀도가  $8 \times 10^{11}/\text{cm}^3$  미만, 바람직하게는  $1 \times 10^{11}/\text{cm}^3$  미만, 더 바람직하게는  $1 \times 10^{10}/\text{cm}^3$  미만이고,  $1 \times 10^{-9}/\text{cm}^3$  이상으로 하면 좋다.
- [0242] 또한, 고순도 진성 또는 실질적으로 고순도 진성인 금속 산화물막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.
- [0243] 또한, 금속 산화물의 트랩 준위에 포획된 전하는, 소실될 때까지 필요한 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로, 트랩 준위 밀도가 높은 금속 산화물을 채널 형성 영역에 가지는 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다.

- [0244] 따라서, 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 금속 산화물 내의 불순물 농도를 저감하는 것이 유효하다. 또한, 금속 산화물 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는, 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.
- [0245] [불순물]
- [0246] 여기서, 금속 산화물 내에서의 각 불순물의 영향에 대하여 설명한다.
- [0247] 금속 산화물에서 14족 원소 중 하나인 실리콘이나 탄소가 포함되면, 금속 산화물에서 결함 준위가 형성된다. 그러므로, 금속 산화물에서의 실리콘이나 탄소의 농도와 금속 산화물과의 계면 근방의 실리콘이나 탄소의 농도(이차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 농도)를  $2 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $2 \times 10^{17}$  atoms/cm<sup>3</sup> 이하로 한다.
- [0248] 또한, 금속 산화물에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하여 캐리어를 생성하는 경우가 있다. 따라서, 알칼리 금속 또는 알칼리 토금속이 포함되어 있는 금속 산화물을 채널 형성 영역에 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 그러므로, 금속 산화물 내의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다. 구체적으로는, SIMS에 의하여 얻어지는 금속 산화물 내의 알칼리 금속 또는 알칼리 토금속의 농도를  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $2 \times 10^{16}$  atoms/cm<sup>3</sup> 이하로 한다.
- [0249] 또한, 금속 산화물에서 질소가 포함되면 캐리어인 전자가 생성되는 경우가 있고, 캐리어 밀도가 증가함으로써 n형화되는 경우가 있다. 즉, 금속 산화물 내의 질소는 불순물이 될 수 있다. 이 결과, 질소가 포함되어 있는 금속 산화물을 채널 형성 영역에 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 상기 금속 산화물에서, 채널 형성 영역의 질소는 가능한 한 저감되어 있는 것이 바람직하다. 예를 들어, 금속 산화물 내의 질소 농도는, SIMS에서,  $5 \times 10^{19}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하, 더욱 바람직하게는  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하로 한다.
- [0250] 또한, 금속 산화물에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서, 수소가 포함된 금속 산화물을 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다.
- [0251] 그러므로, 금속 산화물 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 금속 산화물에서 SIMS에 의하여 얻어지는 수소 농도를  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 미만, 바람직하게는  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 미만, 더 바람직하게는  $5 \times 10^{18}$  atoms/cm<sup>3</sup> 미만, 더 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 미만으로 한다. 불순물이 충분히 저감된 금속 산화물을 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.
- [0252] [진공 베이킹의 효과]
- [0253] 여기서, 금속 산화물에 포함되는, 약한 Zn-O 결합에 대하여 설명하고, 상기 결합을 구성하는 산소 원자 및 아연 원자를 저감하는 방법의 일례에 대하여 나타낸다.
- [0254] 금속 산화물을 사용한 트랜지스터에서, 트랜지스터의 전기 특성의 불량으로 이어지는 결합의 일례로서 산소 결손이 있다. 예를 들어, 막 내에 산소 결손이 포함되어 있는 금속 산화물을 사용한 트랜지스터는, 문턱 전압이 마이너스 방향으로 변동되기 쉽고, 노멀리 온 특성이 되기 쉽다. 이는, 금속 산화물에 포함되는 산소 결손에 기인한 도너가 생성되고, 캐리어 농도가 증가하기 때문이다. 트랜지스터가 노멀리 온 특성을 가지면 동작 시에 동작 불량이 발생되기 쉬워지거나, 또는 비동작 시의 소비전력이 높아지는 등 다양한 문제가 생긴다.
- [0255] 또한, 모듈을 제작하기 위한 접속 배선을 형성하는 공정에서의 열 이력(thermal budget)으로 인한 문턱 전압의 변동 및 기생 저항의 증대 등의 트랜지스터의 전기 특성의 열화, 상기 전기 특성의 열화에 따른 전기 특성의 편차의 증대 등의 문제가 있다. 이들 문제는 제조 수율의 저하에 직결되기 때문에 대책의 검토가 중요하다. 또한, 장기간의 사용으로 인하여 일어나는 트랜지스터의 특성 변화(경년 변화)를 단시간에 평가할 수 있는 스트레스 시험에서도 전기 특성의 열화가 생긴다. 상기 전기 특성의 열화는 제조 과정에서 수행되는 고온 처리, 또는 스트레스 시험 시에 받는 전기적인 스트레스로 인하여 금속 산화물 내의 산소가 결손되는 것에 기인하는 것으로 추측된다.

- [0256] 금속 산화물 내에는 금속 원자와의 결합이 약하고 산소 결손이 되기 쉬운 산소 원자가 존재한다. 특히, 금속 산화물이 In-Ga-Zn 산화물인 경우에는 아연 원자와 산소 원자가 약한 결합(약한 Zn-O 결합이라고도 함)을 형성하기 쉽다. 여기서, 약한 Zn-O 결합이란, 제조 과정에서 수행되는 고온 처리, 또는 스트레스 시험 시에 받는 전기적인 스트레스로 인하여 절단될 정도의 강도로 결합된, 아연 원자와 산소 원자 사이에 생기는 결합이다. 약한 Zn-O 결합이 금속 산화물 내에 존재하면, 열처리 또는 전류 스트레스로 인하여 상기 결합이 절단되어, 산소 결손이 형성된다. 산소 결손이 형성됨으로써, 열처리에 대한 내성, 스트레스 시험에서의 내성 등과 같은 트랜지스터의 안정성이 저하된다.
- [0257] 아연 원자와 많이 결합되어 있는 산소 원자와 상기 아연 원자 사이에 생기는 결합은 약한 Zn-O 결합인 경우가 있다. 갈륨 원자에 비하여, 아연 원자는 산소 원자와의 결합이 약하다. 따라서, 아연 원자와 많이 결합되어 있는 산소 원자는 결손되기 쉽다. 즉, 아연 원자와 산소 원자 사이에 생기는 결합은 그 외의 금속과의 결합보다 약한 것으로 추측된다.
- [0258] 또한, 금속 산화물 내에 불순물이 존재하는 경우, 약한 Zn-O 결합이 형성되기 쉬운 것으로 추측된다. 금속 산화물 내의 불순물로서는, 예를 들어 물 분자나 수소가 있다. 금속 산화물 내에 물 분자나 수소가 존재함으로써, 수소 원자가 금속 산화물을 구성하는 산소 원자와 결합되는(OH 결합이라고도 함) 경우가 있다. 금속 산화물을 구성하는 산소 원자는 In-Ga-Zn 산화물이 단결정인 경우, 금속 산화물을 구성하는 금속 원자 4개와 결합되어 있다. 그러나, 수소 원자와 결합된 산소 원자는 2개 또는 3개의 금속 원자와 결합되어 있는 경우가 있다. 산소 원자에 결합되어 있는 금속 원자의 수가 감소됨으로써, 상기 산소 원자는 결손되기 쉬워진다. 또한, OH 결합을 형성하는 산소 원자에 아연 원자가 결합되어 있는 경우, 상기 산소 원자와 상기 아연 원자의 결합은 약한 것으로 추측된다.
- [0259] 또한, 약한 Zn-O 결합은 복수의 나노 결정이 연결되는 영역에 존재하는 왜곡에 형성되는 경우가 있다. 나노 결정은 기본적으로 육각형이지만, 상기 왜곡에서 오각형 및 칠각형 등의 격자 배열을 가진다. 상기 왜곡에서는 원자 간의 결합 거리가 일정하지 않기 때문에, 약한 Zn-O 결합이 형성되어 있는 것으로 추측된다.
- [0260] 또한, 약한 Zn-O 결합은 금속 산화물의 결정성이 낮은 경우에 형성되기 쉬운 것으로 추측된다. 금속 산화물의 결정성이 높은 경우, 금속 산화물을 구성하는 아연 원자는 산소 원자 4개 또는 5개와 결합되어 있다. 그러나, 금속 산화물의 결정성이 낮아지면, 아연 원자와 결합하는 산소 원자의 수가 감소되는 경향이 있다. 아연 원자에 결합하는 산소 원자의 수가 감소되면, 상기 아연 원자는 결손되기 쉬워진다. 즉, 아연 원자와 산소 원자 사이에 생기는 결합은 단결정에서 생기는 결합보다 약한 것으로 추측된다.
- [0261] 상기 약한 Zn-O 결합을 구성하는 산소 원자 및 아연 원자를 저감함으로써, 열처리 또는 전류 스트레스로 인한 산소 결손의 형성을 억제하고, 트랜지스터의 안정성을 향상시킬 수 있다. 또한, 약한 Zn-O 결합을 구성하는 산소 원자만을 저감하고, 약한 Zn-O 결합을 구성하는 아연 원자가 감소되지 않는 경우, 상기 아연 원자 근방에 산소 원자를 공급하면, 약한 Zn-O 결합이 재형성되는 경우가 있다. 따라서, 약한 Zn-O 결합을 구성하는 아연 원자 및 산소 원자를 저감하는 것이 바람직하다.
- [0262] 약한 Zn-O 결합을 구성하는 산소 원자 및 아연 원자를 저감하는 방법 중 하나로서, 금속 산화물을 성막한 후 진공 베이킹을 실시하는 방법을 들 수 있다. 진공 베이킹이란, 진공 분위기하에서 수행되는 가열 처리를 가리킨다. 진공 분위기는 터보 분자 펌프 등에 의하여 배기를 수행함으로써 유지된다. 또한, 처리실의 압력은  $1 \times 10^{-2}$  Pa 이하, 바람직하게는  $1 \times 10^{-3}$  Pa 이하로 하면 좋다. 또한, 가열 처리 시의 기판의 온도는 300℃ 이상, 바람직하게는 400℃ 이상으로 하면 좋다.
- [0263] 진공 베이킹을 실시함으로써, 약한 Zn-O 결합을 구성하는 산소 원자 및 아연 원자를 저감할 수 있다. 또한, 진공 베이킹에 의하여 금속 산화물에 열이 가해지기 때문에, 약한 Zn-O 결합을 구성하는 산소 원자 및 아연 원자를 저감한 후, 금속 산화물을 구성하는 원자가 재배열됨으로써, 4개의 금속 원자와 결합되어 있는 산소 원자가 증가한다. 따라서, 약한 Zn-O 결합을 구성하는 산소 원자 및 아연 원자를 저감하면서, 약한 Zn-O 결합이 재형성되는 것을 억제할 수 있다.
- [0264] 또한, 금속 산화물 내에 불순물이 존재하는 경우, 진공 베이킹을 실시함으로써, 금속 산화물 내의 물 분자 또는 수소를 방출하여, OH 결합을 저감할 수 있다. 금속 산화물 내의 OH 결합이 감소됨으로써, 4개의 금속 원자와 결합되어 있는 산소 원자의 비율이 증가한다. 또한, 물 분자 또는 수소가 방출될 때, 금속 산화물을 구성하는 원자가 재배열됨으로써, 4개의 금속 원자와 결합되어 있는 산소 원자가 증가한다. 따라서, 약한 Zn-O 결합이 재형성되는 것을 억제할 수 있다.

- [0265] 이상과 같이, 금속 산화물을 성막한 후 진공 베이킹을 실시함으로써, 약한 Zn-O 결합을 구성하는 산소 원자 및 아연 원자를 저감할 수 있다. 따라서, 상기 공정에 의하여 트랜지스터의 안정성을 향상시킬 수 있다. 또한, 트랜지스터의 안정성이 향상됨으로써, 재료나 형성 방법의 선택의 자유도가 높아진다.
- [0266] <반도체 장치의 변형예>
- [0267] 이하에서는, 도 2 내지 도 4를 사용하여, 앞의 <반도체 장치의 구성예>에서 나타낸 것과 상이한, 본 발명의 일 형태에 따른 트랜지스터를 가지는 반도체 장치의 일례에 대하여 설명한다.
- [0268] 또한, 도 2 내지 도 4에서, 각 도면의 (A)는 상면도를 나타낸다. 또한, 각 도면의 (B)는 (A)에 A1-A2의 일점쇄선으로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한, 각 도면의 (C)는 (A)에 A3-A4의 일점쇄선으로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한, 각 도면의 (D)는 (A)에 A5-A6의 일점쇄선으로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한, 각 도면의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.
- [0269] 또한, 도 2 내지 도 4에 도시된 반도체 장치에서, <반도체 장치의 구성예>에 도시된 반도체 장치(도 1 참조)를 구성하는 구조와 같은 기능을 가지는 구조에는 같은 부호를 부기한다. 또한, 본 항목에서, 각 트랜지스터의 구성 재료에 대해서는 <반도체 장치의 구성예>에서 자세히 설명한 재료를 사용할 수 있다.
- [0270] 도 2에 도시된 트랜지스터(200A)는 상면에서 보았을 때, 절연체(273)가 도전체(242), 산화물(230b), 산화물(230a), 및 절연체(224)를 덮고, 산화물(230c), 절연체(250), 및 도전체(260)의 측면이 실질적으로 일치하고, 절연체(274)가 도전체(260)의 상면 및 측면, 절연체(250)의 측면, 산화물(230c)의 측면, 및 절연체(273)의 상면 및 측면을 덮는다는 점에서, 도 1에 도시된 트랜지스터(200)와 상이하다. 또한, 절연체(273)는 도전체(242)의 상면의 일부 및 산화물(230b)의 상면을 노출시키는 개구를 가지고, 도 2의 (B)에 도시된 바와 같이, 도전체(242)의 단부가 절연체(273)의 단부보다 영역(234) 측에 위치한다. 이는, 산화물(230a), 산화물(230b), 및 도전체(242)를 형성한 후 상기 개구를 가지는 절연체(273)를 형성하고 절연체(273)를 형성한 후, 산화물(230c), 절연체(250), 및 도전체(260)를 형성하고, 산화물(230c), 절연체(250), 및 도전체(260)를 형성한 후 절연체(274)를 형성하면 좋다.
- [0271] 또한, 도 2의 (B)에서 영역(243)의 두께는 산화물(230b)의 막 두께와 일치하는 예를 도시하였지만, 본 발명은 이에 한정되지 않는다. 도 5의 (A) 및 (B)에 도시된 바와 같이, 영역(243)은 산화물(230b)의 도전체(242) 근방에 형성되어도 좋다. 또한, 영역(243)은 산화물(230b)뿐만 아니라 산화물(230a)에 형성되어도 좋다.
- [0272] 도 2의 (B), (C), 및 (D)에 도시된 바와 같이, 트랜지스터(200A)에서는, 산화물(230a)의 측면, 산화물(230b)의 상면의 일부 및 측면, 및 도전체(242)의 상면의 일부 및 측면이 절연체(273)로 덮임으로써, 산화물(230a) 및 산화물(230b)에 포함되는 산소의 외방으로의 확산을 억제할 수 있다. 또한, 산화물(230a), 산화물(230b), 및 절연체(224)에 수소나 물 등의 불순물이나 과잉 산소 등 의도하지 않은 물질의 혼입을 억제할 수 있다. 또한, 도전체(242)의 산화를 억제할 수 있다.
- [0273] 또한, 도전체(260)의 상면 및 측면, 절연체(250)의 측면, 산화물(230c)의 측면, 및 절연체(273)의 상면 및 측면이 절연체(274)로 덮임으로써 도전체(260)의 산화나 절연체(250)로의 수소나 물 등의 불순물이나 과잉 산소 등 의도하지 않은 물질의 혼입을 억제할 수 있다.
- [0274] 도 3에 도시된 트랜지스터(200B)는 도전체(242)가 산화물(230b) 및 산화물(230a)의 측면의 일부를 덮고, 절연체(224)의 상면의 일부를 덮도록 연장되어 있다는 점에서, 도 2에 도시된 트랜지스터(200A)와 상이하다. 도전체(242)가 산화물(230b)에서의 영역(243)의 상면 및 측면을 덮음으로써, 도전체(242)와 영역(243)은 양호한 콘택트를 형성할 수 있다. 이는, 산화물(230a) 및 산화물(230b)을 형성한 후 도전체(242)를 형성하고, 도전체(242)를 형성한 후 개구를 가지는 절연체(273)를 형성하고, 절연체(273)를 형성한 후 산화물(230c), 절연체(250), 및 도전체(260)를 형성하고, 산화물(230c), 절연체(250), 및 도전체(260)를 형성한 후 절연체(274)를 형성하면 좋다.
- [0275] 또한, 도 3의 (B)에서 영역(243)의 두께는 산화물(230b)의 막 두께와 일치하는 예를 도시하였지만, 본 발명은 이에 한정되지 않는다. 도 5의 (A) 및 (B)에 도시된 바와 같이, 영역(243)은 산화물(230b)의 도전체(242) 근방에 형성되어도 좋다. 또한, 영역(243)은 산화물(230b)뿐만 아니라 산화물(230a)에 형성되어도 좋다.
- [0276] 도 4에 도시된 트랜지스터(200C)는 도전체(242a) 및 도전체(242b)의 아래에 각각 산화물(230d) 및 산화물(230

e)이 제공되고, 절연체(273)가 가지는 개구부는 도 4의 (A) 및 (C)에 도시된 바와 같이 산화물(230b)의 영역(234) 전체를 노출시키고, 또한 절연체(224)의 일부 및 절연체(222)의 일부를 노출시키고, 도 4의 (A) 및 (B)에 도시된 바와 같이 절연체(273)가 대항하는 측단부는 도전체(242) 및 산화물(230d) 또는 산화물(230e)의 측단부와 실질적으로 일치한다는 점에서, 도 3에 도시된 트랜지스터(200B)와 상이하다. 산화물(230b)과 도전체(242) 사이에 산화물(230d) 또는 산화물(230e)을 제공함으로써, 산화물(230b)과 도전체(242) 사이의 콘택트 저항을 저감할 수 있어, 트랜지스터(200C)의 온 전류를 크게 할 수 있다. 산화물(230d) 및 산화물(230e)에는 금속 산화물을 사용하는 것이 바람직하고, 질소를 포함하는 금속 산화물을 사용하는 것이 더 바람직하다. 또한, 산화물(230d) 및 산화물(230e)로서 [In]:[Ga]:[Zn]=4:2:3 또는 그 근방의 원자수비의 금속 산화물, [In]:[Ga]:[Zn]=1:1:0.5 또는 그 근방의 원자수비의 금속 산화물, [In]:[Ga]:[Zn]=5:1:7 또는 그 근방의 원자수비의 금속 산화물, [In]:[Ga]:[Zn]=1:1:1 또는 그 근방의 원자수비의 금속 산화물, 및 질소를 포함하는 상기 금속 산화물 등을 사용할 수 있다. 또한, 산화물(230d) 및 산화물(230e)로서 실리콘을 포함하는 인듐 주석 산화물을 사용할 수 있다.

[0277] 또한, 도 4의 (B)에서 영역(243)의 두께는 산화물(230b)의 막 두께, 및 산화물(230d) 또는 산화물(230e)의 막 두께의 합계와 일치하는 예를 도시하였지만, 본 발명은 이에 한정되지 않는다. 도 5의 (C) 및 (D)에 도시된 바와 같이, 영역(243)은 산화물(230d) 또는 산화물(230e)의 도전체(242) 근방에 형성되어도 좋다. 또한, 영역(243)은 산화물(230d), 산화물(230e), 또는 산화물(230b)뿐만 아니라 산화물(230a)에 형성되어도 좋다.

[0278] <반도체 장치의 제작 방법>

[0279] 다음으로, 도 1에 도시된 트랜지스터(200)를 가지는 반도체 장치에 대하여, 제작 방법을 도 6 내지 도 10을 사용하여 설명한다. 또한, 도 6 내지 도 10에서, 각 도면의 (A)는 상면도를 도시한 것이다. 또한, 각 도면의 (B)는 (A)에 A1-A2의 일점쇄선으로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 길이 방향의 단면도이기도 하다. 또한, 각 도면의 (C)는 (A)에 A3-A4의 일점쇄선으로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한, 각 도면의 (D)는 (A)에 A5-A6의 일점쇄선으로 나타낸 부분에 대응하는 단면도이고, 트랜지스터(200)의 채널 폭 방향의 단면도이기도 하다. 또한, 각 도면의 (A)의 상면도에서는, 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.

[0280] 우선, 기판(도시하지 않았음)을 준비하고, 상기 기판 위에 절연체(210)를 성막한다. 절연체(210)의 성막은 스퍼터링법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 분자선 에피택시(MBE: Molecular Beam Epitaxy)법, 펄스 레이저 퇴적(PLD: Pulsed Laser Deposition)법, 또는 ALD(Atomic Layer Deposition)법 등을 사용하여 수행할 수 있다.

[0281] 또한, CVD법은 플라즈마를 이용하는 플라즈마 CVD(PECVD: Plasma Enhanced CVD)법, 열을 이용하는 열 CVD(TCVD: Thermal CVD)법, 광을 이용하는 광 CVD(Photo CVD)법 등으로 분류할 수 있다. 또한, 사용하는 원료 가스에 따라 금속 CVD(MCVD: Metal CVD)법, 유기 금속 CVD(MOCVD: Metal Organic CVD)법으로 나눌 수 있다.

[0282] 플라즈마 CVD법은 비교적 저온에서 고품질의 막을 얻을 수 있다. 또한, 열 CVD법은 플라즈마를 사용하지 않기 때문에, 피처리물에 대한 플라즈마 대미지를 작게 할 수 있는 성막 방법이다. 예를 들어, 반도체 장치에 포함되는 배선, 전극, 소자(트랜지스터, 용량 소자 등) 등은 플라즈마로부터 전하를 받음으로써 차지 업하는 경우가 있다. 이때, 축적된 전하로 인하여 반도체 장치에 포함되는 배선, 전극, 소자 등이 파괴되는 경우가 있다. 한편, 플라즈마를 사용하지 않는 열 CVD법의 경우, 이와 같은 플라즈마 대미지가 생기지 않기 때문에, 반도체 장치의 수율을 높일 수 있다. 또한, 열 CVD법에서는 성막 중의 플라즈마 대미지가 생기지 않기 때문에 결함이 적은 막을 얻을 수 있다.

[0283] 또한, ALD법도 피처리물에 대한 플라즈마 대미지를 작게 할 수 있는 성막 방법이다. 또한, ALD법은 성막 중의 플라즈마 대미지가 생기지 않기 때문에, 결함이 적은 막을 얻을 수 있다. 또한, ALD법에서 사용하는 전구체에는 탄소 등의 불순물을 포함하는 것이 있다. 그러므로, ALD법으로 제공된 막은, 다른 성막법으로 제공된 막과 비교하여 탄소 등의 불순물을 많이 포함하는 경우가 있다. 또한, 불순물의 정량은 X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy)을 사용하여 수행할 수 있다.

[0284] CVD법 및 ALD법은 타겟 등으로부터 방출되는 입자가 퇴적되는 성막 방법과 달리, 피처리물의 표면에서의 반응에 의하여 막이 형성되는 성막 방법이다. 따라서, 피처리물의 형상의 영향을 받기 어렵고, 양호한 단차 피복성을 가지는 성막 방법이다. 특히, ALD법은 우수한 단차 피복성과 우수한 두께 균일성을 가지기 때문에, 아스펙트비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다. 다만, ALD법은 성막 속도가 비교적 느리기 때문에, 성

막 속도가 빠른 CVD법 등의 다른 성막 방법과 조합하여 사용하는 것이 바람직한 경우도 있다.

- [0285] CVD법 및 ALD법은 원료 가스의 유량비에 의하여, 얻어지는 막의 조성을 제어할 수 있다. 예를 들어, CVD법 및 ALD법에서는 원료 가스의 유량비에 따라 임의의 조성의 막을 성막할 수 있다. 또한, 예를 들어 CVD법 및 ALD법에서는 성막하면서 원료 가스의 유량비를 변화시킴으로써, 조성이 연속적으로 변화된 막을 성막할 수 있다. 원료 가스의 유량비를 변화시키면서 성막하는 경우, 복수의 성막실을 사용하여 성막하는 경우에 비하여, 반송이나 압력 조절에 걸리는 시간이 불필요한 만큼, 성막에 걸리는 시간을 짧게 할 수 있다. 따라서, 반도체 장치의 생산성을 높일 수 있는 경우가 있다.
- [0286] 본 실시형태에서는, 절연체(210)로서 스퍼터링법으로 산화 알루미늄을 성막한다. 또한, 절연체(210)는 다층 구조로 하여도 좋다. 예를 들어, 스퍼터링법으로 산화 알루미늄을 성막하고, 상기 산화 알루미늄 위에, ALD법으로 산화 알루미늄을 성막하는 구조로 하여도 좋다. 또는, ALD법으로 산화 알루미늄을 성막하고, 상기 산화 알루미늄 위에 스퍼터링법으로 산화 알루미늄을 성막하는 구조로 하여도 좋다.
- [0287] 다음으로, 절연체(210) 위에 절연체(212)를 성막한다. 절연체(212)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는, 절연체(212)로서 CVD법으로 산화 실리콘을 성막한다.
- [0288] 다음으로, 절연체(212)에, 절연체(210)에 도달하는 개구를 형성한다. 개구란, 예를 들어 홈이나 슬릿 등도 포함된다. 또한, 개구가 형성된 영역을 가리키고 개구부라고 하는 경우가 있다. 개구의 형성에는 웨트 에칭법을 사용하여도 좋지만, 드라이 에칭법을 사용하는 것이 미세 가공에는 더 바람직하다. 또한, 절연체(210)는 절연체(212)를 에칭하고 개구를 형성할 때의 에칭 스톱퍼막으로서 기능하는 절연체를 선택하는 것이 바람직하다. 예를 들어, 개구를 형성하는 절연체(212)에 산화 실리콘막을 사용한 경우에는, 절연체(210)에는 에칭 스톱퍼막으로서 기능하는 절연막으로서 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막을 사용하는 것이 좋다.
- [0289] 개구의 형성 후에 도전막을 성막한다. 상기 도전막은, 산소의 투과를 억제하는 기능을 가지는 도전체를 포함하는 것이 바람직하다. 예를 들어, 질화 탄탈럼, 질화 텅스텐, 질화 타이타늄 등을 사용할 수 있다. 또는 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 몰리브데넘 텅스텐 합금과의 적층막으로 할 수 있다. 상기 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0290] 본 실시형태에서는, 상기 도전막으로서, 스퍼터링법으로 질화 탄탈럼, 또는, 질화 탄탈럼 위에 질화 타이타늄을 적층한 막 위에, 텅스텐, 알루미늄, 또는 구리를 성막한다. 상기 도전막의 일부에 이와 같은 금속 질화물을 사용함으로써, 상기 도전막의 위층에 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 도전체(203)로부터 밖으로 확산되는 것을 억제할 수 있다.
- [0291] 다음으로, CMP 처리를 수행함으로써, 상기 도전막의 일부를 제거하여, 절연체(212)를 노출시킨다. 그 결과, 개구부에만 상면이 평탄한 도전체(203)를 형성할 수 있다(도 6 참조). 또한, 상기 CMP 처리에 의하여 절연체(212)의 일부가 제거되는 경우가 있다.
- [0292] 다음으로, 절연체(212) 및 도전체(203) 위에 절연체(214)를 성막한다. 절연체(214)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는, 절연체(214)로서 CVD법으로 질화 실리콘을 성막한다. 이와 같이, 절연체(214)로서, 질화 실리콘 등 구리가 투과하기 어려운 절연체를 사용함으로써, 도전체(203)의 일부에 구리 등 확산되기 쉬운 금속을 사용하여도, 상기 금속이 절연체(214)보다 위층으로 확산되는 것을 억제할 수 있다.
- [0293] 다음으로, 절연체(214) 위에 절연체(216)를 성막한다. 절연체(216)의 성막은, 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는, 절연체(216)로서 CVD법으로 산화 실리콘을 성막한다.
- [0294] 다음으로, 절연체(214) 및 절연체(216)에 도전체(203)에 도달하는 개구를 형성한다. 개구의 형성에는 웨트 에칭법을 사용하여도 좋지만, 드라이 에칭법을 사용하는 것이 미세 가공에는 더 바람직하다.
- [0295] 개구의 형성 후에, 도전체(205a)가 되는 도전막을 성막한다. 상기 도전막은 산소의 투과를 억제하는 기능을 가지는 도전성 재료를 포함하는 것이 바람직하다. 예를 들어, 질화 탄탈럼, 질화 텅스텐, 질화 타이타늄 등을 사용할 수 있다. 또는 탄탈럼, 텅스텐, 타이타늄, 몰리브데넘, 알루미늄, 구리, 몰리브데넘 텅스텐 합금과의 적층막으로 할 수 있다. 도전체(205a)가 되는 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.

- [0296] 본 실시형태에서는, 도전체(205a)가 되는 도전막으로서 스퍼터링법으로 질화 탄탈륨을 성막한다.
- [0297] 다음으로, 도전체(205a)가 되는 도전막 위에 도전체(205b)가 되는 도전막을 성막한다. 상기 도전막의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0298] 본 실시형태에서는, 도전체(205b)가 되는 도전막으로서, CVD법으로 질화 타이타늄을 성막하고, 상기 질화 타이타늄 위에 CVD법으로 텅스텐을 성막한다.
- [0299] 다음으로, CMP 처리를 수행함으로써, 도전체(205a)가 되는 도전막, 그리고 도전체(205b)가 되는 도전막의 일부를 제거하여 절연체(216)를 노출시킨다. 그 결과, 개구부에만 도전체(205a) 및 도전체(205b)가 되는 도전막이 잔존한다. 이로써, 상면이 평탄한 도전체(205a) 및 도전체(205b)를 포함하는 도전체(205)를 형성할 수 있다(도 6 참조). 또한, 상기 CMP 처리에 의하여 절연체(216)의 일부가 제거되는 경우가 있다.
- [0300] 다음으로, 절연체(216) 및 도전체(205) 위에 절연체(220)를 성막한다. 절연체(220)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는, 절연체(220)로서 CVD법으로 산화 실리콘을 성막한다.
- [0301] 다음으로, 절연체(220) 위에 절연체(222)를 성막한다. 절연체(222)로서 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 성막하는 것이 좋다. 또한, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체는 산소, 수소, 및 물에 대한 배리어성을 가진다. 절연체(222)가 수소 및 물에 대한 배리어성을 가짐으로써, 트랜지스터(200) 주변에 제공된 구조체에 포함되는 수소 및 물이 절연체(222)를 통하여 트랜지스터(200)의 내측으로 확산되는 것이 억제되고, 산화물(230) 내의 산소 결손의 생성을 억제할 수 있다.
- [0302] 절연체(222)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0303] 다음으로, 절연체(222) 위에 절연체(224)를 성막한다. 절연체(224)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 본 실시형태에서는, 절연체(224)로서 CVD법으로 산화 실리콘을 성막한다.
- [0304] 이어서, 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하, 더 바람직하게는 320℃ 이상 450℃ 이하에서 수행하면 좋다. 또한, 가열 처리는 질소 또는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행한다. 또한, 가열 처리는 감압 상태에서 수행하여도 좋다. 또는, 가열 처리는 질소 또는 불활성 가스 분위기에서 가열 처리한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다.
- [0305] 본 실시형태에서는, 가열 처리로서, 절연체(224)의 성막 후에 질소 분위기에서 400℃의 온도에서 1시간의 처리를 수행한다. 상기 가열 처리에 의하여 절연체(224)에 포함되는 수소나 물 등의 불순물의 제거 등을 할 수 있다.
- [0306] 또한, 가열 처리는 절연체(220) 성막 후 및 절연체(222)의 성막 후의 각각의 타이밍에서 수행할 수도 있다. 상기 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있지만, 절연체(220) 성막 후의 가열 처리는 질소를 포함하는 분위기 중에서 수행하는 것이 바람직하다.
- [0307] 여기서, 절연체(224)에, 가열에 의하여 이탈되는 산소를 포함한 영역을 형성하기 위하여, 이온 주입법, 이온 도핑법, 플라즈마 처리, 플라즈마 잠입 이온 주입법 중에서 선택된 하나 또는 복수의 방법을 사용하여 절연체(224)에 산소를 공급하여도 좋다. 이때, 이온화된 원료 가스를 질량 분리하여 첨가하는 이온 주입법을 사용하면, 절연체(224)에 산소를 높은 제어성으로 공급할 수 있어 바람직하다.
- [0308] 또한 상기 방법 대신에, 감압 상태에서 산소를 포함하는 플라즈마 처리를 수행하여도 좋다. 산소를 포함하는 플라즈마 처리에는, 예를 들어 마이크로파를 사용한 고밀도 플라즈마를 발생시키는 전원을 포함하는 장치를 사용하는 것이 바람직하다. 또는, 기관 측에 RF(Radio Frequency)를 인가하는 전원을 가져도 좋다. 고밀도 플라즈마를 사용함으로써 고밀도의 산소 라디칼을 생성할 수 있고, 기관 측에 RF를 인가함으로써 고밀도 플라즈마에 의하여 생성된 산소 라디칼을 절연체(224) 내에 효율적으로 도입할 수 있다. 또는, 이 장치를 사용하여 불활성 가스를 포함하는 플라즈마 처리를 수행한 후에 이탈된 산소를 보충하기 위하여 산소를 포함하는 플라즈마 처리를 수행하여도 좋다. 또한, 상기 플라즈마 처리의 조건을 적절히 선택함으로써, 절연체(224)에 포함되는 수소

나 물 등의 불순물을 제거할 수 있다. 그 경우, 가열 처리는 수행하지 않아도 된다.

- [0309] 다음으로, 절연체(224) 위에 산화물(230a1)이 되는 산화막(230A1)과, 산화물(230a2)이 되는 산화막(230A2)과, 산화물(230b)이 되는 산화막(230B)을 순차적으로 성막한다(도 6 참조). 또한, 상기 산화막은 대기 환경에 노출시키지 않고 연속적으로 성막하는 것이 바람직하다. 대기 개방하지 않고 성막함으로써, 산화막(230A1), 산화막(230A2), 및 산화막(230B) 위에 대기 환경으로부터의 불순물 또는 수분이 부착되는 것을 방지할 수 있고, 산화막(230A1)과 산화막(230A2), 산화막(230A2)과 산화막(230B)의 계면 근방을 청정하게 유지할 수 있다.
- [0310] 산화막(230A1), 산화막(230A2), 및 산화막(230B)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0311] 산화막(230A1), 산화막(230A2), 및 산화막(230B)의 성막에는 스퍼터링법을 사용하는 것이 바람직하고, 스퍼터링 가스로서 산소, 또는 산소와 회가스의 혼합 가스를 사용한다. 스퍼터링 가스에 포함되는 산소의 비율을 높임으로써, 성막되는 산화막 내의 산소를 증가시켜 상기 산화막의 결정성을 향상시킬 수 있다. 또한 기판을 가열하면서 성막함으로써 상기 산화막의 결정성을 향상시킬 수 있다.
- [0312] 또한, 산화막(230A1), 산화막(230A2), 및 산화막(230B)을 스퍼터링법으로 성막하는 경우에는, 상기 금속 산화물의 타겟을 사용할 수 있다. 다만, 예를 들어 금속 산화물을 스퍼터링 장치에 의하여 성막하는 경우, 타겟의 원자수비로부터 벗어난 원자수비를 가지는 막이 형성된다. 특히 성막 시의 기판 온도에 따라서는 타겟의 [Zn]보다 막의 [Zn]이 작아지는 경우가 있다.
- [0313] 또한 스퍼터링 가스를 고순도화하는 것이 바람직하다. 예를 들어, 스퍼터링 가스에 사용하는 산소 가스나 회가스로서, 노점이  $-60^{\circ}\text{C}$  이하, 바람직하게는  $-100^{\circ}\text{C}$  이하까지 고순도화된 가스를 사용한다. 고순도화된 스퍼터링 가스를 사용하여 성막함으로써, 산화물(230)에 수분 등이 들어가는 것을 가능한 한 방지할 수 있다.
- [0314] 또한, 스퍼터링법으로 산화막(230A1), 산화막(230A2), 및 산화막(230B)을 성막하는 경우, 스퍼터링 장치가 가지는 성막실 내의 수분을 가능한 한 제거하는 것이 바람직하다. 예를 들어, 크라이오펌프(cryopump)와 같은 흡착식의 진공 배기 펌프를 사용하여, 성막실 내를 고진공( $5 \times 10^{-7}\text{Pa}$ 부터  $1 \times 10^{-4}\text{Pa}$  정도까지)으로 배기하는 것이 바람직하다. 특히, 스퍼터링 장치의 대기 시의 성막실 내의  $\text{H}_2\text{O}$ 에 상당하는 가스 분자( $m/z=18$ 에 상당하는 가스 분자)의 분압을  $1 \times 10^{-4}\text{Pa}$  이하, 바람직하게는  $5 \times 10^{-5}\text{Pa}$  이하로 하는 것이 바람직하다.
- [0315] 특히, 산화막(230A1)의 성막 시에 스퍼터링 가스에 포함되는 산소의 일부가 절연체(224)에 공급되는 경우가 있다. 따라서, 산화막(230A1)의 스퍼터링 가스에 포함되는 산소의 비율은 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%로 하면 좋다.
- [0316] 산화막(230A2)의 성막 시에 질소를 포함하는 스퍼터링 가스를 사용함으로써, 산화막(230A2)은 질소를 포함하는 산화막으로 할 수 있다. 산화막(230A2)의 스퍼터링 가스에 포함되는 질소의 비율은 5% 이상 50% 이하, 바람직하게는 5% 이상 30% 이하, 더 바람직하게는 10% 이상 20% 이하로 하면 좋다.
- [0317] 또한 산화막(230B)을 스퍼터링법으로 형성하는 경우, 스퍼터링 가스에 포함되는 산소의 비율을 10% 이상, 바람직하게는 30% 이상으로 하여 성막하면, 산화막(230B)을 상기 CAAC-OS막으로 할 수 있다.
- [0318] 본 실시형태에서는, 산화막(230A1)으로서 스퍼터링법으로 In:Ga:Zn=1:3:4[원자수비]의 타겟, In:Ga:Zn=1:1:0.5[원자수비]의 타겟, 또는 In:Ga:Zn=1:3:2[원자수비]의 타겟을 사용하여 성막한다. 또한, 산화막(230A2)으로서 스퍼터링법으로 In:Ga:Zn=1:3:4[원자수비]의 타겟, In:Ga:Zn=1:1:0.5[원자수비]의 타겟, 또는 In:Ga:Zn=1:3:2[원자수비]의 타겟을 사용하여, 질소를 포함하는 분위기에서 성막한다. 또한, 산화막(230B)으로서 스퍼터링법으로, In:Ga:Zn=4:2:4.1[원자수비]의 타겟을 사용하여 성막한다. 또한, 각 산화막은 성막 조건 및 원자수비를 적절히 선택함으로써, 산화물(230)에 요구되는 특성에 맞추어 형성되는 것이 좋다.
- [0319] 다음으로, 가열 처리를 수행하여도 좋다. 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있다. 가열 처리에 의하여, 산화막(230A1), 산화막(230A2), 및 산화막(230B) 내의 수소나 물 등의 불순물을 제거하는 것 등을 할 수 있다. 본 실시형태에서는, 질소 분위기에 있어서  $400^{\circ}\text{C}$ 의 온도에서 1시간의 처리를 수행한 후에, 연속적으로 산소 분위기에 있어서  $400^{\circ}\text{C}$ 의 온도에서 1시간의 처리를 수행한다.
- [0320] 다음으로, 산화막(230B) 위에 도전막(242A)을 성막한다. 도전막(242A)은 알루미늄, 크롬, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브덴, 텅스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 루테튬, 이리듐, 스트론튬, 란타넘에서 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하

는 합금이나, 상술한 금속 원소를 조합한 합금 등을 사용하는 것이 바람직하다. 예를 들어, 알루미늄을 포함하는 루테튬, 질화 탄탈럼, 질화 타이타늄, 텅스텐, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물 등을 사용하는 것이 바람직하다. 또한, 질화 탄탈럼, 질화 타이타늄, 타이타늄과 알루미늄을 포함하는 질화물, 탄탈럼과 알루미늄을 포함하는 질화물, 산화 루테튬, 질화 루테튬, 스트론튬과 루테튬을 포함하는 산화물, 란타넘과 니켈을 포함하는 산화물은 산화되기 어려운 도전성 재료 또는 산소를 흡수하여도 도전성을 유지하는 재료이기 때문에 바람직하다. 또한, 도전막(242A)은 2층 이상의 적층 구조를 가져도 좋고, 알루미늄을 포함하는 루테튬 위에 탄탈럼, 타이타늄, 텅스텐, 질화 탄탈럼, 또는 질화 타이타늄을 적층하여도 좋고, 알루미늄 위에 루테튬이나 알루미늄을 포함하는 루테튬을 적층하여도 좋다. 또한, 도전막(242A)의 형성은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.

[0321] 다음으로, 도전막(242A) 위에 절연막(273A)을 형성한다(도 6 참조). 절연막(273A)으로서, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 성막하는 것이 좋다. 또한, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체는 산소, 수소, 및 물에 대한 배리어성을 가진다. 절연막(273A)이 수소 및 물에 대한 배리어성을 가짐으로써, 도전막(242A)의 산화를 억제할 수 있다.

[0322] 절연막(273A)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.

[0323] 다음으로, 리소그래피법을 사용하여, 산화막(230A1), 산화막(230A2), 산화막(230B), 도전막(242A), 및 절연막(273A)의 일부를 선택적으로 제거하여, 섬 형상의 산화물(230a1), 산화물(230a2)(산화물(230a)), 및 산화물(230b)과, 산화물(230b) 위의 도전체(242a) 및 도전체(242b)와, 도전체(242a) 및 도전체(242b) 각각 위의 절연체(273a) 및 절연체(273b)를 형성한다(도 7 참조). 상기 처리에서, 산화막(230A1), 산화막(230A2), 산화막(230B), 도전막(242A), 및 절연막(273A)을 섬 형상으로 가공한 후, 도전체(242a) 및 도전체(242b) 사이에 위치하는 도전체, 및 절연체(273a) 및 절연체(273b) 사이에 위치하는 절연체를 제거하여도 좋고, 도전체(242a) 및 도전체(242b) 사이에 위치하는 도전체, 및 절연체(273a) 및 절연체(273b) 사이에 위치하는 절연체를 제거한 후에, 산화막(230A1), 산화막(230A2), 산화막(230B), 도전막(242A), 및 절연막(273A)을 섬 형상으로 가공하여도 좋다. 또한, 산화막(230A1), 산화막(230A2), 산화막(230B), 도전막(242A), 및 절연막(273A)의 선택적 제거에는 드라이 에칭법이나 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다. 또한, 상기 가공 처리에서 절연체(224)의 일부가 제거되는 경우가 있다.

[0324] 리소그래피법에서는, 우선 마스크를 통하여 레지스트를 노광한다. 다음으로, 노광된 영역을 현상액을 사용하여 제거 또는 잔존시켜 레지스트 마스크를 형성한다. 다음으로, 상기 레지스트 마스크를 통하여 에칭 처리함으로써 도전체, 반도체, 또는 절연체 등을 원하는 형상으로 가공할 수 있다. 예를 들어, KrF 엑시머 레이저 광, ArF 엑시머 레이저 광, EUV(Extreme Ultraviolet)광 등을 사용하여, 레지스트를 노광함으로써 레지스트 마스크를 형성하면 좋다. 또한, 기관과 투영 렌즈 사이에 액체(예를 들어 물)를 채워 노광하는, 액침 기술을 사용하여도 좋다. 또한, 상술한 광 대신에, 전자 빔이나 이온 빔을 사용하여도 좋다. 또한, 전자 빔이나 이온 빔을 사용하는 경우에는, 레지스트 위에 직접 묘화하기 때문에 상술한 레지스트 노광용 마스크가 불필요하다. 또한, 레지스트 마스크는 애싱 등의 드라이 에칭 처리를 수행하거나, 웨트 에칭 처리를 수행하거나, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나, 또는 웨트 에칭 처리 후에 드라이 에칭 처리를 수행하는 등에 의하여 제거할 수 있다.

[0325] 또한, 레지스트 마스크 대신에 절연체나 도전체로 이루어지는 하드 마스크를 사용하여도 좋다. 하드 마스크를 사용하는 경우, 상기 구성 재료 위에 하드 마스크 재료가 되는 절연막이나 도전막을 형성하고, 그 위에 레지스트 마스크를 형성하고, 하드 마스크 재료를 에칭함으로써 원하는 형상의 하드 마스크를 형성할 수 있다. 상기 구성 재료의 에칭은 레지스트 마스크를 제거한 후에 수행하여도 좋고, 레지스트 마스크를 남긴 채 수행하여도 좋다. 후자의 경우, 에칭 중에 레지스트 마스크가 소실되는 경우가 있다. 상기 구성 재료의 에칭 후에 하드 마스크를 에칭에 의하여 제거하여도 좋다. 한편, 하드 마스크의 재료가 추후의 공정에 영향을 주지 않거나, 또는 추후의 공정에서 이용할 수 있는 경우, 반드시 하드 마스크를 제거할 필요는 없다.

[0326] 드라이 에칭 장치로서는 평행 평판형 전극을 가지는 용량 결합형 플라즈마(CCP: Capacitively Coupled Plasma) 에칭 장치를 사용할 수 있다. 평행 평판형 전극을 가지는 용량 결합형 플라즈마 에칭 장치는 평행 평판형 전극의 한쪽의 전극에 고주파 전원을 인가하는 구성이어도 좋다. 또는 평행 평판형 전극의 한쪽의 전극에 복수의

상이한 고주파 전원을 인가하는 구성이어도 좋다. 또는 평행 평판형 전극 각각에 같은 주파수의 고주파 전원을 인가하는 구성이어도 좋다. 또는 평행 평판형 전극 각각에 주파수가 상이한 고주파 전원을 인가하는 구성이어도 좋다. 또는 고밀도 플라즈마원을 가지는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라즈마원을 가지는 드라이 에칭 장치로서는, 예를 들어 유도 결합형 플라즈마(ICP: Inductively Coupled Plasma) 에칭 장치 등을 사용할 수 있다.

- [0327] 여기서, 산화물(230a)(산화물(230a1) 및 산화물(230a2)) 및 산화물(230b)은 적어도 일부가 도전체(205)와 중첩 되도록 형성한다. 또한, 산화물(230a) 및 산화물(230b)의 측면은 절연체(222)의 상면에 대하여 실질적으로 수직인 것이 바람직하다. 산화물(230a) 및 산화물(230b)의 측면을 절연체(222)의 상면에 대하여 실질적으로 수직으로 함으로써, 복수의 트랜지스터(200)를 제공할 때, 소면적화, 고밀도화가 가능해진다. 또한, 산화물(230a) 및 산화물(230b)의 측면과 절연체(222)의 상면이 이루는 각이 예각이 되는 구성으로 하여도 좋다. 그 경우, 산화물(230a) 및 산화물(230b)의 측면과 절연체(222)의 상면이 이루는 각은 클수록 바람직하다.
- [0328] 또한, 산화물(230a), 산화물(230b), 도전체(242), 및 절연체(273)의 측면과, 절연체(273)의 상면 사이에 만곡면을 가진다. 즉, 측면의 단부와 상면의 단부는 만곡되어 있는 것이 바람직하다(이하, 라운드 형상이라고도 함). 만곡면은, 예를 들어 절연체(273)의 단부에서, 곡률 반경이 3nm 이상 10nm 이하, 바람직하게는 5nm 이상 6nm 이하로 한다. 단부에 각을 가지지 않음으로써, 후속의 성막 공정에서의 막의 피복성이 향상된다. 이때, 만곡면은 도전체(242) 및 산화물(230b)의 측면까지 형성되어도 좋다.
- [0329] 또한, 상기 드라이 에칭 등의 처리를 수행함으로써, 에칭 가스 등에 기인한 불순물이 산화물(230a), 산화물(230b), 도전체(242) 등의 측면, 상면, 또는 내부에 부착 또는 확산되는 경우가 있다. 불순물로서는, 예를 들어 플루오린 또는 염소 등이 있다.
- [0330] 상기 불순물 등을 제거하기 위하여 세정을 수행하는 것이 바람직하다. 세정 방법으로서, 세정액 등을 사용한 웨트 세정, 플라즈마를 사용한 플라즈마 처리, 또는 열처리에 의한 세정 등이 있고, 상기 세정을 적절히 조합하여 수행하여도 좋다.
- [0331] 웨트 세정으로서, 옥살산, 인산, 과산화 수소수, 또는 플루오린화 수소산 등을 탄산수 또는 순수로 희석한 수용액을 사용하여 세정 처리를 수행하여도 좋다. 또는, 순수 또는 탄산수를 사용한 초음파 세정을 수행하여도 좋다. 본 실시형태에서는, 순수 또는 탄산수를 사용한 초음파 세정을 수행한다.
- [0332] 이어서, 가열 처리를 수행하여도 좋다. 가열 처리의 조건은 상술한 가열 처리의 조건을 사용할 수 있다. 다만, 상기 가열 처리로 인하여 도전체(242)의 산화가 우려되는 경우, 상기 가열 처리는 산소를 포함하지 않는 분위기에서 수행되는 것이 바람직하다. 한편, 도전체(242)가 내산화성 재료를 포함하는 경우, 상기 가열 처리를 산소를 포함하는 분위기에서 수행하여도 좋다.
- [0333] 상기 가열 처리에 의하여 산화물(230a) 및 산화물(230b)에 포함되는 수소나 물 등의 불순물을 제거할 수 있다. 또한, 상기 가공에서의 드라이 에칭으로 산화물(230a) 또는 산화물(230b)에 생긴 대미지를 회복할 수 있다. 또한, 산소를 포함하는 분위기에서 가열 처리를 수행한 경우, 산화물(230a) 및 산화물(230b)에 산소를 첨가할 수 있다.
- [0334] 또한, 상기 가열 처리에 의하여 도전체(242)로부터 상술한 금속 원소가 산화물(230)로 확산되어 산화물(230)에 금속 원소를 첨가할 수 있다. 또한, 산화물(230)의 도전체(242)와의 계면 근방에서의 산소가 도전체(242)에 흡수되는 경우가 있다. 그 결과, 산화물(230)의 도전체(242)와의 계면 근방이 금속 화합물이 되어 저저항화된다. 또한, 이때 산화물(230)의 일부와 상술한 금속 원소가 합금화되어도 좋다. 산화물(230)의 일부와 금속 원소가 합금화됨으로써, 산화물(230)에 첨가된 금속 원소는 비교적 안정적인 상태가 되기 때문에, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 도 7의 (B)에서는, 산화물(230)의 상기 저저항화 영역의 일례로서 점선으로 영역(243a) 및 영역(243b)을 나타내었다.
- [0335] 영역(243)(영역(243a) 및 영역(243b))은 산화물(230b)의 깊이 방향으로 확산되도록 제공되는 예를 나타내었지만, 본 발명은 이에 한정되지 않는다. 영역(243)은 깊이 방향에서 도전체(242) 근방에만 형성되어 있어도 좋고, 산화물(230a)에 형성되어 있어도 좋다. 또한, 영역(243)은 수평 방향에서 도전체(242)와 중첩되는 영역에만 형성되는 예를 나타내었지만, 본 발명은 이에 한정되지 않는다. 영역(243)은 도전체(242)로부터 수평 방향으로 확산된 영역에 형성되어도 좋다.
- [0336] 또한, 산화물(230) 내의 수소는 영역(243)으로 확산되고, 영역(243)에 존재하는 산소 결손 내에 들어간 경우, 비교적 안정적인 상태가 된다. 또한, 영역(234)에 존재하는 산소 결손 내의 수소는 250℃이상의 열처리에 의한

여 산소 결손으로부터 빠져나가 영역(243)으로 확산되고, 영역(243)에 존재하는 산소 결손 내에 들어가 비교적 안정적인 상태가 된다. 따라서, 열처리에 의하여 영역(243)은 더 저저항화되고, 영역(234)은 고순도화(물, 수소 등의 불순물의 저감)되고, 더 고저항화된다.

- [0337] 또한, 질소 또는 불활성 가스 분위기에서 가열 처리한 후에, 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다. 가열 처리는 250℃ 이상 650℃ 이하, 바람직하게는 300℃ 이상 500℃ 이하, 더 바람직하게는 320℃ 이상 450℃ 이하에서 수행하면 좋다.
- [0338] 다음으로, 절연체(224), 산화물(230a), 산화물(230b), 도전체(242), 및 절연체(273) 위에 산화막(230C)을 성막한다(도 8 참조).
- [0339] 산화막(230C)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 산화물(230c)에 요구되는 특성에 맞추어 산화막(230A) 또는 산화막(230B)과 같은 성막 방법을 사용하여 산화막(230C)을 성막하면 좋다. 예를 들어, 산화막(230A)과 마찬가지로, 산화막(230A)의 스퍼터링 가스에 포함되는 산소의 비율을 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%로 하면 좋다. 또한, 본 실시형태에서는, 산화막(230C)으로서 스퍼터링법으로 In:Ga:Zn=4:2:4.1[원자수비]의 타깃, 또는 In:Ga:Zn=5:1:7[원자수비]의 타깃을 사용하여 성막한다.
- [0340] 이어서, 산화막(230C) 위에 절연막(250A)을 성막한다(도 8 참조).
- [0341] 절연막(250A)은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 성막할 수 있다. 절연막(250A)으로서, CVD법으로 산화질화 실리콘을 성막하는 것이 바람직하다. 또한, 절연막(250A)을 성막할 때의 성막 온도는 350℃ 이상 450℃ 미만, 특히 400℃ 전후로 하는 것이 바람직하다. 절연막(250A)을 400℃에서 성막함으로써, 불순물이 적은 절연체를 성막할 수 있다.
- [0342] 또한, 절연막(250A)을 성막하기 전에, 절연막(250A)의 성막 장치에서, 가열 처리를 수행하는 것이 바람직하다. 여기서의 가열 처리는, 상술한 진공 베이킹을 수행하는 것이 바람직하다. 이와 같은 열처리를 수행함으로써 산화물(230)의 약한 Zn-O 결합을 구성하는 아연 원자 및 산소 원자를 제거할 수 있으므로 트랜지스터(200)의 신뢰성을 향상시킬 수 있다. 또한, 상기 가열 처리로부터 외기에 노출시키지 않고 동일 성막 장치에서 연속적으로 성막을 수행함으로써, 물 등의 불순물을 혼입시키지 않고, 절연막(250A)으로 산화물(230)을 덮을 수 있다. 또한, 멀티 체임버 방식의 성막 장치로 가열 처리와 성막 처리를 상이한 체임버에서 수행함으로써, 가열 처리에서 이탈된 물, 아연 등의 불순물의 영향을 받지 않고 절연막(250A)의 성막을 수행할 수 있다.
- [0343] 또한, 절연막(250A)의 성막 후에 가열 처리를 수행하여도 좋다. 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있다. 상기 가열 처리에 의하여, 절연막(250A)의 수분 농도 및 수소 농도를 저감시킬 수 있다.
- [0344] 이어서, 도전막(260A) 및 도전막(260B)을 순차적으로 성막한다(도 8 참조). 도전막(260A) 및 도전막(260B)은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 성막할 수 있다. 예를 들어, 도전막(260A)으로서 질화 타이타늄을 성막하고, 도전막(260B)으로서 텅스텐을 성막하여도 좋다.
- [0345] 도전막(260A)으로서, CVD법 또는 스퍼터링법으로, 금속 질화물을 형성하는 것이 좋다. 도전막(260A)에 금속 질화물을 사용함으로써, 절연막(250A)이 가지는 산소로 인하여, 도전막(260B)이 산화되어 도전율이 저하되는 것을 방지할 수 있다.
- [0346] 또한, 도전막(260B)으로서 저저항의 금속막을 적층함으로써, 구동 전압이 작은 트랜지스터를 제공할 수 있다.
- [0347] 이어서, 가열 처리를 수행할 수 있다. 가열 처리에는 상술한 가열 처리 조건을 사용할 수 있다. 또한, 가열 처리는 수행하지 않아도 되는 경우가 있다. 본 가열 처리에 의하여, 산화물(230b)에 저저항 영역이 형성되는 경우가 있다.
- [0348] 다음으로, 포토 리소그래피법을 사용하여, 도전막(260A) 및 도전막(260B)의 일부를 선택적으로 제거하여, 도전체(260a) 및 도전체(260b)를 형성한다(도 9 참조). 도전막(260A) 및 도전막(260B)의 에칭에는 드라이 에칭법이나 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다.
- [0349] 다음으로, 절연체(250) 및 도전체(260)(도전체(260a) 및 도전체(260b))를 덮어 절연막(274A)을 성막한다(도 9 참조). 절연막(274A)은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 성막할 수 있다. 절연막(274A)은 ALD법을 사용하여 성막하는 것이 바람직하다. ALD법은 피복성이 양호한 성막법이기에 때문에, 산화물(230), 도전체(260) 등에 의하여 생기는 요철에 의하여 단절 등이 형성되는 것을 방지할 수 있다.

- [0350] 절연막(274A)은 절연성 배리어로서 기능하는 것이 바람직하고, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 성막하는 것이 좋다. 또한, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체로서 산화 알루미늄, 산화 하프늄, 알루미늄 및 하프늄을 포함하는 산화물(하프늄 알루미늄네이트) 등을 사용하는 것이 바람직하다. 배리어성을 가지는 절연막(274A)에 의하여 절연막(274A)의 위로부터 산소가 도전체(260)로 혼입되는 것을 저감할 수 있다.
- [0351] 다음으로, 포토 리소그래피법을 사용하여 절연막(274A), 절연막(250A), 및 산화막(230C)의 일부를 선택적으로 제거하여, 절연체(274), 절연체(250), 및 산화물(230c)을 형성한다(도 10 참조). 절연막(274A), 절연막(250A), 및 산화막(230C)의 에칭에는 드라이 에칭법이나 웨트 에칭법을 사용할 수 있다. 드라이 에칭법에 의한 가공은 미세 가공에 적합하다.
- [0352] 다음으로, 절연체(224), 산화물(230), 도전체(242), 절연체(273), 절연체(250), 도전체(260), 및 절연체(274) 위에, 절연체(280)를 성막한다(도 10 참조). 절연체(280)는 비유전율이 낮은 절연체를 포함하는 것이 바람직하다. 예를 들어, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 플루오린을 첨가한 산화 실리콘, 탄소를 첨가한 산화 실리콘, 탄소 및 질소를 첨가한 산화 실리콘, 공공을 가지는 산화 실리콘, 또는 수지 등을 가지는 것이 바람직하다. 특히 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 공공을 가지는 산화 실리콘을 절연체(280)에 사용하면, 추후의 공정에서, 가열에 의하여 이탈되는 산소를 포함한 영역을 절연체(280)에 용이하게 형성할 수 있어 바람직하다. 또한, 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에 바람직하다. 절연체(280)의 성막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 또는, 스핀 코팅법, 딥법(dipping method), 액적 토출법(잉크젯법 등), 인쇄법(스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프법, 롤 코터법, 또는 커튼 코터법 등을 사용하여 수행할 수 있다. 본 실시형태에서는, 절연체(280)로서 CVD법으로 산화질화 실리콘을 성막한다.
- [0353] 또한, 절연체(280)는 상면이 평탄성을 가지도록 형성하는 것이 바람직하다. 예를 들어, 절연체(280)는 성막한 직후에 상면이 평탄성을 가져도 좋다. 또는, 예를 들어 절연체(280)는 성막 후에 기관 뒷면 등의 기준면과 평행하게 되도록 절연체 등을 상면으로부터 제거함으로써 평탄성을 가져도 좋다. 이와 같은 처리를 평탄화 처리라고 부른다. 평탄화 처리로서는 CMP 처리, 드라이 에칭 처리 등이 있다. 본 실시형태에서는, 평탄화 처리로서 CMP 처리를 사용한다. 다만, 절연체(280)의 상면은 반드시 평탄성을 가질 필요는 없다.
- [0354] 다음으로, 절연체(280) 위에 절연체(282)를 성막한다(도 10 참조). 절연체(282)는 산소를 포함하는 분위기에서 스퍼터링법을 사용하여 성막하는 것이 바람직하다. 또한, 절연체(282)에는 물 또는 수소 등의 불순물이 투과하기 어려운 절연성 재료를 사용하는 것이 바람직하다. 예를 들어, 절연체(282)에는 배리어성을 가지는 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 사용하는 것이 바람직하다. 본 실시형태에서는, 절연체(282)로서 산소를 포함하는 분위기에서 스퍼터링법을 사용하여 산화 알루미늄막을 성막한다.
- [0355] 스퍼터링법을 사용하여 산소를 포함하는 분위기에서 절연체(282)의 성막을 수행함으로써, 성막하면서 절연체(280)에 산소를 도입할 수 있다. 여기서, 산소는 예를 들어 산소 라디칼로서 첨가되지만, 산소가 첨가될 때의 상태는 이에 한정되지 않는다. 산소는 산소 원자 또는 산소 이온 등의 상태로 첨가되어도 좋다. 추후의 공정의 열처리에 의하여 산소를 확산시켜 산화물(230)에 산소를 효과적으로 공급할 수 있다.
- [0356] 또한, 절연체(282)를 성막할 때, 기관 가열을 수행하는 것이 바람직하다. 기관 가열은 100℃보다 높고 300℃이하인 것이 바람직하다. 더 바람직하게는 120℃이상 250℃이하에서 수행하면 좋다. 기관 온도를 100℃보다 높게 함으로써, 산화물(230) 내의 물을 제거할 수 있다. 또한 형성한 막 위에, 표면 흡착수가 부착되는 것을 방지할 수 있다. 또한, 이와 같이 기관 가열을 수행하면서 절연체(282)를 성막함으로써, 성막하면서 절연체(280)로부터 절연체(224), 절연체(250), 및 산화물(230)로 산소를 확산시킬 수 있다.
- [0357] 또한, 트랜지스터(200)를 절연체(282) 및 절연체(222)에 끼워진 구조로 함으로써, 산소를 외방 확산시키지 않고, 절연체(280), 절연체(224), 절연체(250), 및 산화물(230) 내에 많은 산소를 함유시킬 수 있다. 또한, 절연체(282)의 위쪽 및 절연체(222)의 아래쪽으로부터 물 또는 수소 등의 불순물이 혼입되는 것을 방지하여, 절연체(280), 절연체(224), 및 산화물(230) 내의 불순물 농도를 저감시킬 수 있다.
- [0358] 이어서, 가열 처리를 수행한다. 상기 가열 처리는 250℃이상 650℃이하, 바람직하게는 300℃이상 500℃이하에서 수행하면 좋다. 상기 가열 처리는 산소 분위기에서 수행하면 좋다. 또는 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 수행하면 좋다. 여기서 불활성 가스로서, 예를 들어 질소 가스 또는 희가스 등을 사용할 수 있다. 상기 가열 처리는 감압 상태에서 수행하여도 좋다. 또

는, 상기 가열 처리는, 불활성 가스 분위기에서 가열 처리한 후에, 이탈된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상 또는 10% 이상 포함하는 분위기에서 가열 처리를 수행하여도 좋다. 본 실시형태에서는, 산소 가스 분위기 중에서 400℃, 1시간의 가열 처리를 수행한다.

- [0359] 다음으로, 절연체(282) 위에 절연체(281)를 성장한다. 절연체(281)의 성막은 스피터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다. 또는, 스핀 코팅법, 딥법, 액적 토출법(잉크젯법 등), 인쇄법(스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프법, 롤 코터법, 또는 커튼 코터법 등을 사용하여 수행할 수 있다. 본 실시형태에서는, 상기 절연체(281)로서 산화질화 실리콘을 사용한다.
- [0360] 다음으로, 절연체(281), 절연체(282), 절연체(280), 및 절연체(273)에 도전체(242)에 도달하는 개구를, 그리고 절연체(281), 절연체(282), 절연체(280), 및 절연체(274)에 도전체(260)에 도달하는 개구를 형성한다. 상기 개구의 형성은 리소그래피법을 사용하여 수행하면 좋다.
- [0361] 다음으로, 상기 개구의 내벽에 절연성 배리어로서 기능하는 절연체(276)를 형성하여도 좋다. 절연체(276)는 상기 개구 내부와 절연체(281)의 상면에 절연막을 형성한 후, 이방성 에칭에 의한 에치 백을 수행하고, 개구 바닥부의 절연막 및 절연체(281) 위의 절연막을 제거함으로써 형성할 수 있다. 다음으로, 도전체(240)의 제 1 도전체 및 도전체(240)의 제 2 도전체가 되는 도전막을 성장한다. 상기 도전막의 성막은 스피터링법, CVD법, MBE법, PLD법, 또는 ALD법 등을 사용하여 수행할 수 있다.
- [0362] 다음으로, CMP 처리를 수행함으로써, 도전체(240a), 도전체(240b), 및 도전체(240c)가 되는 도전막의 일부를 제거하여, 절연체(281)를 노출시킨다. 그 결과, 상기 개구에만 상기 도전막이 잔존됨으로써 상면이 평탄한 도전체(240a), 도전체(240b), 및 도전체(240c)를 형성할 수 있다(도 1 참조). 또한, 상기 CMP 처리에 의하여 절연체(281)의 일부가 제거되는 경우가 있다.
- [0363] 또한, 도전체(240)와 전기적으로 접속되고, 배선으로서 기능하는 도전체(256)를 제공하여도 좋다.
- [0364] 상술한 바와 같이, 도 1에 도시된 트랜지스터(200)를 가지는 반도체 장치를 제작할 수 있다. 도 6 내지 도 10에 도시된 바와 같이, 본 실시형태에 나타난 반도체 장치의 제작 방법을 사용함으로써, 양호한 전기 특성 및 신뢰성을 가지는 트랜지스터(200)를 작성할 수 있다.
- [0365] 본 발명의 일 형태에 의하여 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 양호한 전기 특성을 가지는 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 오프 전류가 작은 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 온 전류가 큰 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 소비전력이 저감된 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여 생산성이 높은 반도체 장치를 제공할 수 있다.
- [0366] 상술한 바와 같이, 본 실시형태에 나타난 구성, 구조, 방법 등은 다른 실시형태나 실시예에 나타난 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0367] (실시형태 2)
- [0368] 본 실시형태에서는, 기억 장치 1로서 기능하는 반도체 장치의 일 형태를, 도 11을 사용하여 설명한다.
- [0369] <기억 장치 1>
- [0370] 도 11의 (A)에 도시된 기억 장치는 트랜지스터(300), 트랜지스터(200), 및 용량 소자(100)를 가진다. 도 11의 (A)는 트랜지스터(200) 및 트랜지스터(300)의 채널 길이 방향의 단면도이다. 도 11의 (B)에는 트랜지스터(300) 근방의 트랜지스터(300)의 채널 폭 방향의 단면도를 도시하였다. 또한, 이후의 설명에서, 트랜지스터(300), 트랜지스터(200), 및 용량 소자(100)를 가지는 기억 장치에 대하여 설명한다.
- [0371] 트랜지스터(200)는 산화물 반도체를 가지는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(200)는 오프 전류가 작기 때문에, 이를 기억 장치에 사용함으로써 장기간에 걸쳐 기억 내용을 유지할 수 있다. 즉, 리프레시 동작이 불필요하거나, 또는 리프레시 동작의 빈도가 매우 적기 때문에, 기억 장치의 소비전력을 충분히 저감할 수 있다.
- [0372] 도 11의 (A)에 도시된 기억 장치에 있어서, 배선(1001)은 트랜지스터(300)의 소스와 전기적으로 접속되고, 배선(1002)은 트랜지스터(300)의 드레인과 전기적으로 접속되어 있다. 또한, 배선(1003)은 트랜지스터(200)의 소스 및 드레인 중 한쪽과 전기적으로 접속되고, 배선(1004)은 트랜지스터(200)의 튜브 게이트와 전기적으로 접속되고,

배선(1006)은 트랜지스터(200)의 보텀 게이트와 전기적으로 접속되어 있다. 그리고, 트랜지스터(300)의 게이트 및 트랜지스터(200)의 소스 및 드레인 중 다른 쪽은 용량 소자(100)의 전극의 한쪽과 전기적으로 접속되고, 배선(1005)은 용량 소자(100)의 전극의 다른 쪽과 전기적으로 접속되어 있다.

[0373] 도 11의 (A)에 도시된 기억 장치는 트랜지스터(300)의 게이트의 전위를 유지할 수 있다는 특성을 가지기 때문에, 이하에 나타내는 바와 같이, 정보의 기록, 유지, 판독이 가능하다.

[0374] 정보의 기록 및 유지에 대하여 설명한다. 우선, 배선(1004)의 전위를 트랜지스터(200)가 도통 상태가 되는 전위로 하여, 트랜지스터(200)를 도통 상태로 한다. 이로써, 배선(1003)의 전위가 트랜지스터(300)의 게이트 및 용량 소자(100)의 전극의 한쪽과 전기적으로 접속되는 노드(SN)에 공급된다. 즉, 트랜지스터(300)의 게이트에는 소정의 전하가 공급된다(기록). 여기서는, 상이한 2개의 전위 레벨을 제공하는 전하(이하, Low 레벨 전하, High 레벨 전하라고 함) 중 어느 한쪽이 공급되는 것으로 한다. 그 후, 배선(1004)의 전위를 트랜지스터(200)가 비도통 상태가 되는 전위로 하여, 트랜지스터(200)를 비도통 상태로 함으로써, 노드(SN)에 전하가 유지된다(유지).

[0375] 트랜지스터(200)의 오프 전류가 작은 경우, 노드(SN)의 전하는 장기간에 걸쳐 유지된다.

[0376] 다음으로 정보의 판독에 대하여 설명한다. 배선(1001)에 소정의 전위(정(定)전위)를 공급한 상태에서, 배선(1005)에 적절한 전위(판독 전위)를 공급하면 배선(1002)은 노드(SN)에 유지된 전하량에 대응하는 전위를 취한다. 이는, 트랜지스터(300)를 n채널형으로 하면, 트랜지스터(300)의 게이트에 High 레벨 전하가 공급되어 있는 경우의 외관상 문턱 전압  $V_{th,H}$ 는 트랜지스터(300)의 게이트에 Low 레벨 전하가 공급되어 있는 경우의 외관상 문턱 전압  $V_{th,L}$ 보다 낮아지기 때문이다. 여기서, 외관상 문턱 전압이란, 트랜지스터(300)를 도통 상태로 하기 위하여 필요한 배선(1005)의 전위를 가리키는 것으로 한다. 따라서, 배선(1005)의 전위를  $V_{th,H}$ 와  $V_{th,L}$  사이의 전위  $V_0$ 로 함으로써, 노드(SN)에 인가된 전하를 판별할 수 있다. 예를 들어, 기록에서 노드(SN)에 High 레벨 전하가 공급된 경우에는, 배선(1005)의 전위가  $V_0(>V_{th,H})$ 이 되면 트랜지스터(300)는 도통 상태가 된다. 한편, 노드(SN)에 Low 레벨 전하가 공급된 경우에는, 배선(1005)의 전위가  $V_0(<V_{th,L})$ 이 되어도 트랜지스터(300)는 비도통 상태를 유지한다. 그러므로, 배선(1002)의 전위를 판별함으로써, 노드(SN)에 유지되어 있는 정보를 판독할 수 있다.

[0377] 또한, 메모리 셀을 어레이상으로 배치하는 경우, 판독 시에는 원하는 메모리 셀의 정보를 판독할 필요가 있다. 예를 들어, 메모리 셀 어레이가 NOR형 구성인 경우, 정보를 판독하지 않는 메모리 셀의 트랜지스터(300)를 비도통 상태로 함으로써, 원하는 메모리 셀의 정보만을 판독할 수 있다. 이 경우, 노드(SN)에 공급된 전하와 상관없이 트랜지스터(300)가 비도통 상태가 되는 전위, 즉  $V_{th,H}$ 보다 낮은 전위를, 정보를 판독하지 않는 메모리 셀과 접속되는 배선(1005)에 공급하면 좋다. 또는, 예를 들어 메모리 셀 어레이가 NAND형 구성인 경우, 정보를 판독하지 않는 메모리 셀의 트랜지스터(300)를 도통 상태로 함으로써, 원하는 메모리 셀의 정보만을 판독할 수 있다. 이 경우, 노드(SN)에 공급된 전하와 상관없이 트랜지스터(300)가 도통 상태가 되는 전위, 즉  $V_{th,L}$ 보다 높은 전위를, 정보를 판독하지 않는 메모리 셀과 접속되는 배선(1005)에 공급하면 좋다.

[0378] <기억 장치 1의 구조>

[0379] 본 발명의 일 형태의 기억 장치는 도 11의 (A)에 도시된 바와 같이 트랜지스터(300), 트랜지스터(200), 용량 소자(100)를 가진다. 트랜지스터(200)는 트랜지스터(300)의 위쪽에 제공된다. 또한, 용량 소자(100)는 트랜지스터(300) 및 트랜지스터(200)의 위쪽에 제공되어 있다.

[0380] 트랜지스터(300)는 기판(311) 위에 제공되고, 도전체(316), 절연체(315), 기판(311)의 일부로 이루어지는 반도체 영역(313), 및 소스 영역 또는 드레인 영역으로서 기능하는 저저항 영역(314a) 및 저저항 영역(314b)을 가진다.

[0381] 트랜지스터(300)는 도 11의 (B)에 도시된 바와 같이 반도체 영역(313)의 상면 및 채널 폭 방향의 측면이 절연체(315)를 개재하여 도전체(316)로 덮여 있다. 이와 같이, 트랜지스터(300)를 Fin형으로 함으로써, 효율적인 채널 폭이 증대함으로써 트랜지스터(300)의 온 특성을 향상시킬 수 있다. 또한, 게이트 전극의 전계의 기여를 높일 수 있기 때문에, 트랜지스터(300)의 오프 특성을 향상시킬 수 있다.

[0382] 트랜지스터(300)는 p채널형 및 n채널형 중 어느 것이어도 좋다.

- [0383] 반도체 영역(313)의 채널이 형성되는 영역, 그 근방의 영역, 소스 영역 또는 드레인 영역이 되는 저저항 영역(314a), 및 저저항 영역(314b) 등에서 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 바람직하다. 또는, Ge(저마늄), SiGe(실리콘 저마늄), GaAs(갈륨 비소), GaAlAs(갈륨 알루미늄 비소) 등을 가지는 재료로 형성하여도 좋다. 결정 격자에 응력을 가하여, 격자 간격을 변화시킴으로써 유효 질량을 제어한 실리콘을 사용한 구성으로 하여도 좋다. 또는 GaAs와 GaAlAs 등을 사용함으로써, 트랜지스터(300)를 HEMT(High Electron Mobility Transistor)로 하여도 좋다.
- [0384] 저저항 영역(314a) 및 저저항 영역(314b)은 반도체 영역(313)에 적용되는 반도체 재료에 더하여 비소, 인 등의 n형 도전성을 부여하는 원소 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함한다.
- [0385] 게이트 전극으로서 기능하는 도전체(316)는 비소, 인 등의 n형 도전성을 부여하는 원소, 또는 붕소 등의 p형 도전성을 부여하는 원소를 포함하는 실리콘 등의 반도체 재료, 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다.
- [0386] 또한, 도전체의 재료에 따라 일함수가 정해지기 때문에, 도전체의 재료를 변경함으로써 트랜지스터의  $V_{th}$ 를 조정할 수 있다. 구체적으로는, 도전체에 질화 타이타늄이나 질화 탄탈럼 등의 재료를 사용하는 것이 바람직하다. 또한 도전성과 매립성을 양립하기 위하여 도전체에 텅스텐이나 알루미늄 등의 금속 재료를 적층으로 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 내열성의 관점에서 바람직하다.
- [0387] 또한, 도 11에 도시된 트랜지스터(300)는 일례이며, 이 구조에 한정되지 않고, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다.
- [0388] 트랜지스터(300)를 덮어 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 순차적으로 적층되어 제공되어 있다.
- [0389] 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)로서, 예를 들어 산화 실리콘, 산화질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 질화 알루미늄 등을 사용하면 좋다.
- [0390] 절연체(322)는, 그 아래쪽에 제공되는 트랜지스터(300) 등에 의하여 생기는 단차를 평탄화하는 평탄화막으로서의 기능을 가져도 좋다. 예를 들어, 절연체(322)의 상면은 평탄성을 높이기 위하여 화학 기계 연마(CMP)법 등을 사용한 평탄화 처리에 의하여 평탄화되어 있어도 좋다.
- [0391] 또한, 절연체(324)에는 기판(311) 또는 트랜지스터(300) 등으로부터 트랜지스터(200)가 제공되는 영역으로 수소나 불순물이 확산되지 않도록 하는 배리어성을 가지는 막을 사용하는 것이 바람직하다.
- [0392] 수소에 대한 배리어성을 가지는 막의 일례로서, 예를 들어 CVD법으로 형성한 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(200) 등의 산화물 반도체를 포함하는 반도체 소자로 수소가 확산됨으로써, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 따라서, 트랜지스터(200)와 트랜지스터(300) 사이에 수소의 확산을 억제하는 막을 사용하는 것이 바람직하다. 수소의 확산을 억제하는 막이란, 구체적으로는 수소의 이탈량이 적은 막으로 한다.
- [0393] 수소의 이탈량은, 예를 들어 승온 이탈 가스 분석법(TDS) 등을 사용하여 분석할 수 있다. 예를 들어, 절연체(324)의 수소의 이탈량은 TDS 분석에서 막의 표면 온도가 50℃ 내지 500℃의 범위에서 수소 원자로 환산한 이탈량이 절연체(324)의 면적당으로 환산하여,  $10 \times 10^{15} \text{ atoms/cm}^2$  이하, 바람직하게는  $5 \times 10^{15} \text{ atoms/cm}^2$  이하인 것이 좋다.
- [0394] 또한, 절연체(326)는 절연체(324)보다 유전율이 낮은 것이 바람직하다. 예를 들어, 절연체(326)의 비유전율은 4 미만이 바람직하고, 3 미만이 더 바람직하다. 또한, 예를 들어 절연체(326)의 비유전율은 절연체(324)의 비유전율의 0.7배 이하가 바람직하고, 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 층간막으로 함으로써, 배선 사이에 생기는 기생 용량을 저감할 수 있다.
- [0395] 또한, 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)에는 용량 소자(100) 또는 트랜지스터(200)와 전기적으로 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한, 도전체(328) 및 도전체(330)는 플러그 또는 배선으로서의 기능을 가진다. 또한, 플러그 또는 배선으로서의 기능을 가지는 도전체에는, 복수의 구조를 합쳐서 동일한 부호를 부여하는 경우가 있다. 또한, 본 명세서 등에서, 배선과, 배선과 전기적으로 접속되는 플러그가 일체물이어도 좋다. 즉, 도전체의 일부가 배선으로서 기능하는 경우 및 도전체의 일부가 플러

그로서 기능하는 경우도 있다.

- [0396] 각 플러그 및 배선(도전체(328) 및 도전체(330) 등)의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층으로 또는 적층하여 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 몰리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 텅스텐을 사용하는 것이 바람직하다. 또는, 알루미늄이나 구리 등의 저저항 도전성 재료로 형성하는 것이 바람직하다. 저저항 도전성 재료를 사용함으로써 배선 저항을 낮출 수 있다.
- [0397] 절연체(326) 및 도전체(330) 위에 하나 또는 복수의 배선층을 제공하여도 좋다. 예를 들어, 도 11의 (A)에서 절연체(350)(절연체(350-1), 절연체(350-2), 절연체(350-3), 절연체(350-4)), 절연체(352)(절연체(352-1), 절연체(352-2), 절연체(352-3), 절연체(352-4)), 및 절연체(354)(절연체(354-1), 절연체(354-2), 절연체(354-3), 절연체(354-4))가 순차적으로 적층되어 제공되어 있다. 또한, 절연체(350), 절연체(352), 및 절연체(354)에는 도전체(356)(도전체(356-1), 도전체(356-2), 도전체(356-3), 도전체(356-4))가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서의 기능을 가진다. 또한 도전체(356)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0398] 또한, 예를 들어 절연체(350)에는, 절연체(324)와 마찬가지로 수소에 대한 배리어성을 가지는 절연체를 사용하는 것이 바람직하다. 또한, 절연체(352) 및 절연체(354)에는 절연체(326)와 같은 재료를 사용할 수 있다. 또한, 도전체(356)는 수소에 대한 배리어성을 가지는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 가지는 절연체(350)가 가지는 개구부에, 수소에 대한 배리어성을 가지는 도전체가 형성된다. 상기 구성에 의하여, 트랜지스터(300)와 트랜지스터(200)는 배리어층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(200)로의 수소의 확산을 억제할 수 있다.
- [0399] 또한, 수소에 대한 배리어성을 가지는 도전체로서는, 예를 들어 질화 탄탈럼 등을 사용하면 좋다. 또한, 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 유지한 채, 트랜지스터(300)로부터의 수소의 확산을 억제할 수 있다. 이 경우, 수소에 대한 배리어성을 가지는 질화 탄탈럼층이, 수소에 대한 배리어성을 가지는 절연체(350)와 접하는 구조인 것이 바람직하다.
- [0400] 도 11의 (A)에서, 도전체(356)를 포함하는 배선층을 4층 적층하는 예를 도시하였지만, 본 실시형태에 따른 기억 장치는 이에 한정되는 것이 아니다. 도전체(356)를 포함하는 배선층을 3층 이하로 하여도 좋고, 5층 이상으로 하여도 좋다.
- [0401] 절연체(354) 위에는 절연체(210), 절연체(212), 절연체(214), 및 절연체(216)가 순차적으로 적층되어 제공되어 있다. 절연체(210), 절연체(212), 절연체(214), 및 절연체(216) 중 어느 것에는 산소나 수소에 대하여 배리어성이 있는 물질을 사용하는 것이 바람직하다.
- [0402] 또한, 절연체(210), 절연체(212), 절연체(214), 및 절연체(216)에는 도전체(218) 및 트랜지스터(200)를 구성하는 도전체(도전체(205)) 등이 매립되어 있다. 또한, 도전체(218)는 용량 소자(100) 및 트랜지스터(300)와 전기적으로 접속되는 플러그 또는 배선으로서의 기능을 가진다. 도전체(218)는 도전체(328) 및 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.
- [0403] 특히, 절연체(210) 및 절연체(214)와 접하는 영역의 도전체(218)는 산소, 수소, 및 물에 대한 배리어성을 가지는 도전체인 것이 바람직하다. 상기 구성에 의하여, 트랜지스터(300)와 트랜지스터(200)를 산소, 수소, 및 물에 대한 배리어성을 가지는 층에 의하여 분리할 수 있어, 트랜지스터(300)로부터 트랜지스터(200)로의 수소 확산을 억제할 수 있다.
- [0404] 절연체(216)의 위쪽에는 트랜지스터(200)가 제공되어 있다. 또한, 트랜지스터(200)의 구조는 앞의 실시형태에서 설명한 반도체 장치가 가지는 트랜지스터를 사용하면 좋다. 또한, 도 11의 (A)에 도시된 트랜지스터(200)는 일레이며, 이 구조에 한정되지 않고, 회로 구성이나 구동 방법에 따라 적절한 트랜지스터를 사용하면 좋다. 예를 들어, 도 2에 도시된 트랜지스터(200A), 도 3에 도시된 트랜지스터(200B), 도 4에 도시된 트랜지스터(200C) 등을 사용할 수 있다.
- [0405] 트랜지스터(200)의 위쪽에는 절연체(280), 절연체(282), 및 절연체(281)를 제공할 수 있다.
- [0406] 또한, 절연체(220), 절연체(222), 절연체(224), 절연체(280), 절연체(282), 및 절연체(281)에는 도전체(240) 등이 매립되어 있다.
- [0407] 도전체(240)는 용량 소자(100), 트랜지스터(200), 또는 트랜지스터(300)와 전기적으로 접속하는 플러그, 또는

배선으로서의 기능을 가진다. 도전체(240)는 도전체(328) 또는 도전체(330)와 같은 재료를 사용하여 제공할 수 있다.

- [0408] 이어서, 트랜지스터(200)의 위쪽에는 용량 소자(100)가 제공되어 있다. 용량 소자(100)는 도전체(110), 도전체(120), 절연체(130)를 포함한다.
- [0409] 도전체(110)는 용량 소자(100)의 한쪽의 전극으로서의 기능을 가진다.
- [0410] 도전체(110)에는 폴리브데넘, 타이타늄, 탄탈럼, 텅스텐, 알루미늄, 구리, 크로뮴, 네오디뮴, 스칸듐에서 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 탄탈럼막, 질화 타이타늄막, 질화 폴리브데넘막, 질화 텅스텐막) 등을 사용할 수 있다. 또는, 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 도전성 재료를 적용할 수도 있다.
- [0411] 도 11의 (A)에서는 도전체(110)를 단층 구조로 도시하였지만, 상기 구성에 한정되지 않고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 배리어성을 가지는 도전체와 도전성이 높은 도전체 사이에 배리어성을 가지는 도전체 및 도전성이 높은 도전체에 대하여 밀착성이 높은 도전체를 형성하여도 좋다.
- [0412] 절연체(130)를 개재하여 도전체(110)와 중첩되도록 용량 소자(100)의 다른 쪽의 전극으로서 기능하는 도전체(120)를 제공한다. 또한, 도전체(120)에는 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용할 수 있다. 내열성과 도전성을 양립하는 텅스텐이나 폴리브데넘 등의 고용점 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 또한, 도전체 등의 다른 구조와 동시에 형성하는 경우에는, 저저항 금속 재료인 Cu(구리)나 Al(알루미늄) 등을 사용하면 좋다.
- [0413] 도전체(120) 및 절연체(130) 위에는 절연체(150)가 제공되어 있다. 절연체(150)는 절연체(320)와 같은 재료를 사용하여 제공할 수 있다. 또한, 절연체(150)는 그 아래쪽의 요철 형상을 피복하는 평탄화막으로서 기능하여도 좋다.
- [0414] 또한, 절연체(150) 및 절연체(130)에는 도전체(240)와 전기적으로 접촉하는 도전체(112)가 매립되어 있다. 또한, 도전체(112) 및 절연체(150) 위에 도전체(160)를 제공하여도 좋다.
- [0415] 본 구조를 사용함으로써, 산화물 반도체를 포함하는 트랜지스터를 사용한 반도체 장치에서, 전기 특성의 변동을 억제하면서 신뢰성을 향상시킬 수 있다. 또는, 온 전류가 큰 산화물 반도체를 가지는 트랜지스터를 제공할 수 있다. 또는, 오프 전류가 작은 산화물 반도체를 가지는 트랜지스터를 제공할 수 있다. 또는, 소비전력이 저감된 반도체 장치를 제공할 수 있다. 또는, 산화물 반도체를 포함하는 트랜지스터를 사용한 반도체 장치에서 미세화 또는 고집적화를 도모할 수 있다.
- [0416] 상술한 바와 같이, 본 실시형태에 나타낸 구성, 구조, 방법 등은 다른 실시형태나 실시예에 나타낸 구성, 구조, 방법 등과 적절히 조합하여 사용할 수 있다.
- [0417] (실시형태 3)
- [0418] 본 실시형태에서는, 상기 실시형태와 상이한, 기억 장치로서 기능하는 반도체 장치의 일 형태를, 도 12 및 도 13을 사용하여 설명한다. 도 12 및 도 13은 본 발명의 일 형태에 따른 산화물을 반도체에 사용한 트랜지스터(이하, OS 트랜지스터라고 부르는 경우가 있음) 및 용량 소자가 적용되어 있는 기억 장치(이하, OS 메모리 장치라고 부르는 경우가 있음)를 도시한 것이다. OS 메모리 장치는 적어도 용량 소자와, 용량 소자의 충방전을 제어하는 OS 트랜지스터를 가지는 기억 장치이다. OS 트랜지스터의 오프 전류는 매우 작기 때문에, OS 메모리 장치는 우수한 유지 특성을 가지고, 비휘발성 메모리로서 기능시킬 수 있다.
- [0419] <기억 장치 2의 구성예>
- [0420] 도 12의 (A)에 OS 메모리 장치의 구성의 일례를 도시하였다. 기억 장치(1400)는 주변 회로(1411) 및 메모리 셀 어레이(1470)를 가진다. 주변 회로(1411)는, 행 회로(1420), 열 회로(1430), 출력 회로(1440), 컨트롤 로직 회로(1460)를 가진다.
- [0421] 열 회로(1430)는, 예를 들어 열 디코더, 프리차지 회로, 감지 증폭기, 및 기록 회로 등을 가진다. 프리차지 회로는 배선을 프리차지하는 기능을 가진다. 감지 증폭기는, 메모리 셀로부터 판독된 데이터 신호를 증폭하는 기능을 가진다. 또한, 상기 배선은 메모리 셀 어레이(1470)가 가지는 메모리 셀에 접속되어 있는 배선이고, 자체

한 내용은 후술한다. 증폭된 데이터 신호는 출력 회로(1440)를 통하여, 데이터 신호(RDATA)로서 기억 장치(1400)의 외부로 출력된다. 또한, 행 회로(1420)는, 예를 들어 행 디코더, 워드선 드라이버 회로 등을 가지고, 액세스하는 행을 선택할 수 있다.

- [0422] 기억 장치(1400)에는 외부로부터 전원 전압으로서 저전원 전압(VSS), 주변 회로(1411)용 고전원 전압(VDD), 메모리 셀 어레이(1470)용 고전원 전압(VIL)이 공급된다. 또한, 기억 장치(1400)에는 제어 신호(CE, WE, RE), 어드레스 신호(ADDR), 데이터 신호(WDATA)가 외부로부터 입력된다. 어드레스 신호(ADDR)는 행 디코더 및 열 디코더에 입력되고, WDATA는 기록 회로에 입력된다.
- [0423] 컨트롤 로직 회로(1460)는 외부로부터의 입력 신호(CE, WE, RE)를 처리하여, 행 디코더, 열 디코더의 제어 신호를 생성한다. CE는 칩 인에이블 신호이고, WE는 기록 인에이블 신호이고, RE는 판독 인에이블 신호이다. 컨트롤 로직 회로(1460)가 처리하는 신호는 이에 한정되지 않고, 필요에 따라 다른 제어 신호를 입력하면 좋다.
- [0424] 메모리 셀 어레이(1470)는 매트릭스상으로 배치된, 복수개의 메모리 셀(MC)과 복수의 배선을 가진다. 또한, 메모리 셀 어레이(1470)와 행 회로(1420)를 접속하는 배선의 개수는 메모리 셀(MC)의 구성, 1열에 가지는 메모리 셀(MC)의 개수 등에 따라 결정된다. 또한, 메모리 셀 어레이(1470)와 열 회로(1430)를 접속하는 배선의 개수는 메모리 셀(MC)의 구성, 1행에 가지는 메모리 셀(MC)의 개수 등에 따라 결정된다.
- [0425] 또한, 도 12의 (A)에서, 주변 회로(1411)와 메모리 셀 어레이(1470)를 동일 평면 위에 형성하는 예에 대하여 도시하였지만, 본 실시형태는 이에 한정되는 것이 아니다. 예를 들어, 도 12의 (B)에 도시된 바와 같이, 주변 회로(1411)의 일부 위에 메모리 셀 어레이(1470)가 중첩되도록 제공되어도 좋다. 예를 들어, 메모리 셀 어레이(1470) 아래에 중첩되도록 감지 증폭기를 제공하는 구성으로 하여도 좋다.
- [0426] 상술한 메모리 셀(MC)에 적용할 수 있는 메모리 셀의 구성예에 대하여 도 13에서 설명한다.
- [0427] [DOSRAM]
- [0428] 도 13의 (A) 내지 (C)에 DRAM의 메모리 셀의 회로 구성예를 도시하였다. 본 명세서 등에서, 1 OS 트랜지스터 1 용량 소자형의 메모리 셀을 사용한 DRAM을 DOSRAM(Dynamic Oxide Semiconductor Random Access Memory)이라고 부르는 경우가 있다. 도 13의 (A)에 도시된 메모리 셀(1471)은 트랜지스터(M1)와 용량 소자(CA)를 가진다. 또한, 트랜지스터(M1)는 게이트(프런트 게이트라고 부르는 경우가 있음) 및 백 게이트를 가진다.
- [0429] 트랜지스터(M1)의 제 1 단자는 용량 소자(CA)의 제 1 단자와 접속되고, 트랜지스터(M1)의 제 2 단자는 배선(BIL)과 접속되고, 트랜지스터(M1)의 게이트는 배선(WOL)과 접속되고, 트랜지스터(M1)의 백 게이트는 배선(BGL)과 접속되어 있다. 용량 소자(CA)의 제 2 단자는 배선(CAL)과 접속되어 있다.
- [0430] 배선(BIL)은 비트선으로서 기능하고, 배선(WOL)은 워드선으로서 기능한다. 배선(CAL)은 용량 소자(CA)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 데이터의 기록 시 및 판독 시에서, 배선(CAL)에는 저레벨 전위를 인가하는 것이 바람직하다. 배선(BGL)은 트랜지스터(M1)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M1)의 문턱 전압을 증감시킬 수 있다.
- [0431] 또한, 메모리 셀(MC)은 메모리 셀(1471)에 한정되지 않고, 회로 구성을 변경할 수 있다. 예를 들어, 메모리 셀(MC)은 도 13의 (B)에 도시된 메모리 셀(1472)과 같이, 트랜지스터(M1)의 백 게이트가 배선(BGL)이 아니라, 배선(WOL)과 접속되는 구성으로 하여도 좋다. 또한, 예를 들어 메모리 셀(MC)은 도 13의 (C)에 도시된 메모리 셀(1473)과 같이, 싱글 게이트 구조의 트랜지스터, 즉 백 게이트를 가지지 않은 트랜지스터(M1)로 구성된 메모리 셀로 하여도 좋다.
- [0432] 상기 실시형태에 나타난 반도체 장치를 메모리 셀(1471) 등에 사용하는 경우, 트랜지스터(M1)로서 트랜지스터(200)를 사용하고, 용량 소자(CA)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M1)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M1)의 누설 전류를 매우 낮게 할 수 있다. 즉, 기록한 데이터를 트랜지스터(M1)에 의하여 장시간 유지할 수 있기 때문에, 메모리 셀의 리프레시의 빈도를 줄일 수 있다. 또한, 메모리 셀의 리프레시 동작을 불필요하게 할 수 있다. 또한, 누설 전류가 매우 낮기 때문에, 메모리 셀(1471), 메모리 셀(1472), 메모리 셀(1473)에 대하여 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다.
- [0433] 또한, DOSRAM에서, 상술한 바와 같이 메모리 셀 어레이(1470) 아래에 중첩되도록 감지 증폭기를 제공하는 구성으로 하면, 비트선을 짧게 할 수 있다. 이로써, 비트선 용량이 작아져 메모리 셀의 유지 용량을 저감할 수 있

다.

- [0434] [NOSRAM]
- [0435] 도 13의 (D) 내지 (H)에 2 트랜지스터 1 용량 소자의 게인 셀형 메모리 셀의 회로 구성예를 도시하였다. 도 13의 (D)에 도시된 메모리 셀(1474)은 트랜지스터(M2)와, 트랜지스터(M3)와, 용량 소자(CB)를 가진다. 또한, 트랜지스터(M2)는 프론트 게이트(단순히 게이트라고 부르는 경우가 있음) 및 백 게이트를 가진다. 본 명세서 등에서, 트랜지스터(M2)에 OS 트랜지스터를 사용한 게인 셀형 메모리 셀을 가지는 기억 장치를 NOSRAM(Nonvolatile Oxide Semiconductor RAM)이라고 부르는 경우가 있다.
- [0436] 트랜지스터(M2)의 제 1 단자는 용량 소자(CB)의 제 1 단자와 접속되고, 트랜지스터(M2)의 제 2 단자는 배선(WBL)과 접속되고, 트랜지스터(M2)의 게이트는 배선(WOL)과 접속되고, 트랜지스터(M2)의 백 게이트는 배선(BGL)과 접속되어 있다. 용량 소자(CB)의 제 2 단자는 배선(CAL)과 접속되어 있다. 트랜지스터(M3)의 제 1 단자는 배선(RBL)과 접속되고, 트랜지스터(M3)의 제 2 단자는 배선(SL)과 접속되고, 트랜지스터(M3)의 게이트는 용량 소자(CB)의 제 1 단자와 접속되어 있다.
- [0437] 배선(WBL)은 기록 비트선으로서 기능하고, 배선(RBL)은 판독 비트선으로서 기능하고, 배선(WOL)은 워드선으로서 기능한다. 배선(CAL)은 용량 소자(CB)의 제 2 단자에 소정의 전위를 인가하기 위한 배선으로서 기능한다. 데이터의 기록 시, 데이터 유지 중, 데이터의 판독 시에서, 배선(CAL)에는 저레벨 전위를 인가하는 것이 바람직하다. 배선(BGL)은 트랜지스터(M2)의 백 게이트에 전위를 인가하기 위한 배선으로서 기능한다. 배선(BGL)에 임의의 전위를 인가함으로써, 트랜지스터(M2)의 문턱 전압을 증감시킬 수 있다.
- [0438] 또한, 메모리 셀(MC)은 메모리 셀(1474)에 한정되지 않고, 회로의 구성을 적절히 변경할 수 있다. 예를 들어, 메모리 셀(MC)은 도 13의 (E)에 도시된 메모리 셀(1475)과 같이, 트랜지스터(M2)의 백 게이트가 배선(BGL)이 아니라 배선(WOL)과 접속되는 구성으로 하여도 좋다. 또한, 예를 들어 메모리 셀(MC)은 도 13의 (F)에 도시된 메모리 셀(1476)과 같이, 싱글 게이트 구조의 트랜지스터, 즉 백 게이트를 가지지 않은 트랜지스터(M2)로 구성된 메모리 셀로 하여도 좋다. 또한, 예를 들어 메모리 셀(MC)은 도 13의 (G)에 도시된 메모리 셀(1477)과 같이, 배선(WBL)과 배선(RBL)을 하나의 배선(BIL)으로 합친 구성이어도 좋다.
- [0439] 상기 실시형태에 나타난 반도체 장치를 메모리 셀(1474) 등에 사용하는 경우, 트랜지스터(M2)로서 트랜지스터(200)를 사용하고, 트랜지스터(M3)로서 트랜지스터(300)를 사용하고, 용량 소자(CB)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M2)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M2)의 누설 전류를 매우 낮게 할 수 있다. 이로써, 기록한 데이터를 트랜지스터(M2)에 의하여 장시간 유지할 수 있기 때문에, 메모리 셀의 리프레시의 빈도를 줄일 수 있다. 또한, 메모리 셀의 리프레시 동작을 불필요하게 할 수 있다. 또한, 누설 전류가 매우 낮기 때문에, 메모리 셀(1474)에 멀티레벨 데이터 또는 아날로그 데이터를 유지할 수 있다. 메모리 셀(1475 내지 1477)도 마찬가지이다.
- [0440] 또한, 트랜지스터(M3)는 채널 형성 영역에 실리콘을 가지는 트랜지스터(이하, Si 트랜지스터라고 부르는 경우가 있음)이어도 좋다. Si 트랜지스터의 도전형은 n채널형으로 하여도 좋고, p채널형으로 하여도 좋다. Si 트랜지스터는 OS 트랜지스터보다 전계 효과 이동도가 높은 경우가 있다. 따라서, 판독 트랜지스터로서 기능하는 트랜지스터(M3)로서, Si 트랜지스터를 사용하여도 좋다. 또한, 트랜지스터(M3)에 Si 트랜지스터를 사용함으로써, 트랜지스터(M3) 위에 적층하여 트랜지스터(M2)를 제공할 수 있기 때문에, 메모리 셀의 점유 면적을 저감시키고, 기억 장치의 고집적화를 도모할 수 있다.
- [0441] 또한, 트랜지스터(M3)는 OS 트랜지스터이어도 좋다. 트랜지스터(M2, M3)에 OS 트랜지스터를 사용한 경우, 메모리 셀 어레이(1470)를 n형 트랜지스터만을 사용하여 회로를 구성할 수 있다.
- [0442] 또한, 도 13의 (H)에 3 트랜지스터 1 용량 소자의 게인 셀형 메모리 셀의 일례를 도시하였다. 도 13의 (H)에 도시된 메모리 셀(1478)은 트랜지스터(M4 내지 M6) 및 용량 소자(CC)를 가진다. 용량 소자(CC)는 적절히 제공된다. 메모리 셀(1478)은 배선(BIL, RWL, WWL, BGL, 및 GNDL)에 전기적으로 접속되어 있다. 배선(GNDL)은 저레벨 전위를 공급하는 배선이다. 또한, 메모리 셀(1478)을 배선(BIL) 대신에 배선(RBL, WBL)에 전기적으로 접속하여도 좋다.
- [0443] 트랜지스터(M4)는 백 게이트를 가지는 OS 트랜지스터이고, 백 게이트는 배선(BGL)에 전기적으로 접속되어 있다. 또한, 트랜지스터(M4)의 백 게이트와 게이트를 서로 전기적으로 접속하여도 좋다. 또는, 트랜지스터(M4)는 백 게이트를 가지지 않아도 된다.

- [0444] 또한, 트랜지스터(M5, M6)는 각각, n채널형 Si 트랜지스터 또는 p채널형 Si 트랜지스터이어도 좋다. 또는, 트랜지스터(M4 내지 M6)가 OS 트랜지스터이어도 좋고, 이 경우, 메모리 셀 어레이(1470)는 n형 트랜지스터만을 사용하여 회로를 구성할 수 있다.
- [0445] 상기 실시형태에 나타낸 반도체 장치를 메모리 셀(1478)에 사용하는 경우, 트랜지스터(M4)로서 트랜지스터(200)를 사용하고, 트랜지스터(M5, M6)로서 트랜지스터(300)를 사용하고, 용량 소자(CC)로서 용량 소자(100)를 사용할 수 있다. 트랜지스터(M4)로서 OS 트랜지스터를 사용함으로써, 트랜지스터(M4)의 누설 전류를 매우 낮게 할 수 있다.
- [0446] 또한, 본 실시형태에 나타내는 주변 회로(1411) 및 메모리 셀 어레이(1470) 등의 구성은 상기에 한정되지 않는다. 이들 회로, 및 상기 회로에 접속되는 배선, 회로 소자 등의 배치 또는 기능은 필요에 따라, 변경, 삭제, 또는 추가하여도 좋다.
- [0447] 본 실시형태에 나타낸 구성은 다른 실시형태나 실시예에 나타낸 구성과 적절히 조합하여 사용할 수 있다.
- [0448] (실시형태 4)
- [0449] 본 실시형태에서는, 도 14를 사용하여 본 발명의 반도체 장치가 실장된 칩(1200)의 일례를 나타내었다. 칩(1200)에는 복수의 회로(시스템)가 실장되어 있다. 이와 같이, 복수의 회로(시스템)를 하나의 칩으로 집적하는 기술을 시스템 온 칩(System on Chip: SoC)이라고 부르는 경우가 있다.
- [0450] 도 14의 (A)에 도시된 바와 같이, 칩(1200)은 CPU(Central Processing Unit)(1211), GPU(Graphics Processing Unit)(1212), 하나 또는 복수의 아날로그 연산부(1213), 하나 또는 복수의 메모리 컨트롤러(1214), 하나 또는 복수의 인터페이스(1215), 하나 또는 복수의 네트워크 회로(1216) 등을 가진다.
- [0451] 칩(1200)에는 범프(도시하지 않았음)가 제공되고, 도 14의 (B)에 도시된 바와 같이, 인쇄 기판(Printed Circuit Board: PCB(1201))의 제 1 면과 접속한다. 또한, PCB(1201)의 제 1 면의 뒷면에는 복수의 범프(1202)가 제공되어 있고, 마더보드(1203)와 접속한다.
- [0452] 마더보드(1203)에는 DRAM(1221), 플래시 메모리(1222) 등의 기억 장치가 제공되어 있어도 좋다. 예를 들어, DRAM(1221)에 앞의 실시형태에 나타낸 DOSRAM을 사용할 수 있다. 또한, 예를 들어 플래시 메모리(1222)에 앞의 실시형태에 나타낸 NOSRAM을 사용할 수 있다.
- [0453] CPU(1211)는 복수의 CPU 코어를 가지는 것이 바람직하다. 또한, GPU(1212)는, 복수의 GPU 코어를 가지는 것이 바람직하다. 또한, CPU(1211) 및 GPU(1212)는 각각 일시적으로 데이터를 저장하는 메모리를 가져도 좋다. 또는, CPU(1211) 및 GPU(1212)에 공통되는 메모리가 칩(1200)에 제공되어 있어도 좋다. 상기 메모리에는, 상술한 NOSRAM이나 DOSRAM을 사용할 수 있다. 또한, GPU(1212)는, 다수의 데이터의 병렬 계산에 적합하고, 화상 처리나 적화 연산에 사용할 수 있다. GPU(1212)는, 본 발명의 산화물 반도체를 사용한 화상 처리 회로나, 적화 연산 회로가 제공됨으로써, 화상 처리 및 적화 연산을 저소비전력으로 실행할 수 있게 된다.
- [0454] 또한, CPU(1211) 및 GPU(1212)가 동일 칩에 제공되어 있음으로써, CPU(1211) 및 GPU(1212) 간의 배선을 짧게 할 수 있어, CPU(1211)로부터 GPU(1212)로의 데이터 전송, CPU(1211) 및 GPU(1212)가 가지는 메모리 간의 데이터 전송, 및 GPU(1212)에서의 연산 후에, GPU(1212)로부터 CPU(1211)로의 연산 결과의 전송을 고속으로 수행할 수 있다.
- [0455] 아날로그 연산부(1213)는 A/D(아날로그/디지털) 변환 회로, 및 D/A(디지털/아날로그) 변환 회로 중 한쪽 또는 양쪽을 가진다. 또한, 아날로그 연산부(1213)에 상기 적화 연산 회로를 제공하여도 좋다.
- [0456] 메모리 컨트롤러(1214)는 DRAM(1221)의 컨트롤러로서 기능하는 회로 및 플래시 메모리(1222)의 인터페이스로서 기능하는 회로를 가진다.
- [0457] 인터페이스(1215)는 표시 장치, 스피커, 마이크로폰, 카메라, 컨트롤러 등의 외부 접속 기기와의 인터페이스 회로를 가진다. 컨트롤러는 마우스, 키보드, 게임용 컨트롤러 등을 포함한다. 이와 같은 인터페이스로서, USB(Universal Serial Bus), HDMI(등록 상표)(High-Definition Multimedia Interface) 등을 사용할 수 있다.
- [0458] 네트워크 회로(1216)는 LAN(Local Area Network) 등의 네트워크 회로를 가진다. 또한, 네트워크 보안용 회로를 가져도 좋다.
- [0459] 칩(1200)에는 상기 회로(시스템)를 동일한 제조 프로세스로 형성할 수 있다. 그러므로, 칩(1200)에 필요한 회

로의 개수가 증가하여도, 제조 프로세스를 늘릴 필요가 없으므로, 칩(1200)을 낮은 비용으로 제작할 수 있다.

- [0460] GPU(1212)를 가지는 칩(1200)이 제공된 PCB(1201), DRAM(1221), 및 플래시 메모리(1222)가 제공된 마더보드(1203)는, GPU 모듈(1204)이라고 부를 수 있다.
- [0461] GPU 모듈(1204)은 SoC 기술을 사용한 칩(1200)을 가지기 때문에, 그 크기를 작게 할 수 있다. 또한, 화상 처리 능력이 우수하기 때문에, 스마트폰, 태블릿 단말, 랩톱 PC, 휴대용(들고 다닐 수 있는) 게임기 등의 휴대형 전자 기기에 사용하는 것이 적합하다. 또한, GPU(1212)를 사용한 적화 연산 회로에 의하여, 심층 신경망(DNN), 컨볼루션 신경망(CNN), 순환 신경망(RNN), 자기 부호화기, 심층 볼츠만 머신(DBM), 심층 신뢰 네트워크(DBN) 등의 연산을 실행할 수 있기 때문에, 칩(1200)을 AI 칩으로서, 또는 GPU 모듈(1204)을 AI 시스템 모듈로서 사용할 수 있다.
- [0462] 본 실시형태는 다른 실시형태나 실시예 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0463] (실시형태 5)
- [0464] 본 실시형태에서는, 상술한 실시형태에 나타난 반도체 장치를 사용한 기억 장치의 응용예에 대하여 설명한다. 상술한 실시형태에 나타난 반도체 장치는, 예를 들어 각종 전자 기기(예를 들어, 정보 단말, 컴퓨터, 스마트폰, 전자책 단말기, 디지털 카메라(비디오 카메라도 포함함), 녹화 재생 장치, 내비게이션 시스템 등)의 기억 장치에 적용할 수 있다. 또한, 여기서, 컴퓨터란, 태블릿형 컴퓨터나, 노트북형 컴퓨터나, 데스크톱형 컴퓨터 외에, 서버 시스템과 같은 대형의 컴퓨터를 포함하는 것이다. 또는, 상술한 실시형태에 나타난 반도체 장치는 메모리 카드(예를 들어 SD 카드), USB 메모리, SSD(solid state drive) 등의 각종 리무버블 기억 장치에 적용된다. 도 15에 리무버블 기억 장치의 몇 가지의 구성예를 모식적으로 도시하였다. 예를 들어, 상술한 실시형태에 나타난 반도체 장치는 패키징된 메모리 칩으로 가공되고, 다양한 기억 장치, 리무버블 메모리에 사용된다.
- [0465] 도 15의 (A)는 USB 메모리의 모식도이다. USB 메모리(1100)는 하우징(1101), 캡(1102), USB 커넥터(1103), 및 기관(1104)을 가진다. 기관(1104)은 하우징(1101)에 수납되어 있다. 예를 들어, 기관(1104)에는 메모리 칩(1105), 컨트롤러 칩(1106)이 장착되어 있다. 기관(1104)의 메모리 칩(1105) 등에 상술한 실시형태에 나타난 반도체 장치를 제공할 수 있다.
- [0466] 도 15의 (B)는 SD 카드의 외관 모식도이고, 도 15의 (C)는 SD 카드의 내부 구조의 모식도이다. SD 카드(1110)는 하우징(1111), 커넥터(1112), 및 기관(1113)을 가진다. 기관(1113)은 하우징(1111)에 수납되어 있다. 예를 들어, 기관(1113)에는 메모리 칩(1114), 컨트롤러 칩(1115)이 장착되어 있다. 기관(1113)의 뒷면 측에도 메모리 칩(1114)을 제공함으로써, SD 카드(1110)의 용량을 증가시킬 수 있다. 또한, 무선 통신 기능을 가지는 무선 칩을 기관(1113)에 제공하여도 좋다. 이로써, 호스트 장치와 SD 카드(1110) 사이의 무선 통신에 의하여 메모리 칩(1114)의 데이터의 판독, 기록이 가능하게 된다. 기관(1113)의 메모리 칩(1114) 등에 상술한 실시형태에 나타난 반도체 장치를 제공할 수 있다.
- [0467] 도 15의 (D)는 SSD의 외관 모식도이고, 도 15의 (E)는 SSD의 내부 구조의 모식도이다. SSD(1150)는 하우징(1151), 커넥터(1152), 및 기관(1153)을 가진다. 기관(1153)은 하우징(1151)에 수납되어 있다. 예를 들어, 기관(1153)에는 메모리 칩(1154), 메모리 칩(1155), 컨트롤러 칩(1156)이 장착되어 있다. 메모리 칩(1155)은 컨트롤러 칩(1156)의 워크 메모리이고, 예를 들어 DOSRAM 칩을 사용하면 좋다. 기관(1153)의 뒷면 측에도 메모리 칩(1154)을 제공함으로써, SSD(1150)의 용량을 증가시킬 수 있다. 기관(1153)의 메모리 칩(1154) 등에 상술한 실시형태에 나타난 반도체 장치를 제공할 수 있다.
- [0468] 본 실시형태는 다른 실시형태나 실시예 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0469] (실시형태 6)
- [0470] 본 발명의 일 형태에 따른 반도체 장치는, CPU나 GPU 등의 프로세서 또는 칩에 사용할 수 있다. 도 16에 본 발명의 일 형태에 따른 CPU나 GPU 등의 프로세서 또는 칩을 가지는 전자 기기의 구체적인 예를 도시하였다.
- [0471] <전자 기기, 시스템>
- [0472] 본 발명의 일 형태에 따른 GPU 또는 칩은 다양한 전자 기기에 탑재할 수 있다. 전자 기기의 예로서는 예를 들어 텔레비전 장치, 데스크톱형 또는 노트북형 퍼스널 컴퓨터, 컴퓨터용 등의 모니터, 디지털 사이니지(Digital Signage: 전자 간판), 파칭코기 등의 대형 게임기 등 비교적 큰 화면을 가지는 전자 기기 외에, 디지털 카메라, 디지털 비디오 카메라, 디지털 액자, 휴대 전화기, 휴대용 게임기, 휴대 정보 단말기, 음향 재생 장치 등을 들

수 있다. 또한, 본 발명의 일 형태에 따른 칩 회로 또는 칩을 전자 기기에 제공함으로써, 전자 기기에 인공 지능을 탑재할 수 있다.

[0473] 본 발명의 일 형태의 전자 기기는 안테나를 가져도 좋다. 안테나로 신호를 수신함으로써 표시부에서 영상이나 정보 등을 표시할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 가지는 경우, 안테나를 비접촉 전력 전송에 사용하여도 좋다.

[0474] 본 발명의 일 형태의 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 포함하는 것)를 가져도 좋다.

[0475] 본 발명의 일 형태의 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어, 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 기록되는 프로그램 또는 데이터를 관독하는 기능 등을 가질 수 있다. 도 16에 전자 기기의 예를 도시하였다.

[0476] [휴대 전화]

[0477] 도 16의 (A)에는 정보 단말의 1종류인 휴대 전화(스마트폰)가 도시되어 있다. 정보 단말(5500)은 하우징(5510)과 표시부(5511)를 가지고, 입력용 인터페이스로서 터치 패널이 표시부(5511)에 구비되고, 버튼이 하우징(5510)에 구비된다.

[0478] 정보 단말(5500)은 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서는, 예를 들어 회화를 인식하고 그 회화 내용을 표시부(5511)에 표시하는 애플리케이션, 표시부(5511)에 포함된 터치 패널에 대하여 사용자가 입력한 문자, 도형 등을 인식하고 표시부(5511)에 표시하는 애플리케이션, 지문이나 성문 등의 생체 인증을 수행하는 애플리케이션 등이 있다.

[0479] [정보 단말 1]

[0480] 도 16의 (B)에는 데스크톱형 정보 단말(5300)이 도시되어 있다. 데스크톱형 정보 단말(5300)은 정보 단말의 본체(5301)와 디스플레이(5302)와 키보드(5303)를 가진다.

[0481] 데스크톱형 정보 단말(5300)은 상술한 정보 단말(5500)과 마찬가지로, 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 이용한 애플리케이션을 실행할 수 있다. 인공 지능을 이용한 애플리케이션으로서는 예를 들어 설계 지원 소프트웨어, 문장 첨삭 소프트웨어, 식단 자동 생성 소프트웨어 등이 있다. 또한 데스크톱형 정보 단말(5300)을 사용함으로써 신규 인공 지능을 개발할 수 있다.

[0482] 또한, 위에서는 전자 기기로서 스마트폰 및 데스크톱용 정보 단말을 예로서, 각각 도 16의 (A), (B)에 도시하였지만, 스마트폰 및 데스크톱용 정보 단말 이외의 정보 단말에 적용할 수 있다. 스마트폰 및 데스크톱용 정보 단말 이외의 정보 단말로서는 예를 들어 PDA(Personal Digital Assistant), 노트북형 정보 단말, 워크스테이션 등을 들 수 있다.

[0483] [전자 제품]

[0484] 도 16의 (C)는 전자 제품의 일례인 전기 냉동 냉장고(5800)를 도시한 것이다. 전기 냉동 냉장고(5800)는 하우징(5801), 냉장실용 도어(5802), 냉동실용 도어(5803) 등을 가진다.

[0485] 전기 냉동 냉장고(5800)에 본 발명의 일 형태의 칩을 적용함으로써, 인공 지능을 가지는 전기 냉동 냉장고(5800)를 실현할 수 있다. 인공 지능을 이용함으로써 전기 냉동 냉장고(5800)는, 전기 냉동 냉장고(5800)에 저장되어 있는 식재, 그 식재의 소비 기한 등을 바탕으로 식단을 자동 생성하는 기능이나, 전기 냉동 냉장고(5800)에 저장되어 있는 식재에 적합한 온도로 자동적으로 조절하는 기능 등을 가질 수 있다.

[0486] 본 일례에서는, 전자 제품으로서 전기 냉동 냉장고에 대하여 설명하였지만, 그 외의 전자 제품으로서는 예를 들어 청소기, 전자 레인지, 전자 오븐, 밥솥, 온수기, IH 조리기, 워터 서버, 에어컨디셔너를 포함한 냉난방 기구, 세탁기, 건조기, 오디오 비주얼 기기(audio visual appliance) 등을 들 수 있다.

[0487] [게임기]

[0488] 도 16의 (D)는 게임기의 일례인 휴대 게임기(5200)를 도시한 것이다. 휴대 게임기는 하우징(5201), 표시부(5202), 버튼(5203) 등을 가진다.

- [0489] 휴대 게임기(5200)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 저소비전력의 휴대 게임기(5200)를 실현할 수 있다. 또한 소비전력이 낮으므로, 회로로부터의 발열을 저감시킬 수 있기 때문에, 발열로 인한 그 회로 자체, 주변 회로, 및 모듈에 대한 영향을 줄일 수 있다.
- [0490] 또한, 휴대 게임기(5200)에 본 발명의 일 형태의 GPU 또는 칩을 적용함으로써, 인공 지능을 가지는 휴대 게임기(5200)를 실현할 수 있다.
- [0491] 원래, 게임의 진행, 게임 상에 등장하는 생물의 언동, 게임 상에서 발생하는 현상 등의 표현은 그 게임이 가지는 프로그램에 의하여 정해져 있지만, 휴대 게임기(5200)에 인공 지능을 적용함으로써, 게임의 프로그램에 한정되지 않는 표현을 할 수 있게 된다. 예를 들어, 플레이어가 질문하는 내용, 게임의 진행 상황, 시각, 게임 상에 등장하는 인물의 언동이 변화하는 등의 표현을 할 수 있게 된다.
- [0492] 또한, 휴대 게임기(5200)에서 복수의 플레이어가 필요한 게임을 하는 경우, 인공 지능에 의하여 의인적으로 게임 플레이어를 구성할 수 있기 때문에, 대전 상대를 인공 지능에 의한 게임 플레이어로 함으로써, 혼자서도 게임을 할 수 있다.
- [0493] 도 16의 (D)에서는, 게임기의 일례로서 휴대 게임기를 도시하였지만, 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기는 이에 한정되지 않는다. 본 발명의 일 형태의 GPU 또는 칩을 적용하는 게임기로서는, 예를 들어 가정용 거치형 게임기, 오락 시설(게임 센터, 놀이공원 등)에 설치되는 아케이드 게임기, 스포츠 시설에 설치되는 배팅 연습용 투구 머신 등을 들 수 있다.
- [0494] [이동체]
- [0495] 본 발명의 일 형태의 GPU 또는 칩은 이동체인 자동차, 및 자동차의 운전석 주변에 적용할 수 있다.
- [0496] 도 16의 (E1)은 이동체의 일례인 자동차(5700)를 도시한 것이고, 도 16의 (E2)는 자동차의 실내에서의 앞유리 주변을 도시한 것이다. 도 16의 (E1)에서는, 대시보드에 장착된 표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 외, 필러에 장착된 표시 패널(5704)을 도시하였다.
- [0497] 표시 패널(5701) 내지 표시 패널(5703)은 속도계, 회전 속도계, 주행 거리, 급유량, 기어 상태, 에어컨디셔너의 설정 등, 이 이외의 다양한 정보도 제공할 수 있다. 또한 표시 패널에 표시되는 표시 항목이나 레이아웃 등은 사용자의 취향에 맞추어 적절히 변경할 수 있고, 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.
- [0498] 표시 패널(5704)에는 자동차(5700)에 제공된 촬상 장치(도시하지 않았음)로부터의 영상을 표시시킴으로써 필러로 차단된 시계(사각(死角))를 보완할 수 있다. 즉, 자동차(5700) 외측에 제공된 촬상 장치로부터의 화상을 표시함으로써 사각을 보완하여 안전성을 높일 수 있다. 또한 보이지 않는 부분을 보완하는 영상을 표시함으로써 더 자연스럽게 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.
- [0499] 본 발명의 일 형태의 GPU 또는 칩은 인공 지능의 구성 요소로서 적용할 수 있기 때문에, 예를 들어 상기 칩을 자동차(5700)의 자동 운전 시스템에 사용할 수 있다. 또한, 상기 칩을 도로 안내, 위험 예측 등을 수행하는 시스템에 사용할 수 있다. 표시 패널(5701) 내지 표시 패널(5704)은 도로 안내, 위험 예측 등의 정보를 표시하는 구성으로 하여도 좋다.
- [0500] 또한, 상기에서는 이동체의 일례로서 자동차에 대하여 설명하였지만, 이동체는 자동차에 한정되지 않는다. 예를 들어, 이동체로서는, 전철, 모노레일, 선박, 비행체(헬리콥터, 무인 항공기(드론), 비행기, 로켓) 등을 들 수도 있고, 이들 이동체에 본 발명의 일 형태의 칩을 적용하여 인공 지능을 이용한 시스템을 부여할 수 있다.
- [0501] [방송 시스템]
- [0502] 본 발명의 일 형태의 GPU 또는 칩은 방송 시스템에 적용할 수 있다.
- [0503] 도 16의 (F)는 방송 시스템에서의 데이터 전송을 모식적으로 도시한 것이다. 구체적으로는, 도 16의 (F)는 방송국(5680)으로부터 송신된 전파(방송 신호)가, 각가정의 텔레비전 수신 장치(TV)(5600)에 전달될 때까지의 경로를 도시한 것이다. TV(5600)는 수신 장치를 가지고(도시하지 않았음), 안테나(5650)로 수신된 방송 신호는 상기 수신 장치를 통하여 TV(5600)에 송신된다.
- [0504] 도 16의 (F)에서는, 안테나(5650)로서 UHF(Ultra High Frequency) 안테나를 도시하였지만, 안테나(5650)로서는 BS·110° CS 안테나, CS 안테나 등도 적용할 수 있다.

- [0505] 전파(5675A), 전파(5675B)는 지상파 방송용의 방송 신호이고, 전파탑(5670)은 수신한 전파(5675A)를 증폭시키고, 전파(5675B)의 송신을 수행한다. 각 가정에서는 안테나(5650)에서 전파(5675B)를 수신함으로써 TV(5600)에서 지상파 TV 방송을 시청할 수 있다. 또한, 방송 시스템은 도 16의 (F)에 도시된 지상파 방송에 한정되지 않고, 인공 위성을 사용한 위성 방송, 광 회선에 의한 데이터 방송 등으로 하여도 좋다.
- [0506] 상술한 방송 시스템은, 본 발명의 일 형태의 칩을 적용하여 인공 지능을 이용한 방송 시스템으로 하여도 좋다. 방송국(5680)에서 각 가정의 TV(5600)로 방송 데이터를 송신할 때, 인코더에 의하여 방송 데이터의 압축이 수행되고, 안테나(5650)가 상기 방송 데이터를 수신하였을 때, TV(5600)에 포함되는 수신 장치의 디코더에 의하여 상기 방송 데이터의 복원이 수행된다. 인공 지능을 이용함으로써 예를 들어 인코더의 압축 방법 중 하나인 움직임 보상 예측에서, 표시 화상에 포함되는 표시 패턴의 인식을 수행할 수 있다. 또한 인공 지능을 이용한 프레임 내 예측 등을 수행할 수도 있다. 또한 예를 들어 해상도가 낮은 방송 데이터를 수신하고, 해상도가 높은 TV(5600)에서 상기 방송 데이터의 표시를 수행할 때, 디코더에 의한 방송 데이터의 복원에서, 업 컨버트 등의 화상 보간 처리를 수행할 수 있다.
- [0507] 상술한 인공 지능을 이용한 방송 시스템은 방송 데이터의 양이 증대되는 초고정세(超高精細) 텔레비전(UHDTV: 4K, 8K) 방송에 적합하다.
- [0508] 또한 TV(5600)에 대한 인공 지능의 응용으로서 예를 들어 TV(5600)에 인공 지능을 가지는 녹화 장치를 제공하여도 좋다. 이와 같은 구성으로 함으로써, 사용자의 취향을 인공 지능에 학습시킴으로써, 사용자의 취향에 맞춘 프로그램을 자동적으로 상기 녹화 장치에 녹화할 수 있다.
- [0509] 본 실시형태에서 설명한 전자 기기, 그 전자 기기의 기능, 인공 지능의 응용예, 그 효과 등은 다른 전자 기기에 관한 기재와 적절히 조합할 수 있다.
- [0510] 본 실시형태는 다른 실시형태나 실시예 등에 기재된 구성과 적절히 조합하여 실시할 수 있다.
- [0511] (실시예 1)
- [0512] <디바이스 시뮬레이터를 사용한 계산에 의한 Id-Vg 특성의 평가 1>
- [0513] 이하에서는, 금속 산화물 내에 음의 고정 전하가 존재하는 경우의 트랜지스터의 전기 특성에 대하여 평가하였다.
- [0514] 디바이스 시뮬레이터를 사용한 계산으로 가정한 트랜지스터 구조의 단면도를 도 17에 도시하였다. 도 17에서, 도전체(BGE)는 백 게이트 전극이고, 도 1에 도시된 트랜지스터(200)의 도전체(205)에 상당한다. 절연체(BGI1), 절연체(BGI2), 및 절연체(BGI3)는 백 게이트 절연막이고, 도 1에 도시된 트랜지스터(200)의 절연체(220), 절연체(222), 및 절연체(224)에 각각 상당한다. 도 17의 (A)에서, 반도체(SEM1\_1), 반도체(SEM1\_2), 반도체(SEM2), 및 반도체(SEM3)는 활성층이고, 도 1에 도시된 트랜지스터(200)의 산화물(230a1), 산화물(230a2), 산화물(230b), 및 산화물(230c)에 각각 상당한다. 또한, 도 17의 (B)에서, 반도체(SEM1), 반도체(SEM2), 및 반도체(SEM3)는 활성층이고, 도 17의 (A)에서의 반도체(SEM1\_1)를 제공하지 않은 경우를 도시한 것이다. 즉, 도 1에 도시된 트랜지스터(200)의 산화물(230a)이 단층인 경우에 상당한다. 도전체(SE)는 소스 전극이고, 도 1에 도시된 트랜지스터(200)의 도전체(242a) 또는 도전체(242b) 중 한쪽에 상당한다. 도전체(DE)는 드레인 전극이고, 도 1에 도시된 트랜지스터(200)의 도전체(242a) 또는 도전체(242b) 중 다른 쪽에 상당한다. 절연체(CAP)는 배리어막이고, 도 1에 도시된 트랜지스터(200)의 절연체(273)에 상당한다. 절연체(TGI)는 탑 게이트 절연막이고, 도 1에 도시된 트랜지스터(200)의 절연체(250)에 상당한다. 도전체(TGE)는 탑 게이트 전극이고, 도 1에 도시된 트랜지스터(200)의 도전체(260)에 상당한다.
- [0515] 도 17에 도시된 트랜지스터 구조로 가정하여, 디바이스 시뮬레이터를 사용한 계산을 수행함으로써, Id-Vg 특성을 산출하였다. 디바이스 시뮬레이터로서, Silvaco, Inc. 제조 디바이스 시뮬레이터 Atlas를 사용하였다. 도 17의 (A) 및 (B)에 도시된 트랜지스터에 관하여, 디바이스 시뮬레이터를 사용한 계산으로 가정한 각 파라미터의 값을 각각 표 1 및 표 2에 나타내었다.

[0516] [표 1]

구조	채널 길이 L	100	nm
	채널 폭 W	100	nm
SEMI_1 SEMI_2	IGZO(134)	전자 친화력	4.5 eV
		밴드 갭	3.4 eV
		전자 이동도	0.1 $\text{cm}^2/\text{V}\cdot\text{s}$
		정공 이동도	0.01 $\text{cm}^2/\text{V}\cdot\text{s}$
		막 두께(SEMI_1)	5 nm
		막 두께(SEMI_2)	5 nm
SEM2 SEM3	IGZO(423)	전자 친화력	4.8 eV
		밴드 갭	2.9 eV
		전자 이동도	20 $\text{cm}^2/\text{V}\cdot\text{s}$
		정공 이동도	0.01 $\text{cm}^2/\text{V}\cdot\text{s}$
		막 두께(SEM2)	15 nm
		막 두께(SEM3)	5 nm
SEM	비유전율	15	
	전도대의 실효 상태 밀도 $N_c$	$5 \times 10^{18}$	$\text{cm}^{-3}$
	가전자대의 실효 상태 밀도 $N_v$	$5 \times 10^{18}$	$\text{cm}^{-3}$
TGE	일함수	5.0	eV
	막 두께	50	nm
TGI	비유전율	4.1	
	막 두께	10	nm
CAP	비유전율	8.3	
	막 두께	5	nm
SE, DE	일함수	4.8	eV
	막 두께	25	nm
BGI3	비유전율	4.1	
	막 두께	30	nm
BGI2	비유전율	16.4	
	막 두께	20	nm
BGI1	비유전율	4.1	
	막 두께	10	nm
BGE	일함수	5.0	eV
	막 두께	20	nm

[0517]

[0518] [표 2]

구조	채널 길이 L	100	nm
	채널 폭 W	100	nm
SEM1	IGZO(134)	전자 친화력	4.5 eV
		밴드 갭	3.4 eV
		전자 이동도	0.1 $\text{cm}^2/\text{V}\cdot\text{s}$
		정공 이동도	0.01 $\text{cm}^2/\text{V}\cdot\text{s}$
		막 두께	5 nm
SEM2 SEM3	IGZO(423)	전자 친화력	4.8 eV
		밴드 갭	2.9 eV
		전자 이동도	20 $\text{cm}^2/\text{V}\cdot\text{s}$
		정공 이동도	0.01 $\text{cm}^2/\text{V}\cdot\text{s}$
		막 두께(SEM2)	15 nm
	막 두께(SEM3)	5 nm	
SEM	비유전율	15	
	전도대의 실효 상태 밀도 $N_c$	$5 \times 10^{18}$	$\text{cm}^{-3}$
	가전자대의 실효 상태 밀도 $N_v$	$5 \times 10^{18}$	$\text{cm}^{-3}$
TGE	일함수	5.0	eV
	막 두께	50	nm
TGI	비유전율	4.1	
	막 두께	10	nm
CAP	비유전율	8.3	
	막 두께	5	nm
SE, DE	일함수	4.8	eV
	막 두께	25	nm
BGI3	비유전율	4.1	
	막 두께	30	nm
BGI2	비유전율	16.4	
	막 두께	20	nm
BGI1	비유전율	4.1	
	막 두께	10	nm
BGE	일함수	5.0	eV
	막 두께	20	nm

[0519]

[0520] 표 1 및 표 2에 나타난 IGZO(134)는 In:Ga:Zn=1:3:4의 조성으로 이루어진 In-Ga-Zn 산화물을 상정한 것이다. 또한, 표 1 및 표 2에 나타난 IGZO(423)는 In:Ga:Zn=4:2:3의 조성으로 이루어진 In-Ga-Zn 산화물을 상정한 것이다. 또한, 표 1에 나타난 SEM에 기재된 파라미터는 반도체(SEM1\_1), 반도체(SEM1\_2), 반도체(SEM2), 및 반도체(SEM3)에 공통되는 파라미터이다. 또한, 표 2에 나타난 SEM에 기재된 파라미터는 반도체(SEM1), 반도체(SEM2), 및 반도체(SEM3)에 공통되는 파라미터이다.

[0521] 반도체(SEM1\_2) 내의 음의 고정 전하 밀도를 변경하여 계산을 수행하였다. 본 계산에서 상정한 반도체(SEM1\_2) 내의 음의 고정 전하 밀도를 표 3에 나타내었다. 여기서는, 8개의 조건(조건 1 내지 조건 8)을 상정하였다. 또한, 본 계산에서는, 음의 고정 전하 밀도가 반도체(SEM1\_2)에 균일하게 분포되도록 설정하였다.

[0522] [표 3]

반도체(SEM1_2) 내의 음의 고정 전하 밀도( $\text{cm}^{-3}$ )	
조건 1	0
조건 2	$3.5 \times 10^{17}$
조건 3	$5.3 \times 10^{17}$
조건 4	$8.9 \times 10^{17}$
조건 5	$1.8 \times 10^{18}$
조건 6	$3.5 \times 10^{18}$
조건 7	$5.3 \times 10^{18}$
조건 8	$7.1 \times 10^{18}$

[0523]

[0524] 도 17의 (A)에 도시된 트랜지스터에서, 반도체(SEM1\_2) 내의 음의 고정 전하 밀도를 변경한 경우의 드레인 전압

Vd=0.1V, 백 게이트 전압 Vbg=0V에서의 Id-Vg 특성을 도 18의 (A)에 나타내었다. 도 18의 (A)의 범례는 표 3에 나타낸 조건 1 내지 조건 8로 산출된 Id-Vg 특성을 나타낸 것이다.

[0525] 도 18의 (A)에 나타낸 바와 같이, 반도체(SEM1\_2)에 음의 고정 전하가 존재하면, Id-Vg 특성이 플러스 방향으로 시프트되는 것을 알 수 있었다. 또한, 반도체(SEM1\_2) 내의 음의 고정 전하 밀도가 높아지면, Id-Vg 특성이 플러스 방향으로 더 시프트되는 것을 알 수 있었다.

[0526] 다음으로, 도 17의 (B)에 도시된 트랜지스터에서, 반도체(SEM1) 내의 음의 고정 전하 밀도를 변경하여 계산을 수행하였다. 본 계산에서 상정한 반도체(SEM1) 내의 음의 고정 전하 밀도를 표 4에 나타내었다. 여기서는, 8개의 조건(조건 1 내지 조건 8)을 상정하였다. 또한, 본 계산에서는, 음의 고정 전하 밀도가 반도체(SEM1)에 균일하게 분포되도록 설정하였다.

[0527] [표 4]

반도체(SEM1) 내의 음의 고정 전하 밀도(cm <sup>-3</sup> )	
조건 1	0
조건 2	3.5×10 <sup>17</sup>
조건 3	5.3×10 <sup>17</sup>
조건 4	8.9×10 <sup>17</sup>
조건 5	1.8×10 <sup>18</sup>
조건 6	3.5×10 <sup>18</sup>
조건 7	5.3×10 <sup>18</sup>
조건 8	7.1×10 <sup>18</sup>

[0528] .....

[0529] 반도체(SEM1) 내의 음의 고정 전하 밀도를 변경한 경우의 드레인 전압 Vd=0.1V, 백 게이트 전압 Vbg=0V에서의 Id-Vg 특성을 도 18의 (B)에 나타내었다. 도 18의 (B)의 범례는 표 4에 나타낸 조건 1 내지 조건 8로 산출된 Id-Vg 특성을 나타낸 것이다.

[0530] 도 18의 (B)에 나타낸 바와 같이, 반도체(SEM1)에 음의 고정 전하가 존재하면, Id-Vg 특성이 플러스 방향으로 시프트되는 것을 알 수 있었다. 또한, 반도체(SEM1) 내의 음의 고정 전하 밀도가 높아지면, Id-Vg 특성이 플러스 방향으로 더 시프트되는 것을 알 수 있었다.

[0531] (실시에 2)

[0532] <디바이스 시뮬레이터를 사용한 계산에 의한 Id-Vg 특성의 평가 2>

[0533] 이하에서는, 상기 실시예 1과 상이한 금속 산화물 내에 음의 고정 전하가 존재하는 경우의 트랜지스터의 전기 특성에 대하여 평가하였다.

[0534] 디바이스 시뮬레이터를 사용한 계산으로 가정된 트랜지스터 구조의 단면도를 도 19에 도시하였다. 도 19에서, 도전체(BGE)는 백 게이트 전극이고, 도 1에 도시된 트랜지스터(200)의 도전체(205)에 상당한다. 절연체(BGI1), 절연체(BGI2), 및 절연체(BGI3)는 백 게이트 절연막이고, 도 1에 도시된 트랜지스터(200)의 절연체(220), 절연체(222), 및 절연체(224)에 각각 상당한다. 반도체(SEM1), 반도체(SEM2), 및 반도체(SEM3)는 활성층이고, 도 1에 도시된 트랜지스터(200)의 산화물(230a), 산화물(230b), 및 산화물(230c)에 각각 상당한다. 도전체(SE)는 소스 전극이고, 도 1에 도시된 트랜지스터(200)의 도전체(242a) 또는 도전체(242b) 중 한쪽에 상당한다. 도전체(DE)는 드레인 전극이고, 도 1에 도시된 트랜지스터(200)의 도전체(242a) 또는 도전체(242b) 중 다른 쪽에 상당한다. 절연체(CAP)는 배리어막이고, 도 1에 도시된 트랜지스터(200)의 절연체(273)에 상당한다. 절연체(TGI)는 탑 게이트 절연막이고, 도 1에 도시된 트랜지스터(200)의 절연체(250)에 상당한다. 도전체(TGE)는 탑 게이트 전극이고, 도 1에 도시된 트랜지스터(200)의 도전체(260)에 상당한다.

[0535] 도 19에 도시된 트랜지스터 구조로 가정하여, 디바이스 시뮬레이터를 사용한 계산을 수행함으로써, Id-Vg 특성을 산출하였다. 디바이스 시뮬레이터로서, Silvaco, Inc. 제조 디바이스 시뮬레이터 Atlas를 사용하였다. 디바이스 시뮬레이터를 사용한 계산으로 가정된 각 파라미터의 값을 표 5에 나타내었다.

[0536] [표 5]

구조	채널 길이 L	100	nm
	채널 폭 W	100	nm
SEM1	IGZO(134)	전자 친화력	4.5 eV
		밴드 갭	3.4 eV
		전자 이동도	0.1 $\text{cm}^2/\text{V}\cdot\text{s}$
		정공 이동도	0.01 $\text{cm}^2/\text{V}\cdot\text{s}$
		막 두께	5 nm
SEM2 SEM3	IGZO(423)	전자 친화력	4.8 eV
		밴드 갭	2.9 eV
		전자 이동도	20 $\text{cm}^2/\text{V}\cdot\text{s}$
		정공 이동도	0.01 $\text{cm}^2/\text{V}\cdot\text{s}$
		막 두께 (SEM2)	15 nm
	막 두께 (SEM3)	5 nm	
SEM	비유전율	15	
	전도대의 실효 상태 밀도 $N_c$	$5 \times 10^{18}$	$\text{cm}^{-3}$
	가전자대의 실효 상태 밀도 $N_v$	$5 \times 10^{18}$	$\text{cm}^{-3}$
TGE	일함수	5.0	eV
	막 두께	40	nm
TGI	비유전율	4.1	
	막 두께	10	nm
CAP	비유전율	8.3	
	막 두께	5	nm
SE, DE	일함수	4.8	eV
	막 두께	25	nm
BGI3	비유전율	4.1	
	막 두께	30	nm
BGI2	비유전율	16.4	
	막 두께	20	nm
BGI1	비유전율	4.1	
	막 두께	10	nm
BGE	일함수	5.0	eV
	막 두께	20	nm

[0537]

[0538] 표 5에 나타난 IGZO(134)는 In:Ga:Zn=1:3:4의 조성으로 이루어진 In-Ga-Zn 산화물을 상징한 것이다. 또한, 표 5에 나타난 IGZO(423)는 In:Ga:Zn=4:2:3의 조성으로 이루어진 In-Ga-Zn 산화물을 상징한 것이다. 또한, 표 5의 SEM에 기재된 파라미터는 반도체(SEM1), 반도체(SEM2), 및 반도체(SEM3)에 공통되는 파라미터이다.

[0539] 반도체(SEM2) 및 반도체(SEM3) 내의 음의 고정 전하 밀도를 변경하여 계산을 수행하였다. 본 계산에서 상징한 반도체(SEM2) 및 반도체(SEM3) 내의 음의 고정 전하 밀도를 표 6에 나타내었다. 여기서는, 8개의 조건(조건 1 내지 조건 8)을 상징하였다. 또한, 본 계산에서는, 음의 고정 전하 밀도가 반도체(SEM2) 및 반도체(SEM3)에 균일하게 분포되도록 설정하였다.

[0540] [표 6]

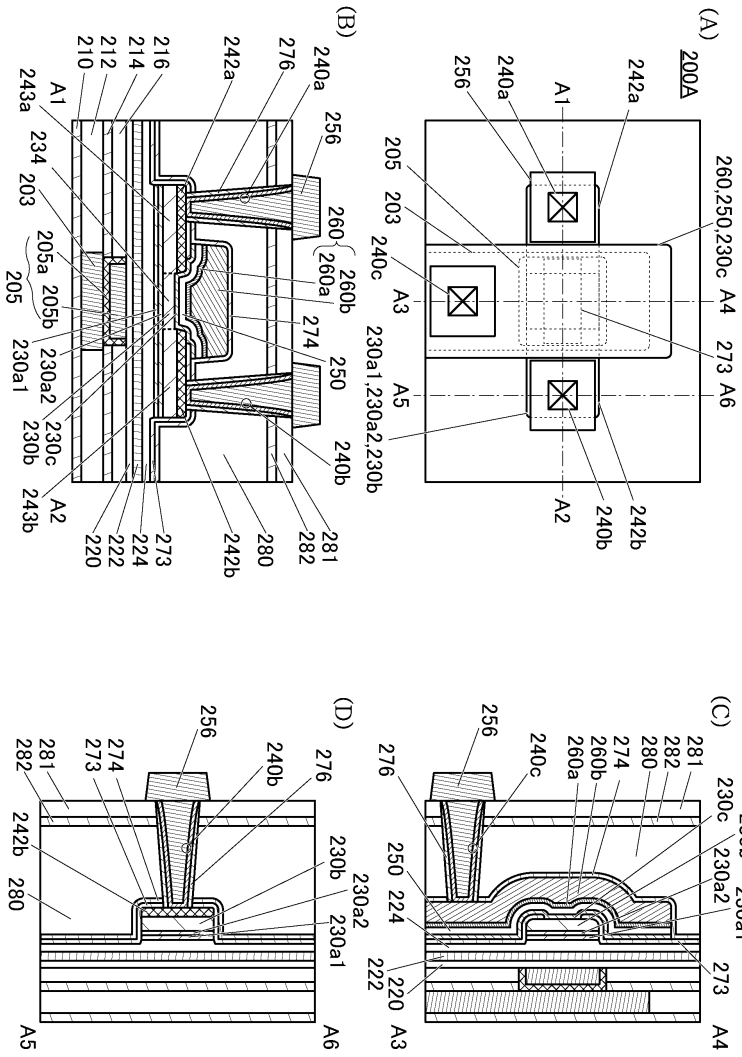
반도체(SEM2), 반도체(SEM3) 내의 음의 고정 전하 밀도( $\text{cm}^{-3}$ )	
조건 1	0
조건 2	$1.8 \times 10^{16}$
조건 3	$1.8 \times 10^{17}$
조건 4	$3.5 \times 10^{17}$
조건 5	$7.1 \times 10^{17}$
조건 6	$1.1 \times 10^{18}$
조건 7	$1.4 \times 10^{18}$
조건 8	$1.8 \times 10^{18}$

[0541]

[0542] 반도체(SEM2) 및 반도체(SEM3) 내의 음의 고정 전하 밀도를 변경한 경우의 드레인 전압  $V_d=0.1\text{V}$ , 백 게이트 전압  $V_{bg}=0\text{V}$ 에서의  $I_d-V_g$  특성을 도 20에 나타내었다. 도 20의 범례는 표 6에 나타난 조건 1 내지 조건 8로 산출

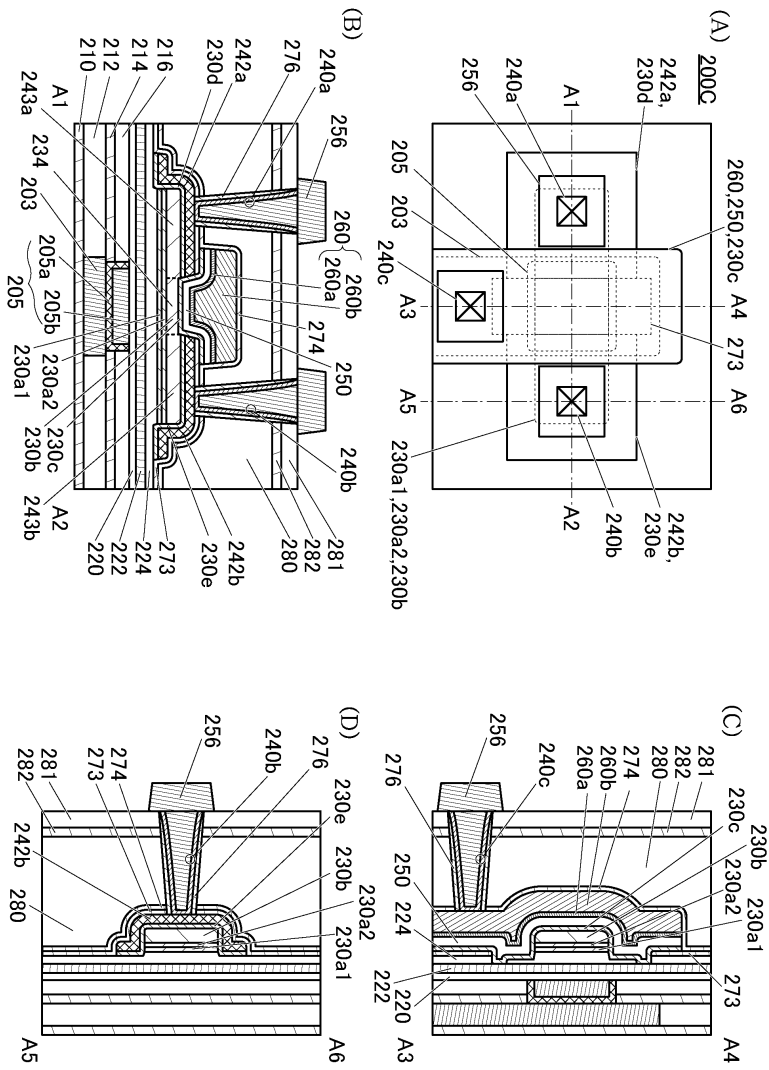


도면2

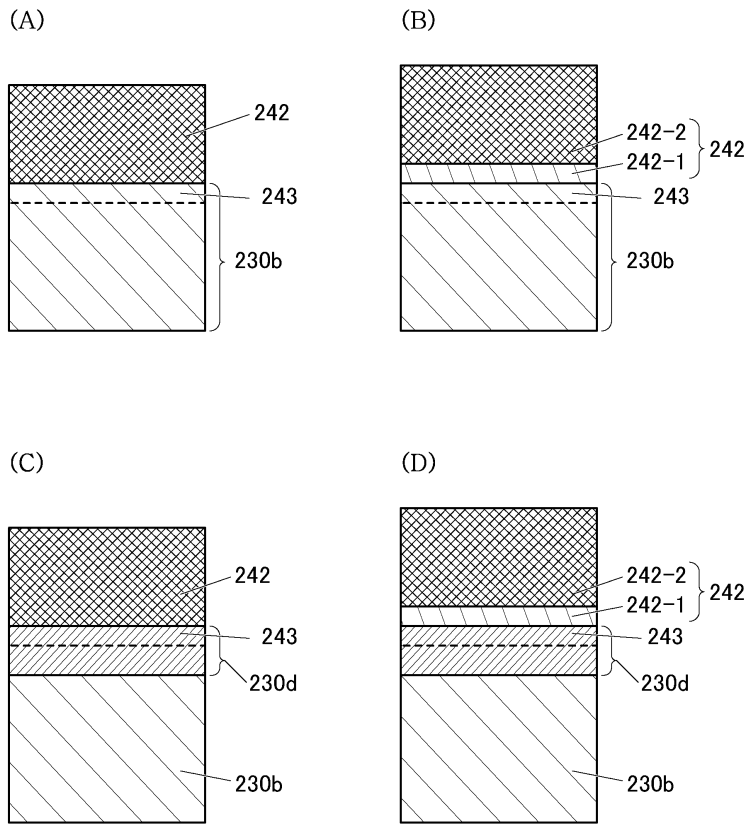




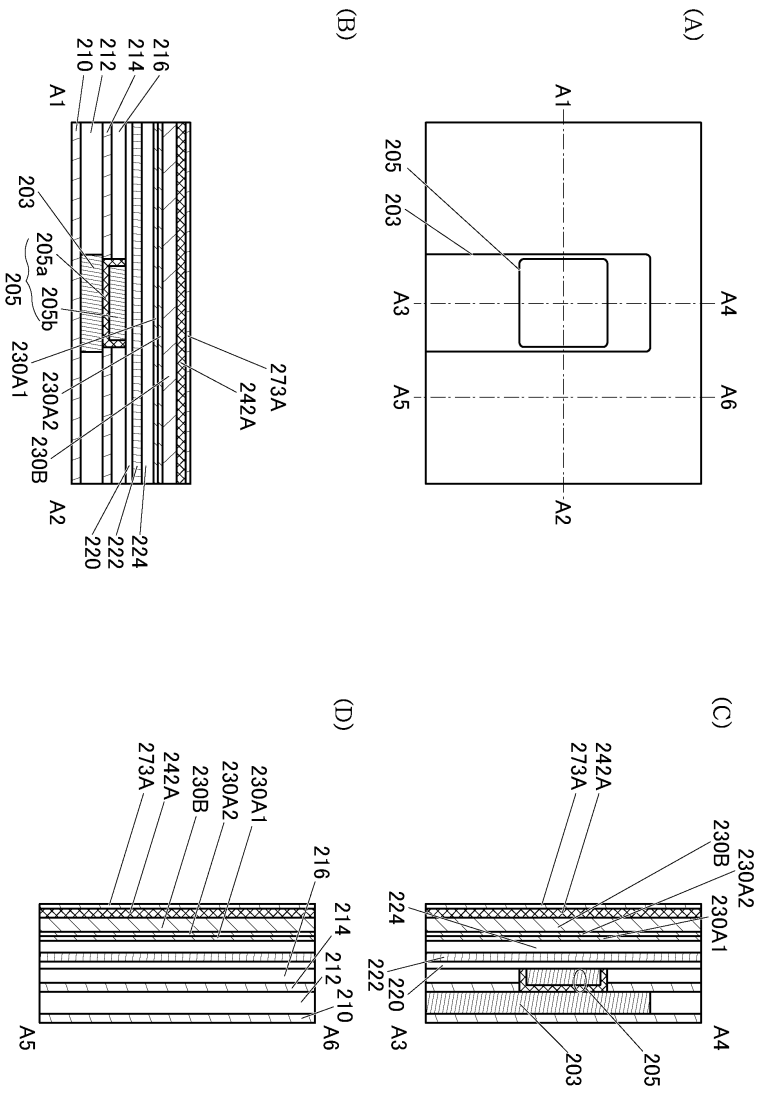
도면4



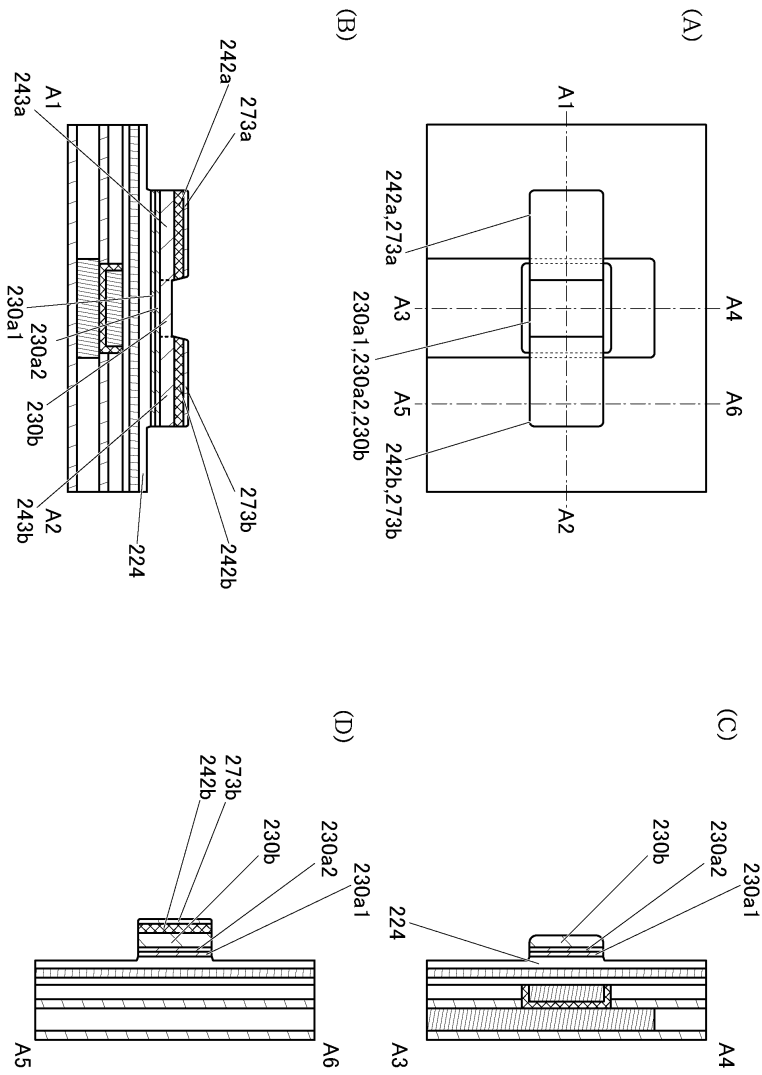
도면5



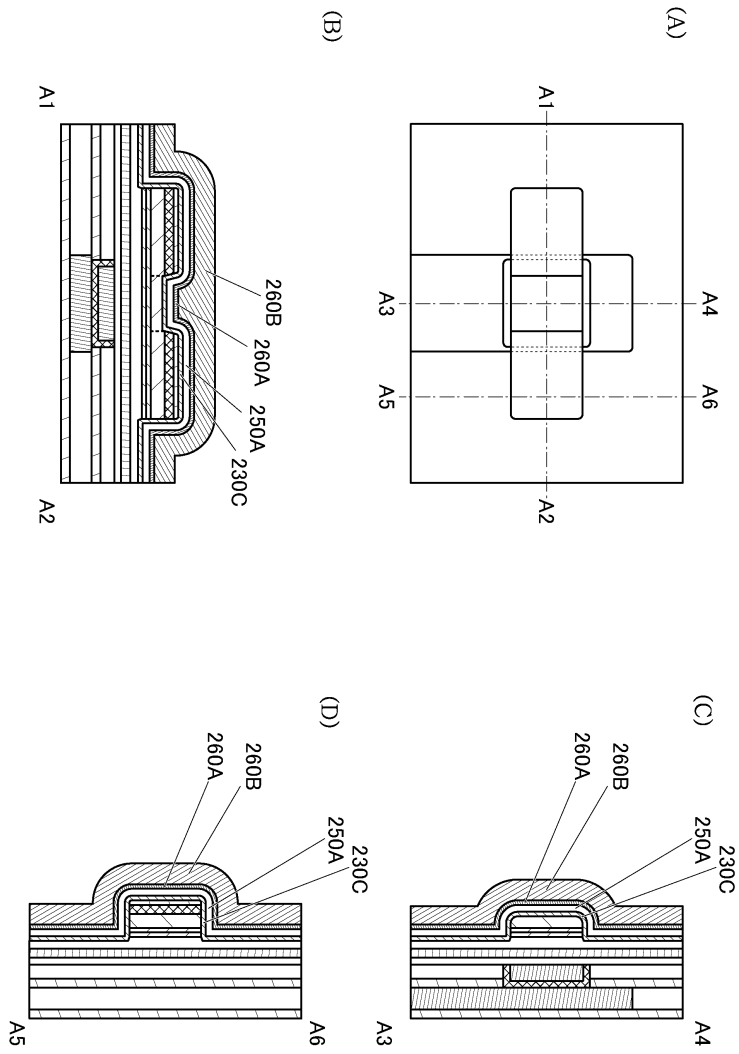
도면6



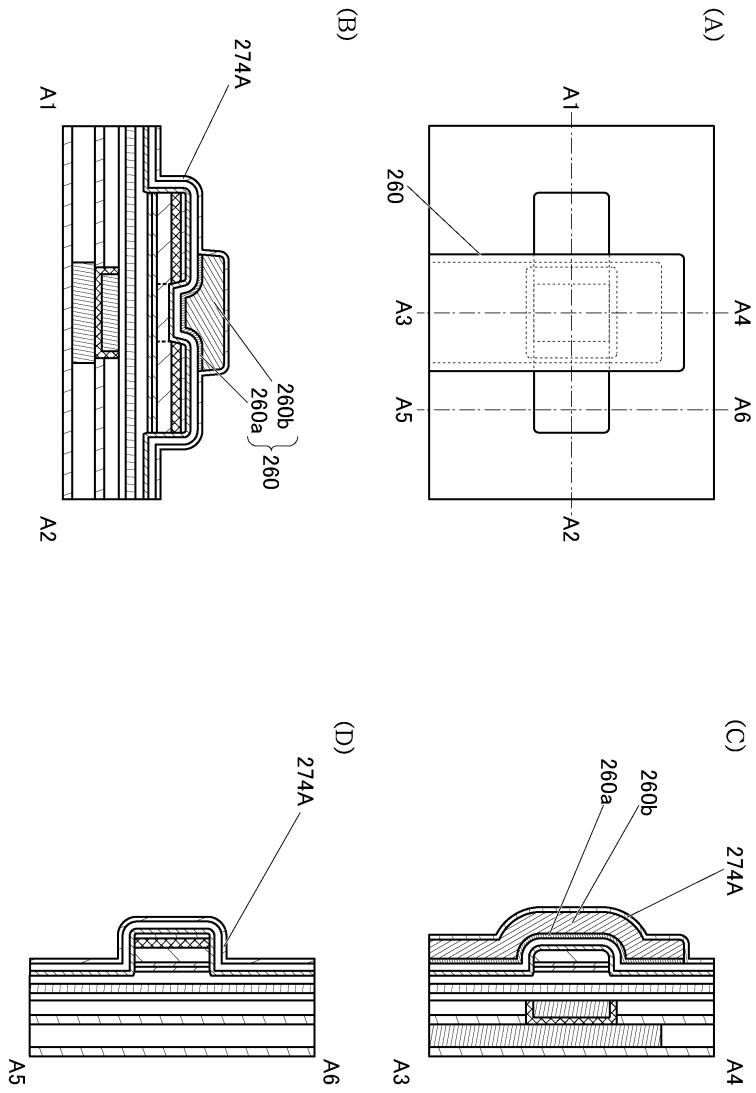
도면7



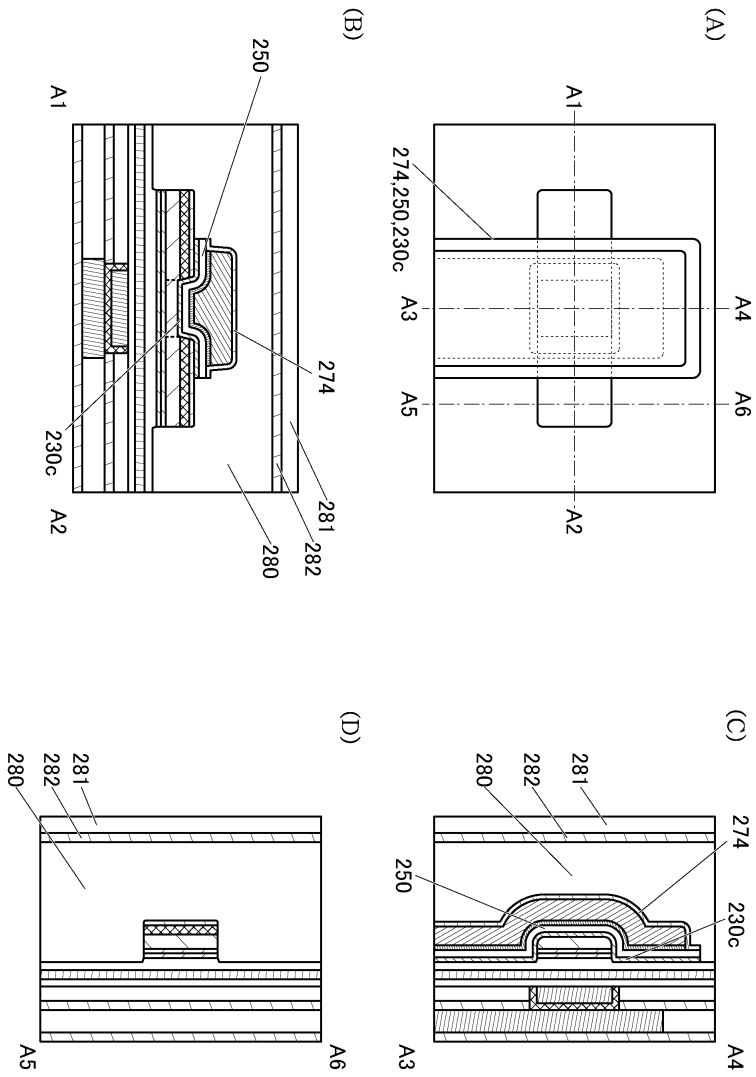
도면8



도면9

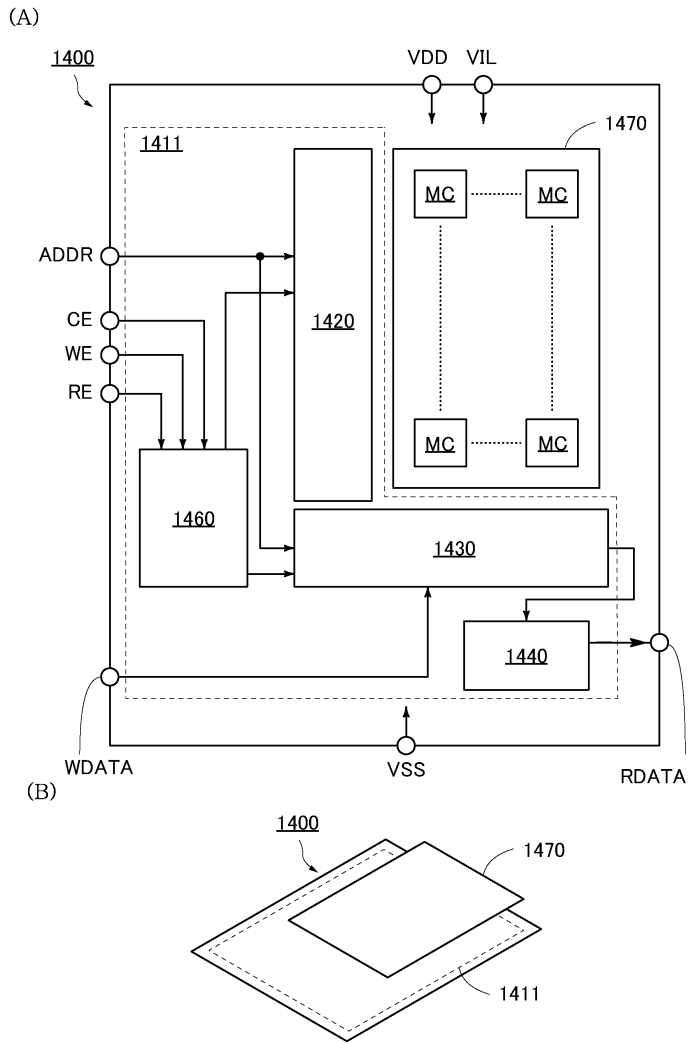


도면10

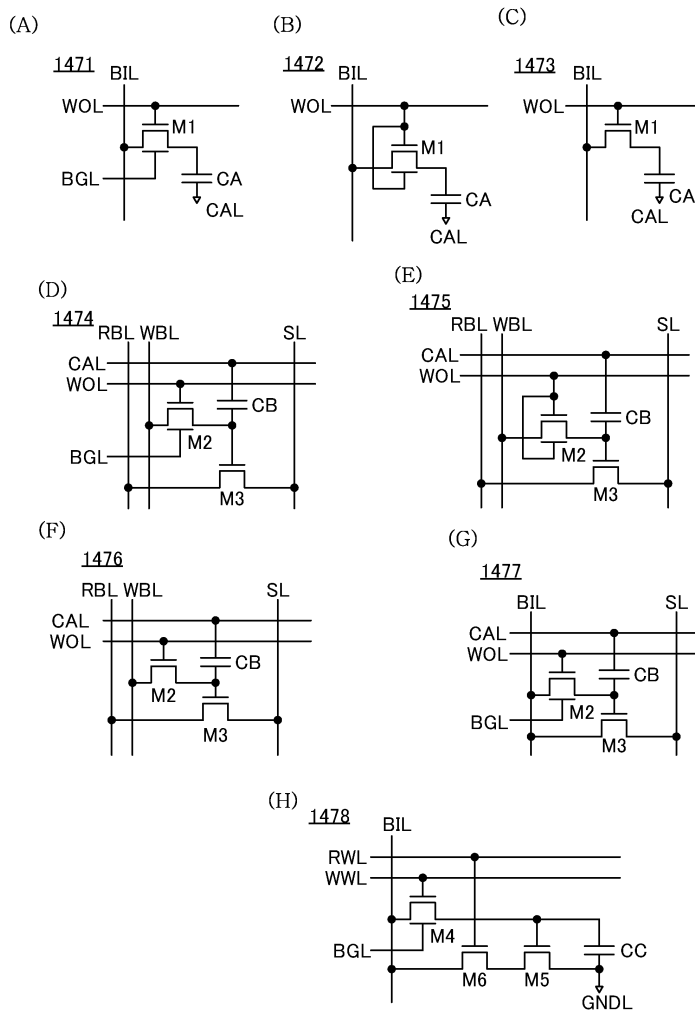




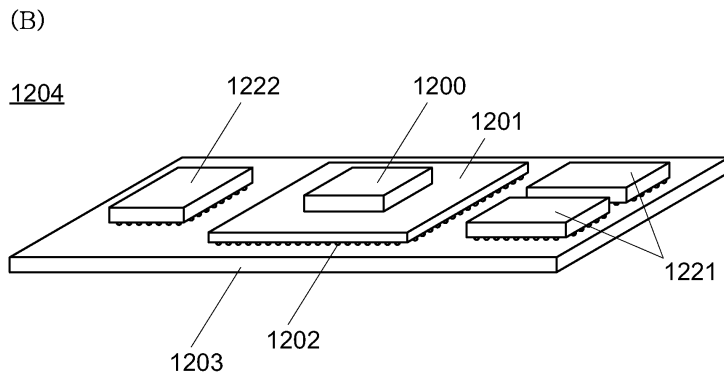
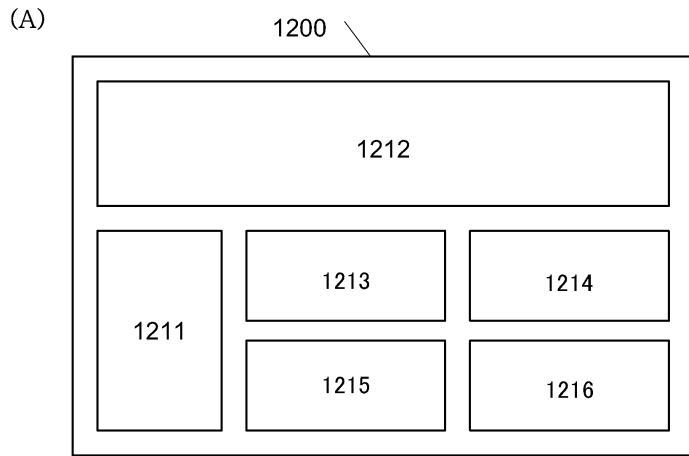
도면12



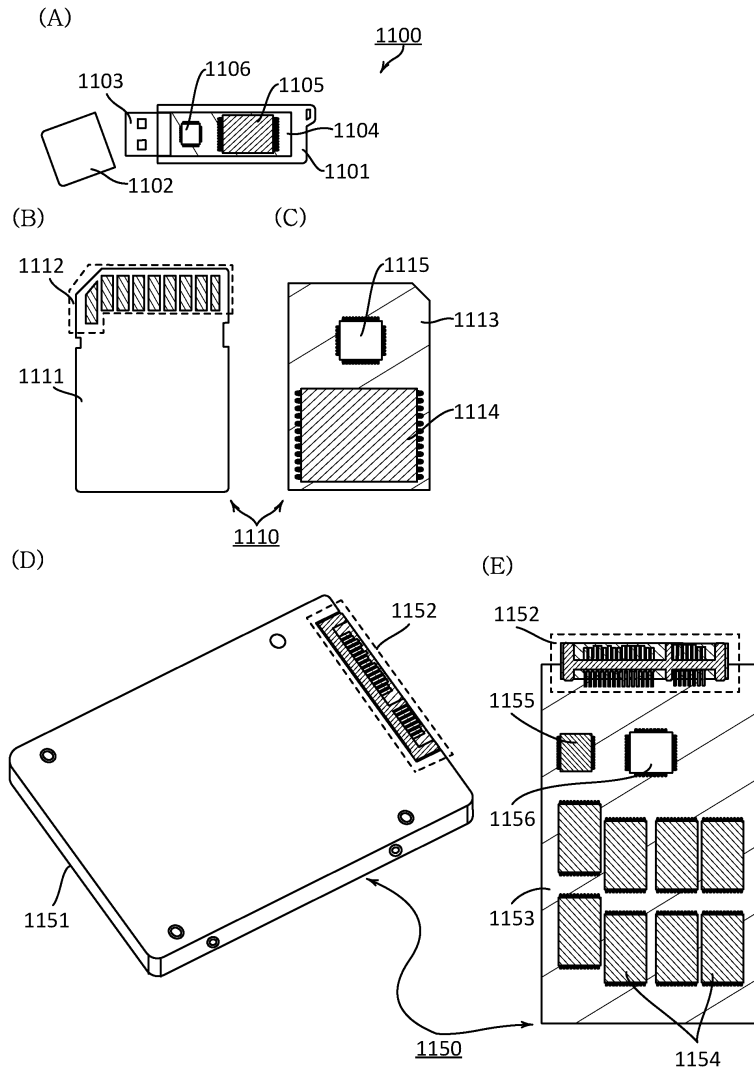
도면13



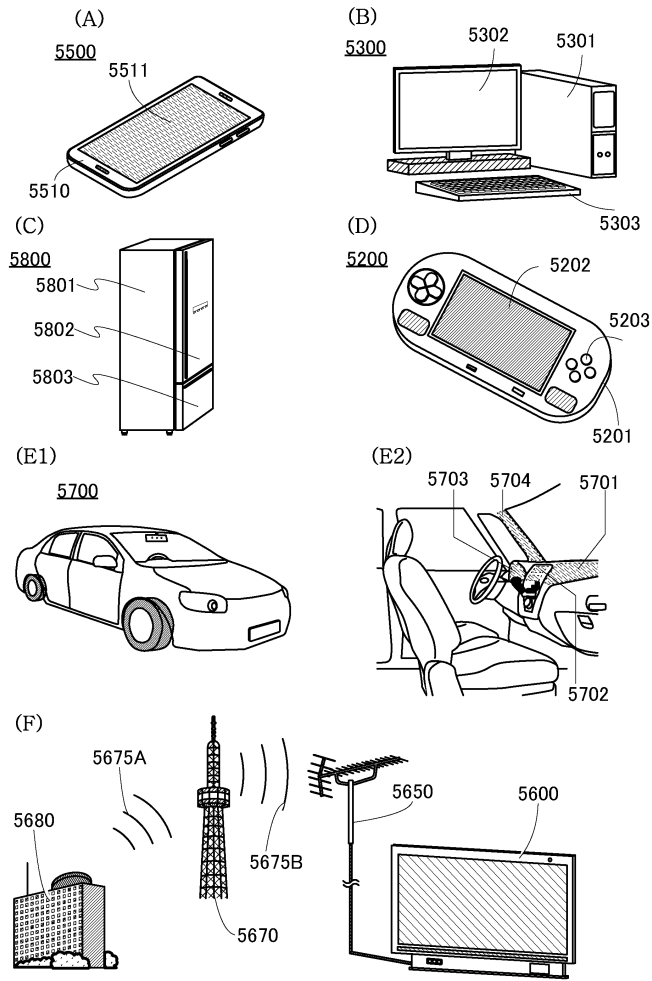
도면14



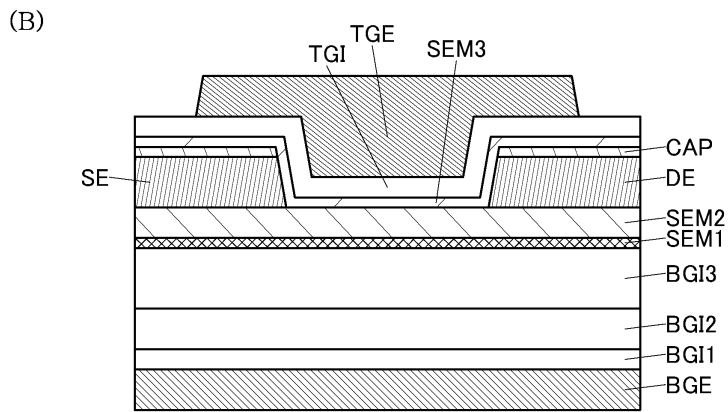
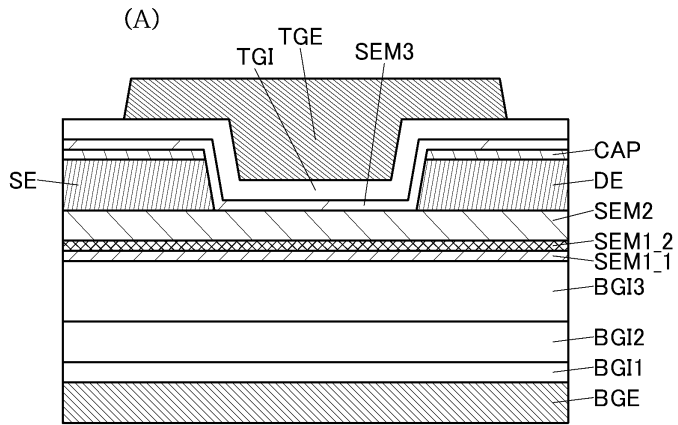
도면15



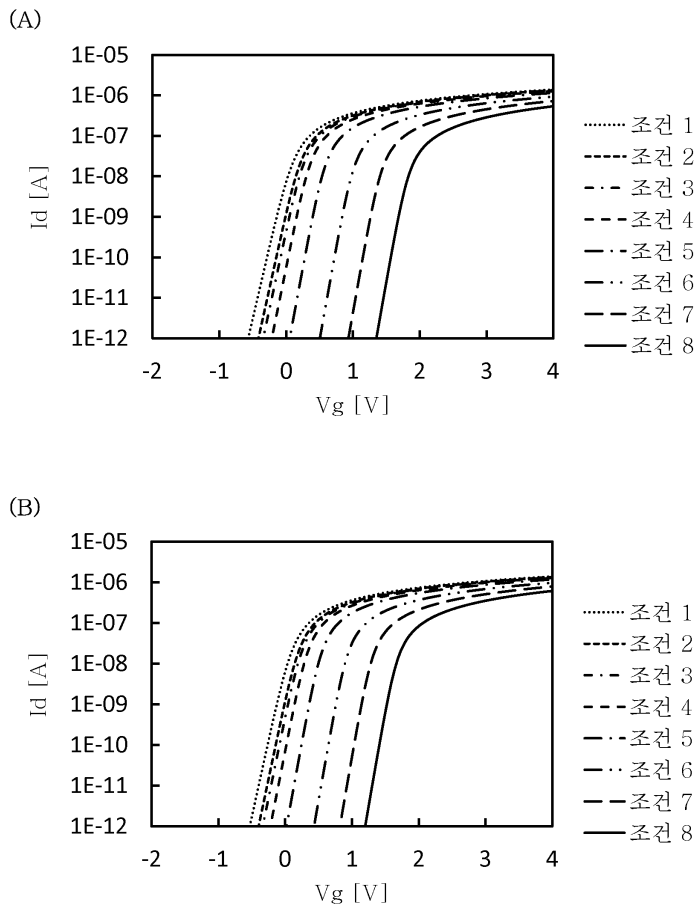
도면16



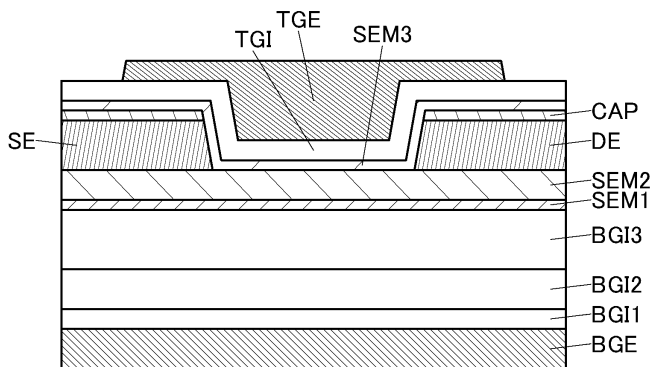
도면17



도면18



도면19



도면20

