



(12) 发明专利

(10) 授权公告号 CN 110046112 B

(45) 授权公告日 2025. 02. 28

(21) 申请号 201811502100.9

(22) 申请日 2018.12.10

(65) 同一申请的已公布的文献号
申请公布号 CN 110046112 A

(43) 申请公布日 2019.07.23

(30) 优先权数据
10-2017-0170426 2017.12.12 KR

(73) 专利权人 三星电子株式会社
地址 韩国京畿道

(72) 发明人 洪慧靓 车相彦

(74) 专利代理机构 北京市柳沈律师事务所
11105
专利代理师 王新宇

(51) Int.Cl.

G06F 13/16 (2006.01)

(56) 对比文件

US 2014245105 A1, 2014.08.28

审查员 曾鹏飞

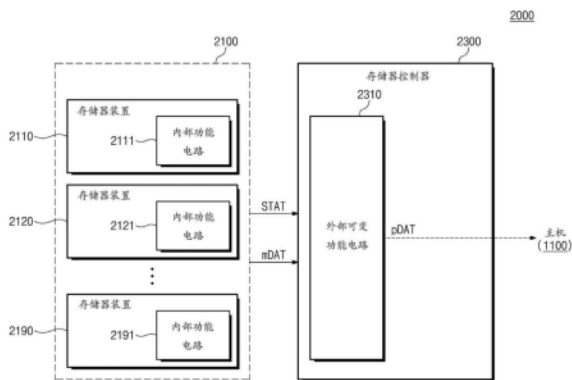
权利要求书2页 说明书17页 附图18页

(54) 发明名称

根据内部状态改变存储器控制器的操作的存储器系统

(57) 摘要

一种存储器系统包括存储器装置和存储器控制器。所述存储器装置响应于读命令来输出数据。所述存储器装置包括第一功能电路,所述第一功能电路响应于所述读命令来基于存储在所述存储器装置中的数据执行第一操作,以生成第一已处理数据。所述存储器控制器响应于从主机接收到的读请求来向所述存储器装置提供所述读命令。所述存储器控制器接收与执行所述第一操作相关联的状态信息。所述存储器控制器包括第二功能电路,所述第二功能电路基于所述第一已处理数据执行第二操作以生成第二已处理数据。所述第二操作的方式根据所述状态信息而变化。



1. 一种存储器系统,包括:

存储器装置,所述存储器装置的多个内部功能电路基于存储的数据执行第一错误处理操作以生成第一已处理数据;以及

存储器控制器,所述存储器控制器:

接收与执行所述第一错误处理操作相关联的状态信息,并且

所述存储器控制器的外部功能电路基于所述第一已处理数据执行第二错误处理操作以生成第二已处理数据,其中:

所述第二错误处理操作可检测的关于所述第一已处理数据的最大错误数大于所述第一错误处理操作可检测的关于所述存储的数据的最大错误数,并且

所述第二错误处理操作的方式基于所述状态信息而变化,

其中所述状态信息指示所述存储器装置是否支持所述第一错误处理操作、是否启用执行所述第一错误处理操作、执行所述第一错误处理操作的所述存储器装置的状况或错误处理中引用的奇偶校验,

其中每个内部功能电路的能力低于所述外部功能电路的能力,

其中所述存储器控制器:

当所述状态信息指示所述存储器装置不支持所述第一错误处理操作或者未启用执行所述第一错误处理操作时,执行第一方式的所述第二错误处理操作,使得针对所述第一已处理数据纠正第一数量的错误并检测第二数量的错误,并且

当所述状态信息指示启用执行所述第一错误处理操作时,执行第二方式的所述第二错误处理操作,使得在没有关于所述第一已处理数据的纠错的情况下执行错误检测,并且

所述错误的第二数量大于所述错误的第一数量。

2. 如权利要求1所述的存储器系统,其中所述第二方式的所述第二错误处理操作可检测到的关于所述第一已处理数据的最大错误数大于所述第一方式的所述第二错误处理操作可检测到的关于所述第一已处理数据的最大错误数。

3. 如权利要求1所述的存储器系统,其中:

所述存储器控制器根据所述第二错误处理操作来输出错误检测结果,并且

当所述第二错误处理操作的所述方式改变时,所述错误检测结果改变。

4. 如权利要求1所述的存储器系统,其中:

所述存储器装置包括的多个内部功能电路是执行所述第一错误处理操作的第一纠错码电路,并且

与所述状态信息相关联地启用或禁用所述第一纠错码电路。

5. 如权利要求1所述的存储器系统,其中:

所述存储器控制器包括的外部功能电路是执行所述第二错误处理操作的第二纠错码电路,并且

所述第二纠错码电路基于所述状态信息执行第一方式的所述第二错误处理操作或第二方式的所述第二错误处理操作。

6. 如权利要求5所述的存储器系统,其中:

所述第二纠错码电路包括:

校验子计算器,所述校验子计算器基于所述第一已处理数据和错误校验位计算校验

子;

错误检测器,所述错误检测器基于所计算的校验子检测关于所述第一已处理数据的错误;

错误定位器,所述错误定位器计算与所述第一已处理数据相关联的位串的位中的对应于所检测到的错误的位的位置;以及

错误纠正器,所述错误纠正器纠正关于所述第一已处理数据的由所述位置标识的所述位的值,并且

基于所述状态信息启用或禁用所述错误定位器。

7.如权利要求6所述的存储器系统,其中所述第二纠错码电路:

当所述错误定位器被启用时,输出来自所述错误定位器的输出作为与所述第一方式的所述第二错误处理操作相关联的错误检测结果,并且

当所述错误定位器被禁用时,输出来自所述错误检测器的输出作为与所述第二方式的所述第二错误处理操作相关联的错误检测结果。

8.如权利要求5所述的存储器系统,其中所述存储器控制器通过使用所述第二纠错码电路而不是另外的纠错码电路来基于所述状态信息选择性地执行所述第一方式的所述第二错误处理操作或所述第二方式的所述第二错误处理操作。

根据内部状态改变存储器控制器的操作的存储器系统

[0001] 相关申请的交叉引用

[0002] 本申请要求2017年12月12日在韩国知识产权局提交的韩国专利申请号10-2017-0170426的优先权,所述申请的公开内容以引用的方式整体并入本文。

技术领域

[0003] 本公开涉及电子装置,并且更具体地,涉及存储和输出数据的存储器系统的配置和操作。

背景技术

[0004] 近年来,正在使用各种电子装置。电子装置根据电子装置中所包括的电子电路的操作来执行其自己的功能。存储器系统可以包括用于存储数据和输出存储的数据的各种电子电路,并且可以在单个电子装置上或在多个电子装置上实现。

[0005] 存储器系统可以对待存储的数据或待输出的数据执行各种操作。例如,存储器系统可以执行用于加密/解密、压缩/解压缩和转换数据以及检测和纠正数据错误的操作。根据此类操作,存储器系统可以存储和输出适合于用户请求的数据。

[0006] 同时,随着各种电子装置的广泛使用以及数据量和信息量的增加,需要对存储器系统的各种要求。例如,半导体制造工艺的规模变得更小以将大量数据存储在小电路区上的存储器装置中,并且需要实现各种功能以进行稳定且可靠的数据处理。

[0007] 另外,用户可以在各种状况下使用电子装置,因此可能需要提供灵活操作的存储器系统。具有刚性配置的存储器系统可能无法在特定状况下提供适当的功能或者可能执行错误的操作。因此,实现根据状况或状态灵活操作的存储器系统可能是重要的问题。

发明内容

[0008] 本公开的示例性实施方案可以提供一种存储器系统,所述存储器系统被配置为根据存储器装置的内部状态来灵活地改变存储器控制器的操作。

[0009] 在一些示例性实施方案中,存储器系统可以包括存储器装置和存储器控制器。存储器装置可以响应于读命令来输出数据。存储器装置可以包括第一功能电路。第一功能电路可以响应于读命令来基于存储在存储器装置中的数据执行第一操作以生成第一已处理数据。存储器控制器可以响应于从主机接收到的读请求向存储器装置提供读命令,使得将数据输出到存储器装置。存储器控制器可以接收与执行所述第一操作相关联的状态信息。存储器控制器可以包括第二功能电路。第二功能电路可以基于第一已处理数据执行第二操作以生成第二已处理数据。第二操作的方式可以根据状态信息而变化。

[0010] 在一些示例性实施方案中,存储器系统可以包括存储器装置和存储器控制器。存储器装置可以基于存储在存储器装置中的数据执行第一错误处理操作以生成第一已处理数据。存储器控制器可以接收与执行第一错误处理操作相关联的状态信息。存储器控制器可以基于第一已处理数据执行第二错误处理操作以生成第二已处理数据。第二错误处理操

作检测到的关于第一已处理数据的最大错误数可以大于所述第一错误处理操作检测到的关于存储数据的最大错误数。第二错误处理操作的方式可以根据状态信息而变化。

[0011] 在一些示例性实施方案中,存储器系统可以包括存储器装置和存储器控制器。存储器装置可以基于存储在存储器装置中的数据执行第一操作以生成第一已处理数据。存储器控制器可以接收与执行所述第一操作相关联的状态信息。存储器控制器可以基于第一已处理数据执行第二操作以生成第二已处理数据。第一已处理数据可以与状态信息的变化相关联地在存储器装置中不同地生成。第二操作的方式可以根据状态信息而变化。第二已处理数据可以根据状态信息的变化在存储器控制器中不同地生成。

[0012] 在一些示例性实施方案中,存储器系统可以包括存储器装置和存储器控制器。存储器控制器可以基于从存储器装置接收到的数据执行功能操作以生成已处理数据。存储器控制器可以接收与在存储器装置中执行的操作相关联的状态信息。存储器控制器可以以不同的方式中的基于状态信息选择的方式执行功能操作。随着状态信息改变,可以改变在存储器控制器中接收到的数据。

[0013] 在一些示例性实施方案中,存储器系统包括存储器装置和存储器控制器。所述存储器控制器:(1)从存储器装置接收第一数据和状态信息,其中第一数据表示由存储器装置存储的第二数据,(2)响应于确定状态信息指示第一状态来对第一数据执行第一操作,(3)响应于确定状态信息指示第二状态来对第一数据执行与第一操作不同的第二操作,并且(4)将已处理数据传达到外部主机,所述已处理数据表示第二数据并且没有错误信息或表示错误信息的报告。

[0014] 根据一些示例性实施方案,存储器系统可以根据状况或状态不同地操作,并且可以执行操作以适合于给定状况或状态。在一些示例性实施方案中,可以防止不可检测的错误且不可纠正的错误发生,并且可以管理操作性能和功耗。因此,可以提高存储器系统的操作的稳定性、可靠性和灵活性。

附图说明

[0015] 通过参考附图的以下描述,本公开的上述和其他目的和特征将变得明了。

[0016] 图1是示出根据一些示例性实施方案的电子系统的示例性配置的框图。

[0017] 图2是示出与图1的存储装置相关联的示例性配置的框图。

[0018] 图3是示出根据一些示例性实施方案的存储器系统的示例性配置的框图。

[0019] 图4是示出图3的存储器装置的示例性配置的框图。

[0020] 图5是示出与图3的存储器系统相关联的示例性配置的框图。

[0021] 图6是用于描述在图5的存储器系统中执行的错误处理操作的表。

[0022] 图7是示出与图3的存储器系统相关联的示例性配置的框图。

[0023] 图8是用于描述通过使用图7的存储器装置中的奇偶校验来存储和输出数据的示例性操作的框图。

[0024] 图9和图10是用于描述存储器控制器的示例性操作的框图,所述操作基于图7的存储器系统中的状态信息而变化。

[0025] 图11是示出图7的可变纠错码(ECC)电路的示例性配置的框图。

[0026] 图12是示出与图3的存储器系统相关联的示例性配置的框图。

[0027] 图13和图14是用于描述存储器控制器的示例性操作的框图,所述操作基于图12的存储器系统中的状态信息而变化。

[0028] 图15是示出图12的可变解压缩器电路的示例性配置的框图。

[0029] 图16至图18是示出用于将状态信息从图3的存储器系统提供到存储器控制器的示例性配置的框图。

[0030] 图19是描述与图3的存储器系统相关联的示例性操作的流程图。

具体实施方式

[0031] 下面,将参考附图详细地并且清楚地描述一些示例性实施方案,使得本领域技术人员可以容易地实现本公开。

[0032] 图1是示出根据一些示例性实施方案的电子系统1000的示例性配置。

[0033] 电子系统1000可以包括主处理器1101、工作存储器1200、存储装置1300、通信块1400、用户接口1500和总线1600。例如,电子系统1000可以是电子装置之一,诸如台式机计算机、膝上型计算机、平板计算机、智能电话机、可穿戴装置、视频游戏控制台、工作站、一个或多个服务器、机动车辆、家用电器、医疗装置等。

[0034] 主处理器1101可以控制电子系统1000的整体操作。例如,主处理器1101可以用通用处理器、专用处理器或应用处理器来实现,所述主处理器包括一个或多个处理器核心。

[0035] 工作存储器1200可以存储在电子系统1000的操作中使用的数据。例如,工作存储器1200可以临时存储由主处理器1101处理或待处理的数据。例如,工作存储器1200可以包括易失性存储器(诸如静态随机存取存储器(SRAM)、动态RAM(DRAM)和/或同步DRAM(SDRAM))和/或非易失性存储器(诸如相变RAM(PRAM)、磁阻RAM(MRAM)、电阻RAM(ReRAM)和/或铁电RAM(FRAM))。

[0036] 例如,工作存储器1200可以包括一个或多个存储器装置1210和控制器1230。存储器装置1210可以包括用于存储或输出数据的存储器元件。可以不同地改变或修改存储器装置1210的数量以适合电子系统1000的要求。

[0037] 控制器1230可以控制存储器装置1210,使得存储器装置1210存储或输出数据。控制器1230可以基于待存储在存储器装置1210中的数据和从存储器装置1210输出的数据来执行各种功能操作。

[0038] 无论供应的电力如何,存储装置1300都可以存储数据。例如,存储装置1300可以包括非易失性存储器装置,诸如闪存、PRAM、MRAM、ReRAM、FRAM等。例如,存储装置1300可以包括诸如固态驱动器(SSD)、存储卡、嵌入式存储装置等的存储介质。

[0039] 通信块1400可以支持各种无线/有线协议中的至少一者以与电子系统1000的外部装置/系统进行通信。用户接口1500可以包括各种输入/输出接口,以在用户与电子系统1000之间进行通信仲裁。

[0040] 总线1600可以提供电子系统1000的组件之间的通信路径。电子系统1000的组件可以按照总线1600的总线格式彼此交换数据。例如,总线格式可以包括各种接口协议中的一者或多者,诸如通用串行总线(USB)、小型计算机系统接口(SCSI)、快速外围组件互连(PCIe)、移动PCIe(M-PCIe)、串行高级技术附着(SATA)、串行附着SCSI(SAS)、快速非易失性存储器(NVMe)、通用闪存(UFS)、双倍数据速率(DDR)、低功率DDR(LPDDR)等。

[0041] 图2是示出图1的存储装置1300的示例性配置的框图。

[0042] 如参考图1所述,主处理器1101可以通过总线1600与工作存储器1200和存储装置1300进行通信。在本公开中,能够访问电子系统1000的组件(例如,工作存储器1200、存储装置1300等)的对象可以被称为“主机”(例如,主机1100)。主处理器1101可以是能够作为主机1100操作的对象示例。然而,本公开不限于此。

[0043] 主机1100可以与存储装置1300交换数据DAT。存储装置1300可以响应于从主机1100接收的命令CMD来向主机1100提供存储服务。

[0044] 例如,主机1100可以向存储装置1300提供包括写请求的命令CMD和包括写数据的数据DAT。存储装置1300可以响应于写请求来存储所请求的写数据。例如,主机1100可以向存储装置1300提供包括读请求的命令CMD。存储装置1300可以响应于读请求来将所请求的读数据输出到主机1100。

[0045] 存储装置1300可以包括一个或多个存储器装置1311和1319、存储控制器1330、以及一个或多个缓冲存储器1351和1359。例如,图2示出两个存储器装置1311和1319以及两个缓冲存储器1351和1359,但可以不同地改变或修改存储装置1300中所包括的存储器装置的数量和缓冲存储器的数量。

[0046] 存储器装置1311和1319中的每一个可以存储或输出主机1100所请求的数据。为此,存储器装置1311和1319中的每一个可以包括用于存储数据的存储区。

[0047] 可以基于被称为“地址”的值来标识存储区。主机1100可以向存储装置1300提供地址ADDR,以交换与存储器装置1311和1319的特定存储区相关联的数据DAT。写数据可以存储在由地址ADDR标识的存储区中,并且读数据可以从由地址ADDR标识的存储区输出。

[0048] 缓冲存储器1351和1359可以缓冲在存储装置1300的操作中使用的数据。例如,缓冲存储器1351和1359可以存储地址转换信息,所述地址转换信息被参考以执行从主机1100提供的地址ADDR与存储器装置1311和1319上的物理地址之间的转换。例如,缓冲存储器1351和1359可以存储纠错码(ECC)信息,所述纠错码信息被参考以检测并纠正从存储器装置1311和1319输出的数据的错误。为此,缓冲存储器1351和1359可以包括易失性存储器(诸如SRAM、DRAM、SDRAM等)和/或非易失性存储器(诸如PRAM、MRAM、ReRAM、FRAM等)。

[0049] 存储控制器1330可以控制存储装置1300的整体操作。为此,例如,存储控制器1330可以包括非易失性存储器(NVM)控制器1331、主机接口电路1333、缓冲控制器1335、一个或多个处理器核心1337、内部缓冲器1338以及片上总线1339。

[0050] 非易失性存储器控制器1331可以提供与存储器装置1311和1319的接口。非易失性存储器控制器1331可以控制存储器装置1311和1319,使得存储器装置1311和1319存储或输出数据。非易失性存储器控制器1331可以基于待存储在存储器装置1311和1319中的数据和从存储器装置1311和1319输出的数据来执行各种功能操作。

[0051] 主机接口电路1333可以提供与主机1100的接口。主机接口电路1333可以执行从主机1100接收的命令CMD、数据DAT和地址ADDR的格式与在存储控制器1330中管理/使用的格式之间的适当转换。

[0052] 缓冲控制器1335可以提供与缓冲存储器1351和1359的接口。缓冲控制器1335可以控制缓冲存储器1351和1359,使得缓冲存储器1351和1359存储或输出数据。缓冲控制器1335可以基于待存储在缓冲存储器1351和1359中的数据以及从缓冲存储器1351和1359输

出的数据来执行各种功能操作。

[0053] 存储控制器1330的组件可以包括一个或多个硬件组件(例如,模拟电路、逻辑电路等),所述一个或多个硬件组件被配置为执行上文描述和将在下文描述的操作。

[0054] 另外,存储控制器1330可以包括一个或多个处理器核心1337。上文描述和将在下文描述的存储控制器1330的组件的操作可以用软件和/或固件的程序代码来实现,并且处理器核心1337可以执行程序代码的指令集。处理器核心1337可以处理各种算术/逻辑运算以执行指令集。

[0055] 内部缓冲器1338可以存储由处理器核心1337处理或待处理的数据。内部缓冲器1338可以临时存储从主机1100接收的数据DAT、命令CMD和地址ADDR。内部缓冲器1338可以临时存储从存储器装置1311和1319输出的数据。例如,内部缓冲器1338可以包括易失性存储器(诸如SRAM、DRAM、SDRAM等)和/或非易失性存储器(诸如PRAM、MRAM、ReRAM、FRAM等)。

[0056] 片上总线1339可以提供存储控制器1330的组件之间的通信路径。为此,片上总线1339可以支持一个或多个接口协议,并且可以使物理信号通过导电材料传输。

[0057] 图3是示出根据一些示例性实施方案的存储器系统2000的示例性配置的框图。

[0058] 存储器系统2000可以包括一个或多个存储器装置2100和存储器控制器2300。图3示出三个存储器装置2110、2120和2190,但可以不同地改变或修改存储器系统2000中所包括的存储器装置的数量。

[0059] 存储器系统2000可以在单个电子装置上实现。可选地,存储器系统2000可以在多个电子装置上实现,或者可以用多个芯片实现。

[0060] 例如,存储器系统2000可以用图1的工作存储器1200实现,并且存储器装置2110、2120和2190以及存储器控制器2300可以对应于图1的存储器装置1210和控制器1230。在一些情况下,存储器系统2000可以在图2的存储装置1300内实现。例如,存储器装置2110、2120和2190以及存储器控制器2300可以对应于图2的存储器装置1311和1319以及非易失性存储器控制器1331。例如,存储器装置2110、2120和2190以及存储器控制器2300可以对应于图2的缓冲存储器1351和1359以及缓冲控制器1335。

[0061] 以上示例描述了一些可能的示例实施方案以便于更好地理解,并且不旨在限制本公开。存储器系统2000可以用任何配置实现,所述配置包括用于存储数据的一个或多个存储器装置和用于控制存储器装置的存储器控制器。下面,将关于特定类型的存储器(例如,DRAM或闪存)描述一些示例性实施方案,但可以容易地理解,这些示例性实施方案可以用于任何类型的存储器。

[0062] 存储器装置2110、2120和2190中的每一个可以存储数据。响应于从存储器控制器2300接收的读命令,存储器装置2110、2120和2190中的每一个可以输出存储的数据。存储器控制器2300可以响应于从主机1100接收的读请求的命令CMD来向存储器装置提供读命令,在所述存储器装置中存储所请求的数据。因此,可以从对应的存储器装置输出所请求的数据。存储器装置2110、2120和2190中的每一个可以在一个半导体存储器芯片或管芯上实现。

[0063] 存储器装置2110、2120和2190可以分别包括内部功能电路2111、2121和2191。内部功能电路2111、2121和2191可以分别在存储器装置2110、2120和2190内提供。在本公开中,内部功能电路2111、2121和2191中的每一个也可以称为“第一功能电路”。

[0064] 内部功能电路2111、2121和2191可以基于存储在各个存储器装置2110、2120和

2190中的数据来执行第一操作。内部功能电路2111、2121和2191中的每一个可以响应于从存储器控制器2300接收的读命令来执行第一操作。存储器装置2110、2120和2190可以通过内部功能电路2111、2121和2191执行第一操作,以生成第一已处理数据mDAT。

[0065] 第一操作可以包括各种类型的操作中的一个或多个,并且可以根据第一操作的类型来确定内部功能电路2111、2121和2191中的每一个的功能。例如,第一操作可以包括错误处理操作(例如,错误检测操作、错误纠正操作等)、加密/解密操作、压缩/解压缩操作、编码/解码操作等中的全部或一些。内部功能电路2111、2121和2191的功能可以彼此相同或不同。

[0066] 存储器控制器2300可以控制存储器装置2110、2120和2190,使得存储器装置2110、2120和2190存储或输出数据。为此,存储器控制器2300可以执行各种操作。例如,存储器控制器2300可以包括外部可变功能电路2310。外部可变功能电路2310可以在存储器装置2110、2120和2190的外部提供。在本公开中,外部可变功能电路2310也可以称为“第二功能电路”。

[0067] 存储器控制器2300可以从存储器装置2110、2120和2190接收第一已处理数据mDAT。外部可变功能电路2310可以基于第一已处理数据mDAT执行第二操作。存储器控制器2300可以通过外部可变功能电路2310执行第二操作,以生成第二已处理数据pDAT。

[0068] 第二操作可以包括各种类型的操作中的一个或多个,并且可以根据第二操作的类型来确定外部可变功能电路2310的功能。例如,第二操作可以包括错误处理操作(例如,错误检测操作、错误纠正操作等)、加密/解密操作、压缩/解压缩操作、编码/解码操作等中的全部或一些。

[0069] 外部可变功能电路2310的功能可以与内部功能电路2111、2121和2191的功能相同或不同。换句话说,第二操作的类型可以与第一操作的类型相同或不同。

[0070] 当第二操作的类型与第一操作的类型相同时,外部可变功能电路2310的能力可以与内部功能电路2111、2121和2191中的每一个的能力不同。例如,存储器装置2110、2120和2190中的每一个的电路区域可以小于存储器控制器2300的电路区域,因此内部功能电路2111、2121和2191中的每一个的能力可以低于外部可变功能电路2310的能力。例如,当第一操作和第二操作包括错误检测操作时,由内部功能电路2111、2121和2191中的每一个检测到的最大错误数可能小于由外部可变功能电路2310检测到的最大错误数。

[0071] 当从主机1100接收到读请求时,存储器控制器2300可以将读命令提供给存储所请求数据的存储器装置。因此,已经接收到读命令的存储器装置可以通过内部功能电路执行第一操作。另外,存储器控制器2300可以基于第一操作的结果执行第二操作。

[0072] 存储器控制器2300可以接收状态信息STAT。状态信息STAT可以与在存储器装置2110、2120和2190中的每一个执行第一操作相关联。例如,状态信息STAT可以包括与各种状况中的至少一个相关联的信息,所述状况例如存储器装置2110、2120和2190是否包括内部功能电路2111、2121和2191(即,存储器装置2110、2120和2190中的每一个是否支持第一操作)、是否启用在存储器装置2110、2120和2190中的每一个中执行第一操作、第一操作的类型、内部功能电路2111、2121和2191中的每一个的能力、执行第一操作的存储器装置2110、2120和2190中的每一个的状况等。

[0073] 例如,取决于存储器系统2000的设计,存储器装置2110、2120和2190可包括或可能

不包括内部功能电路2111、2121和2191。例如,取决于存储器系统2000或主机1100的操作策略,可以启用或禁用内部功能电路2111、2121和2191中的每一个的操作。例如,执行第一操作的存储器装置2110、2120和2190中的每一个的状况可以与各种因素相关联,所述因素诸如通信带宽、装置温度、预期剩余寿命等。状态信息STAT可以被提供给存储器控制器2300以提供与执行第一操作相关联的信息。

[0074] 状态信息STAT的变化(例如,内部功能电路2111、2121和2191中的每一个的启用/禁用的变化、存储器装置2110、2120和2190中的每一个的温度的变化等)可以意指与执行第一操作相关的变化。因此,当状态信息STAT改变时,可以在存储器装置2110、2120和2190中生成第一已处理数据mDAT,以与状态信息STAT改变之前的第一已处理数据mDAT不同(即,在状态信息STAT改变之后的在存储器装置2110、2120和2190中生成的第一已处理数据mDAT可以与在状态信息STAT改变之前的在存储器装置2110、2120和2190中生成的第一已处理数据mDAT不同)。例如,当状态信息STAT从第一信息改变为第二信息时,第一已处理数据mDAT的上下文可以从第一上下文改变为不同于第一上下文的第二上下文。因此,随着状态信息STAT改变,可以改变在存储器控制器2300中接收到的第一已处理数据mDAT。

[0075] 外部可变功能电路2310的操作可以基于状态信息STAT而变化,并且第二操作的方式可以基于状态信息STAT而变化。因此,当状态信息STAT改变时,可以改变第二操作的方式。例如,可以根据第二操作的类型和/或第二操作的能力中的至少一者来确定第二操作的方式。

[0076] 在一些示例性实施方案中,外部可变功能电路2310可以以不同方式中的基于状态信息STAT选择的方式执行第二操作。例如,当状态信息STAT改变时,外部可变功能电路2310的能力可以从第一能力改变为第二能力。在一些示例性实施方案中,外部可变功能电路2310可以执行多种不同类型的操作中的基于状态信息STAT选择的类型的第二操作。例如,当状态信息STAT改变时,外部可变功能电路2310的第二操作的类型可以从第一类型改变为第二类型。将参考图7至图15描述与状态信息STAT的变化相关联的一些示例。

[0077] 当状态信息STAT改变时,可以改变第二操作的类型或方式。因此,当状态信息STAT改变时,可以在存储器控制器2300中生成第二已处理数据pDAT以与状态信息STAT改变之前(即,在改变第二操作的类型或方式之前)的第二已处理数据pDAT不同。换句话说,在状态信息STAT改变之后的在存储器控制器2300中生成的第二已处理数据pDAT可以与在状态信息STAT改变之前的在存储器控制器2300中生成的第二已处理数据pDAT不同。例如,当状态信息STAT从第一信息改变为第二信息时,第二已处理数据pDAT的上下文可以从第一上下文改变为不同于第一上下文的第二上下文。

[0078] 存储器控制器2300可以输出第二已处理数据pDAT。可选地,存储器控制器2300可以输出通过后处理和/或转换第二已处理数据pDAT而生成的数据。从存储器控制器2300输出的数据可以包括与主机1100的读请求相对应的所请求数据。因此,存储器控制器2300可以基于第二已处理数据pDAT来将所请求数据提供给主机1100。

[0079] 根据示例性实施方案,存储器控制器2300(具体地,外部可变功能电路2310)可以根据存储器系统2000的操作来不同地操作。因此,可以执行操作以适合于给定状况或状态,并且可以提高存储器系统2000的操作的灵活性。

[0080] 图4是示出图3的存储器装置2110的示例性配置的框图。

[0081] 存储器装置2110可以包括内部功能电路2111、存储器单元阵列2112、地址解码器2113、读出放大器2114、输入/输出电路2115以及控制逻辑电路2116。其他存储器装置2120和2190中的每一个可以被配置为与存储器装置2110相同或相似。

[0082] 存储器单元阵列2112可以包括多个存储器单元(例如,存储器单元MC)。每个存储器单元MC可以与字线WL和位线BL连接。每个存储器单元MC可以存储数据位。每个存储器单元MC可以是存储一位的单级单元或存储至少两位的多级单元。

[0083] 地址解码器2113可以通过字线WL与存储单元阵列2112连接。地址解码器2113可以从存储器控制器2300接收地址ADDR',并且可以对接收到的地址ADDR'进行解码。地址解码器2113可以基于解码的地址ADDR'来驱动字线WL。

[0084] 读出放大器2114可以通过位线BL与存储单元阵列2112连接。读出放大器2114可以感测从存储单元阵列2112读取的数据。内部功能电路2111可以基于由读出放大器2114感测到的数据执行第一操作。

[0085] 输入/输出电路2115可以管理存储器装置2110的数据输入/输出,使得在存储器控制器2300与存储器单元阵列2112之间交换数据DAT'。例如,可以通过内部功能电路2111的第一操作来生成第一已处理数据mDAT,并且输入/输出电路2115可以将第一已处理数据mDAT输出到存储器控制器2300。

[0086] 控制逻辑电路2116可以从存储器控制器2300接收命令CMD'和控制信号CTRL。控制逻辑电路2116可以基于接收到的信号控制内部功能电路2111、地址解码器2113、读出放大器2114和输入/输出电路2115。

[0087] 图5是示出与图3的存储器系统2000相关联的示例性配置的框图。

[0088] 例如,存储器系统2000可以包括诸如图5的存储器系统100的配置。图5的一个或多个存储器装置110可以对应于图3的一个或多个存储器装置2100,并且图5的存储器控制器130可以对应于图3的存储器控制器2300。为简洁起见,下面将省略与存储器装置110和存储器控制器130相关联的冗余描述。

[0089] 存储器装置111、112和119可以分别包括ECC电路111a、112a和119a作为内部功能电路2111、2121和2191。ECC电路111a、112a和119a中的每一个可以按照给定的ECC方案,基于从各个存储器装置111、112和119输出的数据来执行错误处理操作(例如,错误检测和错误纠正)。存储器装置111、112和119可以执行错误处理操作以生成第一已处理数据mDAT1。

[0090] 例如,ECC电路111a、112a和119a中的每一个可以以单纠错(SEC)方式操作。在这种情况下,ECC电路111a、112a和119a中的每一个可以检测并纠正从各个存储器装置111、112和119输出的数据的1位错误,但可能无法检测到两个或更多位错误。

[0091] 例如,存储器控制器130可以包括刚性配置的ECC电路131,而不是包括外部可变功能电路2310。ECC电路131可以按照给定的ECC方案,基于第一已处理数据mDAT1来执行错误处理操作(例如,错误检测和错误纠正)。存储器控制器130可以执行错误处理操作以生成第二已处理数据pDAT1。

[0092] 例如,ECC电路131可以以单纠错/双纠错(SEC/DED)方式操作。在这种情况下,ECC电路131可以检测并纠正第一已处理数据mDAT1的1位错误,并且可以检测1位或2位错误,但ECC电路131可能无法检测到三位或更多位的错误。

[0093] 例如,半导体制造工艺的规模可以变得越来越小,以在小电路区上的存储器装置

111、112和119中存储大量数据,并且存储器装置111、112和119的操作速度可能会变得更快以处理大量数据。因此,从存储器装置111、112和119输出的数据可能包括错误。

[0094] 因此,ECC电路111a、112a和119a可以与ECC电路131一起使用,以进行稳定且可靠的数据处理。然而,在一些情况下,存储器装置111、112和119中的每一个的电路区域可以很小,因此ECC电路111a、112a和119a中的每一个的能力(例如,可检测位的最大数量)可能低于ECC电路131的能力。

[0095] 图6是用于描述在图5的存储器系统100中执行的错误处理操作的表。

[0096] 例如,不同于图5的图示,存储器装置111、112和119可以被配置为没有SEC方式的ECC电路111a、112a和119a。当在存储器装置111、112和119中发生一(1)个错误位时,存储器控制器130可以接收包括一个错误位的第一已处理数据mDAT1。在这种情况下,ECC电路131可以检测并纠正一个错误位,并且存储器控制器130可以生成经纠正而没有错误位的第二已处理数据pDAT1。

[0097] 同时,当在存储器装置111、112和119中发生两(2)个错误位时,存储器控制器130可以接收包括两个错误位的第一已处理数据mDAT1。在这种情况下,ECC电路131可以检测到两个错误位。存储器控制器130可以生成第二已处理数据pDAT1,并且可以通知主机1100两个错误位发生。

[0098] 例如,如图5所示,存储器装置111、112和119可以一起被配置为具有SEC方式的ECC电路111a、112a和119a。当在存储器装置111、112和119中出现一个错误位时,ECC电路111a、112a和119a可以检测并纠正一个错误位。因此,存储器控制器130可以接收到经纠正而没有错误位的第一已处理数据mDAT1。

[0099] 同时,在存储器装置111、112和119中可能出现两个错误位。在一些情况下,ECC电路111a、112a和119a可能无法检测和纠正两个错误位,因此存储器控制器130可以接收包括两个错误位的第一已处理数据mDAT1。在这种情况下,ECC电路131可以检测到两个错误位。存储器控制器130可以生成第二已处理数据pDAT1,并且可以通知主机1100两个错误位发生。

[0100] 然而,在一些情况下,ECC电路111a、112a和119a可以对包括两个错误位的数据执行错误的错误处理操作。由于错误的错误处理操作,包括两个错误位的数据可能被错误地纠正为包括三(3)个错误位。因此,存储器控制器130可以接收到包括三个错误位的第一已处理数据mDAT1。在这种情况下,ECC电路131可能无法纠正和检测三个错误位。

[0101] 因此,主机1100可能无法识别错误的发生并且可能接收到错误的的数据,并且可靠性和稳定性可能降低。这样,当在存储器装置111、112和119内采用ECC电路111a、112a和119a时,很可能发生不可检测且不可纠正的错误。

[0102] 图7是示出与图3的存储器系统2000相关联的示例性配置的框图。

[0103] 例如,存储器系统2000可以包括诸如图7的存储器系统3000的配置。图7的一个或多个存储器装置3100可以对应于图3的一个或多个存储器装置2100,并且图7的存储器控制器3300可以对应于图3的存储器控制器2300。为简洁起见,下面将省略与存储器装置3100和存储器控制器3300相关联的冗余描述。

[0104] 存储器装置3110、3120和3190可以分别包括ECC电路3111、3121和3191作为内部功能电路2111、2121和2191。ECC电路3111、3121和3191中的每一个可以按照给定的ECC方案,

基于存储在各个存储器装置3110、3120和3190中的数据来执行第一错误处理操作(例如,错误检测和错误校正)。存储器装置3110、3120和3190可以执行第一错误处理操作以生成第一已处理数据。

[0105] 例如,ECC电路3111、3121和3191中的每一个可以以SEC方式操作。在这种情况下,ECC电路3111、3121和3191中的每一个可以检测并纠正存储在各个存储器装置3110、3120和3190中的数据的1位错误,但可能无法检测到两位或更多位的错误。

[0106] 在一些示例性实施方案中,可以提供存储器装置3120和3190以存储数据。同时,可以提供存储器装置3110以存储奇偶校验,所述奇偶校验被参考以处理存储在存储器装置3120和3190中的数据的错误。将参考图8描述所述配置。

[0107] 例如,存储器控制器3300可以包括可变ECC电路3310作为外部可变功能电路2310。可变ECC电路3310可以基于第一已处理数据执行第二错误处理操作(例如,错误检测和/或错误纠正)。存储器控制器3300可以执行第二错误处理操作以生成第二已处理数据。可变ECC电路3310可以被配置为以若干不同方式操作,并且将参考图9至图11描述详细操作。

[0108] 存储器控制器3300可以接收与在存储器装置3110、3120和3190中执行第一错误处理操作相关联的状态信息。例如,状态信息可以包括与各种因素中的至少一个相关联的信息,所述因素例如存储器装置3110、3120和3190是否包括ECC电路3111、3121和3191(即,存储器装置3110、3120和3190中的每一个是否支持第一错误处理操作)、执行第一错误处理操作的存储器装置3110、3120和3190中的每一个的状况、错误处理的奇偶校验等。

[0109] 例如,状态信息可以包括与是否启用在存储器装置3110、3120和3190中的每一个中执行第一错误处理操作相关联的信息。可以与状态信息相关联地启用或禁用ECC电路3111、3121和3191。例如,可以根据存储器系统3000和/或主机1100的操作策略来启用或禁用ECC电路3111、3121和3191,并且状态信息可以指示ECC电路3111、3121和3191的启用/禁用。

[0110] 可变ECC电路3310的第二错误处理操作的方式可以基于状态信息而变化。例如,可变ECC电路3310可以基于状态信息来执行第一方式的第二错误处理操作或第二方式的第二错误处理操作。

[0111] 为了稳定且可靠的数据处理,ECC电路3111、3121和3191可以与ECC电路3310一起使用。在一些情况下,ECC电路3310的能力可能高于ECC电路3111、3121和3191中的每一个的能力。例如,第二错误处理操作可检测到的关于第一已处理数据的最大错误数可能大于第一错误处理操作可检测到的关于存储在存储器装置3110、3120和3190中的数据的最大错误数。

[0112] 图8是用于描述通过使用图7的存储器装置3100中的奇偶校验来存储和输出数据的示例性操作的框图。

[0113] 在一些示例性实施方案中,可以为存储器装置3110、3120和3190提供奇偶校验发生器和检查器3107。奇偶校验发生器和检查器3107可以对提供给存储器装置3110、3120和3190的数据D1至Dn执行奇偶校验操作。

[0114] 奇偶校验发生器和检查器3107可以执行奇偶校验操作以生成与数据D1至Dn相对应的奇偶校验P。可以参考奇偶校验P来处理错误。例如,奇偶校验P可以是偶校验或奇校验。存储器装置3120和3190可以存储数据D1至Dn,同时存储器装置3110可以存储奇偶校验P。

[0115] 当从存储器装置3120和3190输出数据D1至Dn时,也可以从存储器装置3110输出奇偶校验P。奇偶校验发生器和检查器3107可以参考奇偶校验P来检测和纠正数据D1至Dn的错误。奇偶校验发生器和检查器3107可以纠正检测到的错误以输出没有错误的的数据D1至Dn。

[0116] 图9和图10是用于描述存储器控制器3300的示例性操作的框图,所述操作基于图7的存储器系统3000中的状态信息而变化。

[0117] 参考图9,在一些情况下,可以禁用执行第一错误处理操作(例如,可以禁用ECC电路3111、3121和3191)。可以根据存储器系统3000和/或主机1100的操作策略来禁用ECC电路3111、3121和3191。在这种情况下,在存储器控制器3300中接收到的状态信息STAT2可以指示未启用执行第一错误处理操作。

[0118] 在一些其他情况下,存储器系统3000可以被设计成使得存储器装置3110、3120和3190不包括ECC电路3111、3121和3191。在这种情况下,在存储器控制器3300中接收到的状态信息STAT2可以指示存储器装置3110、3120和3190不支持第一错误处理操作。

[0119] 存储器装置3110、3120和3190可以生成第一已处理数据mDAT2。在图9的示例中,第一已处理数据mDAT2可以被提供给存储器控制器3300,而不由ECC电路3111、3121和3191处理。

[0120] 可变ECC电路3310可以执行基于状态信息STAT2选择的第一方式的第二错误处理操作。存储器控制器3300可以基于第一已处理数据mDAT2来执行第一方式的第二错误处理操作,以生成第二已处理数据pDAT2。

[0121] 在可变ECC电路3310的第一方式的第二错误处理操作中,存储器控制器3300可以纠正第一数量的错误并且可以检测关于第一已处理数据mDAT2的第二数量的错误。例如,第二数量可以大于第一数量。例如,可变ECC电路3310可以以SEC/DED方式执行第二错误处理操作,使得纠正一(1)个错误位并检测两(2)个错误位。

[0122] 如参考图6所述,当存储器装置3110、3120和3190被配置为没有SEC方式的ECC电路3111、3121和3191时,以SEC/DED方式操作的可变ECC电路3310可以纠正或检测第一已处理数据mDAT2的错误。因此,当状态信息STAT2指示未启用执行第一错误处理操作或指示不支持第一错误处理操作时,可变ECC电路3310可以第一方式操作(例如,以SEC/DED方式)。

[0123] 参考图10,在一些情况下,可以启用执行第一错误处理操作(例如,可以启用ECC电路3111、3121和3191)。可以根据存储器系统3000和/或主机1100的操作策略来启用ECC电路3111、3121和3191。在这种情况下,在存储器控制器3300中接收到的状态信息STAT3可以指示启用执行第一错误处理操作。存储器装置3110、3120和3190可以执行第一错误处理操作以生成第一已处理数据mDAT3。

[0124] 可变ECC电路3310可以执行基于状态信息STAT3选择的第二方式的第二错误处理操作。存储器控制器3300可以基于第一已处理数据mDAT3来执行第二方式的第二错误处理操作,以生成第二已处理数据pDAT3。

[0125] 在可变ECC电路3310的第二方式的第二错误处理操作中,存储器控制器3300可以在没有关于第一已处理数据mDAT3的纠错的情况下执行错误检测。例如,可变ECC电路3310可以以循环冗余校验(CRC)方式执行第二错误处理操作,使得在没有纠错的情况下检测到三个或更多个错误位。例如,以CRC方式操作的可变ECC电路3310可以检测到第一位位置错误、第二位位置错误、奇数位位置错误、突发错误等。

[0126] 如参考图6所述,当存储器装置3110、3120和3190与SEC方式的ECC电路3111、3121和3191一起配置时,很可能是SEC/DED方式无法检测到且不可纠正的错误可能发生。在这种情况下,尽管纠错能力被放弃,但检测到更多错误可能是有利的。因此,当状态信息STAT3指示启用执行第一错误处理操作时,可变ECC电路3310可以以第二方式(例如,以CRC方式)操作以检测更多错误。

[0127] 第二方式的第二错误处理操作可检测到的关于第一已处理数据mDAT3的最大错误数可能大于第一方式的第二错误处理操作可检测到的关于第一已处理数据mDAT2的最大错误数。根据这些示例性实施方案,可以提高存储器系统3000的操作的稳定性、可靠性和灵活性,并且可以防止发生不可检测且不可纠正的错误。

[0128] 与第一操作相关联,状态信息STAT2可以改变为状态信息STAT3,或反之亦然。例如,当状态信息STAT2从状态信息STAT3改变时,第一已处理数据mDAT2的上下文可以改变为第一已处理数据mDAT3的上下文。另外,第二已处理数据pDAT2的上下文可以改变为第二已处理数据pDAT3的上下文。

[0129] 图11是示出图7的可变ECC电路3310的示例性配置的框图。

[0130] 在一些示例性实施方案中,可变ECC电路3310可以包括校验子计算器3311、错误检测器3313、错误定位器3315、错误纠正器3317以及开关3319。可变ECC电路3310可以接收第一已处理数据mDAT2或mDAT3以及状态信息STAT2或STAT3。可变ECC电路3310可以接收错误校验位,所述错误校验位是在数据已经存储在存储器装置3110、3120和3190中时通过ECC编码操作生成的。

[0131] 校验子计算器3311可以基于第一已处理数据mDAT2或mDAT3和错误校验位来计算校验子。可以容易地理解计算校验子并基于计算的校验子检测和纠正错误的操作,因此下面将省略其详细描述。

[0132] 错误检测器3313可以基于计算的校验子检测与第一已处理数据mDAT2或mDAT3相关联的错误。错误定位器3315可以计算与第一已处理数据mDAT2相关联的位串的位中的与检测到的错误相对应的位的位置。错误纠正器3317可以纠正关于第一已处理数据mDAT2的计算位置的位的值。可以基于状态信息STAT2或STAT3启用或禁用错误定位器3315。

[0133] 例如,可以基于状态信息STAT2启用错误定位器3315,状态信息STAT2指示第一错误处理操作的禁用或不存在。在该示例中,错误定位器3315可以计算关于第一已处理数据mDAT2的错误位的位置,并且可以输出第一方式(例如,SEC/DED方式)的第二错误处理操作的结果。错误纠正器3317可以纠正关于第一已处理数据mDAT2的计算位置的错误位,以输出第二已处理数据pDAT2。

[0134] 开关3319可以响应于状态信息STAT2来输出第一方式(例如,SEC/DED方式)的第二错误处理操作的结果。因此,当启用错误定位器3315时,可变ECC电路3310可以输出来自错误定位器3315的输出,作为与第一方式的第二错误处理操作相关联的错误检测结果。错误检测结果可以指示是否发生错误、错误的数量、错误位的位置、错误是否可纠正等。

[0135] 另一方面,可以基于指示第一错误处理操作的启用的状态信息STAT3来禁用错误定位器3315。在这种情况下,错误检测器3313可以检测与第一已处理数据mDAT3相关联的错误,并且可以输出第二方式(例如,CRC方式)的第二错误处理操作的结果。错误纠正器3317可以输出关于第一已处理数据mDAT3的没有纠错的第二已处理数据pDAT3。

[0136] 开关3319可以响应于状态信息STAT3来输出第二方式(例如,CRC方式)的第二错误处理操作的结果。在这种情况下,可以不执行计算错误位位置和纠正计算位置的错误位。可变ECC电路3310可以输出来自错误检测器3313的输出,作为与第二方式的第二错误处理操作相关联的错误检测结果。错误检测结果可以指示是否发生错误、错误的数量等。

[0137] 这样,存储器控制器3300可以根据第二错误处理操作来输出错误检测结果。当改变第二错误处理操作的方式时,可以改变错误检测结果。可以将错误检测结果提供给主机1100。例如,错误检测结果可以包括在待提供给主机1100的第二已处理数据pDAT2或pDAT3中,或者可以以任何其他方式提供给主机1100。

[0138] 在图11的示例中,存储器控制器3300可以通过仅使用可变ECC电路3310而不使用另外的ECC电路来基于状态信息STAT2或STAT3选择性地执行第一方式的第二错误处理操作或第二方式的第二错误处理操作。因此,可变ECC电路3310可能不需要另外的电路区域。

[0139] 在图7至图11的示例中,已经描述的是,错误处理操作的方式包括SEC方式、SEC/DED方式和CRC方式。然而,提供这些示例是为了便于理解,并且不旨在限制本公开。例如,存储器装置3110、3120和3190以及存储器控制器3300可以采用各种方式的错误处理操作,诸如双错误纠正(DEC)方式、双错误纠正/三错误检测(DEC/TED)方式、校验和方式、散列函数方式等。

[0140] 另外,已经描述的是,可变ECC电路3310的操作根据指示第一错误处理操作的状态的状态信息STAT2或STAT3而变化。然而,可变ECC电路3310的操作可以根据其他信息而变化。

[0141] 例如,当存储器装置3110、3120和3190的温度超过参考温度并且过度增加或者存储器装置3110、3120和3190的预期剩余寿命短于参考寿命时,很可能存储在存储器装置3110、3120和3190中的数据可能发生错误。因此,可变ECC电路3310的操作可以根据指示存储器装置3110、3120和3190的温度或剩余寿命的状态信息而变化。这样,示例性实施方案可以进行各种改变或修改,并且不限于上述示例。

[0142] 图12是示出与图3的存储器系统2000相关联的示例性配置的框图。

[0143] 例如,存储器系统2000可以包括诸如图12的存储器系统4000的配置。图12的一个或多个存储器装置4100可以对应于图3的一个或多个存储器装置2100,并且图12的存储器控制器4300可以对应于图3的存储器控制器2300。为简洁起见,下面将省略与存储器装置4100和存储器控制器4300相关联的冗余描述。

[0144] 存储器装置4110、4120和4190可以分别包括解压缩器电路4111、4121和4191作为内部功能电路2111、2121和2191。解压缩器电路4111、4121和4191中的每一个可以按照给定的解压缩方案基于存储在各个存储器装置4110、4120和4190中的数据来执行第一解压缩操作。

[0145] 例如,当数据存储在存储器装置4110、4120和4190中时,可以压缩数据以存储更大量的数据。可以对压缩数据执行第一解压缩操作,因此可以从存储器装置4110、4120和4190输出解压缩数据。存储器装置4110、4120和4190可以执行第一解压缩操作以生成第一已处理数据。

[0146] 例如,存储器控制器4300可以包括可解压压缩器电路4310作为外部可变功能电路2310。可解压压缩器电路4310可以按照给定的解压缩方案基于第一已处理数据来执行第二

解压缩操作。存储器控制器4300可以执行第二解压缩操作以生成第二已处理数据。

[0147] 例如,解压缩器电路4111、4121和4191的第一解压缩操作可以提供数据的部分解压缩,并且可变压压缩器电路4310的第二解压缩操作可以提供数据的剩余解压缩。例如,第一解压缩操作可以对压缩数据的第一部分进行解压缩,并且第二解压缩操作可以对压缩数据的第二部分(例如,剩余部分)解压缩。当解压缩器电路4111、4121和4191执行部分解压缩时,可以减轻存储器控制器4300的负荷。

[0148] 存储器控制器4300可以接收与在存储器装置4110、4120和4190中执行第一解压缩操作相关联的状态信息。例如,状态信息可以包括与各种因素中的至少一个相关联的信息,所述因素例如存储器装置4110、4120和4190是否包括解压缩器电路4111、4121和4191(即,存储器装置4110、4120和4190中的每一个是否支持第一解压缩操作)、是否启用在存储器装置4110、4120和4190中的每一个中执行第一解压缩操作、执行第一解压缩操作的存储器装置4110、4120和4190中的每一个的状况、第一解压缩操作的方式等。

[0149] 可变压压缩器电路4310的第二解压缩操作的方式(例如,方案、性能等)可以基于状态信息而变化。例如,可变压压缩器电路4310可以基于状态信息选择性地执行第一方式的第二解压缩操作或第二方式的第二解压缩操作。

[0150] 图13和图14是用于描述存储器控制器4300的示例性操作的框图,所述操作基于图12的存储器系统4000中的状态信息而变化。

[0151] 参考图13,在一些情况下,可以禁用执行第一解压缩操作(例如,可以禁用解压缩器电路4111、4121和4191)。可以根据存储器系统4000和/或主机1100的操作策略来禁用解压缩器电路4111、4121和4191。在这种情况下,在存储器控制器4300中接收到的状态信息STAT4可以指示未启用执行第一解压缩操作。

[0152] 存储器装置4110、4120和4190可以生成第一已处理数据mDAT4。在图13的示例中,第一已处理数据mDAT4可以被提供给存储器控制器4300,而不由解压缩器电路4111、4121和4191处理。

[0153] 可变压压缩器电路4310可以执行基于状态信息STAT4选择的第一方式的第二解压缩操作。存储器控制器4300可以基于第一已处理数据mDAT4来执行第一方式的第二解压缩操作,以生成第二已处理数据pDAT4。例如,在可变压压缩器电路4310的第一方式的第二解压缩操作中,存储器控制器4300可以完全操作以提供最大性能。

[0154] 参考图14,在一些情况下,可以启用执行第一解压缩操作(例如,可以启用解压缩器电路4111、4121和4191)。可以根据存储器系统4000和/或主机1100的操作策略来启用解压缩器电路4111、4121和4191。在这种情况下,在存储器控制器4300中接收到的状态信息STAT5可以指示启用执行第一解压缩操作。存储器装置4110、4120和4190可以执行第一解压缩操作以生成第一已处理数据mDAT5。

[0155] 可变压压缩器电路4310可以执行基于状态信息STAT5选择的第二方式的第二解压缩操作。存储器控制器4300可以基于第一已处理数据mDAT5来执行第二方式的第二解压缩操作,以生成第二已处理数据pDAT5。例如,在可变压压缩器电路4310的第二方式的第二解压缩操作中,存储器控制器4300可以部分操作以提供低性能。

[0156] 图15是示出图12的可变压压缩器电路4310的示例性配置的框图。

[0157] 在一些示例性实施方案中,可变压压缩器电路4310可以包括开关4311和4315、解

压缩器4313-1、4313-2、4313-3和4313-4以及选择器4319。可变解压缩器电路4310可以接收第一已处理数据mDAT4或mDAT5以及状态信息STAT4或STAT5。

[0158] 解压缩器4313-1、4313-2、4313-3和4313-4可以并行执行第二解压缩操作。解压缩器4313-1、4313-2、4313-3和4313-4可以基于第一已处理数据mDAT4或mDAT5执行第二解压缩操作。选择器4319可以输出选择信号以使解压缩器4313-1、4313-2、4313-3和4313-4顺序地和/或交替地操作。

[0159] 开关4311可以将第一已处理数据mDAT4或mDAT5传送到响应于选择信号而选择的解压缩器。开关4315可以从响应于选择信号而选择的解压缩器接收数据,并且可以输出接收到的数据作为第二已处理数据pDAT4或pDAT5。

[0160] 例如,可以基于状态信息STAT4或STAT5启用或禁用解压缩器4313-3和4313-4。例如,可以基于状态信息STAT4启用解压缩器4313-3和4313-4,状态信息STAT4指示第一解压缩操作的禁用或不存在。在该示例中,可变解压缩器电路4310可以执行第一方式的第二解压缩操作(例如,完整操作),使得所有解压缩器4313-1、4313-2、4313-3和4313-4并行操作并且可以基于第一已处理数据mDAT4生成第二已处理数据pDAT4。

[0161] 另一方面,可以基于指示第一解压缩操作的启用的状态信息STAT5来禁用解压缩器4313-3和4313-4。在该示例中,可变解压缩器电路4310可以执行第二方式的第二解压缩操作(例如,部分操作),使得仅解压缩器4313-1和4313-2并行操作,并且可以基于第二已处理数据mDAT5生成第二已处理数据pDAT5。

[0162] 这样,存储器控制器4300可以操作以适合于给定状况或状态,并且可以提高存储器系统4000的操作的灵活性。当存储器装置4110、4120和4190部分地处理待在存储器控制器4300中执行的操作时,可以减轻存储器控制器4300的负荷。因此,可以最佳地管理操作性能和功耗。

[0163] 图7至图15的示例性实施方案可以这样的实现方式相关联,其中在存储器装置2110、2120和2190中执行的第一操作的类型与在存储器控制器2300中执行的第二操作的类型相同。而且,图7至图15的示例性实施方案可以与在存储器控制器2300中执行一种类型的第二操作的实现方式相关联。然而,提供这些示例性实施方案是为了便于更好地理解,并且不旨在限制本公开。可以容易地理解,即使在第一操作的类型与第二操作的类型不同的实现方式中以及在执行多种类型的第二操作的实现方式中,也可以基于状态信息STAT来不同地采用示例性实施方案来改变第二操作。

[0164] 图16至图18是示出用于将状态信息STAT从图3的存储器系统2000提供到存储器控制器3000的示例性配置的框图。

[0165] 在一些示例性实施方案中,存储器系统2000可以包括诸如图16的存储器系统2000a的配置。参考图16,存储器系统2000还可以包括状态寄存器2102。状态寄存器2102可以存储状态信息STAT,并且可以管理和更新关于在一个或多个存储器装置2100a中执行第一操作的状态信息STAT。

[0166] 存储器控制器2300a可以从状态寄存器2102接收状态信息STAT。为此,存储器控制器2300a可以直接访问状态寄存器2102。可选地,状态寄存器2102可以响应于存储器控制器2300a的请求来输出状态信息STAT。

[0167] 在一些示例性实施方案中,存储器系统2000可以包括诸如图17的存储器系统

2000b的配置。参考图17,存储器装置2110、2120和2190可以设置在印刷电路板或半导体封装2100b上。印刷电路板或半导体封装2100b可以包括连接端子2103。

[0168] 连接端子2103可以以焊盘或引脚的形式实现。连接端子2103可以输出与状态信息STAT相对应的信号。对应于状态信息STAT的信号可以从存储器装置2110、2120和2190或印刷电路板或半导体封装2100b上的其他电路提供。存储器控制器2300b可以连接到连接端子2103,并且可以接收对应于状态信息STAT的信号。

[0169] 在一些示例性实施方案中,存储器系统2000可以包括作为图18的存储器系统2000c的配置。参考图18,可以定义通信序列以在一个或多个存储器装置2100c与存储器控制器2300c之间传送状态信息STAT。

[0170] 例如,当存储器装置2100c和存储器控制器2300c物理连接时或者当存储器装置2100c与存储器控制器2300c之间的通信被重置时,可以执行连接初始化操作(S110)。之后,存储器控制器2300c可以将状态检查请求传输到存储器装置2100c(S120)。存储器装置2100c可以响应于从存储器控制器2300c接收到的状态检查请求来将状态信息STAT传输到存储器控制器2300c(S130)。

[0171] 状态检查请求和状态信息STAT中的每一个可以以信号或分组的形式传输。状态检查请求和状态信息STAT可以通过包括在现有通信协议中定义的命令和响应的保留字段中来传输。可选地,可以新定义命令和响应以传输状态检查请求和状态信息STAT。

[0172] 图19是描述与图3的存储器系统2000相关联的示例性操作的流程图。

[0173] 主机1100可以将读请求传输到存储器控制器2300(S210)。存储器控制器2300可以响应于读请求来将读命令发送到存储器装置2100(S220)。可以生成读请求和读命令以读取存储在存储器装置2100中的数据。

[0174] 存储器控制器2300可以接收状态信息STAT(S230)。另外,存储器控制器2300可以接收第一已处理数据mDAT(S240)。可以从在存储器装置2100中执行的第一操作生成第一已处理数据mDAT,或者可以在没有第一操作的情况下生成第一已处理数据mDAT。

[0175] 图19示出在传输读命令之后传送状态信息STAT。然而,本公开不限于图19的图示。可以在传输读请求或读命令之前预先传送状态信息STAT。例如,可以在主机1100与存储器控制器2300之间的连接初始化操作期间或之后传送状态信息STAT。

[0176] 之后,存储器控制器2300可以执行第二操作(S250)。可以根据若干可变操作中的基于状态信息STAT选择的一个操作来执行第二操作。例如,第二操作的类型或第二操作的方式可以基于状态信息STAT而变化。存储器控制器2300可以基于第二操作的结果(例如,基于由第二操作生成的第二已处理数据pDAT)来向主机1100输出所请求数据(S260)。

[0177] 如本领域中的传统,可以根据执行所描述的一个或多个功能的块来描述和说明实施方案。这些块(这里可称为单元或模块等)在物理上由模拟和/或数字电路实现,诸如逻辑门、集成电路、微处理器、微控制器、存储器电路、无源电子组件、有源电子组件、光学组件、硬连线电路等,并且可以任选地由固件和/或软件驱动。例如,电路可以体现在一个或多个半导体芯片中,或者体现在诸如印刷电路板等的基板支撑件上。构成块的电路可以由专用硬件实现,或者由处理器(例如,一个或多个编程的微处理器和相关联电路)实现,或者由执行块的一些功能的专用硬件和执行所述块的其他功能的处理器的组合实现。在不脱离本公开的范围的情况下,实施方案的每个块可以在物理上分成两个或更多个交互和离散块。同

样地,在不脱离本公开的范围的情况下,可以将实施方案的块物理地组合成更复杂的块。

[0178] 以上描述旨在提供用于实现本公开的示例性配置和操作。除了上述示例性实施方案之外,本公开的范围和精神可以包括通过简单地改变或修改上述示例性实施方案而获得的实现方式。此外,本公开的范围和精神包括通过之后容易地改变或修改上述示例性实施方案来实现的实现方式。

1000

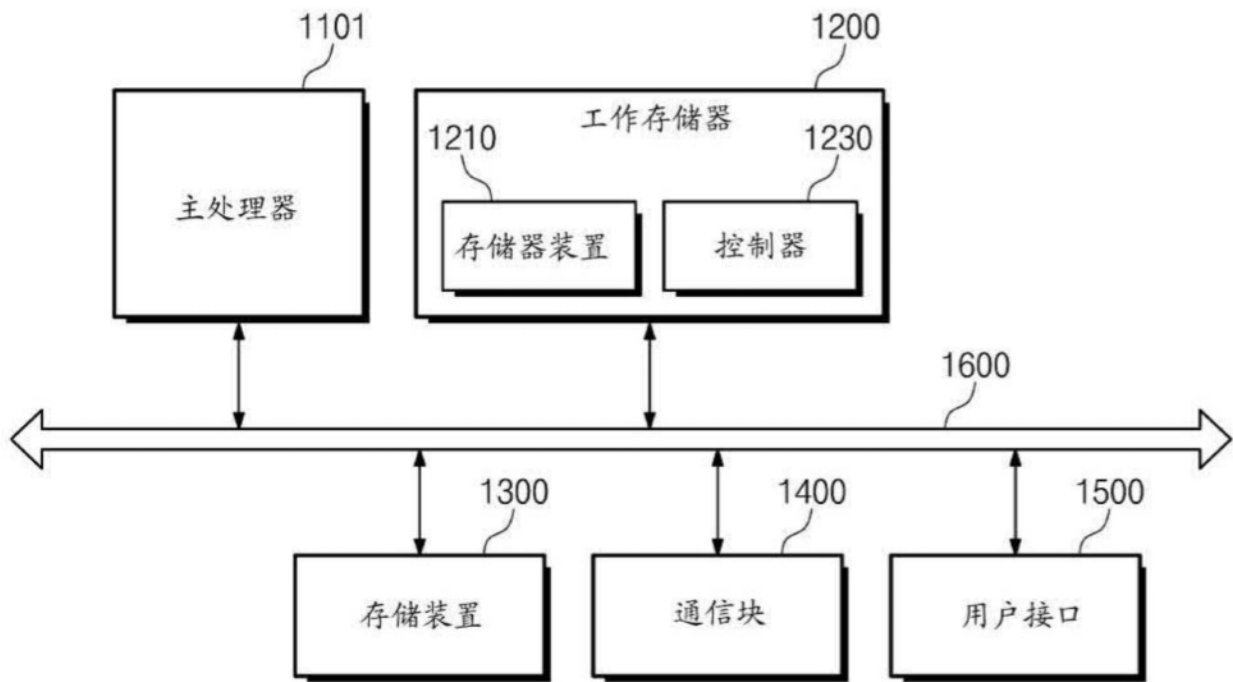


图1

1000

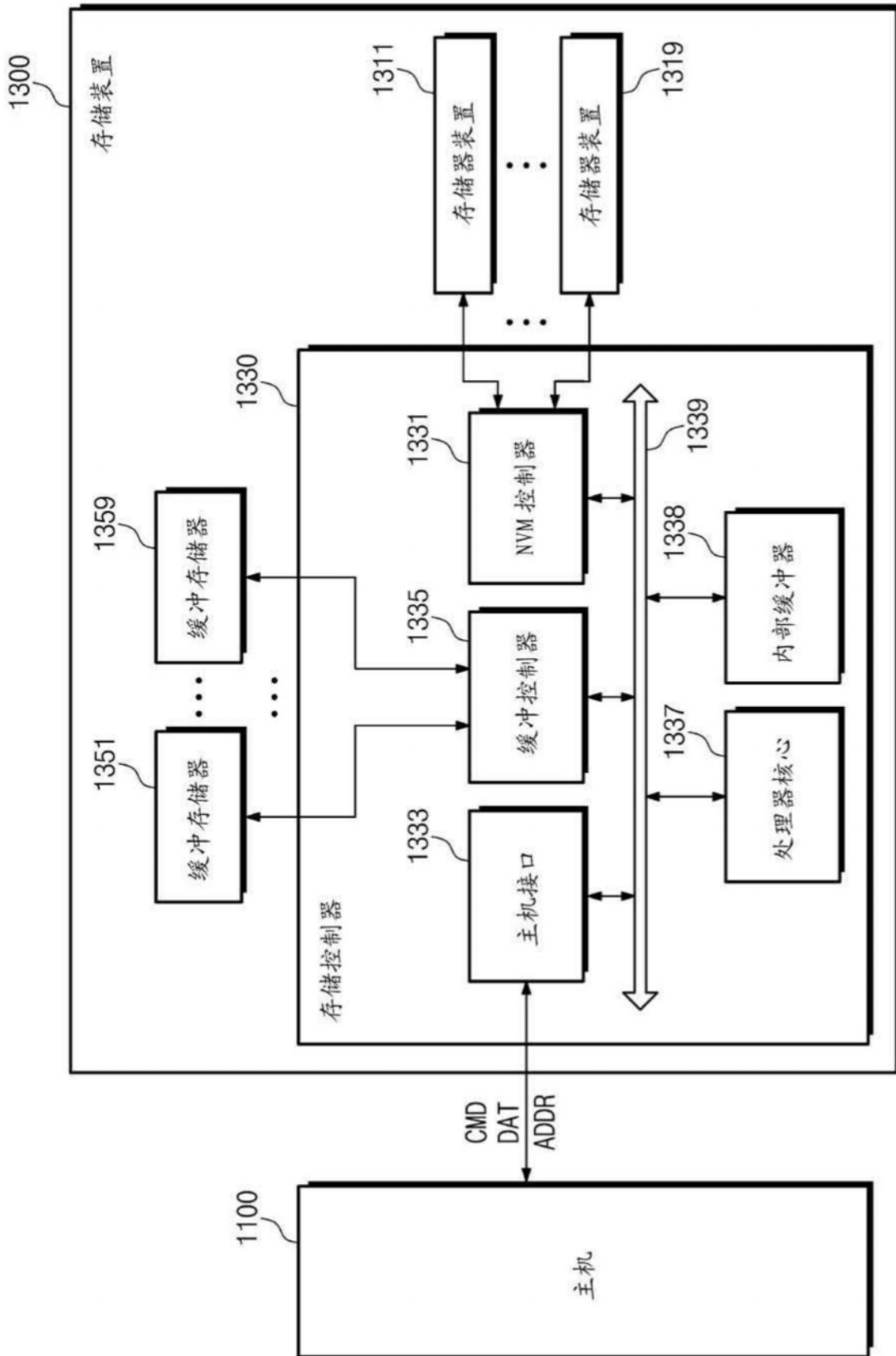


图2

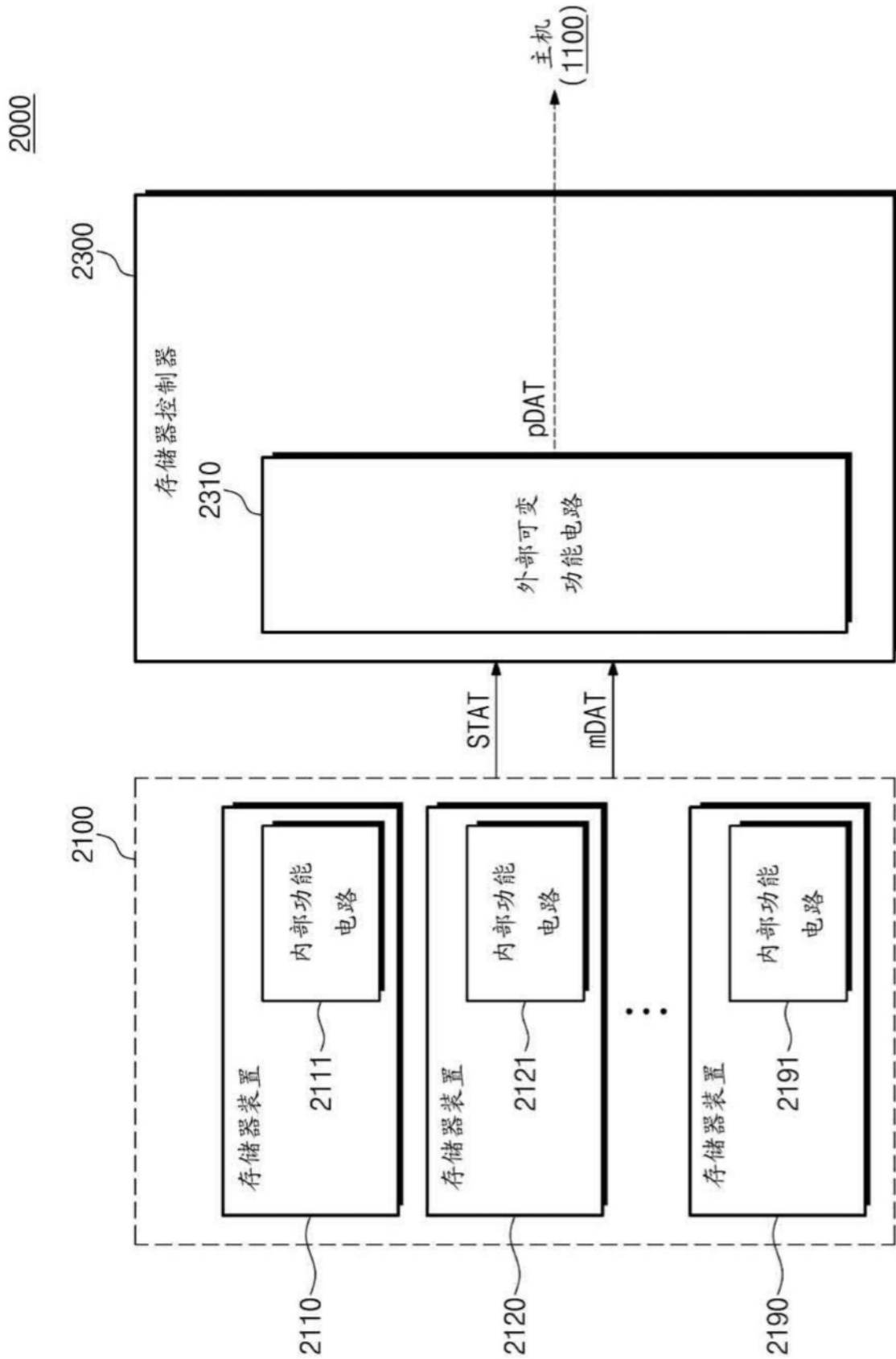


图3

2110

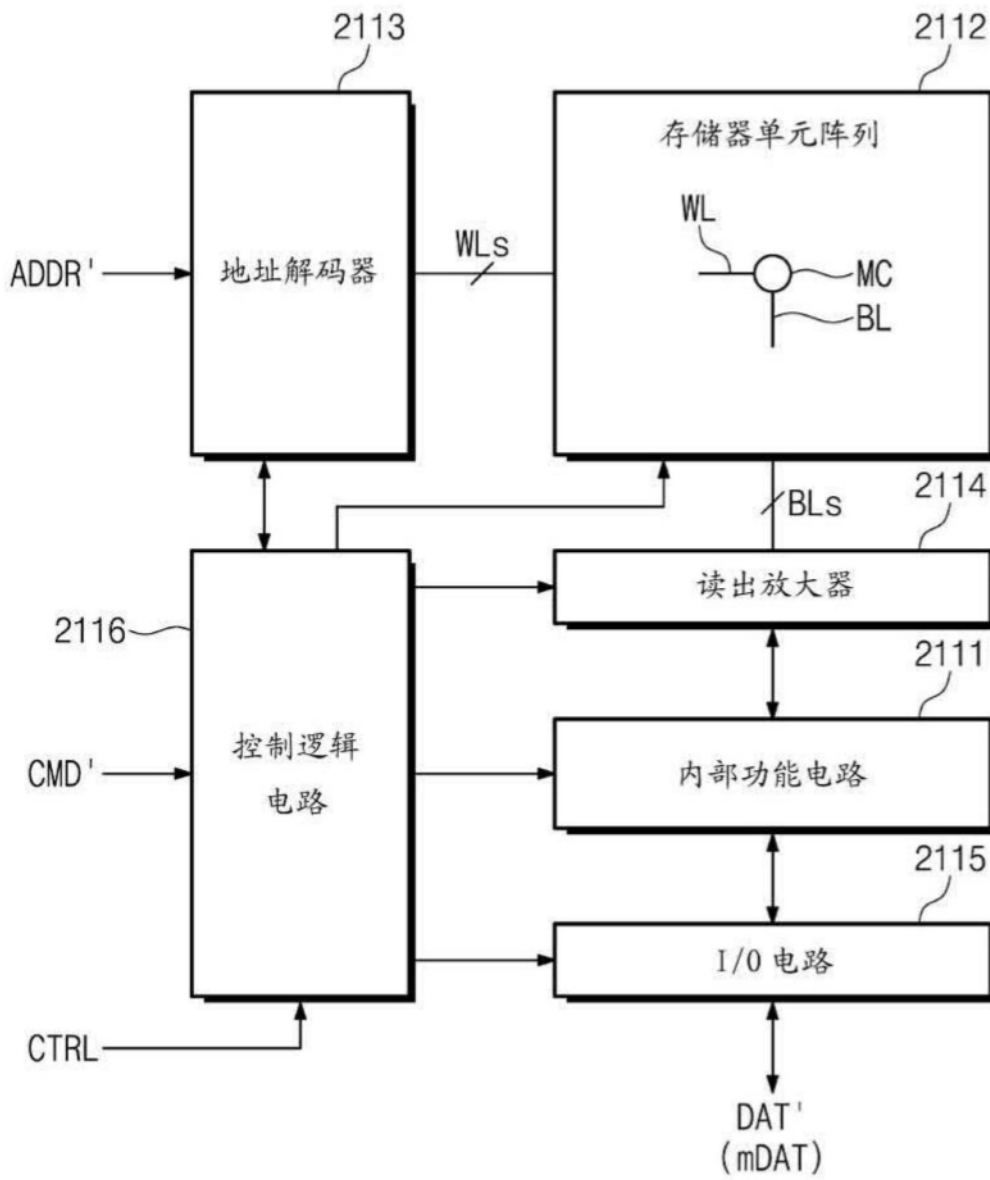


图4

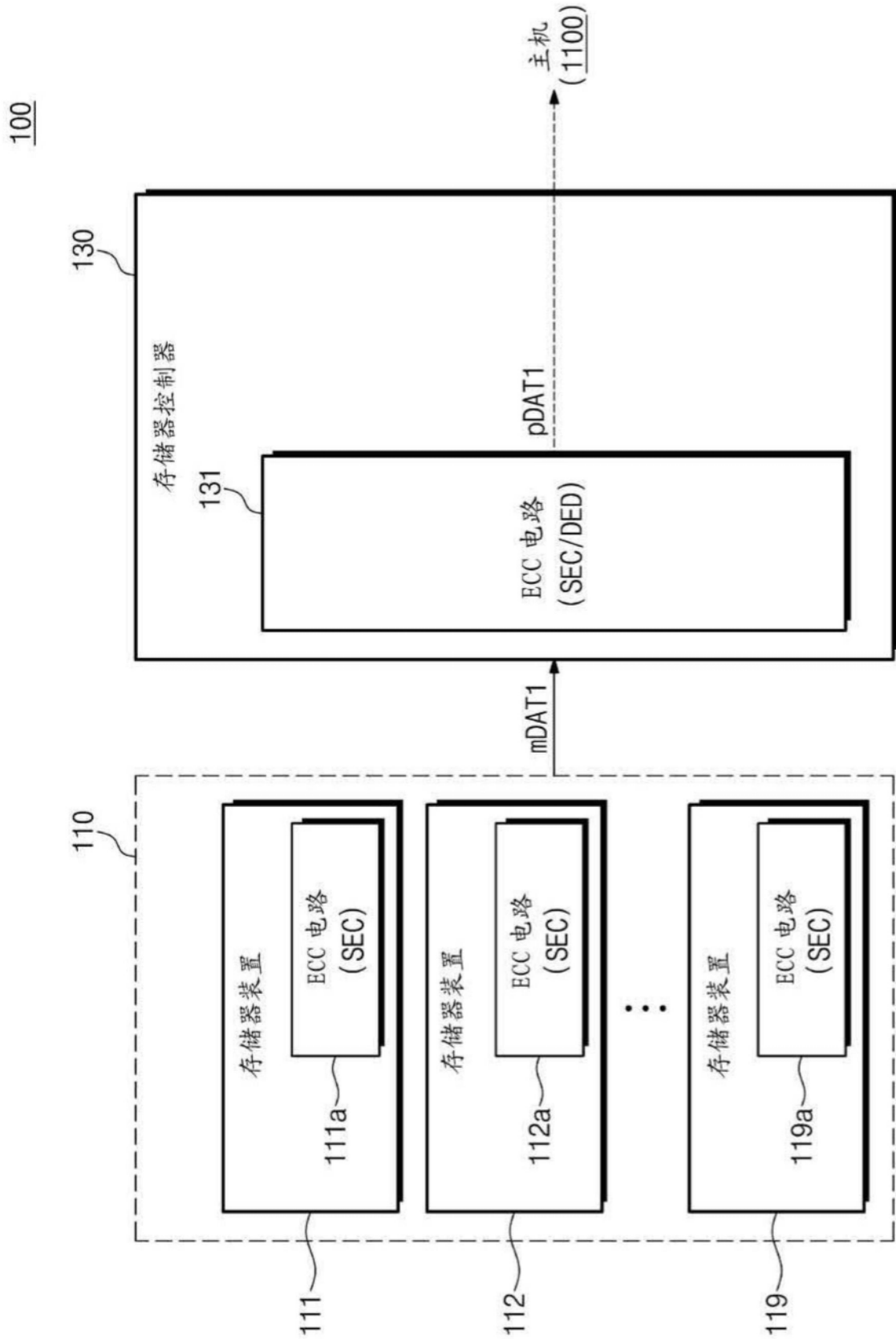


图5

	存储器装置中的错误位数	存储器控制器中的错误位数	外部 SEC/DED ECC 电路
不具有内部 SEC ECC 电路	1	1	可纠正
	2	2	可检测
具有内部 SEC ECC 电路	1	0	没有错误
	2	2	可检测
		3	不可纠正 不可检测

图6

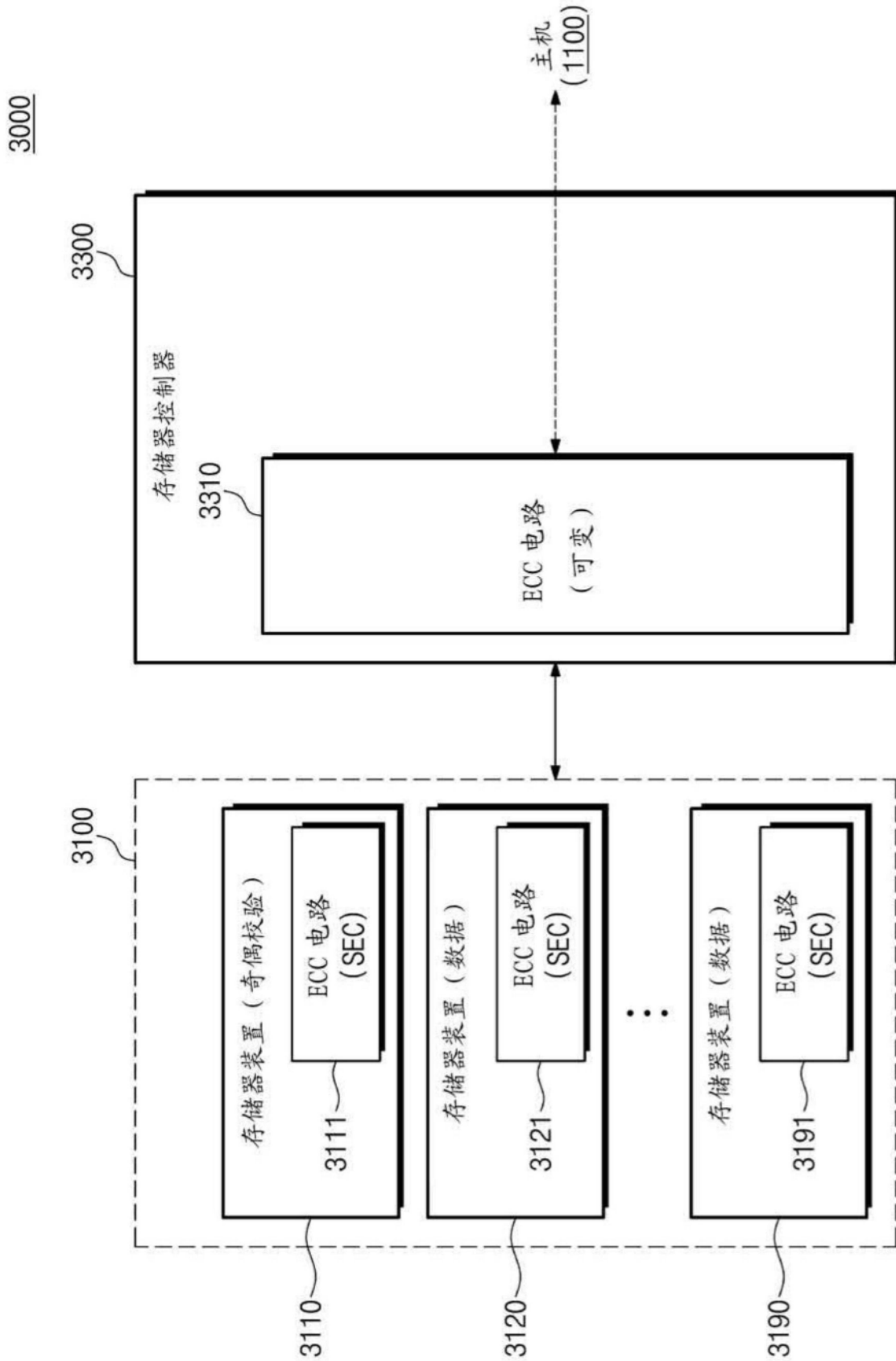


图7

3100

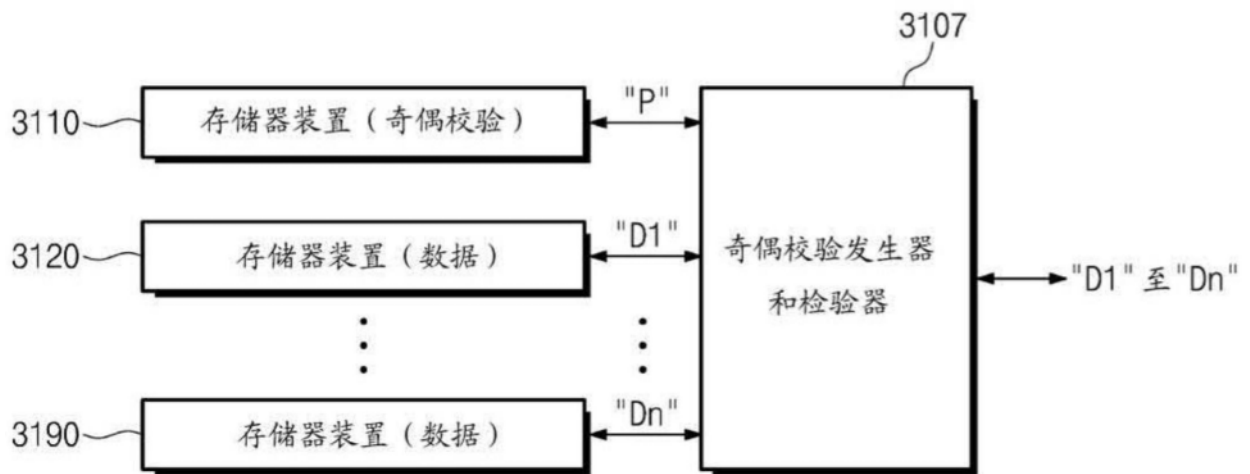


图8

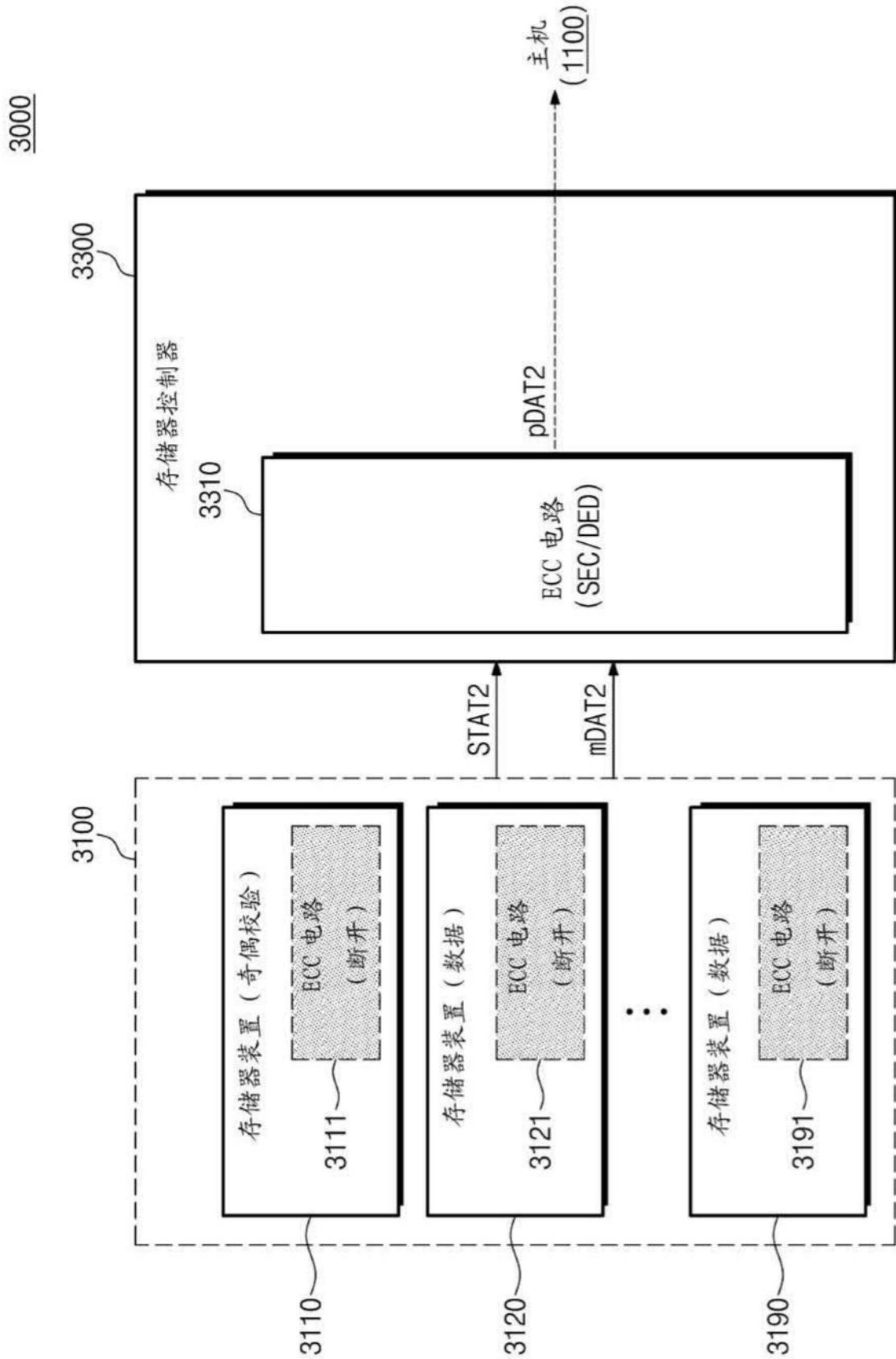


图9

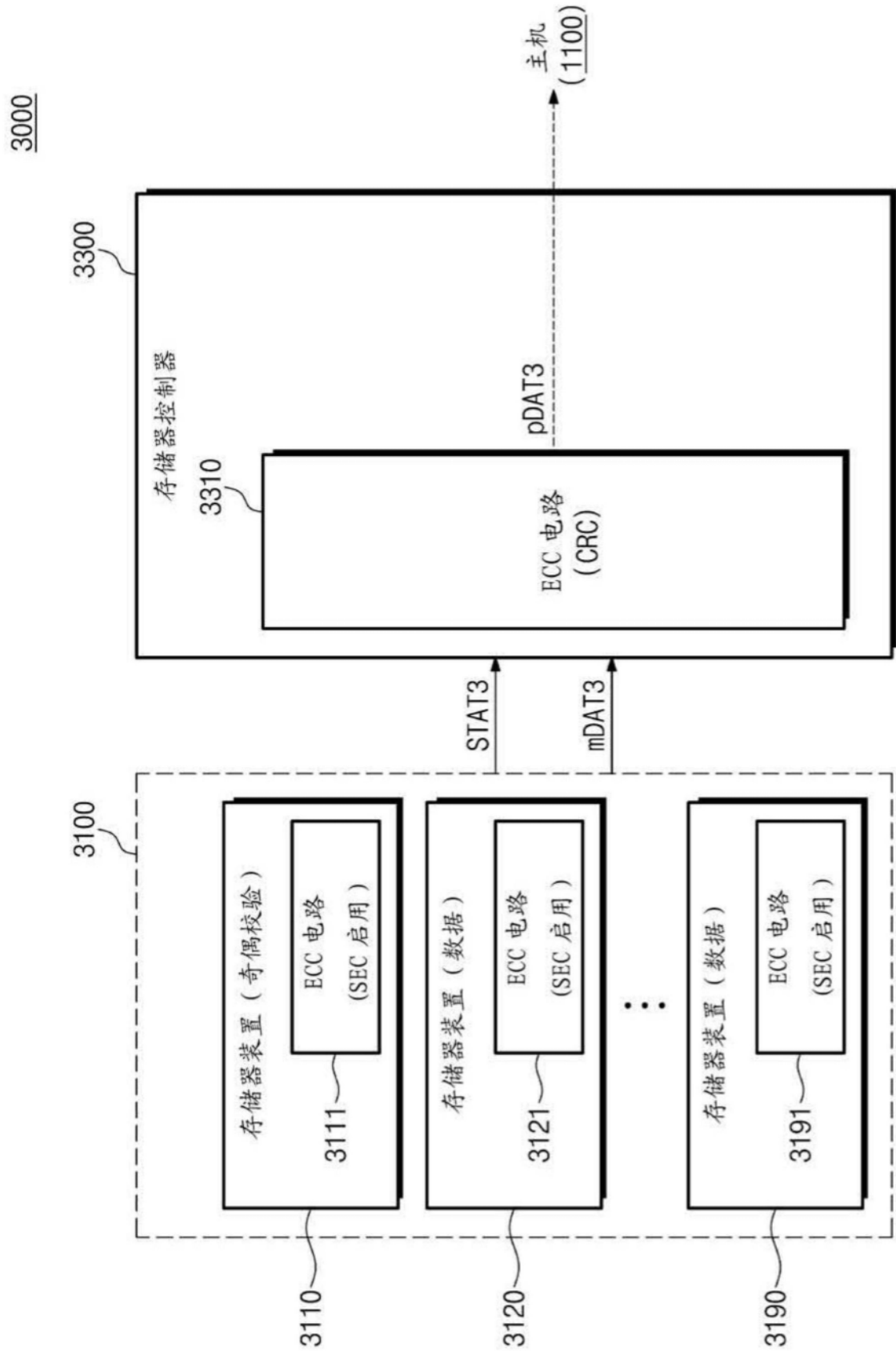


图10

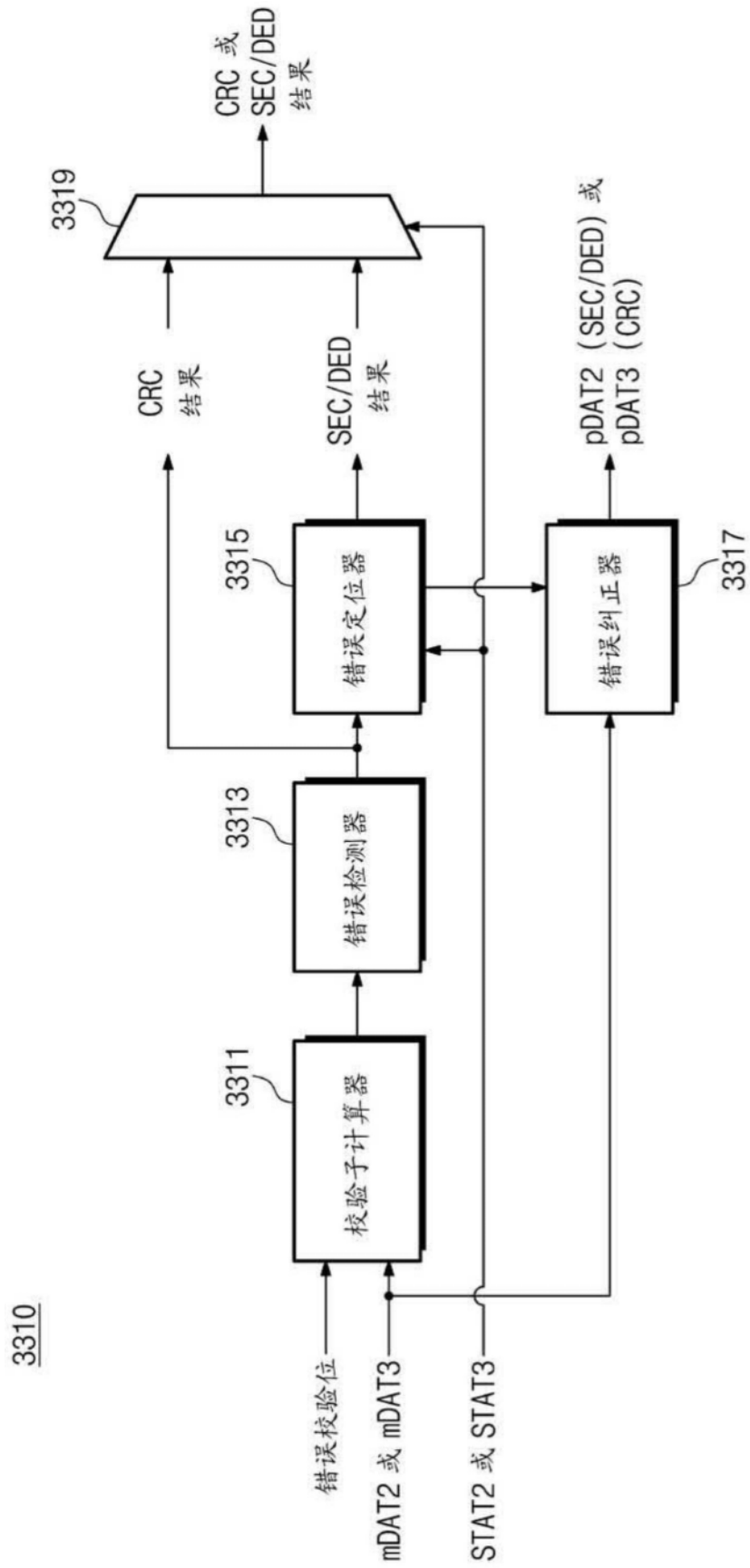


图11

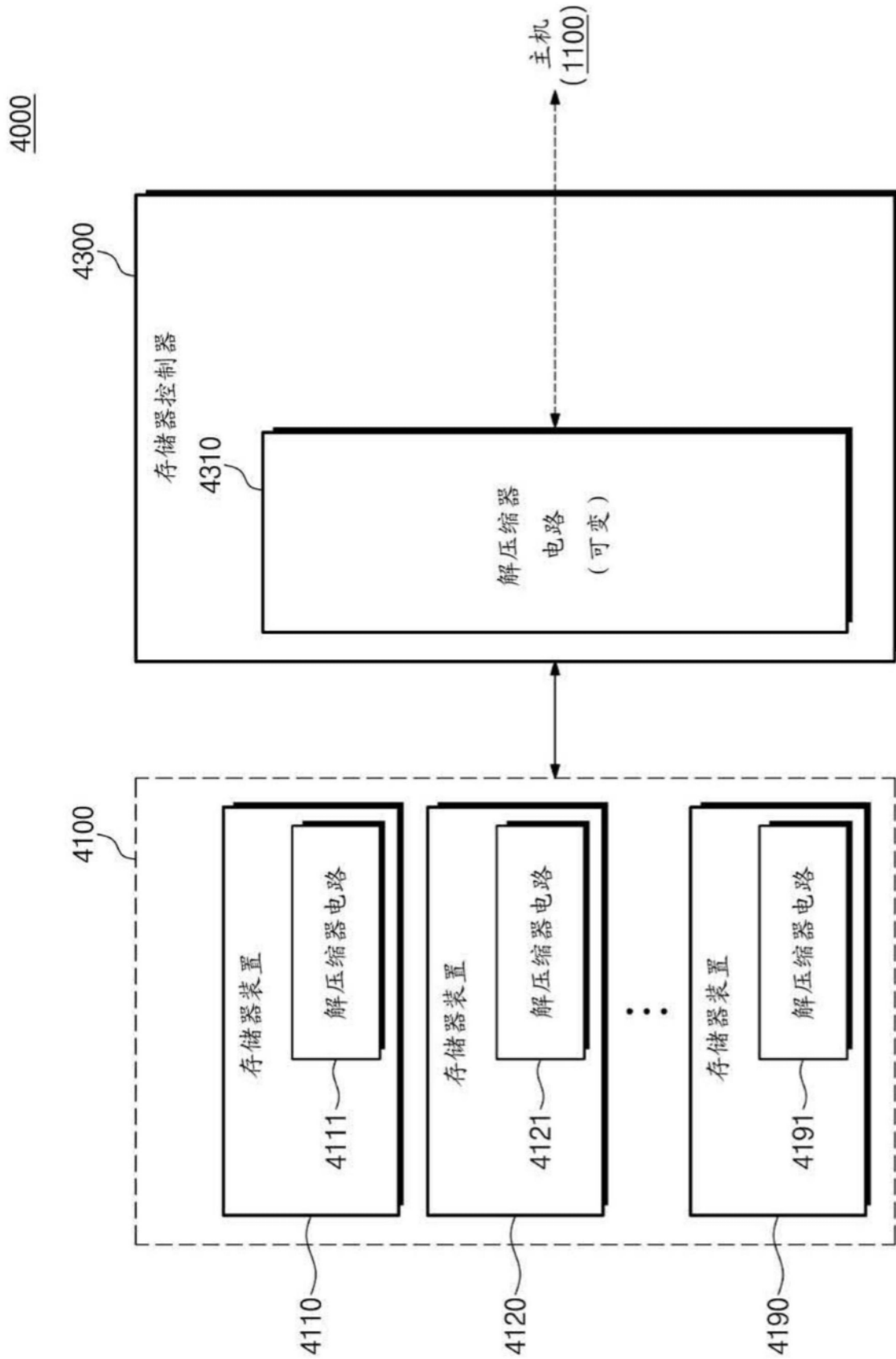


图12

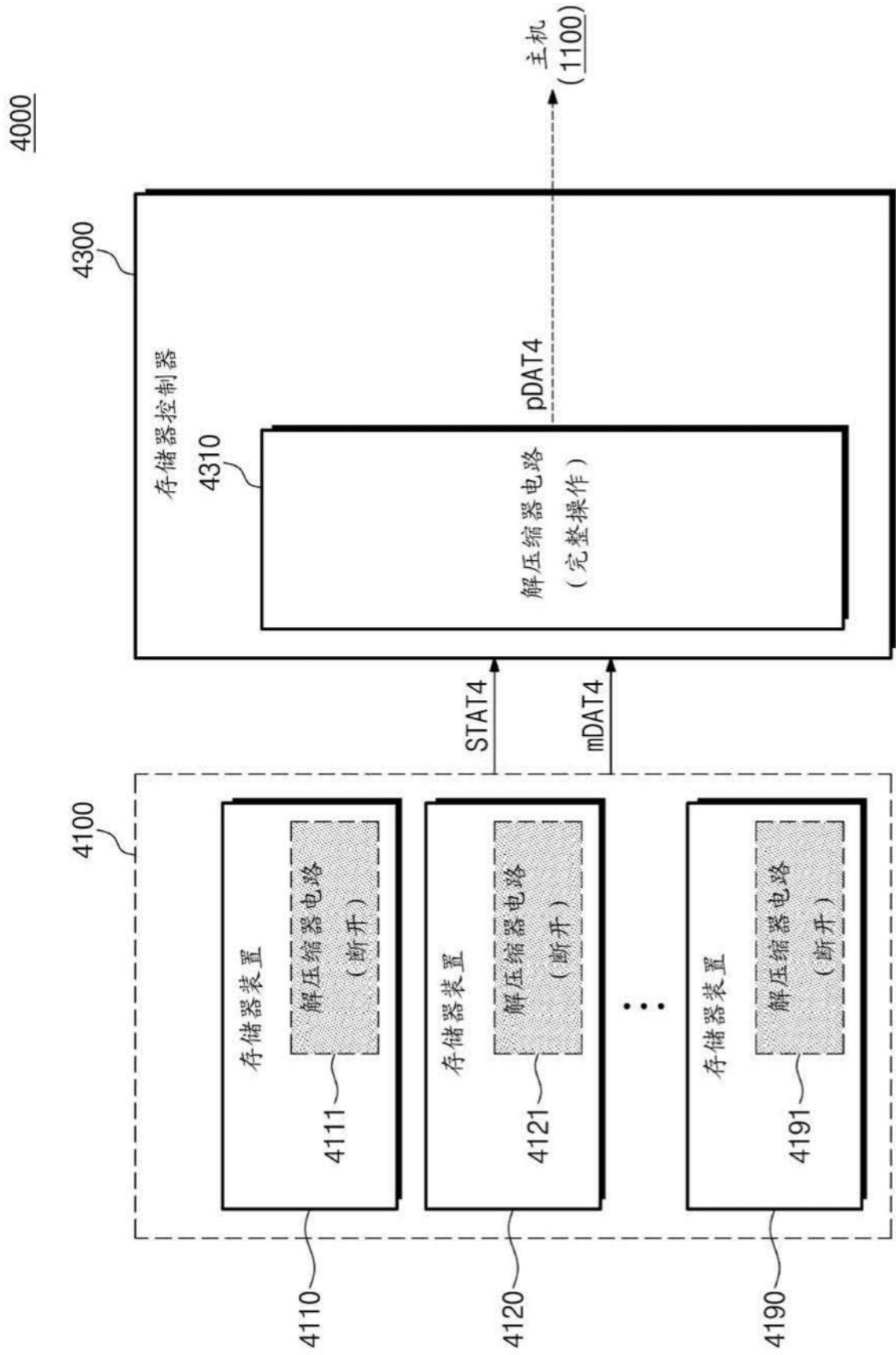


图13

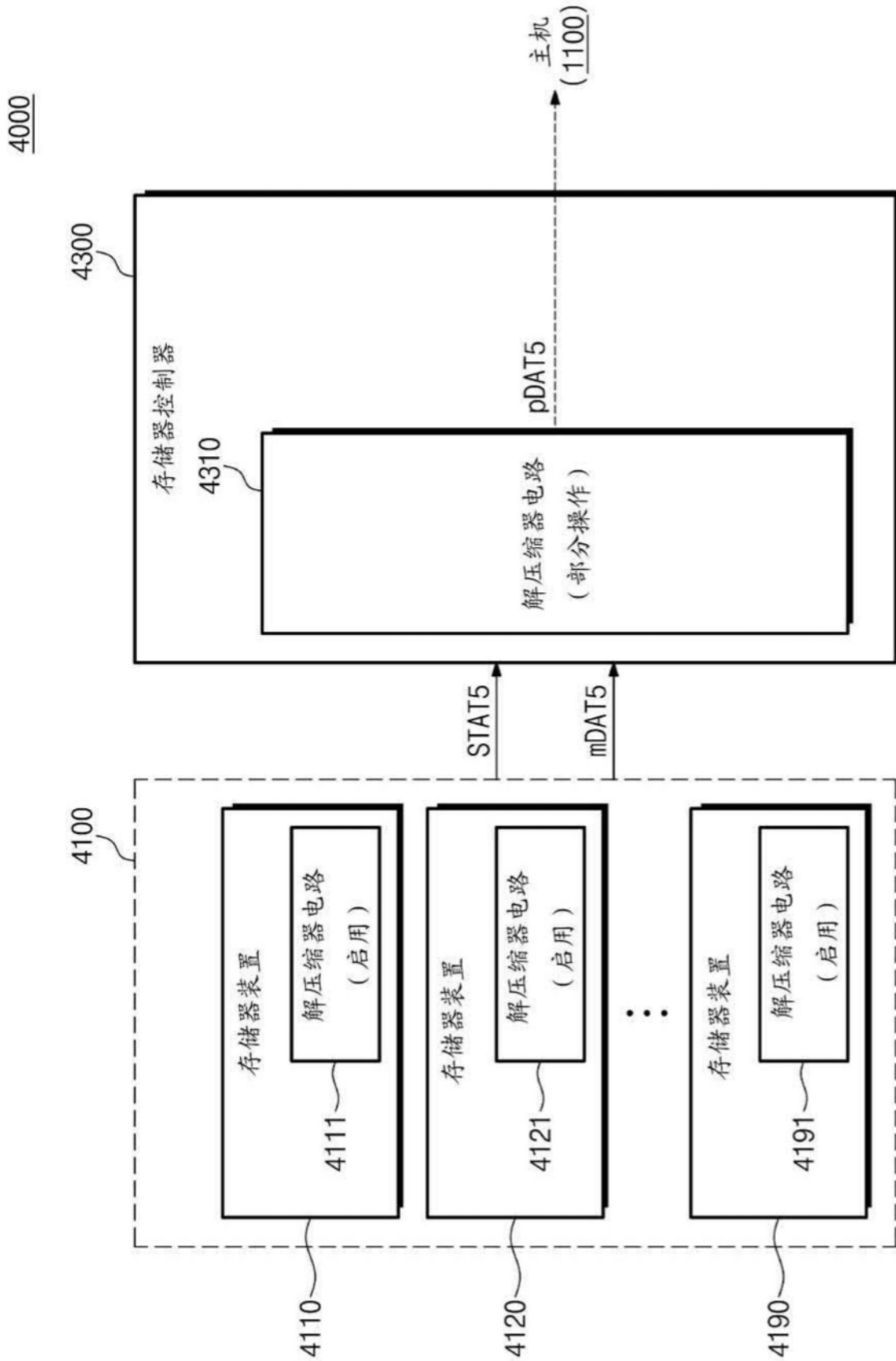


图14

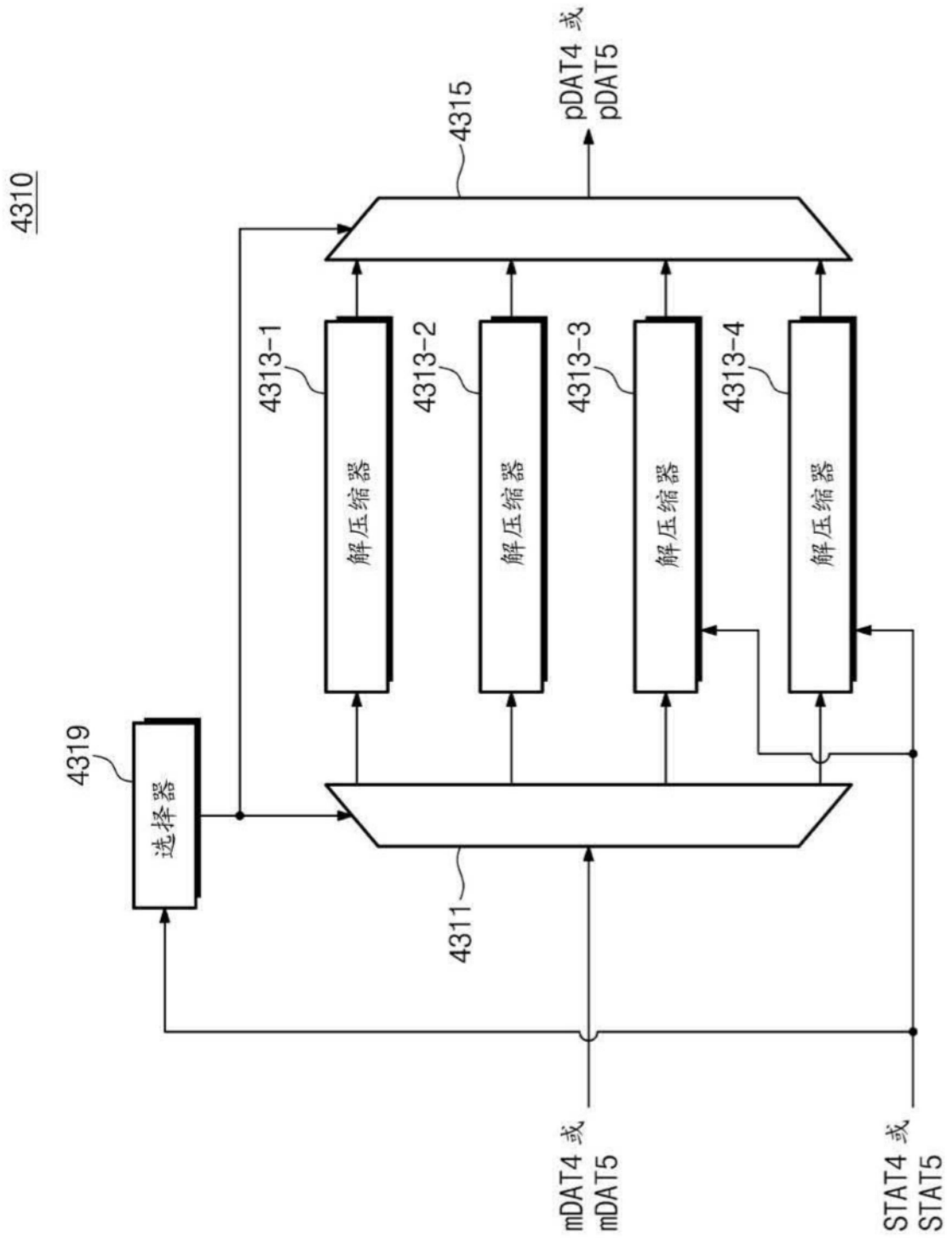


图15

2000a

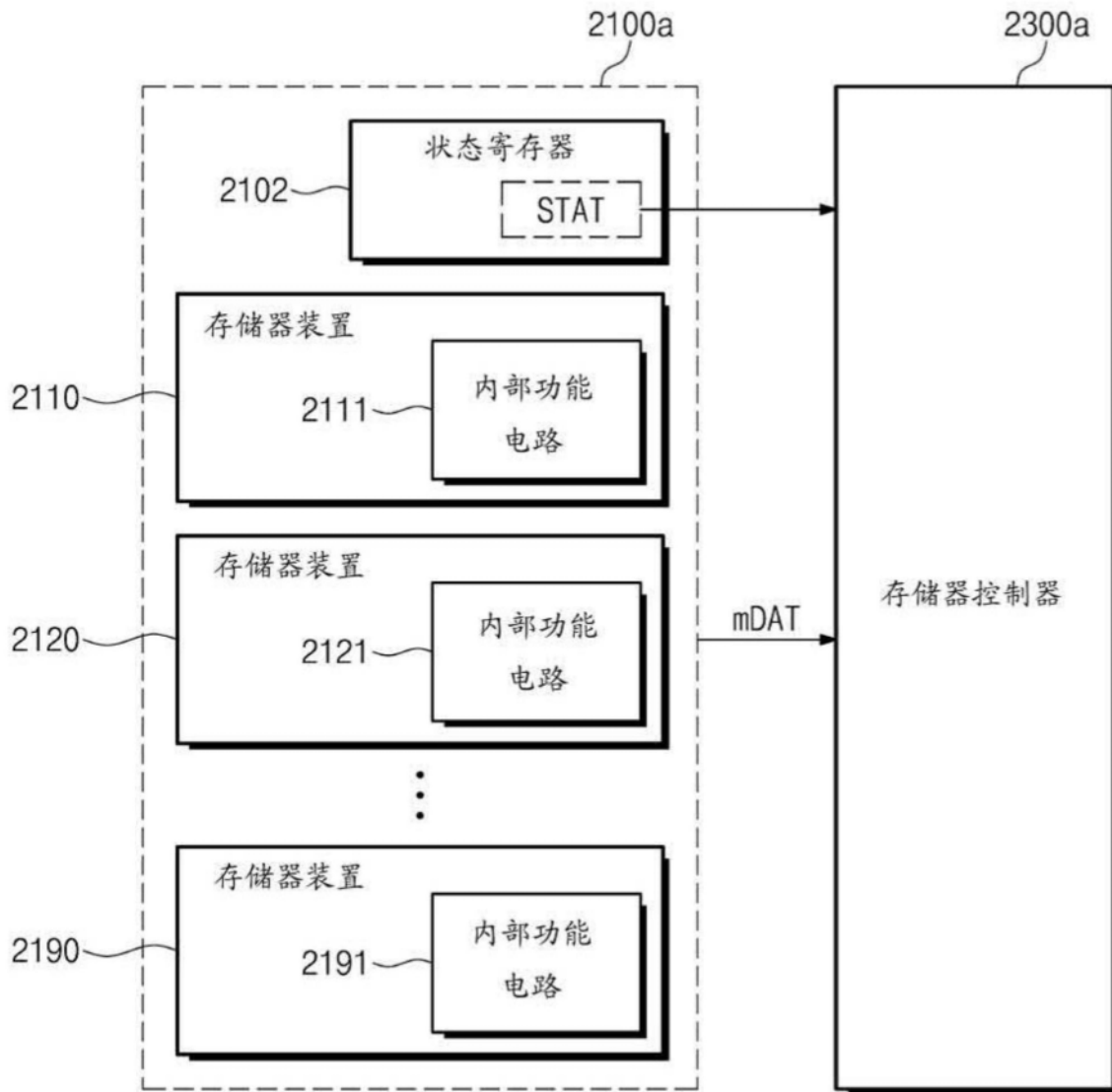


图16

2000b

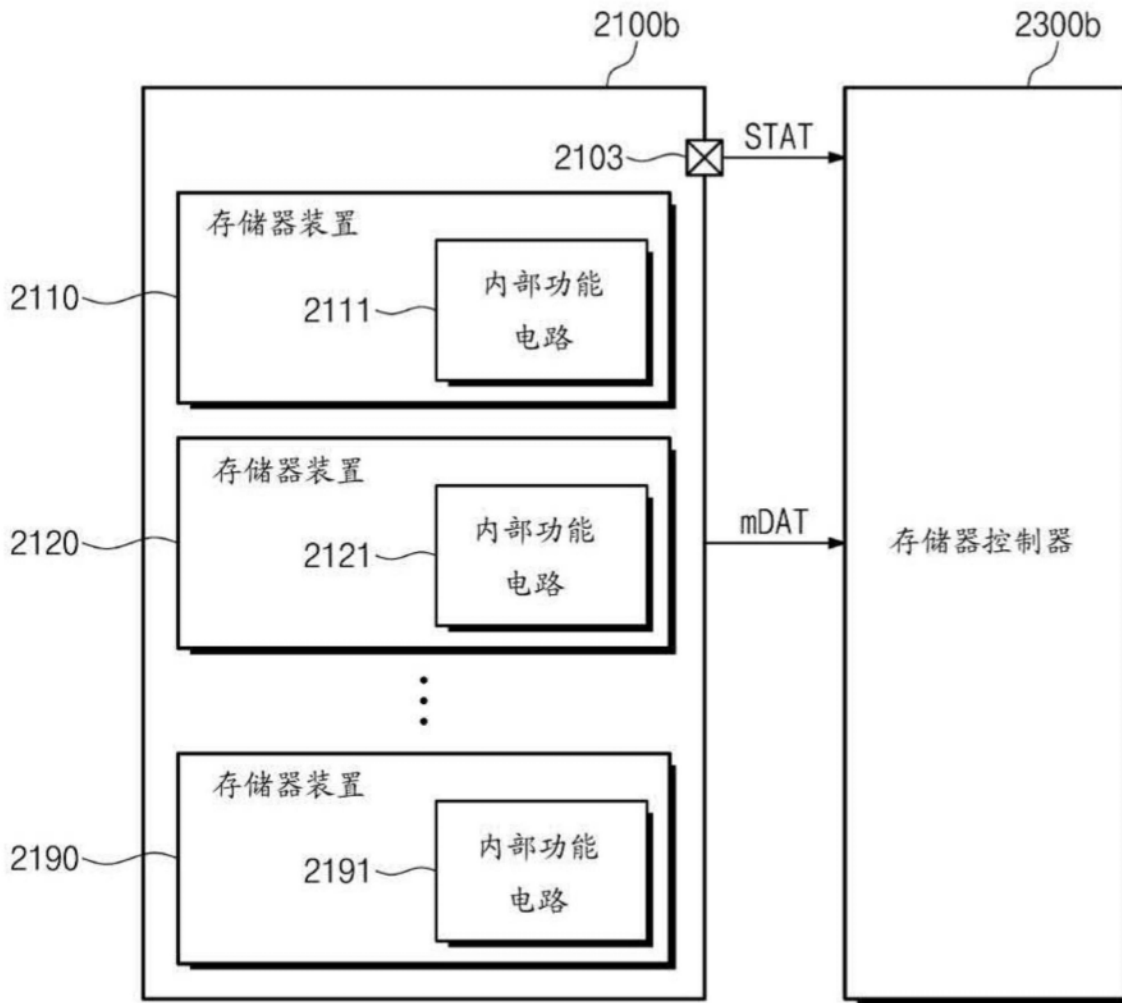


图17

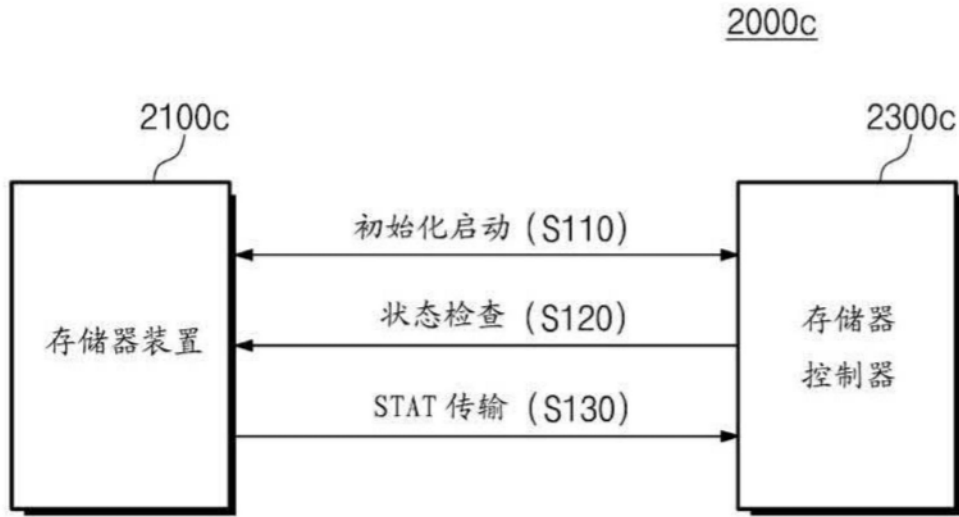


图18

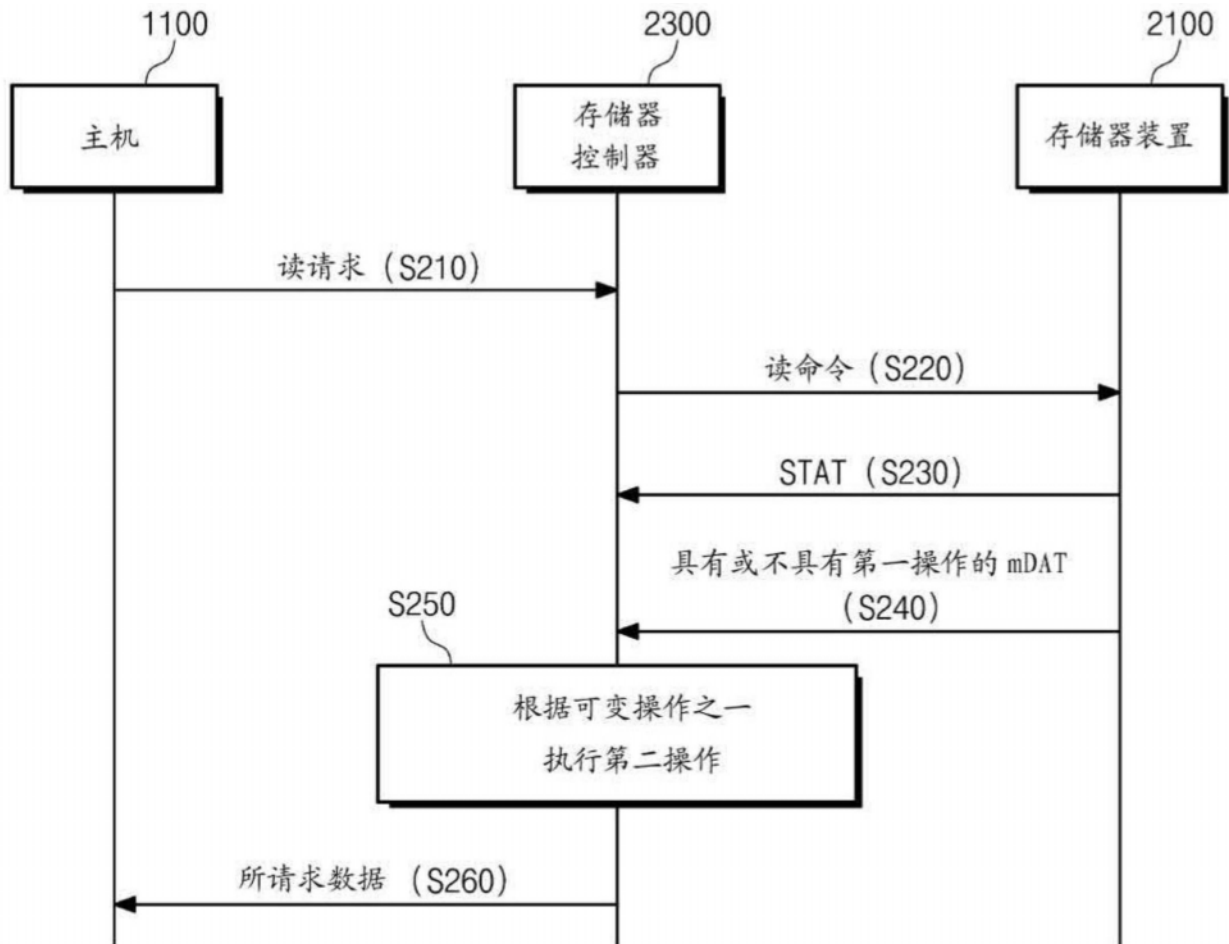


图19