

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-134639

(P2008-134639A)

(43) 公開日 平成20年6月12日(2008.6.12)

(51) Int.Cl.

G02B 6/42 (2006.01)
H01L 27/15 (2006.01)
H01L 31/0232 (2006.01)

F 1

GO2B 6/42
H01L 27/15
H01L 27/15
H01L 31/02

テーマコード(参考)

2 H 1 3 7
5 F 0 8 8

C
D
D

審査請求 有 請求項の数 3 O L (全 13 頁)

(21) 出願番号 特願2007-310135 (P2007-310135)
(22) 出願日 平成19年11月30日 (2007.11.30)
(62) 分割の表示 特願2002-19022 (P2002-19022)
の分割
原出願日 平成14年1月28日 (2002.1.28)

(71) 出願人 000006633
京セラ株式会社
京都府京都市伏見区竹田鳥羽殿町6番地
(72) 発明者 山地 徳一
京都府相楽郡精華町光台3丁目5番地3号
京セラ株式会社中央研究所内
(72) 発明者 阿部 真一
京都府相楽郡精華町光台3丁目5番地3号
京セラ株式会社中央研究所内
(72) 発明者 金子 勝弘
京都府相楽郡精華町光台3丁目5番地3号
京セラ株式会社中央研究所内
(72) 発明者 上野 由里子
京都府相楽郡精華町光台3丁目5番地3号
京セラ株式会社中央研究所内

最終頁に続く

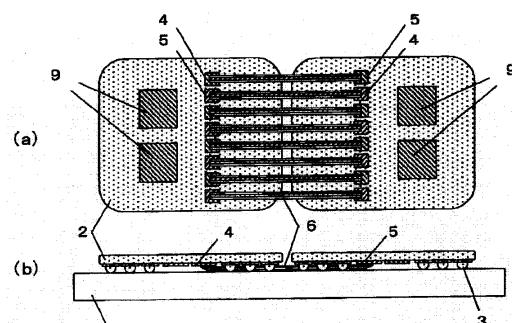
(54) 【発明の名称】半導体装置

(57) 【要約】

【課題】 光電子集積回路素子間を接続する高密度配置された隣接する光導波路間のクロストークを低減した半導体装置を提供する。

【解決手段】 支持基板1上に、電子集積回路素子9ならびに複数個の受光素子5および発光素子4が同一基板上に設けられた光電子集積回路素子2が複数個配置されるとともに、光電子集積回路素子9間で受光素子5と発光素子4とを接続する複数本の光導波路6が形成されて成り、隣接するこれら光導波路6における光の伝搬方向が逆方向とされている半導体装置である。また、隣接する光導波路6に接続された受光素子5および発光素子4は、交互に位置をずらせて配置するとよく、さらにそれぞれ複数個が一体的にアレイ状に形成されているとい。隣接する光導波路6間のクロストークを低減でき、低成本および損失のより小さな半導体装置を提供することができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

支持基板上に、電子集積回路素子ならびに複数個の受光素子および発光素子が同一基板上に設けられた光電子集積回路素子が複数個配置されるとともに、前記光電子集積回路素子間で前記受光素子と前記発光素子とを接続する複数本の光導波路が形成されて成り、隣接するこれら光導波路における光の伝搬方向が逆方向とされていることを特徴とする半導体装置。

【請求項 2】

隣接する前記光導波路により接続された前記受光素子および前記発光素子が、前記光電子集積回路素子において隣接する前記光導波路について交互に位置をずらせて配置されていることを特徴とする請求項 1 記載の半導体装置。 10

【請求項 3】

交互に位置をずらせて配置された前記受光素子および前記発光素子が、前記光電子集積回路素子においてそれぞれ複数個が一体的にアレイ状に形成されていることを特徴とする請求項 2 記載の半導体装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は光送受信システムに使用される、光の送受信デバイスである電子集積回路素子と受光素子・発光素子とを同一基板上に設けた光電子集積回路素子が複数個配置された半導体装置に関するものである。 20

【背景技術】**【0002】**

電子集積回路素子に関する技術である I C (集積回路) 技術や L S I (大規模集積回路) 技術の進歩により、これらの動作速度や集積規模が向上し、M P U (Micro-Processing Unit ; マイクロプロセッサ) の高性能化やメモリチップの高速大容量化が急速に進展している。このような状況下では、特に高速デジタル信号伝送および M P U とメモリチップ間の高速バス等を必要とする場合においては、信号配線の高速・高密度化による電気信号の遅延やクロストーク悪化が高性能化等に対する障害となっている。この問題を解消し得る技術として、光配線(光インターフェクション)を利用することが注目されている。この光配線は、機器装置間・機器装置内ボード間・ボード内チップ間等の様々なレベルで適用可能と考えられており、例えばボード内チップ間のように比較的短距離の信号伝送には、光導波路を光信号の伝送路とした光送受信システムが有効である。 30

【0003】

このような光配線を利用した光送受信システムに用いられる半導体装置に関して、例えば特開平 5 - 48073 号公報には、電子素子集積回路と光素子とが同一基板上に設けられた光電子集積回路のチップの複数個が配置され、かつ光導波路が設けられた支持基板を有し、このチップは、光素子と光導波路とが光学的に接続する位置に配置されたことを特徴とする半導体装置が開示されている。

【0004】

この半導体装置は、図 5 および図 6 に断面図で、また図 7 に一部破断斜視図で示すように、S i 基板 28 上に、光導波路 25 および金属配線 26 が形成されており、フォトダイオード 20 ・ レーザダイオード 21 と電子集積回路と同じチップ上に配置した光電子集積回路のチップ 23 がこの S i 基板 28 に貼り付けられ、かつ、チップ 23 は、フォトダイオード 20 ・ レーザダイオード 21 と光導波路 25 とが光学的に接続するよう、また S i 基板 28 上の金属配線 26 とチップ 23 上のボンディングパッドとが電気的に接続するように位置合わせされている構成のものである。 40

【0005】

この構成によれば、電子素子が集積された電子集積回路の半導体基板上にレーザダイオード 21 ・ フォトダイオード 20 等の光素子を配置した光電子集積回路のチップ 23 を用い、チ 50

ップ23箇の信号伝送を電気配線で行なう代りに光信号を光導波路25にして行なうため、チップ23箇間配線の抵抗・容量・インダクタンスに起因する遅延がなくなるというものである。また、光信号を伝送する光導波路25は従来の電気配線と同様にフォトリソグラフィによってパターニングされるため、製造歩留まりおよび信頼度に優れているというものである。さらに、マルチチップ方式の半導体装置のチップ23箇の電気配線の抵抗・容量・インダクタンスによる遅れがなくなるため、パッケージ内のシステムの演算処理速度が約50パーセント向上し、また、光信号を伝送する光導波路25は従来の電気配線と同様にフォトリソグラフィによってパターニングされるため、電気配線と同等の製造歩留まりおよび信頼度が得られたというものである。

【特許文献1】特開平5-48073号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、図5～図7に示す半導体装置を開示した特開平5-48073号公報には、発光素子と受光素子の配置方向に関する詳細な記述がなく、図5～図7に示したような配置では、受光素子であるフォトダイオード20・発光素子であるレーザダイオード21および光導波路25を隣接して複数配置させると、隣接する光導波路25中の光の伝搬方向が同じであるため、隣接する光導波路25に結合された受光素子20への光の漏れ（クロストーク）を避けるために光導波路25間の間隔を広く配置する必要があり、高集積化を妨げているという問題点があった。

20

【0007】

その一例として、光導波路のコア部およびクラッド部の屈折率差（ n ）が0.3%で光導波路長が20mmの場合の、隣接する光導波路に結合された受光素子へのクロストーク量の計算値を、図8に線図で示す。図8において、横軸は隣接する光導波路の間隔（単位： μm ）を、縦軸はその光導波路間のクロストーク量（単位：dB）を表し、黒四角のプロットおよび特性曲線はクロストーク量の変化を示している。この図8に示す結果は、隣接する光導波路に結合された受光素子へのクロストーク量を、例として20dB以下に抑制しようとする場合には、隣接する光導波路の間隔を22 μm 以上にする必要があることを示している。

30

【0008】

また、前述のような従来の半導体装置では、受光素子・発光素子および光導波路を隣接して複数配置させると、受光素子および発光素子に接続される図示しない電気配線間において電気的クロストークが発生してしまう等の問題点があった。

【0009】

本発明は上記事情に鑑みて本発明者が鋭意研究に努めた結果完成されたものであり、その目的は、高密度配置された隣接する光導波路に結合された受光素子へのクロストークを低減した、光送受信システムに好適な半導体装置を提供することにある。

【0010】

また、本発明の他の目的は、高密度配置された隣接する光導波路に結合された受光素子へのクロストークを低減するとともに、電気配線間の電気的クロストークも低減した、光送受信システムに好適な半導体装置を提供することにある。

40

【0011】

また、本発明のさらに他の目的は、低コストで、およびより小さな損失で製造することができる半導体装置を提供することにある。

【課題を解決するための手段】

【0012】

本発明の半導体装置は、支持基板上に、電子集積回路素子ならびに複数個の受光素子および発光素子が同一基板上に設けられた光電子集積回路素子が複数個配置されるとともに、前記光電子集積回路素子間で前記受光素子と前記発光素子とを接続する複数本の光導波路が形成されて成り、隣接するこれら光導波路における光の伝搬方向が逆方向とされてい

50

ることを特徴とするものである。

【0013】

また、本発明の半導体装置は、上記構成において、隣接する前記光導波路により接続された前記受光素子および前記発光素子が、前記光電子集積回路素子において隣接する前記光導波路について交互に位置をずらせて配置されていることを特徴とするものである。

【0014】

また、本発明の半導体装置は、上記構成において、交互に位置をずらせて配置された前記受光素子および前記発光素子が、前記光電子集積回路素子においてそれぞれ複数個が一体的にアレイ状に形成されていることを特徴とするものである。

【発明の効果】

【0015】

本発明の半導体装置によれば、支持基板上に、電子集積回路素子ならびに複数個の受光素子および発光素子が同一基板上に設けられた光電子集積回路素子が複数個配置されるとともに、前記光電子集積回路素子間で前記受光素子と前記発光素子とを接続する複数本の光導波路が形成されて成り、隣接するこれら光導波路における光の伝搬方向が逆方向とされていることから、隣接する光導波路中の光の伝搬方向が逆方向であるため隣接する光導波路に光信号が漏れたとしても、その光導波路に結合された受光素子はその漏れてきた光信号の伝搬方向の反対側に配置されているので、隣接する光導波路に結合された受光素子へのクロストークを低減することができる。また、隣接する光導波路間でのクロストークを低減することができるため、それら隣接する光導波路間の間隔をより狭くすることができるので、より高密度の光配線を実現することができる。

【0016】

また本発明の半導体装置によれば、隣接する光導波路により接続された受光素子および発光素子が、光電子集積回路素子において隣接する光導波路について交互に位置をずらせて配置されているときには、受光素子および発光素子が接続される電気配線の位置もそれに対応させてずらさせて配置されることとなるため、送受光素子間の電気的なクロストークを小さくすることができ、より高密度の光配線を実現することができる。

【0017】

また、本発明の半導体装置によれば、交互に位置をずらせて配置された受光素子および発光素子が、光電子集積回路素子においてそれぞれ複数個が一体的にアレイ状に形成されているときには、受光素子および発光素子が、それぞれ個別の素子を基板上に配置する必要がなく、受光素子および発光素子を複数個アレイ上に形成した光電子集積回路素子を基板上に配置するのみでそれぞれの受光素子および発光素子の一括配置が可能なため、この半導体装置を製造する際の受光素子および発光素子を基板上に配置する工数およびコストを低減することができ、複数の受光素子および発光素子の位置ずれが小さくなるので、光信号伝搬の損失を小さくすることができる。

【0018】

以上により、本発明によれば、高密度配置された隣接する光導波路に結合された受光素子へのクロストークを低減するとともに、電気配線間の電気的クロストークも低減した、光送受信システムに好適な半導体装置を提供することができ、低コストで、およびより小さな損失で製造することができる半導体装置を提供することができた。

【発明を実施するための最良の形態】

【0019】

本発明の半導体装置によれば、支持基板上に、電子集積回路素子ならびに複数個の受光素子および発光素子が同一基板上に設けられた光電子集積回路素子が複数個配置されるとともに、前記光電子集積回路素子間で前記受光素子と前記発光素子とを接続する複数本の光導波路が形成されて成り、隣接するこれら光導波路における光の伝搬方向が逆方向とされていることから、隣接する光導波路中の光の伝搬方向が逆方向であるため隣接する光導波路に光信号が漏れたとしても、その光導波路に結合された受光素子はその漏れてきた光信号の伝搬方向の反対側に配置されているので、隣接する光導波路に結合された受光素子

10

20

30

40

50

へのクロストークを低減することができる。また、隣接する光導波路間でのクロストークを低減することができるため、それら隣接する光導波路間の間隔をより狭くすることができるので、より高密度の光配線を実現することができる。

【0020】

また本発明の半導体装置によれば、隣接する光導波路により接続された受光素子および発光素子が、光電子集積回路素子において隣接する光導波路について交互に位置をずらせて配置されているときには、受光素子および発光素子が接続される電気配線の位置もそれに対応させてずらされて配置されることとなるため、送受光素子間の電気的なクロストークを小さくすることができ、より高密度の光配線を実現することができる。

【0021】

また、本発明の半導体装置によれば、交互に位置をずらせて配置された受光素子および発光素子が、光電子集積回路素子においてそれぞれ複数個が一体的にアレイ状に形成されているときには、受光素子および発光素子が、それぞれ個別の素子を基板上に配置する必要がなく、受光素子および発光素子を複数個アレイ上に形成した光電子集積回路素子を基板上に配置するのみでそれぞれの受光素子および発光素子の一括配置が可能なため、この半導体装置を製造する際の受光素子および発光素子を基板上に配置する工数およびコストを低減することができ、複数の受光素子および発光素子の位置ずれが小さくなるので、光信号伝搬の損失を小さくすることができる。

【0022】

以下、本発明の半導体装置について図面を参照しつつ詳細に説明する。

10

【0023】

図1(a)および(b)は、それぞれ本発明の半導体装置の実施の形態の一例を示す下面図および断面図である。図1(a)は、発光素子4・受光素子5および電子集積回路素子9が設置されている光電子集積回路素子2が、導体バンプ3により支持基板1上に接続固定されている様子を示す支持基板1を除いた状態の下面図であり、図1(b)に半導体装置の断面図で示すように、発光素子4および受光素子5は、支持基板1上に形成された光導波路6により接続されている。そして、本発明の半導体装置は、図1(a)に示す複数の隣接する光導波路6において、光の伝搬方向が逆方向とされていることを特徴とする。

20

【0024】

ここで、本発明の半導体装置の光電子集積回路素子に設けられた発光素子4および受光素子5について説明する。これら発光素子4および受光素子5は、それぞれ光信号を発光および受光するものであり、光通信等に用いられる光素子が用いられる。より具体的には、発光素子4については発光ダイオード(LED)

30

半導体レーザ(LD)等が該当する。また、受光素子5については、pin型フォトダイオード・アバランシェフォトダイオード(APD)・MSM型フォトダイオード等が該当する。そして、これら発光素子4および受光素子5は、それぞれの光電子集積回路素子2において、隣接する光導波路6について交互に配置されており、これにより隣接する光導波路6における光の伝搬方向が逆方向とされている。

40

【0025】

次に、図2は、隣接する光導波路6により接続された受光素子5および発光素子4が、光電子集積回路素子2において隣接する光導波路6について交互に位置をずらせて、いわゆるジグザグ状に位置するように配置されている、本発明の半導体装置の実施の形態の他の例を示す図1(a)と同様の下面図である。図2において、図1と同様の箇所には同じ符号を付してある。この例においては、光電子集積回路素子2に設けられた発光素子4(図において右上がりの斜線を施した)および受光素子5(図において左上がりの斜線を施した)は、隣接する光導波路について交互に位置をずらせてジグザグ状に配置されている。そして、隣接して配置された光電子集積回路素子2の発光素子4および受光素子5間は、それぞれの発光素子4と受光素子5とが光接続されるように光導波路6により接続されており、隣接する光導波路6における光の伝搬方向が逆方向とされている。

50

【0026】

これらの発光素子4および受光素子5が隣接する光導波路6について交互に位置をずらせてジグザグ状に配置され、隣接して配置された光電子集積回路素子2の発光素子4および受光素子5間がそれぞれ光導波路6により接続されている各光電子集積回路素子2は、図1(b)に示す例と同様に、図2には図示していない導体バンプ3により、同じく図2には図示していない支持基板1上に配置されている。

【0027】

なお、本発明の半導体装置のこのような例において、受光素子5および発光素子4を交互に位置をずらせてジグザグ状に配置する場合の、受光素子5の並びと発光素子4の並びとの間の長さは、受光素子5および発光素子4がそれぞれ接続される電気配線(図示せず)間のクロストークが発生することによって受光感度および発光効率の低下の発生等の影響が引き起こされることから、受光素子5および発光素子4に接続される電気配線(図示せず)間のクロストークが発生しない長さ以上としておくことが望ましい。このような長さは、例えば具体的な長さとしては、 $10\mu m$ から $20\mu m$ 以上としておくことが望ましい。

10

【0028】

次に、図3は、光電子集積回路素子2において隣接する光導波路6について交互に位置をずらせてジグザグ状に配置された受光素子5および発光素子4が、それぞれ複数個が一体的にアレイ状に形成されて、受光素子アレイ化および発光素子アレイ化されている、本発明の半導体装置の実施の形態のさらに他の例を示す図1(a)および図2と同様の下面図である。図3においても、図1および図2と同様の箇所には同じ符号を付してある。この例においては、光電子集積回路素子2に設けられた発光素子4および受光素子5は、隣接する光導波路について交互に位置をずらせてジグザグ状に配置されており、これらの発光素子4および受光素子5は、それぞれ複数個が発光素子アレイ7および受光素子アレイ8として一体的にアレイ状に形成されている。

20

【0029】

ここで、複数個の発光素子4および受光素子5が一体的にアレイ状に形成されているとは、受光素子5および発光素子4がそれぞれ一つの基板上にモノリシックに形成され、あるいはハイブリッド的に実装されて配列されることにより、図3に例を示すような発光素子アレイ7および受光素子アレイ8となっていることをいう。

30

【0030】

隣接して配置された光電子集積回路素子2のこれらの発光素子アレイ7および受光素子アレイ8中の発光素子4および受光素子5間は、それぞれの発光素子4と受光素子5とが光接続されるように光導波路6により接続されており、隣接する光導波路6における光の伝搬方向が逆方向とされている。

40

【0031】

これらの発光素子4および受光素子5が発光素子アレイ7および受光素子アレイ8として設けられ、隣接して配置された光電子集積回路素子2の発光素子4および受光素子5間がそれぞれ光導波路6により接続されている各光電子集積回路素子2は、図1(b)に示す例と同様に、図3には図示していない導体バンプ3により、同じく図3には図示していない支持基板1上に配置されている。

40

【0032】

このような本発明の半導体装置について、その製造方法の工程例を説明する。

【0033】

まず、支持基板1の表面に複数本の光導波路6を形成する。支持基板1は、光導波路6および光電子集積回路素子2の支持基板となるとともに、電気配線等が形成されることにより各種光素子・光部品および半導体素子等の高周波電子部品が実装されるものである。この支持基板1には、例えばガラス基板の他にシリコン基板・アルミナ基板・ガラスセラミックス基板・ムライト基板・ポリイミド基板等が用いられる。

【0034】

光導波路6は、発光素子4および受光素子5間ににおける光信号の接続を行なうものであ

50

り、コア部およびクラッド部からなる。コア部およびクラッド部からなる光導波路6を形成する材料には、光導波路として通常用いられる材料を使用することができ、特に制限はされない。具体的には、石英・ガラス等の無機系光学材料や、PMMA(ポリメチルメタアクリレート)・ポリカーボネート・アクリレート・フッ素化アクリレート・ポリエーテルイミド・ポリイミド・BCB(ベンゾシクロブテン)・フッ素化ポリイミド・フッ素樹脂・重水素化PMMA・重水素化シリコーン・シロキサンポリマ・ポリスチレン・ポリシラン等の一般的な有機系光学材料を使用することができる。

【0035】

これらの材料により光導波路6を形成する方法は、一般的な光導波路を形成する方法を使用することができ、特に制限はされない。具体的には、支持基板1上に例えば熱蒸着法・スパッタリング法・CVD法・重合法・熱拡散法・イオン交換法・イオン注入法・エピタキシャル成長法・スピンドル法や印刷法等によってこれらの材料を成膜し、周知のフォトリソグラフィにより導波路形状にパターニングし、ウェットまたはドライエッチング法等により所望の導波路形状に加工することにより形成すればよい。

10

【0036】

次いで、前述の支持基板1の表面に光導波路6を形成する工程とは別に、光電子集積回路素子2上に電子集積回路素子9ならびに発光素子4および受光素子5を設置する。電子集積回路素子9は電気信号の処理を行なうものであり、発光素子4および受光素子5はそれぞれ光信号を発光および受光するものである。

20

【0037】

光電子集積回路素子2上に発光素子4および受光素子5を設置する方法としては、光電子集積回路素子2の基板とは別途に発光素子4および受光素子5を作製し、その後、光電子集積回路素子2上に配置してもよく、また、発光素子4および受光素子5を直接、光電子集積回路素子2の基板に形成することによって設置してもよい。なお、このとき、隣接する光導波路6における光の伝搬方向が逆方向になるように、発光素子4および受光素子5を配置する。

20

【0038】

最後に、発光素子4および受光素子5が設置された光電子集積回路素子2の基板上に導体バンプ3を形成し、この導体バンプ3を介して光電子集積回路素子2を支持基板1上に配置することで、本発明の半導体装置となる。

30

【0039】

このようにして本発明の半導体装置を製造する際に、光電子集積回路素子2において隣接する光導波路6により接続された受光素子5および発光素子4を、交互に位置をずらせて配置し、最後に、発光素子4および受光素子5を設置された光電子集積回路素子2の基板上に導体バンプ3を形成し、これを支持基板1上に配置することで、隣接する光導波路6により接続された受光素子5および発光素子4が光電子集積回路素子2において隣接する光導波路6について交互に位置をずらせて配置されている本発明の半導体装置となる。

【0040】

また、光電子集積回路素子2において隣接する光導波路6により接続された発光素子4および受光素子5を設置する際に、交互に位置をずらせてジグザグ状に配置された受光素子5および発光素子4を複数個が一体的にアレイ状に形成された、受光素子アレイ8および発光素子アレイ7として設置し、このように発光素子4および受光素子5が設置された光電子集積回路素子2の基板上に導体バンプ3を形成し、支持基板1上に配置することで、交互に位置をずらせて配置された受光素子5および発光素子4が、光電子集積回路素子2においてそれぞれ複数個が一体的にアレイ状に形成されている本発明の半導体装置となる。

40

【実施例】

【0041】

次に、本発明の半導体装置の実施例を示す。

【0042】

50

[実施例 1]

まず、支持基板となるアルミナ基板の表面に、シロキサンポリマの有機溶媒溶液をスピノート法によって塗布し、85 / 30分および270 / 30分の熱処理を行ない、厚さ8 μmの下部クラッド層（屈折率1.4405, = 1.3 μm）を形成した。

【0043】

次に、シロキサンポリマとテトラ-n-ブトキシチタンとの混合液をスピノート法によって下部クラッド層の上に塗布し、85 / 30分および150 / 30分の熱処理を行ない、厚さ7 μmのコア層（屈折率1.4450, = 1.3 μm）を形成した。

【0044】

次いで、スパッタリング法により、コア層の上にアルミニウム膜を0.5 μmの厚さで成膜した。 10

【0045】

次いで、このアルミニウム膜の上にフォトレジスト層をスピノート法により1 μmの厚さで成膜した。

【0046】

次いで、フォトマスクを用いて露光をし、現像を行なうことで、アルミニウム膜に、光導波路のコア部となるパターンを転写した。

【0047】

次いで、このアルミニウム膜のパターンをマスクとしてCF₄ガスおよびO₂ガスを用いたRIE（反応性イオンエッチング）によってコア層をエッチングして、光導波路のコア部を形成した。 20

【0048】

次いで、アルミニウム膜のパターンを除去した後に、コア部および下部クラッド層の上にシロキサンポリマの有機溶媒溶液をスピノート法によって塗布し、85 / 30分および270 / 30分の熱処理を行ない、厚さ8 μmの上部クラッド層（屈折率1.4405, = 1.3 μm）を形成した。

【0049】

これにより、支持基板上に、複数個の光電子集積回路素子間で受光素子と発光素子とを接続する光導波路を形成した。

【0050】

また、別途、受光素子としてMSM型フォトダイオードを、発光素子として半導体レーザを、それぞれ真空プロセスおよびフォトリソグラフィプロセスにて形成し、光電子集積回路素子にその並びが交互になるように配置した。 30

【0051】

その後、この受光素子および発光素子が配置された光電子集積回路素子を、光電子集積回路素子間で互いの受光素子と発光素子とが接続されるようにして、支持基板上に形成した光導波路と受光素子および発光素子とが結合するように支持基板の表面に導体バンプを介して配置した。

【0052】

これにより、支持基板上に、電子集積回路素子と受光素子および発光素子とが交互に同一基板上に設けられた光電子集積回路素子が複数個配置されるとともに、光電子集積回路素子間で受光素子と発光素子とを接続する複数本の光導波路が設けられて成り、隣接するこれら光導波路における光の伝搬方向が逆方向とされている本発明の半導体装置を作製した。 40

【0053】

以上のようにして得られた本発明の半導体装置と、従来の半導体装置とを用いて、隣接する2本の光導波路に結合された受光素子へのクロストーク量を測定した。この測定においては、まず1つの発光素子から出力された光が、この発光素子に接続された光導波路を伝搬し、この光導波路に接続された受光素子で受光された出力を測定し、これを出力Aとした。次に、隣接する光導波路に接続された受光素子で受光された出力を測定した。ここ 50

で、従来の半導体装置において、隣接された光導波路に接続された受光素子が出力Aの受光素子と同じ列に有る場合の結果を出力Bとした。また、本発明の半導体装置において、隣接された光導波路に接続された受光素子が出力Aの受光素子と同じ列に有る場合の結果を出力Cとした。

【0054】

この結果、従来の半導体装置におけるクロストーク量、すなわち出力Bは、出力Aの約0.1%～1%であったのに対し、本発明の半導体装置におけるクロストーク量、すなわち出力Cは、出力Aの約0.0001%以下であり、本発明の半導体装置によるクロストーク低減の効果を確認することができた。

【0055】

[実施例2]

[実施例1]と同様にして本発明の半導体装置を作製するのに際して、受光素子としてMSM型フォトダイオードを、発光素子として半導体レーザを、それぞれ真空プロセスおよびフォトリソグラフィプロセスにて形成し、光電子集積回路素子にその並びが交互に、また発光素子と受光素子との位置を20μmずらせたものとなるように配置した。

【0056】

これにより、支持基板上に、電子集積回路素子と受光素子および発光素子とが交互に位置をずらせて同一基板上に設けられた光電子集積回路素子が複数個配置されるとともに、光電子集積回路素子間で受光素子と発光素子とを接続する複数本の光導波路が設けられて成り、隣接するこれら光導波路における光の伝搬方向が逆方向とされている本発明の半導体装置を作製した。

【0057】

以上のようにして得られた本発明の半導体装置と、[実施例1]で比較した従来の半導体装置とを用いて、2本の光導波路に結合された受光素子へのクロストーク量を測定した。この測定においては、まず1つの発光素子から出力された光が、この発光素子に接続された光導波路を伝搬し、この光導波路に接続された受光素子で受光された出力を測定し、これを出力Aとした。次に、隣接する光導波路に接続された受光素子で受光された出力を測定した。ここで、従来の半導体装置において、隣接された光導波路に接続された受光素子が出力Aの受光素子と同じ列に有る場合の結果を出力Bとした。また、本発明の半導体装置において、隣接された光導波路に接続された受光素子が出力Aの発光素子と同じ列に有る場合の結果を出力Cとした。この結果、従来の半導体装置におけるクロストーク量、すなわち出力Bは、出力Aの約0.1%～1%であったのに対し、本発明の半導体装置におけるクロストーク量、すなわち出力Cは、出力Aの約0.0001%以下であり、本発明の半導体装置によるクロストーク低減の効果を確認することができた。

【0058】

またさらに、光電子集積回路素子において発光素子および受光素子が接続される電気配線間の電気的なクロストークを比較したところ、従来の半導体装置におけるクロストークは約0.1%であったのに対し、本発明の半導体装置におけるクロストークは約0.001%以下であり、本発明の半導体装置による電気的なクロストーク低減の効果を確認することができた。

【0059】

[実施例3]

[実施例1]と同様にして本発明の半導体装置を作製するのに際して、受光素子としてMSM型フォトダイオードを、発光素子として半導体レーザを、それぞれ真空プロセスおよびフォトリソグラフィプロセスにて形成し、光電子集積回路素子に、受光素子および発光素子がそれぞれ40μm間隔で一体的にアレイ状に形成されて、その並びが交互に、また発光素子と受光素子との位置を20μmずらせたものとなるように配置した。

【0060】

これにより、支持基板上に、電子集積回路素子と受光素子および発光素子とが交互に位置をずらせて、それぞれ複数個が一体的にアレイ状に形成されて同一基板上に設けられた

10

20

30

40

50

光電子集積回路素子が複数個配置されるとともに、光電子集積回路素子間で受光素子と発光素子とを接続する複数本の光導波路が設けられて成り、隣接するこれら光導波路における光の伝搬方向が逆方向とされている本発明の半導体装置を作製した。

【0061】

以上のようにして得られた本発明の半導体装置と、[実施例1]で比較した従来の半導体装置とを用いて、2本の光導波路に結合された受光素子へのクロストーク量を測定した。この測定においては、まず1つの発光素子から出力された光が、この発光素子に接続された光導波路を伝搬し、この光導波路に接続された受光素子で受光された出力を測定し、これを出力Aとした。次に、隣接する光導波路に接続された受光素子で受光された出力を測定した。ここで、従来の半導体装置において、隣接された光導波路に接続された受光素子が出力Aの受光素子と同じ列に有る場合の結果を出力Bとした。また、本発明の半導体装置において、隣接された光導波路に接続された受光素子が出力Aの発光素子と同じ列に有る場合の結果を出力Cとした。この結果、従来の半導体装置におけるクロストーク量、すなわち出力Bは、出力Aの約0.1%～1%であったのに対し、本発明の半導体装置におけるクロストーク量、すなわち出力Cは、出力Aの約0.0001%以下であり、本発明の半導体装置によるクロストーク低減の効果を確認することができた。

10

【0062】

またさらに、光電子集積回路素子において発光素子および受光素子が接続される電気配線間の電気的なクロストークを比較したところ、従来の半導体装置におけるクロストークは約0.1%であったのに対し、本発明の半導体装置におけるクロストークは約0.001%以下であり、本発明の半導体装置による電気的なクロストーク低減の効果を確認することができた。

20

【0063】

またさらに、光導波路とそれぞれアレイ化された発光素子および受光素子との配置プロセスにおける各発光素子および各受光素子とそれらに接続された光導波路との接続位置のずれ量も、従来の半導体装置におけるずれ量は約0.5μmであったのに対し、本発明の半導体装置におけるずれ量は約0.1μm以下であり、本発明の半導体装置によれば、従来の半導体装置に比べて受光素子および発光素子と光導波路の位置合わせ精度の向上について効果があることを確認した。

30

【0064】

なお、本発明は以上の実施の形態の例に何ら限定されるものではなく、本発明の要旨を逸脱しない範囲で種々の変更を加えることは何ら差し支えない。

【0065】

例えば、光導波路は、発光素子および受光素子の上や下に形成されて光接続されていてもよく、発光素子および受光素子と同じ平面上で間に形成されてその端面に光接続されていてもよい。また、光導波路は基板上に形成された光導波路のみではなく、例えば、別途基板上に形成した光導波路を剥がして形成した、フィルム状の光導波路でもよい。また、光導波路は1個の発光素子と複数個の受光素子とを接続するために、または1個の受光素子と複数個の発光素子とを接続するために、複数に分岐してもよい。また、発光素子および受光素子と光導波路との接続は、ミラーを介した結合でもよく、グレーティングを介した結合でもよく、発光素子および受光素子の素子端面での直接の結合でもよい。

40

【0066】

また、1個の光電子集積回路素子2からの他の光電子集積回路素子2への光導波路6の接続の方向は、図1～3に示すような一方向に限定されるわけではなく、例として図4に光電子集積回路素子2の下面図で示すように、複数の方向（図4に示す例では4方向）に、交互に配置された発光素子4および受光素子5からの光導波路6が接続されてもよい。

【図面の簡単な説明】

【0067】

【図1】(a)および(b)は、それぞれ本発明の半導体装置の実施の形態の一例を示す下面図および断面図である。

50

【図2】本発明の半導体装置の実施の形態の他の例を示す下面図である。

【図3】本発明の半導体装置の実施の形態のさらに他の例を示す下面図である。

【図4】本発明の半導体装置の実施の形態のさらに他の例を示す下面図である。

【図5】従来の半導体装置の例を示す断面図である。

【図6】従来の半導体装置の例を示す断面図である。

【図7】従来の半導体装置の例を示す一部破断斜視図である。

【図8】隣接する光導波路に結合された受光素子へのクロストーク量の計算値結果を示す線図である。

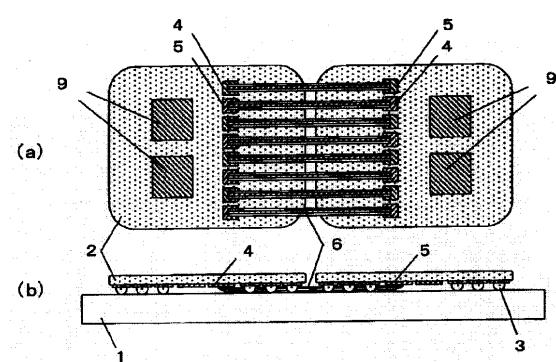
【符号の説明】

【0068】

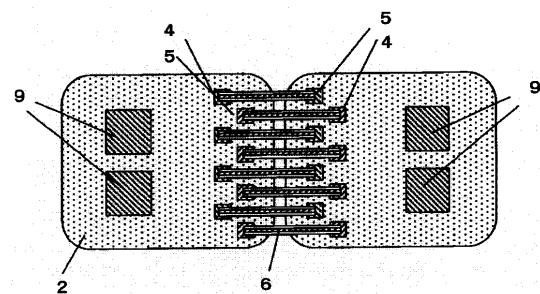
- 1 基板
- 2 光電子集積回路素子
- 3 導体パンプ
- 4 発光素子
- 5 受光素子
- 6 光導波路
- 7 発光素子アレイ
- 8 受光素子アレイ
- 9 電子集積回路素子

10

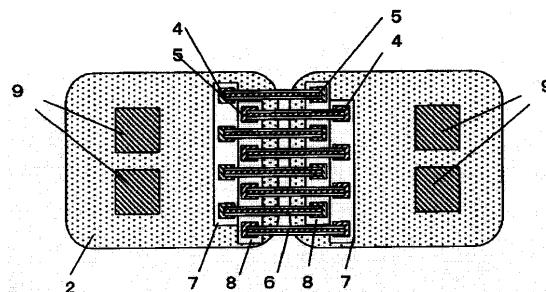
【図1】



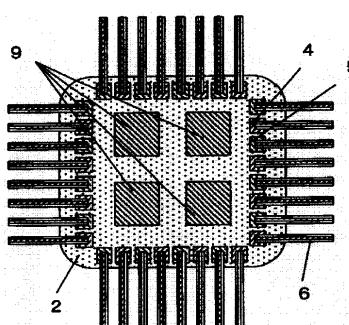
【図2】



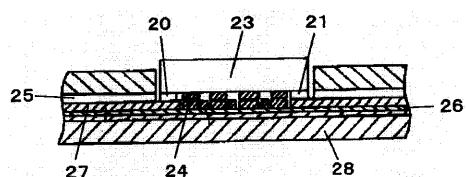
【図3】



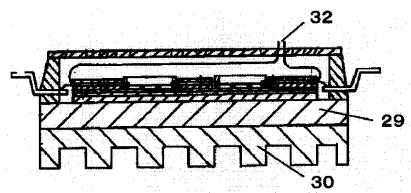
【図4】



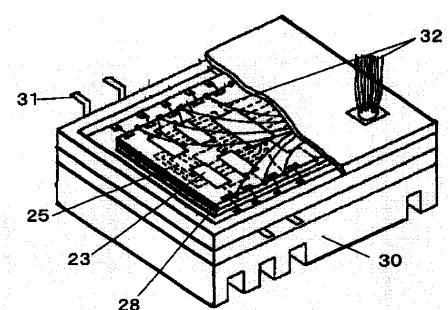
【図5】



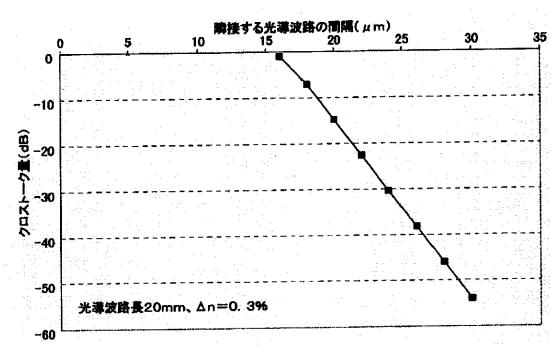
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 棚橋 成夫

京都府相楽郡精華町光台 3 丁目 5 番地 3 号 京セラ株式会社中央研究所内

F ターム(参考) 2H137 AA12 AB11 AC05 BA52 BA55 BB02 BB12 BB17 BB25 BB33
BC51 CA34 CA73 CA74 CA75 CA77 CA78 CC05 EA04 EA05
GA06
5F088 AA03 AA05 BB01 EA02 EA09 JA14