

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2017-143285

(P2017-143285A)

(43) 公開日 平成29年8月17日 (2017.8.17)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 8 A	2 H 1 9 2
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 9 A	5 F 1 1 O
H O 1 L 21/477 (2006.01)	H O 1 L 29/78 6 1 8 B	
G O 2 F 1/1368 (2006.01)	H O 1 L 21/477	
	G O 2 F 1/1368	

審査請求 有 請求項の数 6 O L (全 57 頁)

(21) 出願番号	特願2017-49684 (P2017-49684)	(71) 出願人	000153878
(22) 出願日	平成29年3月15日 (2017.3.15)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2016-144345 (P2016-144345)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	及川 欣聡
原出願日	平成22年7月5日 (2010.7.5)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-159065 (P2009-159065)		半導体エネルギー研究所内
(32) 優先日	平成21年7月3日 (2009.7.3)	(72) 発明者	岡崎 健一
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	丸山 穂高
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

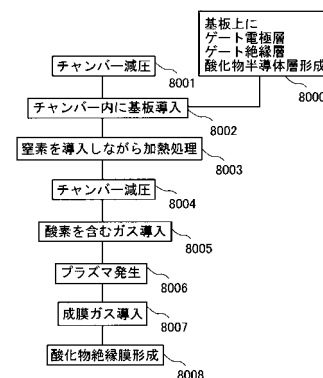
(54) 【発明の名称】 半導体装置の作製方法および液晶表示装置の作製方法

(57) 【要約】

【課題】 安定した電気特性を有する薄膜トランジスタを有する、信頼性のよい半導体装置を提供することを課題の一とする。また、高信頼性の半導体装置を低コストで生産性よく作製することを課題の一とする。

【解決手段】 チャンネル形成領域を含む半導体層を酸化物半導体層とする薄膜トランジスタを有する半導体装置の作製方法において、酸化物半導体層に接する酸化物絶縁膜を形成する。酸化物半導体層を減圧されたチャンバー内に導入後、窒素雰囲気下で加熱処理工程、プラズマ（少なくとも酸素プラズマを含む）の導入工程を行い、成膜ガスを導入して酸化物絶縁膜を形成する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

基板上にゲート電極層を形成する第 1 の工程と、
前記第 1 の工程の後、前記ゲート電極層上にゲート絶縁層を形成する第 2 の工程と、
前記第 2 の工程の後、前記ゲート絶縁層上に、前記ゲート電極層と重なる領域を有し、
In と、Ga と、Zn とを有する酸化物半導体層を形成する第 3 の工程と、
前記第 3 の工程の後、400℃以上600℃以下の第 1 の加熱処理を行う第 4 の工程と、
前記第 4 の工程の後、前記酸化物半導体層と重なる領域を有する、ソース電極層及びド
レイン電極層を形成する第 5 の工程と、
前記第 5 の工程の後、酸素を含む雰囲気中でプラズマ処理を行う第 6 の工程と、
前記第 6 の工程の後、前記ソース電極層及び前記ドレイン電極層上に、前記酸化物半導
体層と接する領域を有する酸化物絶縁膜を形成する第 7 の工程と、
前記第 7 の工程の後、第 2 の加熱処理を行う第 8 の工程と、を有することを特徴とする
半導体装置の作製方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置の作製方法に関する。

【背景技術】

20

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用い
て薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは集
積回路（Integrated Circuit、略号IC）や電気光学装置のような電
子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれて
いる。

【0003】

金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知ら
れた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられてい
る。

30

【0004】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては
、例えば、酸化タンゲステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このよう
な半導体特性を示す金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られ
ている（特許文献 1 乃至 4、非特許文献 1 参照）。

【0005】

ところで、金属酸化物は一元系酸化物のみでなく多元系酸化物も知られている。例えば、
ホモロガス相を有する $\text{InGaO}_3(\text{ZnO})_m$ （ m ：自然数）は、In、Ga 及び Zn
を有する多元系酸化物半導体として知られている（非特許文献 2 乃至 4 参照）。

【0006】

40

そして、上記のような In-Ga-Zn-O 系酸化物で構成される酸化物半導体を薄膜ト
ランジスタのチャネル層として適用可能であることが確認されている（特許文献 5、非特
許文献 5 及び 6 参照）。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開昭 60-198861 号公報

【特許文献 2】特開平 8-264794 号公報

【特許文献 3】特表平 11-505377 号公報

【特許文献 4】特開 2000-150900 号公報

50

【特許文献5】特開2004-103957号公報

【非特許文献】

【0008】

【非特許文献1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf、「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett.、17 June 1996、Vol. 68 p. 3650-3652

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri、「The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350°C 」、J. Solid State Chem.、1991、Vol. 93, p. 298-315

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura、「Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System」、J. Solid State Chem.、1995、Vol. 116, p. 170-178

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$ (m :自然数)とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317-327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono、「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE、2003、Vol. 300、p. 1269-1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono、「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488-492

【発明の概要】

【発明が解決しようとする課題】

【0009】

安定した電気特性を有する薄膜トランジスタを有する、信頼性のよい半導体装置を作製し、提供することを本発明の態様の課題の一とする。

【課題を解決するための手段】

【0010】

チャネル形成領域を含む半導体層を酸化物半導体層とする薄膜トランジスタを有する半導体装置の作製方法において、酸化物半導体層に接する酸化物絶縁膜を形成する。なお、酸化物半導体層は少なくとも一部が露呈した状態でチャンバー内に導入される。酸化物半導体層を減圧されたチャンバー内に導入後、窒素雰囲気下で加熱処理工程、プラズマ（少なくとも酸素プラズマを含む）の導入工程を行い、成膜ガスを導入して酸化物絶縁膜を形成する。チャンバー内に酸素元素を含むガスを導入し、プラズマを発生させてもよいし、チャンバーに接続されたリモートプラズマ装置（ラジカル発生器）を用いてプラズマをチャンバー内に導入してもよい。

【0011】

10

20

30

40

50

酸素元素を含むガスとしては、酸素、又は酸化窒素（亜酸化窒素（一酸化二窒素ともいう）（ N_2O ）、二酸化窒素（ NO_2 ））を用いることができ、ヘリウム、アルゴンなどの希ガスを含んでもよい。

【0012】

成膜ガスとしてはシランを含むガスを用いることができる。シランを含むガスを用いることによって珪素を含む酸化物絶縁膜を形成することができる。酸化物半導体層に接して形成する酸化物絶縁膜としては、水分や、水素イオンや、 OH^- などの不純物をブロックする無機絶縁膜を形成し、具体的には酸化珪素膜、または窒化酸化珪素膜を形成する。

【0013】

減圧したチャンバー内で酸化物半導体層を窒素雰囲気下で加熱処理する工程は温度 100°C 以上 500°C 以下（より好ましくは、 150°C 以上 400°C 以下）で行うことが好ましい。酸化物半導体層の該加熱処理は、酸化物絶縁膜を形成するまで行われ、その加熱温度も 100°C 以上 500°C 以下（より好ましくは、 150°C 以上 400°C 以下）とすることが好ましい。

【0014】

また、酸化物絶縁膜を形成する際のチャンバー内の圧力は 1 Pa 以上 300 Pa 以下（ $5 \times 10^{-3}\text{ Torr}$ 以上 2.25 Torr 以下）とすることが好ましい。

【0015】

本明細書で開示する発明の構成の一形態は、絶縁表面を有する基板上にゲート電極層、ゲート絶縁層、少なくとも一部が露呈した酸化物半導体層を形成し、少なくとも一部が露呈した酸化物半導体層が形成された基板を減圧したチャンバー内に導入し、減圧したチャンバー内で、少なくとも一部が露呈した酸化物半導体層が形成された基板を窒素を導入しながら加熱し、基板を加熱しながらチャンバーに酸素元素を含むガスを導入し、酸素元素を含むガスが導入されたチャンバー内に少なくとも酸素プラズマを発生させた後、チャンバー内に成膜ガスを導入して酸化物半導体層に接して酸化物絶縁膜を形成するステップを有する半導体装置の作製方法である。

【0016】

本明細書で開示する発明の構成の一形態は、絶縁表面を有する基板上にゲート電極層、ゲート絶縁層、少なくとも一部が露呈した酸化物半導体層を形成し、少なくとも一部が露呈した酸化物半導体層が形成された基板を減圧したチャンバー内に導入し、減圧したチャンバー内で、少なくとも一部が露呈した酸化物半導体層が形成された基板を窒素を導入しながら加熱し、基板を加熱しながらチャンバーに酸化窒素を含むガスを導入し、酸化窒素を含むガスが導入されたチャンバー内に少なくとも酸素プラズマを発生させた後、チャンバー内にシランを含む成膜ガスを導入して酸化物半導体層に接して珪素を含む酸化物絶縁膜を形成するステップを有する半導体装置の作製方法である。

【0017】

本明細書で開示する発明の構成の一形態は、絶縁表面を有する基板上にゲート電極層、ゲート絶縁層、少なくとも一部が露呈した酸化物半導体層を形成し、少なくとも一部が露呈した酸化物半導体層が形成された基板を減圧したチャンバー内に導入し、減圧したチャンバー内で少なくとも一部が露呈した酸化物半導体層が形成された基板を窒素を導入しながら加熱し、チャンバーに接続したリモートプラズマ装置により、基板を加熱しながら酸素プラズマを導入した後、チャンバー内に成膜ガスを導入して酸化物半導体層に接して酸化物絶縁膜を形成するステップを有する半導体装置の作製方法である。

【0018】

上記構成において、減圧したチャンバー内で、少なくとも一部が露呈した酸化物半導体層が形成された基板を窒素を導入しながら加熱した後、酸素元素を含むガス（又は酸化珪素を含むガス）を導入してもよい。

【0019】

本明細書中で用いる酸化物半導体は、 InMO_3 （ ZnO ） $_m$ （ $m > 0$ ）で表記される薄膜を形成し、その薄膜を半導体層として用いた薄膜トランジスタを作製する。なお、Mは

10

20

30

40

50

、Ga、Fe、Ni、Mn及びCoから選ばれた一の金属元素又は複数の金属元素を示す。例えばMとして、Gaの場合があることその他、GaとNi又はGaとFeなど、Ga以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、Mとして含まれる金属元素の他に、不純物元素としてFe、Niその他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においては、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造の酸化物半導体層のうち、MとしてGaを含む構造の酸化物半導体をIn-Ga-Zn-O系酸化物半導体とよび、その薄膜をIn-Ga-Zn-O系非単結晶膜とも呼ぶ。

【0020】

また、酸化物半導体層には上記の他にも、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体をその材料として適用することができる。また上記酸化物半導体層に酸化珪素を含ませてもよい。酸化物半導体層に結晶化を阻害する酸化珪素(SiO_x ($x > 0$))を含ませることで、加熱処理による当該酸化物半導体層の結晶化を抑制することができる。なお、酸化物半導体層は非晶質な状態であることが好ましく、一部結晶化していてもよい。

【0021】

また、薄膜トランジスタは静電気などにより破壊されやすいため、ゲート線またはソース線に対して、駆動回路保護用の保護回路を同一基板上に設けることが好ましい。保護回路は、酸化物半導体を用いた非線形素子を用いて構成することが好ましい。

【0022】

また、ゲート絶縁層、及び酸化物半導体膜を大気に触れさせることなく連続的に処理(連続処理、インサイチュ(*in situ*)工程、連続成膜とも呼ぶ)してもよい。大気に触れさせることなく連続処理することで、ゲート絶縁層と酸化物半導体膜の界面を水やハイドロカーボンなどの、大気成分や大気中に浮遊する不純物元素に汚染されることなく形成することができるので、薄膜トランジスタ特性のばらつきを小さくすることができる。

【0023】

本明細書中で連続処理とは、プラズマCVD法またはスパッタリング法で行う第1の処理工程からプラズマCVD法またはスパッタリング法で行う第2の処理工程までの一連のプロセス中、被処理基板の置かれている雰囲気が大気等の汚染雰囲気に触れることなく、常に真空中または不活性ガス雰囲気(窒素雰囲気または希ガス雰囲気)で制御されていることを言う。連続処理を行うことにより、清浄化された被処理基板の水分等の再付着を回避して成膜などの処理を行うことができる。

【0024】

同一チャンバー内で第1の処理工程から第2の処理工程までの一連のプロセスを行うことは本明細書における連続処理の範囲にあるとする。

【0025】

また、異なるチャンバーで第1の処理工程から第2の処理工程までの一連のプロセスを行う場合、第1の処理工程を終えた後、大気にふれることなくチャンバー間を基板搬送して第2の処理を施すことも本明細書における連続処理の範囲にあるとする。

【0026】

なお、第1の処理工程と第2の処理工程の間に、基板搬送工程、アライメント工程、徐冷工程、または第2の工程に必要な温度とするため基板を加熱または冷却する工程等を有しても、本明細書における連続処理の範囲にあるとする。

【0027】

ただし、洗浄工程、ウェットエッチング、レジスト形成といった液体を用いる工程が第1の処理工程と第2の処理工程の間にある場合、本明細書でいう連続処理の範囲には当てはまらないとする。

【0028】

10

20

30

40

50

なお、第 1、第 2 として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

【0029】

また、駆動回路を有する表示装置としては、液晶表示装置の他に、発光素子を用いた発光表示装置や、電気泳動表示素子を用いた電子ペーパーとも称される表示装置が挙げられる。

【0030】

発光素子を用いた発光表示装置においては、画素部に複数の薄膜トランジスタを有し、当該画素部における薄膜トランジスタのゲート電極と他のトランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。また、発光素子を用いた発光表示装置の駆動回路においては、薄膜トランジスタのゲート電極とその薄膜トランジスタのソース配線、或いはドレイン配線を接続させる箇所を有している。

【0031】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【発明の効果】

【0032】

本発明の態様によって、安定した電気特性を有する薄膜トランジスタを作製し、提供することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

【図面の簡単な説明】

【0033】

【図 1】半導体装置の作製方法を説明するフローチャート。

【図 2】半導体装置の作製方法を説明するフローチャート。

【図 3】半導体装置の作製方法を説明するフローチャート。

【図 4】半導体装置の作製方法を説明する図。

【図 5】半導体装置を説明する図。

【図 6】半導体装置の作製方法を説明する図。

【図 7】半導体装置の作製方法を説明する図。

【図 8】半導体装置を説明する図。

【図 9】半導体装置を説明する図。

【図 10】酸素分子 (O_2) と酸化物半導体層表面の相互作用を計算した結果を説明する図である。

【図 11】一酸化窒素分子と酸化物半導体層表面の相互作用を計算した結果を説明する図である。

【図 12】一酸化窒素分子の構造を説明する図である。

【図 13】計算で用いた酸化物半導体層の構造を説明する図である。

【図 14】酸化物半導体層の酸素密度の計算結果を説明する図である。

【図 15】酸素と酸化物半導体膜表面の相互作用を説明する図である。

【図 16】半導体装置を説明する図。

【図 17】半導体装置を説明する図。

【図 18】半導体装置の画素等価回路を説明する図。

【図 19】半導体装置を説明する図。

【図 20】半導体装置のブロック図を説明する図。

【図 21】信号線駆動回路の構成を説明する図。

【図 22】シフトレジスタの構成を示す回路図。

【図 23】シフトレジスタの動作を説明するタイミングチャート。

【図 24】半導体装置を説明する図。

【図 25】薄膜トランジスタの電気特性評価の結果を示す図。

10

20

30

40

50

【図 2 6】半導体装置を説明する図。

【図 2 7】電子書籍の一例を示す外観図。

【図 2 8】テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【図 2 9】遊技機の例を示す外観図。

【図 3 0】携帯型のコンピュータ及び携帯電話機の一例を示す外観図。

【発明を実施するための形態】

【0034】

実施の形態について、図面を用いて詳細に説明する。但し、以下の説明に限定されず、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【0035】

(実施の形態 1)

半導体装置の作製方法の一形態を図 1 乃至図 3 に示すフローチャートを用いて説明する。

【0036】

チャンネル形成領域を含む半導体層を酸化物半導体層とする薄膜トランジスタを有する半導体装置の作製方法において、酸化物半導体層に接する酸化物絶縁膜を形成する。以下、半導体装置の作製方法を詳細に説明する。

【0037】

20

図 1 に示すように、絶縁表面を有する基板上にゲート電極層、ゲート絶縁層、酸化物半導体層を形成する（工程 8000）。ソース電極層及びドレイン電極層も形成してもよい。なお、酸化物半導体層は少なくとも一部が露呈した状態でチャンバー内に導入される。

【0038】

一方、酸化物絶縁膜を形成するチャンバーは排気を行って減圧する（工程 8001）。チャンバー内の圧力は $1 \times 10^{-5} \text{ Pa}$ 以上 $5 \times 10^{-1} \text{ Pa}$ 以下（ $7.5 \times 10^{-8} \text{ Torr}$ 以上 $3.75 \times 10^{-3} \text{ Torr}$ 以下）となるようにすればよい。減圧されたチャンバー内に少なくとも一部が露呈された状態の酸化物半導体層が形成された基板を導入する（工程 8002）。

【0039】

30

酸化物半導体層が形成された基板が設置されたチャンバー内に、窒素を導入しながら加熱処理を行う（工程 8003）。減圧したチャンバー内で酸化物半導体層を窒素雰囲気下で加熱処理する工程は温度 100°C 以上 500°C 以下（より好ましくは、 150°C 以上 400°C 以下）で行うことが好ましい。

【0040】

次に、窒素雰囲気下で加熱処理されたチャンバー内を再度減圧し（工程 8004）、酸素元素を含むガスを導入する（工程 8005）。酸素元素を含むガスとしては、酸素、又は酸化窒素（亜酸化窒素（ N_2O ）、二酸化窒素（ NO_2 ））を用いることができ、ヘリウム、アルゴンなどの希ガスを含んでもよい。なお、酸素元素を含むガスを導入する前のチャンバー内の減圧工程（工程 8004）は必ずしも行わなくてもよい。

40

【0041】

酸素元素を含むガスが導入されたチャンバー内にプラズマを発生させる（工程 8006）。プラズマとしては少なくとも酸素プラズマを含む。酸素プラズマを発生させることにより露呈している酸化物半導体層の表面の酸素密度が増加し、酸素過剰な領域を形成することができる。

【0042】

プラズマを発生させる際の電力は 500 W 以下（より好ましくは 150 W 以下）の低パワーとすると酸化物半導体層へのダメージが軽減できるため、好ましい。

【0043】

酸素元素を含むガスをを用いてプラズマを発生させたチャンバー内に、成膜ガスを導入して

50

(工程 8007) 酸化物絶縁膜を形成する (工程 8008)。

【0044】

成膜ガスとしてはシランを含むガスを用いることができる。シランを含むガスを用いることによって珪素を含む酸化物絶縁膜を形成することができる。酸化物半導体層に接する酸化物絶縁膜は、水分や、水素イオンや、水酸化物イオン (OH^-) などの不純物をブロックする無機絶縁膜であり、具体的には酸化珪素膜、または窒化酸化珪素膜である。

【0045】

酸化物半導体層の加熱処理は、窒素雰囲気下の加熱処理工程から酸化物絶縁膜を形成する工程まで行われ、その間の温度は 100°C 以上 500°C 以下 (より好ましくは、 150°C 以上 400°C 以下) とすることが好ましい。

10

【0046】

また、酸化物絶縁膜を形成する際のチャンバー内の圧力は 1 Pa 以上 300 Pa 以下 ($5 \times 10^{-3}\text{ Torr}$ 以上 2.25 Torr 以下) とすることが好ましい。

【0047】

なお、酸素元素を含むガスとして可燃性ガスを用い、成膜ガスとしてシランを含むガスを用いる場合は、可燃性ガスとシランを含むガスとを混合すると爆発する恐れがあるため、チャンバー内から可燃性ガスを排除し、酸化窒素 (亜酸化窒素 (N_2O)、二酸化窒素 (NO_2)) などの支燃性ガスを導入してから、シランを含むガスを導入する。

【0048】

図 2 は酸素元素を含むガスとして酸化窒素 (亜酸化窒素 (N_2O)、二酸化窒素 (NO_2)) を (工程 8105)、成膜ガスとしてシランを含むガス (工程 8107) を用い、酸化物絶縁膜として珪素を含む酸化物絶縁膜を形成する (工程 8108) 例である。例えば、酸素元素を含むガスとして亜酸化窒素 (N_2O)、成膜ガスとしてシラン (SiH_4) を用い、酸化窒化珪素膜を形成することができる。

20

【0049】

また、プラズマは図 1 及び図 2 のようにチャンバー内に酸素元素を含むガスを導入し、プラズマを発生させてもよいし、図 3 のようにチャンバーに接続されたリモートプラズマ装置 (ラジカル発生器) を用いてプラズマをチャンバー内に導入してもよい。

【0050】

図 3 は窒素雰囲気下で加熱処理されたチャンバー内に、リモートプラズマ装置 (ラジカル発生器) (工程 8200) を用いてプラズマを導入する (工程 8201) 例である。該プラズマは、リモートプラズマ装置によって、酸化物絶縁膜を形成するチャンバーとは別のチャンバーで酸素元素を含むガスをを用いて発生させる。図 3 のように、酸化物絶縁膜を形成するチャンバー外でプラズマを発生させ、リモートプラズマ装置によって当該チャンバーに導入すると、プラズマ発生時に酸化物半導体層に与えるダメージを回避することができる。

30

【0051】

用いることのできるチャンバーの例を説明する。チャンバーにはヒーターが設けられており、チャンバー内を加熱する。また、チャンバーにはガス供給手段及び排気手段が設けられている。ガス供給手段により、チャンバーにガスを導入する。また、排気手段により、チャンバー内を排気する、またはチャンバー内を減圧にする。

40

【0052】

上記方法によって、酸化物半導体層に接して酸化物絶縁膜を形成することによって、安定した電気特性を有する薄膜トランジスタを作製し、提供することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

【0053】

(実施の形態 2)

半導体装置及び半導体装置の作製方法の一形態を図 4 及び図 5 を用いて説明する。

【0054】

50

図 5 (A) は半導体装置の有する薄膜トランジスタ 470 の平面図であり、図 5 (B) は図 5 (A) の線 C1-C2 における断面図である。薄膜トランジスタ 470 はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板 400 上に、ゲート電極層 401、ゲート絶縁層 402、酸化物半導体層 403、ソース電極層又はドレイン電極層 405a、405b を含む。また、薄膜トランジスタ 470 を覆い、酸化物半導体層 403 に接する酸化物絶縁膜 407 が設けられている。

【0055】

また、ソース電極層又はドレイン電極層 405a、405b は、酸化物半導体層 403 と接する。ソース電極層又はドレイン電極層 405a、405b を構成する元素は、チタン、アルミニウム、マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムのいずれか一または複数から選択されたものである。また、上述した元素を組み合わせた合金膜などを積層してもよい。

【0056】

チャネル形成領域を含む酸化物半導体層 403 としては、半導体特性を有する酸化物材料を用いればよく、代表的には、In-Ga-Zn-O 系非単結晶膜を用いる。

【0057】

図 4 (A) 乃至 (C) に薄膜トランジスタ 470 の作製工程の断面図を示す。

【0058】

図 4 (A) において、絶縁表面を有する基板 400 上にゲート電極層 401 を設ける。下地膜となる絶縁膜を基板 400 とゲート電極層 401 の間に設けてもよい。下地膜は、基板 400 からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。ゲート電極層 401 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0059】

例えば、ゲート電極層 401 の 2 層の積層構造としては、アルミニウム層上にモリブデン層を積層したもの、または銅層上にモリブデン層を積層したもの、または銅層上に窒化チタン層若しくは窒化タンタル層を積層したもの、窒化チタン層とモリブデン層とを積層したものとするのが好ましい。同様に 3 層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムと珪素の合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層したものとするのが好ましい。

【0060】

次いで、ゲート電極層 401 上にゲート絶縁層 402 を形成する。

【0061】

ゲート絶縁層 402 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層又は窒化酸化珪素層を単層で又は積層して形成することができる。例えば、成膜ガスとして、シラン (SiH_4)、酸素及び窒素を用いてプラズマ CVD 法により酸化窒化珪素層を形成すればよい。

【0062】

次いで、ゲート絶縁層 402 上に、酸化物半導体膜を形成する。

【0063】

なお、酸化物半導体膜をスパッタリング法により形成する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタリングを行い、ゲート絶縁層 402 の表面に付着しているゴミを除去することが好ましい。逆スパッタリングとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素 (N_2O) などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素 (Cl_2)、四フッ化炭素 (CF_4) などを加えた雰囲気で行ってもよい。

10

20

30

40

50

【0064】

酸化物半導体膜は、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタリング法により形成する。スパッタリングは、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。

【0065】

ゲート絶縁層402、及び酸化物半導体膜を大気に触れさせることなく連続的に形成してもよい。大気に触れさせることなく連続成膜することで、界面を水や hidrocarbon などの、大気成分や大気中に浮遊する不純物元素に汚染されることなく形成することができるので、薄膜トランジスタ特性のばらつきを小さくすることができる。

10

【0066】

酸化物半導体膜をフォトリソグラフィ工程により島状とし、酸化物半導体層430に加工する（図4（A）参照）。

【0067】

また、酸化物半導体層430は、非晶質であることが好ましいが、一部結晶化してもよい。

【0068】

次いで、ゲート絶縁層402、及び酸化物半導体層430上に導電膜を形成する。

【0069】

導電膜の材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等が挙げられる。

20

【0070】

また、導電膜の形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせて形成する。Alと組み合わせる耐熱性導電性材料としては、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金、または上述した元素を成分とする窒化物で形成する。

【0071】

酸化物半導体層430、導電膜をエッチング処理し、酸化物半導体層432、及びソース電極層又はドレイン電極層405a、405bを形成する（図4（B）参照）。なお、当該エッチング処理により、酸化物半導体層432には溝部（凹部）が形成される。

30

【0072】

実施の形態1で示したように、酸化物半導体層432が形成された基板を減圧されたチャンバー内に導入後、窒素雰囲気下で加熱処理工程、プラズマ（少なくとも酸素プラズマを含む）の導入工程を行い、成膜ガスを導入して酸化物絶縁膜407を形成する。

【0073】

本実施の形態では、酸素元素を含むガスとして亜酸化窒素（ N_2O ）、成膜ガスとしてシラン（ SiH_4 ）を用い、酸化物絶縁膜407として膜厚300nmの酸化窒化珪素膜を形成する。

40

【0074】

減圧したチャンバー内で酸化物半導体層432を窒素雰囲気下で加熱処理する工程は温度100℃以上500℃以下（より好ましくは、150℃以上400℃以下）で行うことが好ましい。

【0075】

酸化物半導体層432の加熱処理は、窒素雰囲気下の加熱処理工程から酸化物絶縁膜407を形成する工程まで行われ、その間の温度は100℃以上500℃以下（より好ましくは、150℃以上400℃以下）とすることが好ましい。

【0076】

50

また、酸化物絶縁膜 407 を形成する際のチャンバー内の圧力は 1 Pa 以上 300 Pa 以下 (7.5×10^{-3} Torr 以上 2.25 Torr 以下) とすることが好ましい。

【0077】

酸化物半導体層 432 に接して上記方法により酸化物絶縁膜 407 を形成すると、酸化物半導体層 432 において少なくとも酸化物絶縁膜 407 と接する領域を高抵抗化（キャリア濃度が下がる）し、高抵抗化酸化物半導体領域とすることができる。酸化物半導体層 432 は、高抵抗化酸化物半導体領域を有する酸化物半導体層 403 となり、薄膜トランジスタ 470 を作製することができる（図 4（C）参照）。

【0078】

また、酸化物絶縁膜 407 を形成後、窒素雰囲気下、又は大気雰囲気下（大気中）において薄膜トランジスタ 470 に加熱処理（好ましくは 150℃ 以上 350℃ 未満）を行ってもよい。該加熱処理を行うと、酸化物半導体層 403 が酸化物絶縁膜 407 と接した状態で加熱されることになり、薄膜トランジスタ 470 の電気的特性のばらつきを小さくすることができる。この加熱処理は、酸化物絶縁膜 407 の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく行うことができる。

10

【0079】

上記方法によって、酸化物半導体層に接して酸化物絶縁膜を形成することによって、安定した電気特性を有する薄膜トランジスタを作製し、提供することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

20

【0080】

（実施の形態 3）

薄膜トランジスタを含む半導体装置の作製工程について、図 6 乃至図 9 を用いて説明する。

【0081】

図 6（A）において、透光性を有する基板 100 にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0082】

次いで、導電層を基板 100 上に形成した後、第 1 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配線及び電極（ゲート電極層 101 を含むゲート配線、容量配線 108、及び第 1 の端子 121）を形成する。このとき少なくともゲート電極層 101 の端部にテーパー形状が形成されるようにエッチングする。

30

【0083】

ゲート電極層 101 を含むゲート配線と容量配線 108、端子部の第 1 の端子 121 は、耐熱性導電性材料を用いて形成される。例えば、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、Sc（スカンジウム）から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金、または上述した元素を成分とする窒化物などが挙げられる。

40

【0084】

次いで、ゲート電極層 101 上にゲート絶縁層 102 を全面に形成する。ゲート絶縁層 102 はスパッタリング法、プラズマ CVD 法などを用い、厚さ 50～250 nm で形成する。

【0085】

例えば、ゲート絶縁層 102 は、厚さ 100 nm の酸化珪素膜とし、スパッタリング法により形成する。勿論、ゲート絶縁層 102 の主成分は酸化珪素に限定されるものでなく、酸化窒化珪素、窒化珪素、酸化アルミニウム、酸化タンタルなどでもよい。あるいは、これらの材料から成る単層または積層構造として形成しても良い。

【0086】

50

次に、ゲート絶縁層102上に、酸化物半導体膜（In-Ga-Zn-O系非単結晶膜）を形成する。ゲート絶縁層102形成後、大気に曝すことなくIn-Ga-Zn-O系非単結晶膜を形成することは、ゲート絶縁層と半導体膜の界面にゴミや水分を取り込ませない点で有用である。ここでは、In、Ga、及びZnを含む酸化物半導体ターゲット（ $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol数比]）を用い、成膜条件は、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流（DC）電源0.5kW、アルゴン及び酸素（アルゴン：酸素＝30sccm：20sccm 酸素流量比率40%）雰囲気下とする。なお、パルス直流（DC）電源を用いると、ごみの発生を抑制でき、また、膜厚分布も小さくなるために好ましい。In-Ga-Zn-O系非単結晶膜の厚さは、5nm～200nmとする。本実施の形態では、酸化物半導体膜は、厚さ20nmのIn-Ga-Zn-O系非単結晶膜とし、In-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタリング法により形成する。

10

【0087】

スパッタリング法にはスパッタリング用電源に高周波電源を用いるRFスパッタリング法と、DCスパッタリング法があり、さらにパルスのバイアスを与えるパルスDCスパッタリング法もある。RFスパッタリング法は主に絶縁膜を形成する場合に用いられ、DCスパッタリング法は主に金属膜を形成する場合に用いられる。

【0088】

また、材料の異なるターゲットを複数設置できる多元スパッタリング装置もある。多元スパッタリング装置は、同一チャンバーで異なる材料膜を積層し形成することも、同一チャンバーで複数種類の材料を同時に放電させて用い、当該複数種類の材料を含む材料膜を形成することもできる。

20

【0089】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタリング装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタリング法を用いるスパッタリング装置がある。

【0090】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアススパッタリング法もある。

30

【0091】

次に、第2のフォトリソグラフィ工程を行い、レジストマスクを形成し、酸化物半導体膜をエッチングする。例えばリン酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングにより、不要な部分を除去して酸化物半導体層133を形成する（図6（A）参照）。なお、ここでのエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0092】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）、塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）が好ましい。

40

【0093】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、弗化硫黄（ SF_6 ）、弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

【0094】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加さ

50

れる電力量、基板側の電極温度等)を適宜調節する。

【0095】

ウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(過酸化水素水:アンモニア水:水=5:2:2)などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0096】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

10

【0097】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。なおここでは図6Aならびに図8に示すように、酸化物半導体層133の全体がゲート電極層101の一部を覆うようにエッチングを行う。

【0098】

次に、酸化物半導体層133上に金属材料からなる導電膜132をスパッタリング法や真空蒸着法で形成する(図6(B)参照)。

【0099】

導電膜132の材料としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等が挙げられる。

20

【0100】

導電膜132形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0101】

次に、第3のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去してソース電極層又はドレイン電極層105a、105b、及び第2の端子122を形成する(図6(C)参照)。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。例えば導電膜132としてアルミニウム膜、又はアルミニウム合金膜を用いる場合は、磷酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチングを行うことができる。また、アンモニア過水(過酸化水素水:アンモニア水:水=5:2:2)を用いたウェットエッチングにより、導電膜132をエッチングしてソース電極層又はドレイン電極層105a、105bを形成してもよい。このエッチング工程において、酸化物半導体層133も一部エッチングされ、酸化物半導体層135となる。よってソース電極層又はドレイン電極層105a、105bの間の酸化物半導体層135は膜厚の小さい領域となる。図6(C)に示すように、ソース電極層又はドレイン電極層(105a、105b)よりも小さい膜厚を有する酸化物半導体層135の領域(露出領域)は露呈している。図6(C)においては、ソース電極層又はドレイン電極層105a、105b、酸化物半導体層135のエッチングをドライエッチングによって一度に行うため、ソース電極層又はドレイン電極層105a、105b及び酸化物半導体層135の端部は一致し、連続的な構造となっている。すなわち、ソース電極層105aに面するドレイン電極層105bの側面と、露出領域の一方の側面は、同一平面となっている。同様に、ドレイン電極層105bに面するソース電極層105aの側面と、露出領域の他方の側面は、同一平面となっている。換言すると、露出領域の側面は、少なくともソース電極層105aとドレイン電極層105bのいずれかの側面と同一平面である。

30

40

【0102】

また、この第3のフォトリソグラフィ工程において、ソース電極層又はドレイン電極層105a、105bと同じ材料である第2の端子122を端子部に残す。なお、第2の端子

50

122はソース配線（ソース電極層又はドレイン電極層105a、105bを含むソース配線）と電氣的に接続されている。

【0103】

また、多階調マスクにより形成した複数（代表的には二種類）の厚さの領域を有するレジストマスクを用いると、レジストマスクの数を減らすことができるため、工程簡略化、低コスト化が図れる。

【0104】

次に、レジストマスクを除去し、ゲート絶縁層102、酸化物半導体層103、ソース電極層又はドレイン電極層105a、105bを覆う保護絶縁層107を、プラズマCVD法を用いて形成する。

10

【0105】

具体的には、実施の形態1で示したように、ソース電極層とドレイン電極層105a、105bを形成した後、基板100を減圧されたチャンバー内に導入し、窒素雰囲気下で加熱処理工程を行う。この後、プラズマ（少なくとも酸素プラズマを含む）の導入工程を行い、成膜ガスを導入して酸化物絶縁膜である保護絶縁層107を形成する。

【0106】

本実施の形態では、酸素元素を含むガスとして亜酸化窒素（ N_2O ）、成膜ガスとしてシラン（ SiH_4 ）を用い、膜厚300nmの保護絶縁層107を形成する。

【0107】

減圧したチャンバー内で酸化物半導体層135を窒素雰囲気下で加熱処理する工程は温度100℃以上500℃以下（より好ましくは、150℃以上400℃以下）で行うことが好ましい。

20

【0108】

酸化物半導体層135の加熱処理は、窒素雰囲気下の加熱処理工程から酸化物絶縁膜を形成する工程まで行われ、その間の温度は100℃以上500℃以下（より好ましくは、150℃以上400℃以下）とすることが好ましい。

【0109】

また、保護絶縁層107を形成する際のチャンバー内の圧力は1Pa以上300Pa以下（ 7.5×10^{-3} Torr以上2.25 Torr以下）とすることが好ましい。

【0110】

ソース電極層又はドレイン電極層105a、105bの間に設けられた酸化物半導体層135の露出領域と保護絶縁層107である酸化物絶縁膜が接して設けられることによって、保護絶縁層107と接する酸化物半導体層103の領域が高抵抗化（キャリア濃度が低まる）し、高抵抗化したチャネル形成領域を有する酸化物半導体層103を形成することができる（図7（A）参照）。

30

【0111】

次いで、保護絶縁層107を形成した後、加熱処理を行ってもよい。加熱処理は大気雰囲気下、又は窒素雰囲気下において、150℃以上350℃未満で行えばよい。該加熱処理を行うと、酸化物半導体層103が保護絶縁層107と接した状態で加熱されることになり、さらに酸化物半導体層103を高抵抗化させて薄膜トランジスタの電気特性の向上および、電気特性のばらつきを小さくすることができる。この加熱処理は、保護絶縁層107の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく行うことができる。

40

【0112】

以上の工程で薄膜トランジスタ170が作製できる。

【0113】

次に、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、保護絶縁層107及びゲート絶縁層102のエッチングによりドレイン電極層105bに達するコンタクトホール125を形成する。また、ここでのエッチングにより第2の端子122に達する

50

コンタクトホール 127、第 1 の端子 121 に達するコンタクトホール 126 も形成する。この段階での断面図を図 7 (B) に示す。

【0114】

次いで、レジストマスクを除去した後、透明導電膜を形成する。透明導電膜の材料としては、酸化インジウム (In_2O_3) や酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITO と略記する) などをスパッタリング法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは基板上に残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3 - \text{ZnO}$) を用いても良い。また、透明導電膜を低抵抗化させるための加熱処理を行う場合、上述した酸化物半導体層 103 を高抵抗化させて薄膜トランジスタの電気特性の向上および、電気特性のばらつきを小さくする熱処理と兼ねることができる。

10

【0115】

次に、第 5 のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して画素電極層 110 を形成する。

【0116】

また、この第 5 のフォトリソグラフィ工程において、容量部におけるゲート絶縁層 102 及び保護絶縁層 107 を誘電体として、容量配線 108 と画素電極層 110 とで保持容量が形成される。

【0117】

20

また、この第 5 のフォトリソグラフィ工程において、第 1 の端子 121 及び第 2 の端子 122 をレジストマスクで覆い端子部に形成された透明導電膜 128、129 を残す。透明導電膜 128、129 は FPC との接続に用いられる電極または配線となる。第 1 の端子 121 上に形成された透明導電膜 128 は、ゲート配線の入力端子として機能する接続用の端子電極となる。第 2 の端子 122 上に形成された透明導電膜 129 は、ソース配線の入力端子として機能する接続用の端子電極である。

【0118】

次いで、レジストマスクを除去し、この段階での断面図を図 7 (C) に示す。なお、この段階での平面図が図 8 に相当する。

【0119】

30

また、図 9 (A1)、図 9 (A2) は、この段階でのゲート配線端子部の平面図及び断面図をそれぞれ図示している。図 9 (A1) は図 9 (A2) 中の E1-E2 線に沿った断面図に相当する。図 9 (A1) において、保護絶縁膜 154 上に形成される透明導電膜 155 は、入力端子として機能する接続用の端子電極である。また、図 9 (A1) において、端子部では、ゲート配線と同じ材料で形成される第 1 の端子 151 と、ソース配線と同じ材料で形成される接続電極層 153 とがゲート絶縁層 152 を介して重なり、透明導電膜 155 で導通させている。なお、図 7 (C) に図示した透明導電膜 128 と第 1 の端子 121 とが接触している部分が、図 9 (A1) の透明導電膜 155 と第 1 の端子 151 が接触している部分に対応している。

【0120】

40

また、図 9 (B1)、及び図 9 (B2) は、図 7 (C) に示すソース配線端子部とは異なるソース配線端子部の平面図及び断面図をそれぞれ図示している。また、図 9 (B1) は図 9 (B2) 中の F1-F2 線に沿った断面図に相当する。図 9 (B1) において、保護絶縁膜 154 上に形成される透明導電膜 155 は、入力端子として機能する接続用の端子電極である。また、図 9 (B1) において、端子部では、ゲート配線と同じ材料で形成される電極層 156 が、ソース配線と電氣的に接続される第 2 の端子 150 の下方にゲート絶縁層 152 を介して重なる。電極層 156 は第 2 の端子 150 とは電氣的に接続しておらず、電極層 156 を第 2 の端子 150 と異なる電位、例えばフローティング、GND、0V など設定すれば、ノイズ対策のための容量または静電気対策のための容量を形成することができる。また、第 2 の端子 150 は、保護絶縁膜 154 を介して透明導電膜 15

50

5と電氣的に接続している。

【0121】

ゲート配線、ソース配線、及び容量配線は画素密度に応じて複数本設けられるものである。また、端子部においては、ゲート配線と同電位の第1の端子、ソース配線と同電位の第2の端子、容量配線と同電位の第3の端子などが複数並べられて配置される。それぞれの端子の数は、それぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【0122】

こうして5回のフォトリソグラフィ工程により、5枚のフォトマスクを使用して、ボトムゲート型のスタガ構造の薄膜トランジスタである薄膜トランジスタ170を有する画素薄膜トランジスタ部、保持容量を完成させることができる。そして、これらを個々の画素に
10
対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0123】

アクティブマトリクス型の液晶表示装置を作製する場合には、アクティブマトリクス基板と、対向電極が設けられた対向基板との間に液晶層を設け、アクティブマトリクス基板と対向基板とを固定する。なお、対向基板に設けられた対向電極と電氣的に接続する共通電極をアクティブマトリクス基板上に設け、共通電極と電氣的に接続する第4の端子を端子部に設ける。この第4の端子は、共通電極を固定電位、例えばGND、0Vなどに設定する
20
ための端子である。

【0124】

また、容量配線を設けず、画素電極を隣り合う画素のゲート配線と保護絶縁膜及びゲート絶縁層を介して重ねて保持容量を形成してもよい。

【0125】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0126】

液晶表示装置の動画表示において、液晶分子自体の応答が遅いため、残像が生じる、または動画のぼけが生じるという問題がある。液晶表示装置の動画特性を改善するため、全面黒表示を1フレームおきに行う、所謂、黒挿入と呼ばれる駆動技術がある。
30

【0127】

また、垂直同期周波数を1.5倍、好ましくは2倍以上にすることで応答速度を改善するとともに各フレーム内の分割された複数フィールド毎に書き込む階調を選択する、所謂、倍速駆動と呼ばれる駆動技術もある。

【0128】

また、液晶表示装置の動画特性を改善するため、バックライトとして複数のLED（発光ダイオード）光源または複数のEL光源などを用いて面光源を構成し、面光源を構成して
40
いる各光源を独立して1フレーム期間内で間欠点灯駆動する駆動技術もある。面光源として、3種類以上のLEDを用いてもよいし、白色発光のLEDを用いてもよい。独立して複数のLEDを制御できるため、液晶層の光学変調の切り替えタイミングに合わせてLEDの発光タイミングを同期させることもできる。この駆動技術は、LEDを部分的に消灯することができるため、特に一画面を占める黒い表示領域の割合が多い映像表示の場合には、消費電力の低減効果が図れる。

【0129】

これらの駆動技術を組み合わせることによって、液晶表示装置の動画特性などの表示特性を従来よりも改善することができる。

【0130】

10

20

30

40

50

本明細書に開示する薄膜トランジスタは、酸化物半導体膜をチャネル形成領域に用いており、良好な動特性を有するため、これらの駆動技術を組み合わせることができる。

【0131】

また、発光表示装置を作製する場合、有機発光素子の一方の電極（カソードとも呼ぶ）は、低電源電位、例えばGND、0Vなどに設定するため、端子部に、カソードを低電源電位、例えばGND、0Vなどに設定するための第4の端子が設けられる。また、発光表示装置を作製する場合には、ソース配線、及びゲート配線に加えて電源供給線を設ける。従って、端子部には、電源供給線と電氣的に接続する第5の端子を設ける。

【0132】

また、発光表示装置を作製する際、各有機発光素子の間に有機樹脂層を用いた隔壁を設ける場合がある。その場合には、有機樹脂層を加熱処理する必要がある。当該加熱処理は、酸化物半導体層103を高抵抗化させて薄膜トランジスタの電気特性を向上させ、電気特性のばらつきを小さくする加熱処理と兼ねることができる。

10

【0133】

酸化物半導体を用いた薄膜トランジスタで形成することにより、製造コストを低減することができる。特に、上記方法によって、酸化物半導体層に接して酸化物絶縁膜を形成することによって、安定した電気特性を有する薄膜トランジスタを作製し、提供することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を提供することができる。

【0134】

チャネル形成領域の酸化物半導体層は高抵抗化領域であるので、薄膜トランジスタの電気特性は安定化し、オフ電流の増加などを防止することができる。よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置とすることが可能となる。

20

【0135】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0136】

（実施の形態4）

本実施の形態では、半導体装置の作製方法の一形態として、酸化物絶縁膜を形成する前に、あらかじめ、さらに酸化物半導体層に加熱処理を行う例を示す。本実施の形態では該加熱処理を窒素雰囲気下で行う。

30

【0137】

本明細書では、酸化物絶縁膜を形成する前に（酸化物絶縁膜を形成するチャンバーに酸化物半導体層が形成された基板を導入する前に）、行っておく、本実施の形態で示す窒素雰囲気下の加熱処理を脱水化または脱水素化のための加熱処理と呼ぶ。本明細書では、この加熱処理によってH₂として脱離させていることのみを脱水素化と呼んでいるわけではなく、H、OHなどを脱離することを含めて脱水化または脱水素化と便宜上呼ぶこととする。

【0138】

本実施の形態の加熱処理工程は、酸化物半導体層を形成後、酸化物絶縁層を形成する工程（実施の形態1において図1乃至図3で示した工程）前に行えばよい。例えば、実施の形態2の半導体装置の作製工程においては、ソース電極層又はドレイン電極層405a、405bの形成前の図4（A）と図4（B）との間でもよいし、又はソース電極層又はドレイン電極層405a、405bの形成後の図4（B）と図4（C）との間に行ってもよい。また、図4（A）のように島状の酸化物半導体層430に加工する前の酸化物半導体膜に行ってもよい。

40

【0139】

本実施の形態では、酸化物半導体膜の純度を高め、不純物である水分などを低減する加熱処理（脱水化または脱水素化のための加熱処理）を行う。また、酸化物半導体膜中だけでなく、ゲート絶縁層内に存在する水分などの不純物を低減し、上下に接して設けられる膜

50

と酸化物半導体膜の界面に存在する水分などの不純物を低減する。

【0140】

水分などの不純物を低減するため、酸化物半導体膜を形成後、酸化物半導体膜が露出した状態で窒素、または希ガス（アルゴン、ヘリウムなど）の不活性気体雰囲気下、或いは減圧下での200℃以上、好ましくは400℃以上600℃以下の加熱処理を行い、酸化物半導体膜の含有水分を低減する。加熱後は不活性気体雰囲気下で室温以上100℃未満の範囲まで徐冷することが好ましい。

【0141】

なお、脱水化または脱水素化のための加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

【0142】

また、加熱処理は、電気炉を用いた加熱方法、加熱した気体を用いるGRTA（Gas Rapid Thermal Anneal）法またはランプ光を用いるLRTA（Lamp Rapid Thermal Anneal）法などの瞬間加熱方法などを用いることができる。

【0143】

窒素、またはアルゴンなどの不活性気体雰囲気下、或いは減圧下での加熱処理によって膜中の含有水分を低減させた酸化物半導体膜を用いて、薄膜トランジスタの電気特性を向上させるとともに、量産性と高性能の両方を備えた薄膜トランジスタを実現する。

【0144】

不活性気体雰囲気下で加熱処理を行うことによって酸化物半導体層に含まれる不純物（ H_2O 、 H 、 OH など）を低減してキャリア濃度を増加させた後、徐冷を行う。徐冷させた後、酸化物半導体層に接して酸化物絶縁膜の形成などを行って酸化物半導体層のキャリア濃度を低減することが、信頼性の向上に繋がる。

【0145】

酸化物半導体層は窒素雰囲気下における加熱処理によって、低抵抗化（キャリア濃度が高まる、好ましくは $1 \times 10^{18} / cm^3$ 以上）し、低抵抗化した酸化物半導体層とすることができる。その後、低抵抗化した酸化物半導体層に接して酸化物絶縁膜を形成すると、低抵抗化した酸化物半導体層において少なくとも酸化物絶縁膜と接する領域を高抵抗化（キャリア濃度が下がる、好ましくは $1 \times 10^{18} / cm^3$ 未満、さらに好ましくは $1 \times 10^{14} / cm^3$ 以下）し、高抵抗化酸化物半導体領域とすることができる。本実施の形態における半導体装置の製造プロセス中では、不活性気体雰囲気下（或いは減圧下）での加熱、徐冷及び酸化物絶縁膜の形成などによって酸化物半導体層のキャリア濃度を増減させることが重要である。キャリア濃度の増減は、I型であった酸化物半導体層に脱水化または脱水素化の加熱処理を行うことにより酸化物半導体層は酸素欠乏型となってn型化（ n^- 、 n^+ など）し、その後、酸化物絶縁膜の形成を行うことにより酸化物半導体層を酸素過剰な状態とすることでi型化されることに起因していると考えられる。

【0146】

このように、窒素雰囲気下で脱水化または脱水素化のための加熱処理を行った酸化物半導体層に対して、実施の形態1に示した方法で酸化物絶縁膜を形成し、半導体装置を作製することができる。

【0147】

よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

【0148】

（実施の形態5）

本実施の形態では、半導体装置の作製方法の一形態として、酸化物絶縁膜を形成する前に

10

20

30

40

50

、あらかじめ、さらに酸化物半導体層に加熱処理を行う例を示す。実施の形態 4 では該加熱処理を窒素雰囲気下で行う例を示したが、本実施の形態では該加熱処理を大気雰囲気下（大気中）で行う例を示す。

【0149】

本実施の形態の加熱処理工程は、酸化物半導体層を形成後、酸化物絶縁層を形成する工程（実施の形態 1 において図 1 乃至図 3 で示した工程）前に行えばよい。例えば、実施の形態 2 の半導体装置の作製工程においては、ソース電極層又はドレイン電極層 405a、405b の形成前の図 4（A）と図 4（B）との間でもよいし、又はソース電極層又はドレイン電極層 405a、405b の形成後の図 4（B）と図 4（C）との間に行ってもよい。また、図 4（A）のように島状の酸化物半導体層 430 に加工する前の酸化物半導体膜に行ってもよい。加熱処理の温度は 200℃～600℃、代表的には 300℃～500℃で行うと良い。例えば、大気雰囲気下（大気中）で 350℃、1 時間の熱処理を行う。

10

【0150】

このように、大気雰囲気下（大気中）で加熱処理を行った酸化物半導体層に対して、実施の形態 1 に示した方法で酸化物絶縁膜を形成し、半導体装置を作製することができる。

【0151】

よって、電気特性が良好で信頼性のよい薄膜トランジスタを有する半導体装置を作製し、提供することが可能となる。

【0152】

（実施の形態 6）

20

本実施の形態では、同一基板上に少なくとも駆動回路の一部と、画素部に配置する薄膜トランジスタを作製する例について以下に説明する。

【0153】

画素部に配置する薄膜トランジスタは、実施の形態 1 乃至 5 に従って形成する。また、実施の形態 1 乃至 5 に示す薄膜トランジスタは n チャネル型 TFT であるため、駆動回路のうち、n チャネル型 TFT で構成することができる駆動回路の一部を画素部の薄膜トランジスタと同一基板上に形成する。

【0154】

アクティブマトリクス型表示装置のブロック図の一例を図 20（A）に示す。表示装置の基板 5300 上には、画素部 5301、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303、信号線駆動回路 5304 を有する。画素部 5301 には、複数の信号線が信号線駆動回路 5304 から延伸して配置され、複数の走査線が第 1 の走査線駆動回路 5302、及び第 2 の走査線駆動回路 5303 から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に配置されている。また、表示装置の基板 5300 は FPC（Flexible Printed Circuit）等の接続部を介して、タイミング制御回路 5305（コントローラ、制御 IC ともいう）に接続されている。

30

【0155】

図 20（A）では、第 1 の走査線駆動回路 5302、第 2 の走査線駆動回路 5303、信号線駆動回路 5304 は、画素部 5301 と同じ基板 5300 上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板 5300 外部に駆動回路を設けた場合の配線を延伸させることによる接続部での接続数を減らすことができ、信頼性の向上や歩留まりの向上を図ることができる。

40

【0156】

なお、タイミング制御回路 5305 は、第 1 の走査線駆動回路 5302 に対し、一例として、第 1 の走査線駆動回路用スタート信号（GSP1）、走査線駆動回路用クロック信号（GCK1）を供給する。また、タイミング制御回路 5305 は、第 2 の走査線駆動回路 5303 に対し、一例として、第 2 の走査線駆動回路用スタート信号（GSP2）（スタートパルスともいう）、走査線駆動回路用クロック信号（GCK2）を供給する。タイミング制御回路 5305 は、信号線駆動回路 5304 に、信号線駆動回路用スタート信号（

50

S S P)、信号線駆動回路用クロック信号 (S C K)、ビデオ信号用データ (D A T A) (単にビデオ信号ともいう)、ラッチ信号 (L A T) を供給するものとする。なお各クロック信号は、周期のずれた複数のクロック信号でもよいし、クロック信号を反転させた信号 (C K B) とともに供給されるものであってもよい。なお、第 1 の走査線駆動回路 5 3 0 2 と第 2 の走査線駆動回路 5 3 0 3 との一方を省略することが可能である。

【0157】

図 2 0 (B) では、駆動周波数が低い回路 (例えば、第 1 の走査線駆動回路 5 3 0 2、第 2 の走査線駆動回路 5 3 0 3) を画素部 5 3 0 1 と同じ基板 5 3 0 0 に形成し、信号線駆動回路 5 3 0 4 を画素部 5 3 0 1 とは別の基板に形成する構成について示している。当該構成により、単結晶半導体を用いたトランジスタと比較すると電界効果移動度が小さい薄膜トランジスタによって、基板 5 3 0 0 に形成する駆動回路を構成することができる。したがって、表示装置の大型化や工程数の削減、コストの低減、歩留まりの向上などを図ることができる。

10

【0158】

また、実施の形態 1 乃至 5 に示す薄膜トランジスタは、n チャネル型 T F T である。図 2 1 (A)、図 2 1 (B) では n チャネル型 T F T で構成する信号線駆動回路の構成、動作について一例を示し説明する。

【0159】

信号線駆動回路は、シフトレジスタ 5 6 0 1、及びスイッチング回路 5 6 0 2 を有する。スイッチング回路 5 6 0 2 は、スイッチング回路 5 6 0 2 _ 1 ~ 5 6 0 2 _ N (N は自然数) という複数の回路を有する。スイッチング回路 5 6 0 2 _ 1 ~ 5 6 0 2 _ N は、各々、薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k (k は自然数) という複数のトランジスタを有する。薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k が、n チャネル型 T F T である例を説明する。

20

【0160】

信号線駆動回路の接続関係について、スイッチング回路 5 6 0 2 _ 1 を例にして説明する。薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k の第 1 端子は、各々、配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k と接続される。薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k の第 2 端子は、各々、信号線 S 1 ~ S k と接続される。薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k のゲートは、配線 5 6 0 5 _ 1 と接続される。

30

【0161】

シフトレジスタ 5 6 0 1 は、配線 5 6 0 5 _ 1 ~ 5 6 0 5 _ N に順番に H レベル (H 信号、高電源電位レベル、ともいう) の信号を出力し、スイッチング回路 5 6 0 2 _ 1 ~ 5 6 0 2 _ N を順番に選択する機能を有する。

【0162】

スイッチング回路 5 6 0 2 _ 1 は、配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k と信号線 S 1 ~ S k との導通状態 (第 1 端子と第 2 端子との間の導通) を制御する機能、即ち配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k の電位を信号線 S 1 ~ S k に供給するか否かを制御する機能を有する。このように、スイッチング回路 5 6 0 2 _ 1 は、セレクタとしての機能を有する。また薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k は、各々、配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k と信号線 S 1 ~ S k との導通状態を制御する機能、即ち配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k の電位を信号線 S 1 ~ S k に供給する機能を有する。このように、薄膜トランジスタ 5 6 0 3 _ 1 ~ 5 6 0 3 _ k は、各々、スイッチとしての機能を有する。

40

【0163】

なお、配線 5 6 0 4 _ 1 ~ 5 6 0 4 _ k には、各々、ビデオ信号用データ (D A T A) が入力される。ビデオ信号用データ (D A T A) は、画像情報又は画像信号に応じたアナログ信号である場合が多い。

【0164】

次に、図 2 1 (A) の信号線駆動回路の動作について、図 2 1 (B) のタイミングチャートを参照して説明する。図 2 1 (B) には、信号 S o u t _ 1 ~ S o u t _ N、及び信号

50

Vdata__1～Vdata__kの一例を示す。信号Sout__1～Sout__Nは、各々、シフトレジスタ5601の出力信号の一例であり、信号Vdata__1～Vdata__kは、各々、配線5604__1～5604__kに入力される信号の一例である。なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間は、一例として、期間T1～期間TNに分割される。期間T1～TNは、各々、選択された行に属する画素にビデオ信号用データ(DATA)を書き込むための期間である。

【0165】

期間T1～期間TNにおいて、シフトレジスタ5601は、Hレベルの信号を配線5605__1～5605__Nに順番に出力する。例えば、期間T1において、シフトレジスタ5601は、ハイレベルの信号を配線5605__1に出力する。すると、薄膜トランジスタ5603__1～5603__kはオンになるので、配線5604__1～5604__kと、信号線S1～Skとが導通状態になる。このとき、配線5604__1～5604__kには、Data(S1)～Data(Sk)が入力される。Data(S1)～Data(Sk)は、各々、薄膜トランジスタ5603__1～5603__kを介して、選択される行に属する画素のうち、1列目～k列目の画素に書き込まれる。こうして、期間T1～TNにおいて、選択された行に属する画素に、k列ずつ順番にビデオ信号用データ(DATA)が書き込まれる。

【0166】

以上のように、ビデオ信号用データ(DATA)が複数の列ずつ画素に書き込まれることによって、ビデオ信号用データ(DATA)の数、又は配線の数減らすことができる。よって、外部回路との接続数を減らすことができる。また、ビデオ信号が複数の列ずつ画素に書き込まれることによって、書き込み時間を長くすることができ、ビデオ信号の書き込み不足を防止することができる。

【0167】

なお、シフトレジスタ5601及びスイッチング回路5602としては、実施の形態1乃至5に示す薄膜トランジスタで構成される回路を用いることが可能である。

【0168】

走査線駆動回路及び／または信号線駆動回路の一部に用いるシフトレジスタの一形態について図22及び図23を用いて説明する。

【0169】

走査線駆動回路は、シフトレジスタを有している。また場合によってはレベルシフタやバッファ等を有していても良い。走査線駆動回路において、シフトレジスタにクロック信号(CLK)及びスタートパルス信号(SP)が入力されることによって、選択信号が生成される。生成された選択信号はバッファにおいて緩衝増幅され、対応する走査線に供給される。走査線には、1ライン分の画素のトランジスタのゲート電極が接続されている。そして、1ライン分の画素のトランジスタを一斉にONにしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【0170】

シフトレジスタは、第1のパルス出力回路10__1乃至第Nのパルス出力回路10__N(Nは3以上の自然数)を有している(図22(A)参照)。図22(A)に示すシフトレジスタの第1のパルス出力回路10__1乃至第Nのパルス出力回路10__Nには、第1の配線11より第1のクロック信号CK1、第2の配線12より第2のクロック信号CK2、第3の配線13より第3のクロック信号CK3、第4の配線14より第4のクロック信号CK4が供給される。また第1のパルス出力回路10__1では、第5の配線15からのスタートパルスSP1(第1のスタートパルス)が入力される。

また2段目以降の第nのパルス出力回路10__n(nは2以上N以下の自然数)では、一段前段のパルス出力回路10__(n-1)からの信号が入力される。また第1のパルス出力回路10__1では、2段後段の第3のパルス出力回路10__3からの信号が入力される。同様に、2段目以降の第nのパルス出力回路10__nでは、2段後段の第(n+2)の

10

20

30

40

50

パルス出力回路 10 __ (n + 2) からの信号 (後段信号 OUT (n + 2) という) が入力される。従って、第 n のパルス出力回路からは、一段後段のパルス出力回路 (第 (n + 1) パルス出力回路) 及び / または 2 段前段のパルス出力回路 (第 (n - 2) パルス出力回路) に入力するための第 1 の出力信号 (OUT (1) (SR) ~ OUT (N) (SR))、および別の回路等に入力される第 2 の出力信号 (OUT (1) ~ OUT (N)) が出力される。なお、図 22 (A) に示すように、シフトレジスタの最終段の 2 つの段には、後段信号 OUT (n + 2) が入力されないため、一例としては、別途第 2 のスタートパルス SP 2、第 3 のスタートパルス SP 3 をそれぞれ入力する構成とすればよい。

【0171】

なお、クロック信号 (CK) は、一定の間隔で H レベルと L レベル (L 信号、低電源電位レベル、ともいう) を繰り返す信号である。ここで、第 1 のクロック信号 (CK 1) ~ 第 4 のクロック信号 (CK 4) は、順に 1 / 4 周期分遅延している。本実施の形態では、第 1 のクロック信号 (CK 1) ~ 第 4 のクロック信号 (CK 4) を利用して、パルス出力回路の駆動の制御を行う。なお、クロック信号は、入力される駆動回路に応じて、GCK、SCK ということもあるが、ここでは CK として説明を行う

【0172】

第 1 の入力端子 21、第 2 の入力端子 22 及び第 3 の入力端子 23 は、第 1 の配線 11 ~ 第 4 の配線 14 のいずれかと電気的に接続されている。例えば、図 22 (A) において、第 1 のパルス出力回路 10 __ 1 は、第 1 の入力端子 21 が第 1 の配線 11 と電気的に接続され、第 2 の入力端子 22 が第 2 の配線 12 と電気的に接続され、第 3 の入力端子 23 が第 3 の配線 13 と電気的に接続されている。同様に、第 2 のパルス出力回路 10 __ 2 は、第 1 の入力端子 21 が第 2 の配線 12 と電気的に接続され、第 2 の入力端子 22 が第 3 の配線 13 と電気的に接続され、第 3 の入力端子 23 が第 4 の配線 14 と電気的に接続されている。

【0173】

第 1 のパルス出力回路 10 __ 1 ~ 第 N のパルス出力回路 10 __ N の各々は、第 1 の入力端子 21、第 2 の入力端子 22、第 3 の入力端子 23、第 4 の入力端子 24、第 5 の入力端子 25、第 1 の出力端子 26、第 2 の出力端子 27 を有しているとする (図 22 (B) 参照)。第 1 のパルス出力回路 10 __ 1 において、第 1 の入力端子 21 に第 1 のクロック信号 CK 1 が入力され、第 2 の入力端子 22 に第 2 のクロック信号 CK 2 が入力され、第 3 の入力端子 23 に第 3 のクロック信号 CK 3 が入力され、第 4 の入力端子 24 にスタートパルスが入力され、第 5 の入力端子 25 に後段信号 OUT (3) が入力され、第 1 の出力端子 26 より第 1 の出力信号 OUT (1) (SR) が出力され、第 2 の出力端子 27 より第 2 の出力信号 OUT (1) が出力されていることとなる。

【0174】

次に、図 22 (B) に示したパルス出力回路の具体的な回路構成の一例について、図 22 (C) で説明する。

【0175】

図 22 (C) に示したパルス出力回路は、第 1 のトランジスタ 31 ~ 第 13 のトランジスタ 43 を有している。また、上述した第 1 の入力端子 21 ~ 第 5 の入力端子 25、及び第 1 の出力端子 26、第 2 の出力端子 27 に加え、第 1 の電源電位 VDD が供給される電源線 51、第 2 の電源電位 VCC が供給される電源線 52、第 3 の電源電位 VSS が供給される電源線 53 から、第 1 のトランジスタ 31 ~ 第 13 のトランジスタ 43 に信号、または電源電位が供給される。ここで図 22 (C) における各電源線の電源電位の大小関係は、第 1 の電源電位 VDD は第 2 の電源電位 VCC 以上の電位とし、第 2 の電源電位 VCC は第 3 の電源電位 VSS より大きい電位とする。なお、第 1 のクロック信号 (CK 1) ~ 第 4 のクロック信号 (CK 4) は、一定の間隔で H レベルと L レベルを繰り返す信号であるが、H レベルのときには VDD、L レベルのときには VSS とする。なお電源線 51 の電位 VDD を、電源線 52 の電位 VCC より高くすることにより、動作に影響を与えることなく、トランジスタのゲート電極に印加される電位を低く抑えることができ、トランジ

10

20

30

40

50

スタのしきい値のシフトを低減し、劣化を抑制することができる。

【0176】

図22(C)において第1のトランジスタ31は、第1端子が電源線51に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第2のトランジスタ32は、第1端子が電源線53に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極が第4のトランジスタ34のゲート電極に電氣的に接続されている。第3のトランジスタ33は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第4のトランジスタ34は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続されている。第5のトランジスタ35は、第1端子が電源線53に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第6のトランジスタ36は、第1端子が電源線52に電氣的に接続され、第2端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第5の入力端子25に電氣的に接続されている。第7のトランジスタ37は、第1端子が電源線52に電氣的に接続され、第2端子が第8のトランジスタ38の第2端子に電氣的に接続され、ゲート電極が第3の入力端子23に電氣的に接続されている。第8のトランジスタ38は、第1端子が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続され、ゲート電極が第2の入力端子22に電氣的に接続されている。第9のトランジスタ39は、第1端子が第1のトランジスタ31の第2端子及び第2のトランジスタ32の第2端子に電氣的に接続され、第2端子が第3のトランジスタ33のゲート電極及び第10のトランジスタ40のゲート電極に電氣的に接続され、ゲート電極が電源線52に電氣的に接続されている。第10のトランジスタ40は、第1端子が第1の入力端子21に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第9のトランジスタ39の第2端子に電氣的に接続されている。第11のトランジスタ41は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第2のトランジスタ32のゲート電極及び第4のトランジスタ34のゲート電極に電氣的に接続されている。第12のトランジスタ42は、第1端子が電源線53に電氣的に接続され、第2端子が第2の出力端子27に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極に電氣的に接続されている。第13のトランジスタ43は、第1端子が電源線53に電氣的に接続され、第2端子が第1の出力端子26に電氣的に接続され、ゲート電極が第7のトランジスタ37のゲート電極に電氣的に接続されている。

【0177】

図22(C)において、第3のトランジスタ33のゲート電極、第10のトランジスタ40のゲート電極、及び第9のトランジスタ39の第2端子の接続箇所をノードAとする。また、第2のトランジスタ32のゲート電極、第4のトランジスタ34のゲート電極、第5のトランジスタ35の第2端子、第6のトランジスタ36の第2端子、第8のトランジスタ38の第1端子、及び第11のトランジスタ41のゲート電極の接続箇所をノードBとする。

【0178】

図23(A)に、図22(C)で説明したパルス出力回路を第1のパルス出力回路10_1に適用した場合に、第1の入力端子21乃至第5の入力端子25と第1の出力端子26及び第2の出力端子27に入力または出力される信号を示している。

【0179】

具体的には、第1の入力端子21に第1のクロック信号CK1が入力され、第2の入力端子22に第2のクロック信号CK2が入力され、第3の入力端子23に第3のクロック信号CK3が入力され、第4の入力端子24にスタートパルスSP1が入力され、第5の入力端子25に後段信号OUT(3)が入力され、第1の出力端子26より第1の出力信号

OUT (1) (SR) が出力され、第 2 の出力端子 27 より第 2 の出力信号 OUT (1) が出力される。

【0180】

なお、薄膜トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。また、ゲートと重畳した領域にチャネル領域が形成される半導体を有しており、ゲートの電位を制御することで、チャネル領域を介してドレインとソースの間に流れる電流を制御することが出来る。ここで、ソースとドレインとは、薄膜トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第 1 端子、第 2 端子と表記する場合がある。

10

【0181】

ここで、図 23 (A) に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図 23 (B) に示す。なおシフトレジスタが走査線駆動回路である場合、図 23 (B) 中の期間 61 は垂直帰線期間であり、期間 62 はゲート選択期間に相当する。

【0182】

なお、図 23 (A) に示すように、ゲートに第 2 の電源電位 VCC が印加される第 9 のトランジスタ 39 を設けておくことにより、ブートストラップ動作の前後において、以下のような利点がある。

20

【0183】

ゲート電極に第 2 の電源電位 VCC が印加される第 9 のトランジスタ 39 がない場合、ブートストラップ動作によりノード A の電位が上昇すると、第 1 のトランジスタ 31 の第 2 端子であるソースの電位が上昇していき、第 1 の電源電位 VDD より大きくなる。そして、第 1 のトランジスタ 31 のソースが第 1 端子側、即ち電源線 51 側に切り替わる。そのため、第 1 のトランジスタ 31 においては、ゲートとソースの間、ゲートとドレインの間ともに、大きなバイアス電圧が印加されるために大きなストレスがかかり、トランジスタの劣化の要因となりうる。そこで、ゲート電極に第 2 の電源電位 VCC が印加される第 9 のトランジスタ 39 を設けておくことにより、ブートストラップ動作によりノード A の電位は上昇するものの、第 1 のトランジスタ 31 の第 2 端子の電位の上昇を生じないようにすることができる。つまり、第 9 のトランジスタ 39 を設けることにより、第 1 のトランジスタ 31 のゲートとソースの間に印加される負のバイアス電圧の値を小さくすることができる。よって、本実施の形態の回路構成とすることにより、第 1 のトランジスタ 31 のゲートとソースの間に印加される負のバイアス電圧も小さくできるため、ストレスによる第 1 のトランジスタ 31 の劣化を抑制することができる。

30

【0184】

なお、第 9 のトランジスタ 39 を設ける箇所については、第 1 のトランジスタ 31 の第 2 端子と第 3 のトランジスタ 33 のゲートとの間に第 1 端子と第 2 端子を介して接続されるように設ける構成であればよい。なお、本実施形態でのパルス出力回路を複数具備するシフトレジスタの場合、走査線駆動回路より段数の多い信号線駆動回路では、第 9 のトランジスタ 39 を省略してもよく、トランジスタ数を削減することができる。

40

【0185】

なお第 1 のトランジスタ 31 乃至第 13 のトランジスタ 43 の半導体層として、酸化物半導体を用いることにより、薄膜トランジスタのオフ電流を低減し、オン電流及び電界効果移動度を高めることが出来ると共に、劣化の度合いを低減することが出来るため、回路内の誤動作を低減することができる。また、酸化物半導体を用いたトランジスタは、アモルファスシリコンを用いたトランジスタに比べ、ゲート電極に高電位が印加されることによるトランジスタの劣化の程度が小さい。そのため、第 2 の電源電位 VCC を供給する電源線に、第 1 の電源電位 VDD を供給しても同様の動作が得られ、且つ回路間を引き回す電源線の数も低減することができるため、回路の小型化を図ることが出来る。

50

【0186】

なお、第7のトランジスタ37のゲート電極に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極に第2の入力端子22によって供給されるクロック信号は、第7のトランジスタ37のゲート電極に第2の入力端子22によって供給されるクロック信号、第8のトランジスタ38のゲート電極に第3の入力端子23によって供給されるクロック信号となるように、結線関係を入れ替えても同様の作用を奏する。なお、図23(A)に示すシフトレジスタにおいて、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオフ、第8のトランジスタ38がオンの状態、次いで第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じる、ノードBの電位の低下が第7のトランジスタ37のゲート電極の電位の低下、及び第8のトランジスタ38のゲート電極の電位の低下に起因して2回生じることとなる。一方、図23(A)に示すシフトレジスタを図23(B)の期間62のように、第7のトランジスタ37及び第8のトランジスタ38が共にオンの状態から、第7のトランジスタ37がオン、第8のトランジスタ38がオフの状態、次いで、第7のトランジスタ37がオフ、第8のトランジスタ38がオフの状態とすることによって、第2の入力端子22及び第3の入力端子23の電位が低下することで生じるノードBの電位の低下を、第8のトランジスタ38のゲート電極の電位の低下による一回に低減することができる。そのため、第7のトランジスタ37のゲート電極に第3の入力端子23によって供給されるクロック信号、第8のトランジスタ38のゲート電極に第2の入力端子22によって供給されるクロック信号とすることによって、ノードBの電位の変動を小さくすることで、ノイズを低減することが出来るため好適である。

【0187】

このように、第1の出力端子26及び第2の出力端子27の電位をLレベルに保持する期間に、ノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。

【0188】

(実施の形態7)

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、薄膜トランジスタを駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0189】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（Electro Luminescence）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0190】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極（画素電極層ともいう）のみが形成された状態であっても良いし、画素電極となる導電膜を形成した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0191】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）を指す。

ding) テープもしくはTCP (Tape Carrier Package) が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG (Chip On Glass) 方式によりIC (集積回路) が直接実装されたモジュールも全て表示装置に含むものとする。

【0192】

半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図16を用いて説明する。図16(A)は、第1の基板4001上に形成された実施の形態3で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの平面図であり、図16(B)は、図16(A1)(A2)のM-Nにおける断面図に相当する。

10

【0193】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

【0194】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図16(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図16(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

20

【0195】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図16(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には保護絶縁層4020、4021が設けられている。

30

【0196】

薄膜トランジスタ4010、4011は、実施の形態3で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。また実施の形態1又は実施の形態2に示す薄膜トランジスタを適用してもよい。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

【0197】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

40

【0198】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【0199】

50

また、柱状のスペーサ4035は絶縁膜を選択的にエッチングすることで得られ、画素電極層4030と対向電極層4031との間の距離（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

【0200】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は比較的狭い温度範囲で発現するため、温度範囲を増大するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いても良い。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1 m s e c以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

10

【0201】

なお透過型液晶表示装置の他に、反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【0202】

また、液晶表示装置では、基板の外側（視認側）に偏光板を設け、内側に着色層（カラーフィルター）、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

20

【0203】

薄膜トランジスタ4010、4011上には、保護絶縁膜としてチャネル形成領域を含む酸化半導体層に接して絶縁層4020が形成されている。絶縁層4020は実施の形態1を用いて酸化半導体層407と同様な材料及び方法で形成する。また、薄膜トランジスタの表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層4021で覆う構成となっている。

30

【0204】

ここでは、保護絶縁膜として積層構造の絶縁層4020を形成する。ここでは、絶縁層4020の一層目として、実施の形態1を用いてプラズマCVD法により酸化窒化珪素膜を形成する。

【0205】

また、ここでは、絶縁層4020の二層目として、プラズマCVD法により窒化珪素膜を形成する。保護膜として窒化珪素膜を用いると、ナトリウム等の可動イオンが半導体層中に侵入して、TFTの電気特性を変化させることを抑制することができる。

【0206】

また、保護絶縁膜を形成した後に、窒素雰囲気下、又は大気雰囲気下で加熱処理（300℃以下）を行ってもよい。

40

【0207】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low- ϵ 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0208】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si

50

i 結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）を有しても良い。また、有機基はフルオロ基を有していても良い。

【0209】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021の焼成工程と酸化物半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0210】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

10

【0211】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000\Omega/\square$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\Omega\cdot\text{cm}$ 以下であることが好ましい。

20

【0212】

導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0213】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0214】

接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

30

【0215】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0216】

また図16においては、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0217】

図26は、本明細書に開示する作製方法により作製されるTFT基板2600を用いて半導体装置として液晶表示モジュールを構成する一例を示している。

40

【0218】

図26は液晶表示モジュールの一例であり、TFT基板2600と対向基板2601がシール材2602により固着され、その間にTFT等を含む画素部2603、液晶層を含む表示素子2604、着色層2605が設けられ表示領域を形成している。着色層2605はカラー表示を行う場合に必要であり、RGB方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。TFT基板2600と対向基板2601の外側には偏光板2606、偏光板2607、拡散板2613が配設されている。光源は冷陰極管2610と反射板2611により構成され、回路基板2612は、フレキシブル配

50

線基板 2609 により TFT 基板 2600 の配線回路部 2608 と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。また偏光板と、液晶層との間に位相差板を有した状態で積層してもよい。

【0219】

液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モードなどを用いることができる。

10

【0220】

以上の工程により、半導体装置として信頼性の高い液晶表示パネルを作製することができる。

【0221】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0222】

20

(実施の形態 8)

半導体装置の一形態として電子ペーパーの例を示す。

【0223】

本発明を利用して作製できる半導体装置は、スイッチング素子と電氣的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置 (電気泳動ディスプレイ) と呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

【0224】

電気泳動ディスプレイは、様々な形態が考えられ得るが、プラスの電荷を有する第 1 の粒子と、マイナスの電荷を有する第 2 の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するものである。なお、第 1 の粒子または第 2 の粒子は染料を含み、電界がない場合において移動しないものである。また、第 1 の粒子の色と第 2 の粒子の色は異なるもの (無色を含む) とする。

30

【0225】

このように、電気泳動ディスプレイは、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。電気泳動ディスプレイは、液晶表示装置には必要な偏光板は必要ない。

【0226】

40

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

【0227】

また、アクティブマトリクス基板上に適宜、二つの電極の間に挟まれるように上記マイクロカプセルを複数配置すればアクティブマトリクス型の表示装置が完成し、マイクロカプセルに電界を印加すれば表示を行うことができる。例えば、実施の形態 1 乃至 4 の薄膜トランジスタによって得られるアクティブマトリクス基板を用いることができる。

【0228】

なお、マイクロカプセル中の第 1 の粒子および第 2 の粒子は、導電体材料、絶縁体材料、

50

半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

【0229】

図24は、半導体装置の例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、実施の形態2で示す薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態1、3乃至5で示す薄膜トランジスタも本実施の形態の薄膜トランジスタ581として適用することもできる。

【0230】

図24の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせての球形粒子の向きを制御することにより、表示を行う方法である。

【0231】

基板580上に形成された薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、酸化物半導体層と接する絶縁膜583に覆われている。薄膜トランジスタ581のソース電極層又はドレイン電極層によって第1の電極層587と、絶縁層585に形成する開口で接しており電氣的に接続している。第1の電極層587と基板596上に形成された第2の電極層588との間には、黒色領域590a及び白色領域590bを有する球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595で充填されている。第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、薄膜トランジスタ581と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して第2の電極層588と共通電位線とを電氣的に接続することができる。

【0232】

また、ツイストボールを用いた素子の代わりに、電気泳動素子を用いることも可能である。透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 μ m~200 μ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電源から表示機能付き半導体装置（単に表示装置、又は表示装置を具備する半導体装置ともいう）を切り離した場合であっても、表示された像を保存しておくことが可能となる。

【0233】

以上の工程により、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0234】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0235】

（実施の形態9）

半導体装置として発光表示装置の例を示す。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0236】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0237】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナーアクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。

10

【0238】

図18は、半導体装置の例としてデジタル時間階調駆動を適用可能な画素構成の一例を示す図である。

【0239】

デジタル時間階調駆動を適用可能な画素の構成及び画素の動作について説明する。ここでは酸化物半導体層をチャンネル形成領域に用いるnチャンネル型のトランジスタを1つの画素に2つ用いる例を示す。

20

【0240】

画素6400は、スイッチング用トランジスタ6401、発光素子駆動用トランジスタ6402、発光素子6404及び容量素子6403を有している。スイッチング用トランジスタ6401はゲートが走査線6406に接続され、第1電極（ソース電極及びドレイン電極の一方）が信号線6405に接続され、第2電極（ソース電極及びドレイン電極の他方）が発光素子駆動用トランジスタ6402のゲートに接続されている。発光素子駆動用トランジスタ6402は、ゲートが容量素子6403を介して電源線6407に接続され、第1電極が電源線6407に接続され、第2電極が発光素子6404の第1電極（画素電極）に接続されている。発光素子6404の第2電極は共通電極6408に相当する。共通電極6408は、同一基板上に形成される共通電位線と電氣的に接続される。

30

【0241】

なお、発光素子6404の第2電極（共通電極6408）には低電源電位が設定されている。なお、低電源電位とは、電源線6407に設定される高電源電位を基準にして低電源電位<高電源電位を満たす電位であり、低電源電位としては例えばGND、0Vなどが設定されていても良い。この高電源電位と低電源電位との電位差を発光素子6404に印加して、発光素子6404に電流を流して発光素子6404を発光させるため、高電源電位と低電源電位との電位差が発光素子6404の順方向しきい値電圧以上となるようにそれぞれの電位を設定する。

【0242】

なお、容量素子6403は発光素子駆動用トランジスタ6402のゲート容量を代用して省略することも可能である。発光素子駆動用トランジスタ6402のゲート容量については、チャンネル領域とゲート電極との間で容量が形成されていてもよい。

40

【0243】

ここで、電圧入力電圧駆動方式の場合には、発光素子駆動用トランジスタ6402のゲートには、発光素子駆動用トランジスタ6402が十分にオンするか、オフするか二つの状態となるようなビデオ信号を入力する。つまり、発光素子駆動用トランジスタ6402は線形領域で動作させる。発光素子駆動用トランジスタ6402は線形領域で動作させるため、電源線6407の電圧よりも高い電圧を発光素子駆動用トランジスタ6402のゲートにかける。なお、信号線6405には、（電源線電圧+発光素子駆動用トランジスタ

50

6402のV_{th})以上の電圧をかける。

【0244】

また、デジタル時間階調駆動に代えて、アナログ階調駆動を行う場合、信号の入力を異ならせることで、図18と同じ画素構成を用いることができる。

【0245】

アナログ階調駆動を行う場合、発光素子駆動用トランジスタ6402のゲートに発光素子6404の順方向電圧+発光素子駆動用トランジスタ6402のV_{th}以上の電圧をかける。発光素子6404の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。なお、発光素子駆動用トランジスタ6402が飽和領域で動作するようなビデオ信号を入力することで、発光素子6404に電流を流すことができる。発光素子駆動用トランジスタ6402を飽和領域で動作させるため、電源線6407の電位は、発光素子駆動用トランジスタ6402のゲート電位よりも高くする。ビデオ信号をアナログとすることで、発光素子6404にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【0246】

なお、図18に示す画素構成は、これに限定されない。例えば、図18に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ又は論理回路などを追加してもよい。

【0247】

次に、発光素子の構成について、図19を用いて説明する。ここでは、発光素子駆動用TFTがn型の場合を例に挙げて、画素の断面構造について説明する。図19(A)(B)(C)の半導体装置に用いられる発光素子駆動用TFTであるTFT7001、7011、7021は、実施の形態2で示す画素に配置される薄膜トランジスタと同様に作製でき、酸化物半導体層を含む信頼性の高い薄膜トランジスタである。また、実施の形態1、3乃至5で示す画素に配置される薄膜トランジスタをTFT7001、7011、7021として適用することもできる。

【0248】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、画素構成はどの射出構造の発光素子にも適用することができる。

【0249】

上面射出構造の発光素子について図19(A)を用いて説明する。

【0250】

図19(A)に、発光素子駆動用TFTであるTFT7001がn型で、発光素子7002から発せられる光が陽極7005側に抜ける場合の、画素の断面図を示す。図19(A)では、発光素子7002の陰極7003と発光素子駆動用TFTであるTFT7001が電氣的に接続されており、陰極7003上に発光層7004、陽極7005が順に積層されている。陰極7003は仕事関数が小さく、なおかつ光を反射する導電膜であれば様々な材料を用いることができる。例えば、Ca、Al、MgAg、AlLi等が望ましい。そして発光層7004は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極7003上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極7005は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

【0251】

また、陰極 7003 と隣り合う画素の陰極の間に、それぞれの端部を覆って隔壁 7009 を設ける。隔壁 7009 は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂膜、無機絶縁膜またはポリシロキサンを用いて形成する。隔壁 7009 は、特に感光性の樹脂材料を用い、隔壁 7009 の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7009 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0252】

陰極 7003 及び陽極 7005 で発光層 7004 を挟んでいる領域が発光素子 7002 に相当する。図 19 (A) に示した画素の場合、発光素子 7002 から発せられる光は、矢印で示すように陽極 7005 側に射出する。

10

【0253】

次に、下面射出構造の発光素子について図 19 (B) を用いて説明する。発光素子駆動用 TFT 7011 が n 型で、発光素子 7012 から発せられる光が陰極 7013 側に射出する場合の、画素の断面図を示す。図 19 (B) では、発光素子駆動用 TFT 7011 と電氣的に接続された透光性を有する導電膜 7017 上に、発光素子 7012 の陰極 7013 が形成されており、陰極 7013 上に発光層 7014、陽極 7015 が順に積層されている。なお、陽極 7015 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜 7016 が形成されていてもよい。陰極 7013 は、図 19 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば厚さ 20 nm のアルミニウム膜を、陰極 7013 として用いることができる。そして発光層 7014 は、図 19 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7015 は光を透過する必要はないが、図 19 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜 7016 は、例えば光を反射する金属等を用いることができるが、金属膜に限定されない。例えば黒の顔料を添加した樹脂等を用いることもできる。

20

【0254】

また、導電膜 7017 と隣り合う画素の導電膜の間に、それぞれの端部を覆って隔壁 7019 を設ける。隔壁 7019 は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂膜、無機絶縁膜またはポリシロキサンを用いて形成する。隔壁 7019 は、特に感光性の樹脂材料を用い、隔壁 7019 の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁 7019 として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

30

【0255】

陰極 7013 及び陽極 7015 で、発光層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 19 (B) に示した画素の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

【0256】

次に、両面射出構造の発光素子について、図 19 (C) を用いて説明する。図 19 (C) では、発光素子駆動用 TFT 7021 と電氣的に接続された透光性を有する導電膜 7027 上に、発光素子 7022 の陰極 7023 が形成されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 19 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する Al を、陰極 7023 として用いることができる。そして発光層 7024 は、図 19 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 19 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

40

【0257】

また、導電膜 7027 と隣り合う画素の導電膜の間に、それぞれの端部を覆って隔壁 70

50

29を設ける。隔壁7029は、ポリイミド、アクリル樹脂、ポリアミド、エポキシ樹脂等の有機樹脂膜、無機絶縁膜またはポリシロキサンを用いて形成する。隔壁7029は、特に感光性の樹脂材料を用い、隔壁7029の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。隔壁7029として感光性の樹脂材料を用いる場合、レジストマスクを形成する工程を省略することができる。

【0258】

陰極7023と、発光層7024と、陽極7025とが重なっている部分が発光素子7022に相当する。図19(C)に示した画素の場合、発光素子7022から発せられる光は、矢印で示すように陽極7025側と陰極7023側の両方に射出する。

【0259】

なお、ここでは、発光素子として有機EL素子について述べたが、発光素子として無機EL素子を設けることも可能である。

【0260】

なお、発光素子の駆動を制御する薄膜トランジスタ（発光素子駆動用TFT）と発光素子が電氣的に接続されている例を示したが、発光素子駆動用TFTと発光素子との間に電流制御用TFTが接続されている構成であってもよい。

【0261】

なお半導体装置は、図19に示した構成に限定されるものではなく、本明細書に開示する技術的思想に基づく各種の変形が可能である。

【0262】

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図17を用いて説明する。図17は、第1の基板上に形成された薄膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの平面図であり、図17(B)は、図17(A)のH-Iにおける断面図に相当する。

【0263】

第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bを囲むようにして、シール材4505が設けられている。また画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bの上に第2の基板4506が設けられている。よって画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0264】

また第1の基板4501上に設けられた画素部4502、信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、薄膜トランジスタを複数有しており、図17(B)では、画素部4502に含まれる薄膜トランジスタ4510と、信号線駆動回路4503aに含まれる薄膜トランジスタ4509とを例示している。

【0265】

薄膜トランジスタ4509、4510は、実施の形態3で示した酸化物半導体層を含む信頼性の高い薄膜トランジスタを適用することができる。また実施の形態1、2、4、又は5に示す薄膜トランジスタを適用してもよい。薄膜トランジスタ4509、4510はnチャンネル型薄膜トランジスタである。

【0266】

また4511は発光素子に相当し、発光素子4511が有する画素電極である第1の電極層4517は、薄膜トランジスタ4510のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子4511の構成は、第1の電極層4517、電界発光層4512、第2の電極層4513の積層構造であるが、示した構成に限定されない。発光素子4511から取り出す光の方向などに合わせて、発光素子4511の構成は適宜変え

10

20

30

40

50

ることができる。

【0267】

隔壁4520は、有機樹脂膜、無機絶縁膜またはポリシロキサンを用いて形成する。特に感光性の材料を用い、第1の電極層4517上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0268】

電界発光層4512は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0269】

発光素子4511に酸素、水素、水分、二酸化炭素等が侵入しないように、第2の電極層4513及び隔壁4520上に保護膜を形成してもよい。保護膜としては、窒化珪素膜、窒化酸化珪素膜、DLC膜等を形成することができる。

10

【0270】

また、信号線駆動回路4503a、4503b、走査線駆動回路4504a、4504b、または画素部4502に与えられる各種信号及び電位は、FPC4518a、4518bから供給されている。

【0271】

接続端子電極4515が、発光素子4511が有する第1の電極層4517と同じ導電膜から形成され、端子電極4516は、薄膜トランジスタ4509が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

20

【0272】

接続端子電極4515は、FPC4518aが有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0273】

発光素子4511からの光の取り出し方向に位置する基板には、透光性を持たせる必要がある。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0274】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル樹脂、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンとビニルアセテートとの共重合体）を用いることができる。

30

【0275】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0276】

信号線駆動回路4503a、4503b、及び走査線駆動回路4504a、4504bは、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、図17の構成に限定されない。

40

【0277】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【0278】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0279】

（実施の形態10）

50

本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図 27 に示す。

【0280】

図 27 は、電子書籍 2700 の一例を示している。例えば、電子書籍 2700 は、筐体 2701 および筐体 2703 で構成されている。筐体 2701 および筐体 2703 は、軸部 2711 により一体とされており、該軸部 2711 を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

10

【0281】

筐体 2701 には表示部 2705 が組み込まれ、筐体 2703 には表示部 2707 が組み込まれている。表示部 2705 および表示部 2707 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 27 では表示部 2705）に文章を表示し、左側の表示部（図 27 では表示部 2707）に画像を表示することができる。

【0282】

また、図 27 では、筐体 2701 に操作部などを備えた例を示している。例えば、筐体 2701 において、電源 2721、操作キー 2723、スピーカ 2725などを備えている。操作キー 2723 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2700 は、電子辞書としての機能を持たせた構成としてもよい。

20

【0283】

また、電子書籍 2700 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0284】

（実施の形態 11）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【0285】

図 28（A）は、テレビジョン装置 9600 の一例を示している。テレビジョン装置 9600 は、筐体 9601 に表示部 9603 が組み込まれている。表示部 9603 により、映像を表示することが可能である。また、ここでは、スタンド 9605 により筐体 9601 を支持した構成を示している。

40

【0286】

テレビジョン装置 9600 の操作は、筐体 9601 が備える操作スイッチや、別体のリモコン操作機 9610 により行うことができる。リモコン操作機 9610 が備える操作キー 9609 により、チャンネルや音量の操作を行うことができ、表示部 9603 に表示される映像を操作することができる。また、リモコン操作機 9610 に、当該リモコン操作機 9610 から出力する情報を表示する表示部 9607 を設ける構成としてもよい。

【0287】

なお、テレビジョン装置 9600 は、受信機やモデムなどを備えた構成とする。受信機に

50

より一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【0288】

図28（B）は、デジタルフォトフレーム9700の一例を示している。例えば、デジタルフォトフレーム9700は、筐体9701に表示部9703が組み込まれている。表示部9703は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【0289】

なお、デジタルフォトフレーム9700は、操作部、外部接続用端子（USB端子、USBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部9703に表示させることができる。

【0290】

また、デジタルフォトフレーム9700は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【0291】

図29（A）は携帯型遊技機であり、筐体9881と筐体9891で構成されており、連結部9893により、開閉可能に連結されている。筐体9881には表示部9882が組み込まれ、筐体9891には表示部9883が組み込まれている。また、図29（A）に示す携帯型遊技機は、その他、スピーカ部9884、記録媒体挿入部9886、LEDランプ9890、入力手段（操作キー9885、接続端子9887、センサ9888（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン9889）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図29（A）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図29（A）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【0292】

図29（B）は大型遊技機であるスロットマシン9900の一例を示している。スロットマシン9900は、筐体9901に表示部9903が組み込まれている。また、スロットマシン9900は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン9900の構成は上述のものに限定されず、少なくとも本明細書に開示する半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

【0293】

図30（A）は携帯型のコンピュータの一例を示す斜視図である。

【0294】

図30（A）の携帯型のコンピュータは、上部筐体9301と下部筐体9302とを接続するヒンジユニットを開状態として表示部9303を有する上部筐体9301と、キーボード9304を有する下部筐体9302とを重ねた状態とすることができ、持ち運ぶことが便利であるとともに、使用者がキーボード入力する場合には、ヒンジユニットを開状態として、表示部9303を見て入力操作を行うことができる。

【0295】

また、下部筐体9302はキーボード9304の他に入力操作を行うポインティングデバ

10

20

30

40

50

イス 9306 を有する。また、表示部 9303 をタッチ入力パネルとすれば、表示部の一部に触れることで入力操作を行うこともできる。また、下部筐体 9302 は CPU やハードディスク等の演算機能部を有している。また、下部筐体 9302 は他の機器、例えば USB の通信規格に準拠した通信ケーブルが差し込まれる外部接続ポート 9305 を有している。

【0296】

上部筐体 9301 には更に上部筐体 9301 内部にスライドさせて収納可能な表示部 9307 を有しており、広い表示画面を実現することができる。また、収納可能な表示部 9307 の画面の向きを使用者は調節できる。また、収納可能な表示部 9307 をタッチ入力パネルとすれば、収納可能な表示部の一部に触れることで入力操作を行うこともできる。

10

【0297】

表示部 9303 または収納可能な表示部 9307 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。

【0298】

また、図 30 (A) の携帯型のコンピュータは、受信機などを備えた構成として、テレビ放送を受信して映像を表示部 9303 または表示部 9307 に表示することができる。また、上部筐体 9301 と下部筐体 9302 とを接続するヒンジユニットを閉状態としたまま、表示部 9307 をスライドさせて画面全面を露出させ、画面角度を調節して使用者がテレビ放送を見ることが出来る。この場合には、ヒンジユニットを閉状態として表示部 9303 を表示させず、さらにテレビ放送を表示するだけの回路の起動のみを行うため、最小限の消費電力とすることができ、バッテリー容量の限られている携帯型のコンピュータにおいて有用である。

20

【0299】

また、図 30 (B) は、腕時計のように使用者の腕に装着可能な形態を有している携帯電話の一例を示す斜視図である。

【0300】

この携帯電話は、少なくとも電話機能を有する通信装置及びバッテリーを有する本体、本体を腕に装着するためのバンド部 9204、腕に対するバンド部の固定状態を調節する調節部 9205、表示部 9201、スピーカ 9207、及びマイク 9208 から構成されている。

30

【0301】

また、本体は、操作スイッチ 9203 を有し、電源入力スイッチや、表示切り替えスイッチや、撮像開始指示スイッチの他、例えばボタンを押すとインターネット用のプログラムが起動されるなど、各ファンクションを対応づけることができる。

【0302】

この携帯電話の入力操作は、表示部 9201 に指や入力ペンなどで触れること、又は操作スイッチ 9203 の操作、またはマイク 9208 への音声入力により行われる。なお、図 30 (B) では、表示部 9201 に表示された表示ボタン 9202 を図示しており、指などで触れることにより入力を行うことができる。

【0303】

また、本体は、撮影レンズを通して結像される被写体像を電子画像信号に変換する撮像手段を有するカメラ部 9206 を有する。なお、特にカメラ部は設けなくともよい。

40

【0304】

また、図 30 (B) に示す携帯電話は、テレビ放送の受信機などを備えた構成として、テレビ放送を受信して映像を表示部 9201 に表示することができ、さらにメモリなどの記憶装置などを備えた構成として、テレビ放送をメモリに録画できる。また、図 30 (B) に示す携帯電話は、GPS などの位置情報を検出できる機能を有していてもよい。

【0305】

表示部 9201 は、液晶表示パネル、有機発光素子または無機発光素子などの発光表示パネルなどの映像表示装置を用いる。図 30 (B) に示す携帯電話は、小型、且つ、軽量で

50

あるため、バッテリー容量が限られており、表示部 9201 に用いる表示装置は低消費電力で駆動できるパネルを用いることが好ましい。

【0306】

なお、図 30 (B) では「腕」に装着するタイプの電子機器を図示したが、特に限定されず、携行できる形状を有しているものであればよい。

【実施例 1】

【0307】

本実施例では、発明の一形態である薄膜トランジスタを作製し、その電気特性を評価した結果を示す。

【0308】

本実施例の薄膜トランジスタの作製方法を説明する。ガラス基板上に下地膜として、プラズマ CVD 法により厚さ 150 nm の窒化珪素膜と厚さ 100 nm の酸化窒化珪素膜の積層膜を形成し、酸化窒化珪素膜上にゲート電極層としてスパッタリング法により膜厚 150 nm のタングステン膜を形成し、ゲート電極層上にゲート絶縁層としてプラズマ CVD 法により膜厚 100 nm の酸化窒化珪素膜を形成した。

【0309】

ゲート絶縁層上に、In-Ga-Zn-O 系酸化物半導体ターゲット ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol 数比]) を用い、厚さ 20 nm の酸化物半導体層を形成した。成膜条件は、基板とターゲットの間との距離を 100 mm、圧力 0.2 Pa、直流 (DC) 電源 0.5 kW、アルゴン及び酸素 (アルゴン : 酸素 = 30 sccm : 20 sccm 酸素流量比率 40%) 雰囲気下とした。

【0310】

酸化物半導体層上にソース電極層及びドレイン電極層としてチタン膜 (膜厚 100 nm)、アルミニウム膜 (膜厚 200 nm)、及びチタン膜 (膜厚 100 nm) の積層を、スパッタリング法により形成した。

【0311】

次に、酸化物半導体層を大気雰囲気下、350℃で1時間加熱した。

【0312】

まず、酸化物絶縁膜を形成するチャンバー内を 1×10^{-3} Pa に減圧した (減圧に要した時間約 5 分間)。そして減圧されたチャンバー内に、酸化物半導体層が形成された基板をチャンバー内に搬送した。チャンバー内に窒素を 5 分間導入し 330℃で 5 分間加熱した後、チャンバー内を減圧した (減圧に要した時間約 3 分間)。チャンバー内に亜酸化窒素 (N_2O) を導入しチャンバー内の圧力が 22 Pa となるように調圧した。

【0313】

亜酸化窒素 (N_2O) を導入したチャンバー内にプラズマを発生させ、シラン (SiH_4) を導入し、酸化物半導体層と接するように酸化物絶縁膜である厚さ 300 nm の酸化窒化珪素膜を形成した。成膜ガスとしては SiH_4 及び N_2O ($\text{SiH}_4 : \text{N}_2\text{O} = 10 \text{ sccm} : 1200 \text{ sccm}$) を用い、プラズマ発生時及び酸化物絶縁膜形成時のチャンバー内の圧力は 22 Pa、電力は 30 W、電源周波数は 13.56 MHz、温度は 330℃とした。

【0314】

酸化物絶縁膜及びゲート絶縁層にコンタクトホールとなる開口を形成後、さらに基板を大気雰囲気下、350℃で1時間加熱した。

【0315】

以上の工程で本実施例の薄膜トランジスタを作製した。なお薄膜トランジスタの酸化物半導体層のチャネル長 (L) は 20 μm 、チャネル幅 (W) は 20 μm であった。

【0316】

薄膜トランジスタの信頼性を調べるための手法の一つに、バイアス-熱ストレス試験 (以下、BT 試験という) がある。BT 試験は加速試験の一種であり、長期間の使用によって起こる薄膜トランジスタの特性変化を、短時間で評価することができる。BT 試験前後に

における薄膜トランジスタのしきい値電圧の変化量は、信頼性を調べるための重要な指標となる。B T 試験前後において、しきい値電圧の変化量が少ないほど、信頼性が高い薄膜トランジスタであるといえる。

【0317】

具体的には、薄膜トランジスタが形成されている基板の温度（基板温度）を一定に維持し、薄膜トランジスタのソースおよびドレインを同電位とし、ゲートにソースおよびドレインとは異なる電位を一定時間印加する。基板温度は、試験目的に応じて適宜設定すればよい。また、ゲートに印加する電位がソースおよびドレインの電位よりも高い場合を＋B T 試験といい、ゲートに印加する電位がソースおよびドレインの電位よりも低い場合を－B T 試験という。

10

【0318】

B T 試験の試験強度は、基板温度、ゲート絶縁膜に加えられる電界強度、電界印加時間により決定することができる。ゲート絶縁膜に加えられる電界強度は、ゲートと、ソースおよびドレインの電位差をゲート絶縁膜の膜厚で除して決定される。例えば、膜厚が100 nmのゲート絶縁膜に印加する電界強度を2 MV/cmとしたい場合は、電位差を20 Vとすればよい。

【0319】

本実施例の薄膜トランジスタについてB T 試験を行った結果を説明する。

【0320】

なお、電圧とは2点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書では特に指定する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

20

【0321】

B T 試験は、基板温度を150℃、ゲート絶縁膜に印加する電界強度を2 MV/cm、印加時間を1時間とし、＋B T 試験および－B T 試験それぞれについて行った。

【0322】

まず、＋B T 試験について説明する。B T 試験対象となる薄膜トランジスタの初期特性を測定するため、基板温度を40℃とし、ソースドレイン間電圧（以下、ドレイン電圧という）を10 Vとし、ソースゲート間電圧（以下、ゲート電圧という）を－20 V～＋20 Vまで変化させたときのソースドレイン電流（以下、ドレイン電流という）の変化、すなわちV_g－I_d特性を測定した。ここでは基板温度を試料表面の吸湿対策として40℃としているが、特に問題がなければ、基板温度を室温（25℃）として測定してもかまわない。

30

【0323】

次に、基板温度を150℃まで上昇させた後、薄膜トランジスタのソースおよびドレインの電位を0 Vとした。続いて、ゲート絶縁膜へ印加される電界強度が2 MV/cmとなるようにゲートに電圧を印加した。ここでは、薄膜トランジスタのゲート絶縁膜の厚さが100 nmであったため、ゲートに＋20 Vを印加し、そのまま1時間保持した。ここでは印加時間を1時間としたが、目的に応じて適宜時間を変更してもよい。

40

【0324】

次に、ゲート、ソースおよびドレインへ電圧を印加したまま、基板温度を40℃まで下げた。この時、基板温度が下がりきる前に電圧の印加をやめしまうと、余熱の影響によりB T 試験で薄膜トランジスタに与えられたダメージが回復されてしまうため、電圧は印加したまま基板温度を下げる必要がある。基板温度が40℃になった後、電圧の印加を終了させた。なお、厳密には降温時間も印加時間に加える必要があるが、実際には数分で40℃まで下げることができたため、これを誤差範囲内と考え、降温時間は印加時間に加えていない。

50

【0325】

次に、初期特性の測定と同じ条件で $V_g - I_d$ 特性を測定し、+BT 試験後の $V_g - I_d$ 特性を得た。

【0326】

続いて、-BT 試験について説明する。-BT 試験も +BT 試験と同様の手順で行うが、基板温度を 150℃ まで上昇させた後にゲートに印加する電圧を -20V とする点異なる。

【0327】

なお、BT 試験に際しては、まだ一度も BT 試験を行っていない薄膜トランジスタを用いて試験を行うことが重要である。例えば、一度 +BT 試験を行った薄膜トランジスタを用いて -BT 試験を行うと、先に行った +BT 試験の影響により、-BT 試験結果を正しく評価することができない。また、一度 +BT 試験を行った薄膜トランジスタを用いて、再度 +BT 試験を行った場合等も同様である。ただし、これらの影響を踏まえて、あえて BT 試験を繰り返す場合はこの限りではない。

【0328】

図 25 (A) 及び図 25 (B) に、BT 試験前後における薄膜トランジスタの $V_g - I_d$ 特性を示す。図 25 (A) 及び図 25 (B) とともに、横軸はゲート電圧 (V_g) で、縦軸はゲート電圧に対するドレイン電流 (I_d) を対数目盛で示している。

【0329】

図 25 (A) は、+BT 試験前後における薄膜トランジスタの $V_g - I_d$ 特性を示している。初期特性を示す曲線 811 は、+BT 試験前の薄膜トランジスタの $V_g - I_d$ 特性であり、曲線 812 は、+BT 試験後の薄膜トランジスタの $V_g - I_d$ 特性である。

【0330】

図 25 (B) は、-BT 試験前後における薄膜トランジスタの $V_g - I_d$ 特性を示している。初期特性を示す曲線 821 は、-BT 試験前の薄膜トランジスタの $V_g - I_d$ 特性であり、曲線 822 は、-BT 試験後の薄膜トランジスタの $V_g - I_d$ 特性である。

【0331】

なお、これらの $V_g - I_d$ 特性の測定において、本実施例の薄膜トランジスタは、オフ領域 (n 型トランジスタの場合は、多くは V_g が 0V 近傍からマイナスの領域) で、 I_d が測定機の検出下限値以下となってしまう。このため、図 25 (A) 及び図 25 (B) では、 I_d が測定機の検出下限値以下となった部分については表記していない。

【0332】

図 25 (A) から、曲線 812 は、初期特性を示す曲線 811 に比べてしきい値電圧がプラス方向へ変化しており、図 25 (B) から、曲線 822 は、初期特性を示す曲線 821 に比べてしきい値電圧がマイナス方向へ変化している。以上のことから、どちらの BT 試験においても、しきい値電圧の変化量が数 V 程度と少ないため、本実施例の薄膜トランジスタは、BT 試験における信頼性が高い薄膜トランジスタであることが確認できた。

【実施例 2】

【0333】

本実施例では、実施の形態 1 において酸素元素を含むガス導入 (工程 8005 又は工程 8105) から酸化物絶縁膜形成 (工程 8008 又は工程 8108) までをモデルにより計算した結果を示す。

【0334】

まず、酸素元素を含むガスとして酸素を用いる例を計算した結果を示す。第一原理 MD (分子動力学) 法を用いて、酸化物半導体層と酸素分子 (O_2) の相互作用を計算した。ここでは、計算用のソフトウェアとしては、アクセルリス株式会社製の CASTEP を用い、計算条件は、NVT アンサンブル、時間を 0.5 ピコ秒、温度を 350℃ とした。計算手法は平面波基底擬ポテンシャル法を用いた密度汎関数法である。汎関数は GGAPBE を用いた。

【0335】

ここでは、I G Z O 表面の計算モデルとして、12 個の I n 原子、12 個の G a 原子、12 個の Z n 原子、及び 46 個の O 原子からなるアモルファス構造とした。計算に用いた基本格子は $1.02 \text{ nm} \times 1.02 \text{ nm} \times 2.06 \text{ nm}$ の直方体である。境界は周期境界条件を用いている。以下では上記表面モデルに酸素分子 (O_2) もしくは一酸化二窒素 (N_2O) 分子を付加したモデルを用いている。

【0336】

酸化物半導体層の表面と、酸化物半導体層の表面近傍に配置した酸素分子 (O_2) の初期状態を図 10 (A) に示し、0.5 ピコ秒後の両者の位置を図 10 (B) に示す。図 10 (B) において、酸素分子 (O_2) が酸化物半導体層表面の金属に吸着されている。0.5 ピコ秒内では、酸素分子 (O_2) の共有結合が失われる状態に至らなかった。

10

【0337】

しかし、酸素原子は酸素原子同士が結合した状態よりも、酸素原子同士の結合が切れ、金属原子と隣り合った構造の方が熱力学的に安定である。また、酸化物半導体層の密度の測定値から作製した構造モデルは、酸素分子 (O_2) が共有結合を保ったまま拡散するには酸化物半導体層内部のスペースは狭すぎることを示している。従って、酸素原子は熱力学的平衡に達した際には酸化物半導体層内部に拡散している。

【0338】

次に、酸素元素を含むガスとして窒化酸素を用いる例を計算した結果を示す。酸化物半導体層表面近傍に亜酸化窒素 (一酸化二窒素 (N_2O)) 分子を配置し、第一原理 MD 法を用いて、酸化物半導体層と N_2O 分子の相互作用を計算した。計算条件は、NVT アンサンブル、時間を 0.5 ピコ秒、温度を 350°C とした。

20

【0339】

酸化物半導体層表面と、酸化物半導体層表面近傍に配置した N_2O 分子の初期状態を図 11 (A) に示し、0.5 ピコ秒後の両者の位置を図 11 (B) に示す。図 11 (B) において、 N_2O 分子は分解し、窒素分子が酸化物半導体層表面近傍に観測される。また、 N_2O 分子に由来する酸素原子が酸化物半導体層に拡散している。

【0340】

なお、 N_2O 分子の構造を図 12 (A) 及び図 12 (B) に示す。 N_2O 分子は図 12 (A) に示す通り窒素原子と酸素原子が直線状に並んでいる。直線状に並んだ窒素原子と酸素原子は、図 12 (B) に示すような共鳴状態を保って結合している。

30

【0341】

次に、酸素密度の高い領域及び酸素密度の低い領域を有する酸化物半導体層における、加熱処理に伴う酸素の拡散現象について計算した。結果を、図 13 及び図 14 を用いて説明する。ここでは、計算用のソフトウェアとしては、富士通株式会社製の Materials Explorer 5.0 を用いた。

【0342】

図 13 に、計算に用いた酸化物半導体層のモデルを示す。ここでは、酸化物半導体層 701 を、酸素密度の低い層 703 及び酸素密度の高い層 705 が積層される構造とした。

【0343】

ここでは、酸素密度の低い層 703 として、15 個の I n 原子、15 個の G a 原子、15 個の Z n 原子、及び 54 個の O 原子からなるアモルファス構造とした。

40

【0344】

また、酸素密度の高い層 705 として、15 個の I n 原子、15 個の G a 原子、15 個の Z n 原子、及び 66 個の O 原子からなるアモルファス構造とした。

【0345】

また、酸化物半導体層 701 の密度を 5.9 g/cm^3 とした。

【0346】

次に、酸化物半導体層 701 に対して、NVT アンサンブル、温度 250°C の条件で、古典 MD (分子動力学) 計算を行った。時間刻み幅を 0.2 fs とし、総計算時間を 200 ps と設定した。また、ポテンシャルは、金属-酸素結合、及び酸素-酸素結合に B o r

50

n-Mayer-Huggins型を適用した。また、酸化物半導体層701の上端及び下端の原子は固定した。

【0347】

次に、計算結果を図14に示す。z軸座標の0nmから1.15nmが酸素密度の低い層703であり、z軸座標の1.15nmから2.3nmが酸素密度の高い層705である。MD計算前の酸素の密度分布を実線707で示し、MD計算後の酸素密度の分布を破線709で示す。

【0348】

実線707においては、酸素密度の低い層703と酸素密度の高い層705との界面より、酸素密度の高い層705において、酸素の密度が高い。一方、破線709においては、酸素密度の低い層703及び酸素密度の高い層705において、酸素密度がほぼ同じであることが分かる。

10

【0349】

以上のことから、酸素密度の低い層703と酸素密度の高い層705の積層状態のように、酸素密度の分布に偏りが有る場合、加熱処理により酸素密度が均質になることが分かる。

【0350】

即ち、実施の形態1に示すように、酸化物半導体層上に酸化物絶縁膜を形成することで、酸化物半導体層及び酸化物絶縁膜の界面において酸素密度が高まるため、当該酸素が酸化物半導体層へ拡散し、酸化物半導体層が高抵抗化する。以上のことから、薄膜トランジスタの信頼性を向上させることができる。

20

【0351】

本実施例が示すとおり、酸素は酸化物半導体層の表面に吸着した後、酸化物半導体層に含まれる金属イオン(Me)とイオン結合を生じ、酸素原子の状態で酸化物半導体層内部に拡散する(図15参照)。

【符号の説明】

【0352】

- 100 基板
- 101 ゲート電極層
- 102 ゲート絶縁層
- 103 酸化物半導体層
- 105a ソース電極層
- 105b ドレイン電極層
- 107 保護絶縁層
- 108 容量配線
- 110 画素電極層
- 121 第1の端子
- 122 第2の端子
- 125 コンタクトホール
- 126 コンタクトホール
- 127 コンタクトホール
- 128 透明導電膜
- 129 透明導電膜
- 132 導電膜
- 133 酸化物半導体層
- 135 酸化物半導体層
- 150 第2の端子
- 151 第1の端子
- 152 ゲート絶縁層
- 153 接続電極層

30

40

50

1 5 4	保護絶縁膜	
1 5 5	透明導電膜	
1 5 6	電極層	
1 7 0	薄膜トランジスタ	
4 0 0	基板	
4 0 1	ゲート電極層	
4 0 2	ゲート絶縁層	
4 0 3	酸化物半導体層	
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	10
4 0 7	酸化物絶縁膜	
4 3 0	酸化物半導体層	
4 3 2	酸化物半導体層	
4 7 0	薄膜トランジスタ	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	絶縁膜	
5 8 5	絶縁層	
5 8 7	第 1 の電極層	
5 8 8	第 2 の電極層	20
5 8 9	球形粒子	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
5 9 5	充填材	
5 9 6	基板	
7 0 1	酸化物半導体層	
7 0 3	層	
7 0 5	層	
2 6 0 0	T F T 基板	
2 6 0 1	対向基板	30
2 6 0 2	シール材	
2 6 0 3	画素部	
2 6 0 4	表示素子	
2 6 0 5	着色層	
2 6 0 6	偏光板	
2 6 0 7	偏光板	
2 6 0 8	配線回路部	
2 6 0 9	フレキシブル配線基板	
2 6 1 0	冷陰極管	
2 6 1 1	反射板	40
2 6 1 2	回路基板	
2 6 1 3	拡散板	
2 7 0 0	電子書籍	
2 7 0 1	筐体	
2 7 0 3	筐体	
2 7 0 5	表示部	
2 7 0 7	表示部	
2 7 1 1	軸部	
2 7 2 1	電源	
2 7 2 3	操作キー	50

2 7 2 5	スピーカ	
4 0 0 1	第 1 の基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	第 2 の基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	10
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	保護絶縁層	
4 0 2 1	保護絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	20
4 0 3 5	スペーサ	
4 5 0 1	第 1 の基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 5	シール材	
4 5 0 6	第 2 の基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	30
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	第 2 の電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	
4 5 1 7	第 1 の電極層	
4 5 1 8 a	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
5 3 0 0	基板	40
5 3 0 1	画素部	
5 3 0 2	第 1 の走査線駆動回路	
5 3 0 3	第 2 の走査線駆動回路	
5 3 0 4	信号線駆動回路	
5 3 0 5	タイミング制御回路	
5 6 0 1	シフトレジスタ	
5 6 0 2	スイッチング回路	
5 6 0 3	薄膜トランジスタ	
5 6 0 4	配線	
5 6 0 5	配線	50

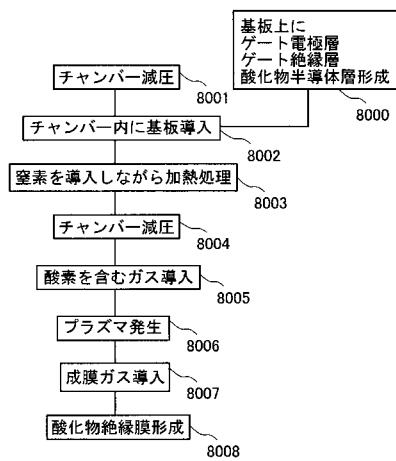
6 4 0 0	画素	
6 4 0 1	スイッチング用トランジスタ	
6 4 0 2	発光素子駆動用トランジスタ	
6 4 0 3	容量素子	
6 4 0 4	発光素子	
6 4 0 5	信号線	
6 4 0 6	走査線	
6 4 0 7	電源線	
6 4 0 8	共通電極	
7 0 0 1	T F T	10
7 0 0 2	発光素子	
7 0 0 3	陰極	
7 0 0 4	発光層	
7 0 0 5	陽極	
7 0 0 9	隔壁	
7 0 1 1	発光素子駆動用 T F T	
7 0 1 2	発光素子	
7 0 1 3	陰極	
7 0 1 4	発光層	
7 0 1 5	陽極	20
7 0 1 6	遮蔽膜	
7 0 1 7	導電膜	
7 0 1 9	隔壁	
7 0 2 1	発光素子駆動用 T F T	
7 0 2 2	発光素子	
7 0 2 3	陰極	
7 0 2 4	発光層	
7 0 2 5	陽極	
7 0 2 7	導電膜	
7 0 2 9	隔壁	30
9 2 0 1	表示部	
9 2 0 2	表示ボタン	
9 2 0 3	操作スイッチ	
9 2 0 4	バンド部	
9 2 0 5	調節部	
9 2 0 6	カメラ部	
9 2 0 7	スピーカ	
9 2 0 8	マイク	
9 3 0 1	上部筐体	
9 3 0 2	下部筐体	40
9 3 0 3	表示部	
9 3 0 4	キーボード	
9 3 0 5	外部接続ポート	
9 3 0 6	ポインティングデバイス	
9 3 0 7	表示部	
9 6 0 0	テレビジョン装置	
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	50

9 6 0 9	操作キー
9 6 1 0	リモコン操作機
9 7 0 0	デジタルフォトフレーム
9 7 0 1	筐体
9 7 0 3	表示部
9 8 8 1	筐体
9 8 8 2	表示部
9 8 8 3	表示部
9 8 8 4	スピーカ部
9 8 8 5	入力手段
9 8 8 6	記録媒体挿入部
9 8 8 7	接続端子
9 8 8 8	センサ
9 8 8 9	マイクロフォン
9 8 9 0	L E D ランプ
9 8 9 1	筐体
9 8 9 3	連結部
9 9 0 0	スロットマシン
9 9 0 1	筐体
9 9 0 3	表示部

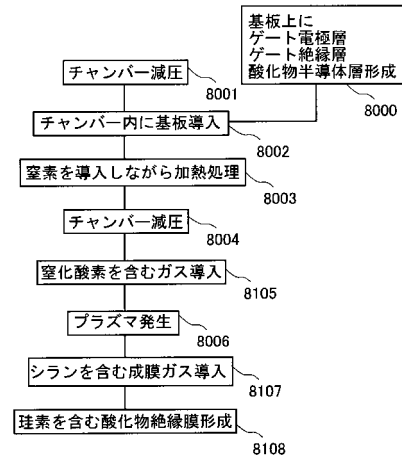
10

20

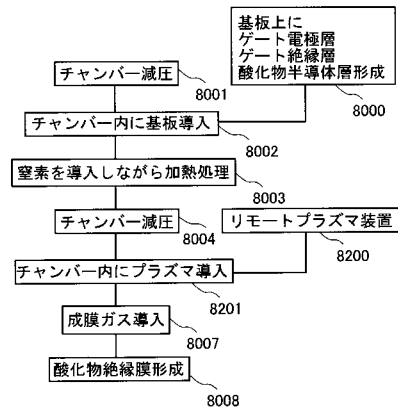
【図 1】



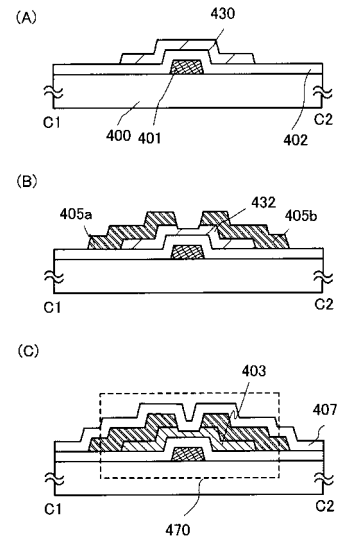
【図 2】



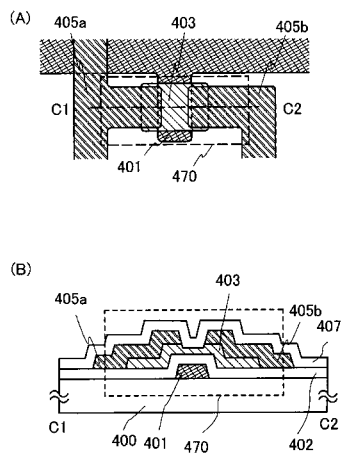
【図 3】



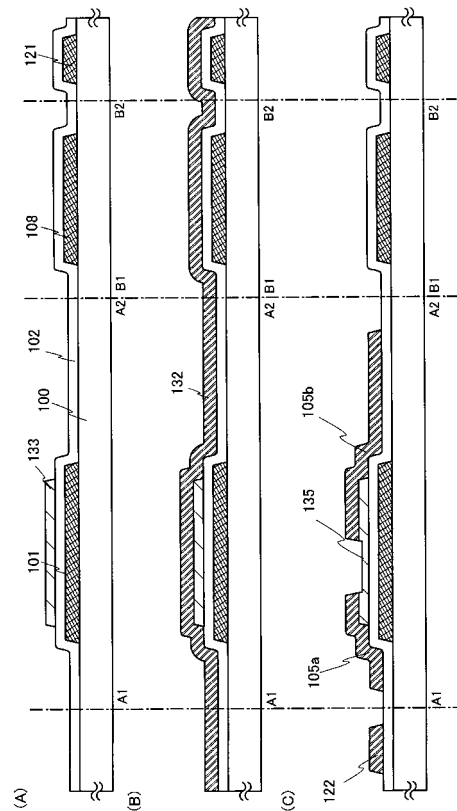
【図 4】



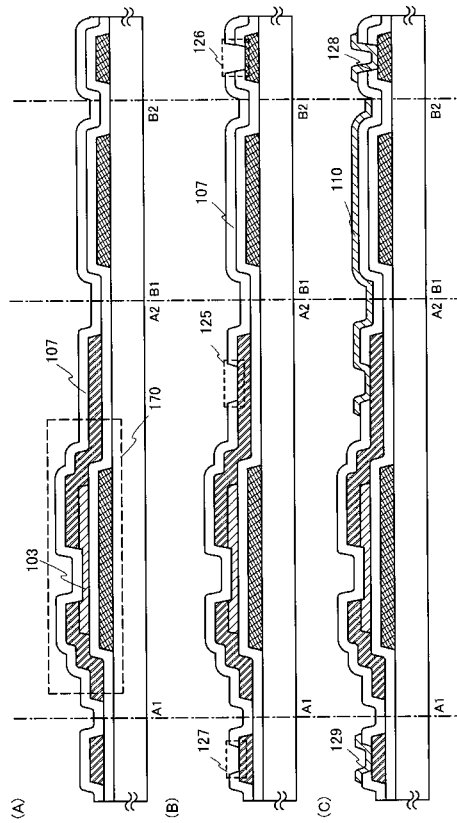
【図 5】



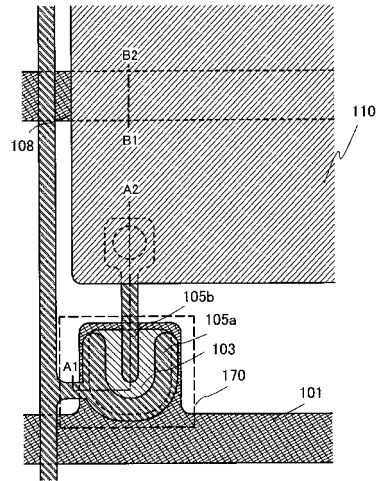
【図 6】



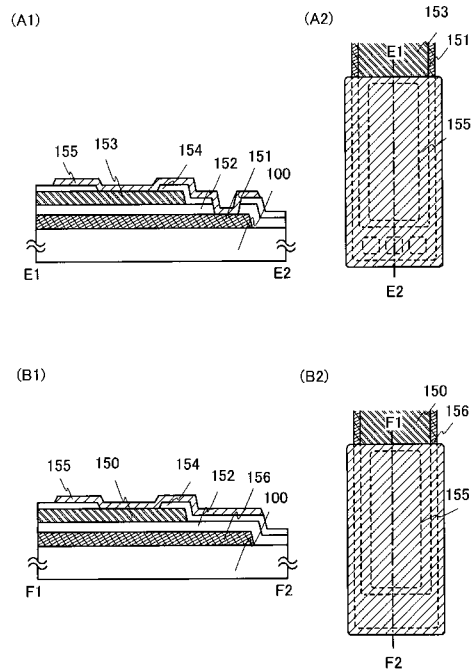
【図 7】



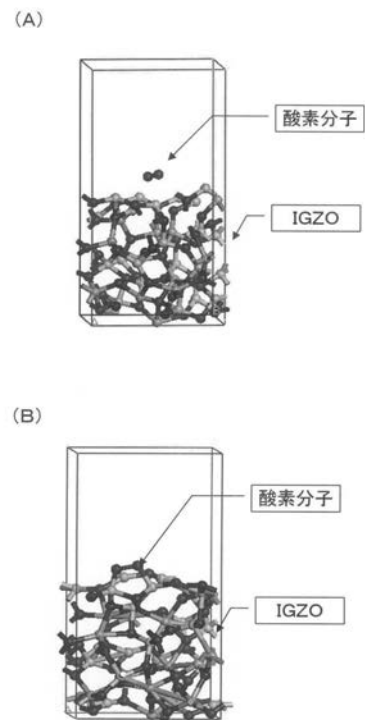
【図 8】



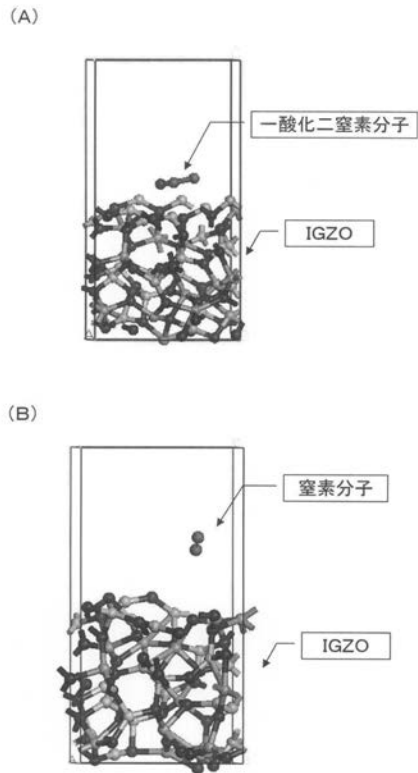
【図 9】



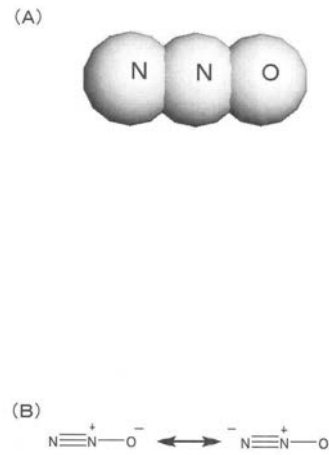
【図 10】



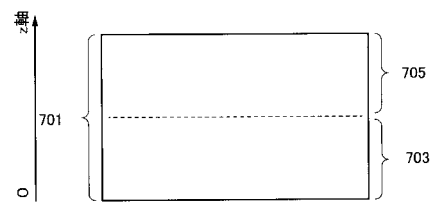
【図 1 1】



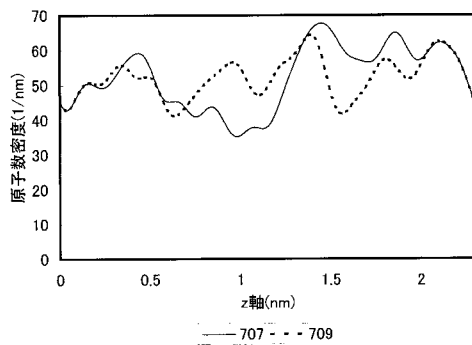
【図 1 2】



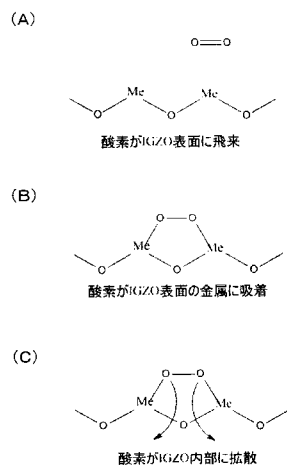
【図 1 3】



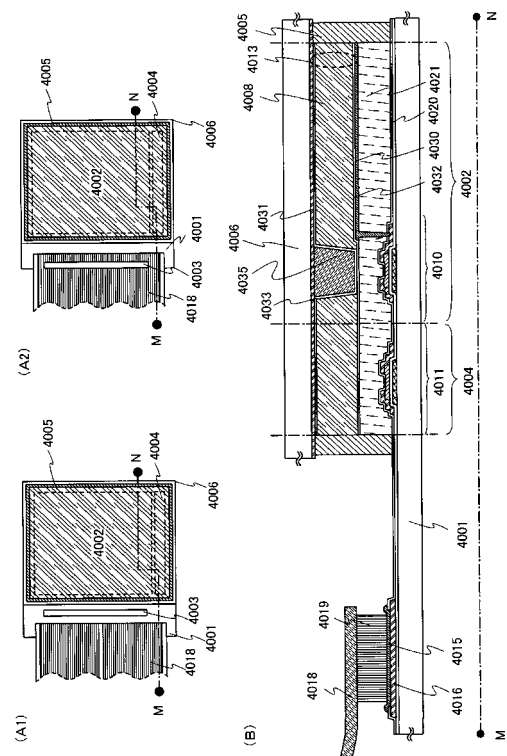
【図 1 4】



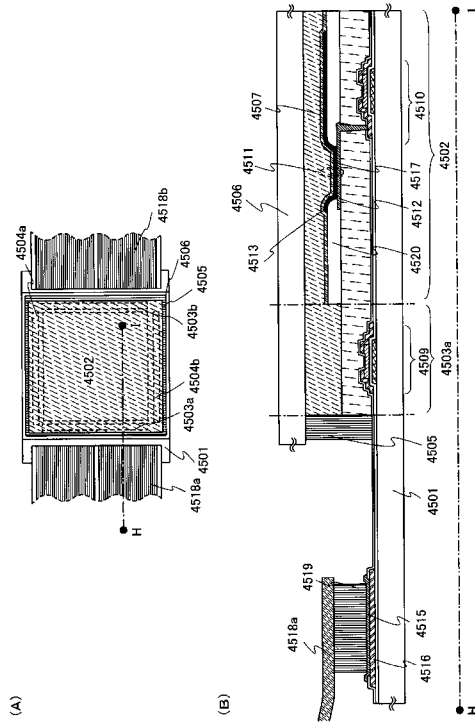
【図 1 5】



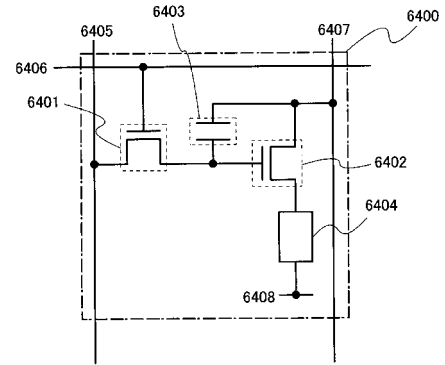
【図 1 6】



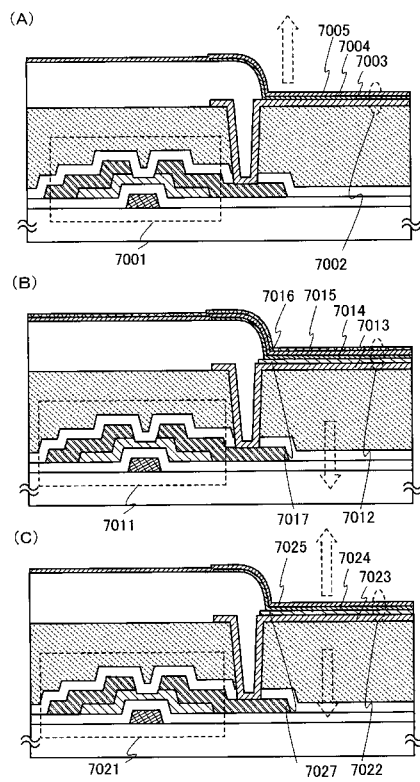
【図 17】



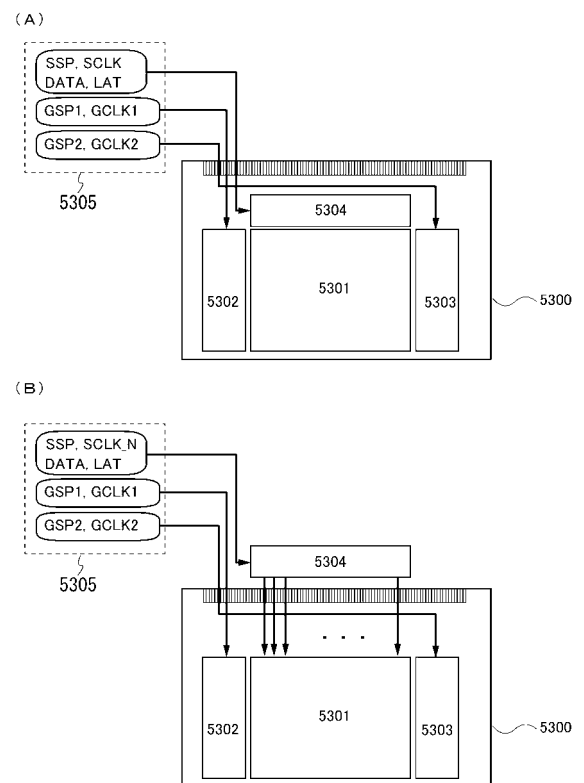
【図 18】



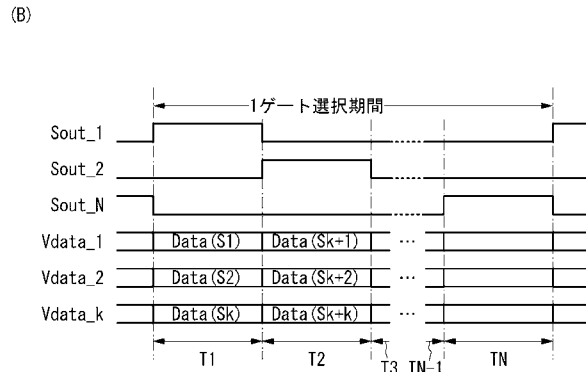
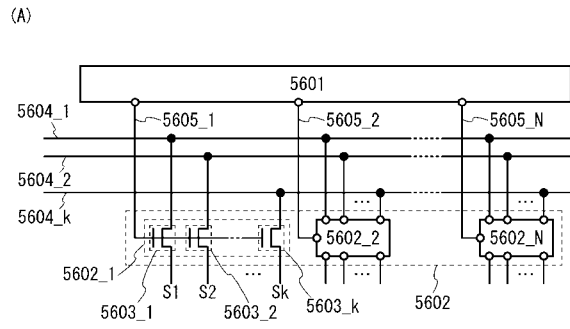
【図 19】



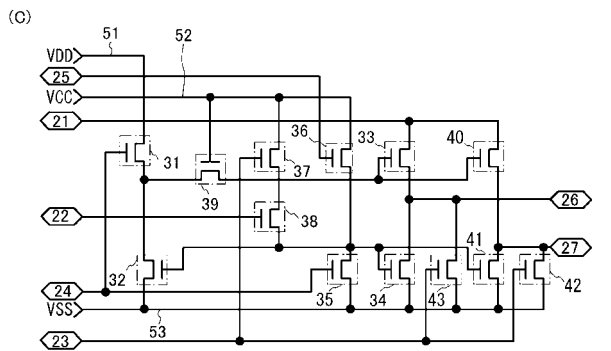
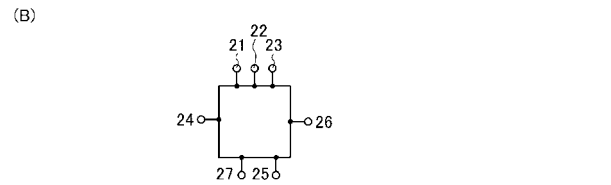
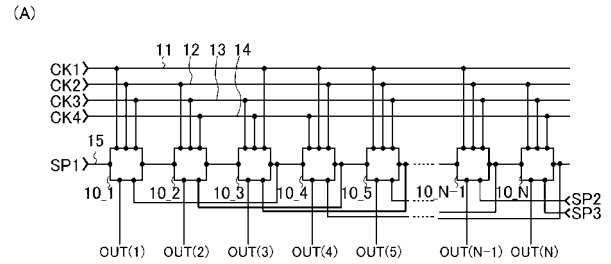
【図 20】



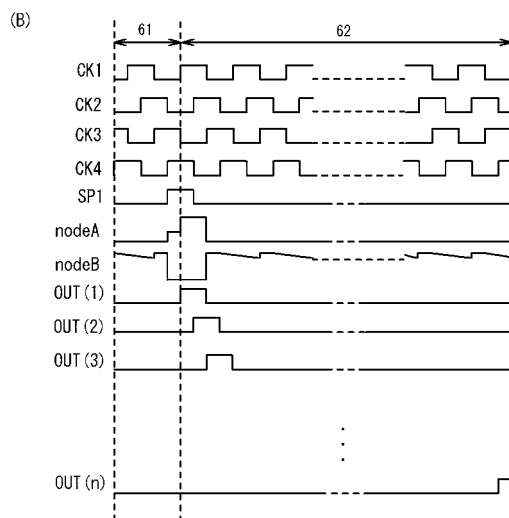
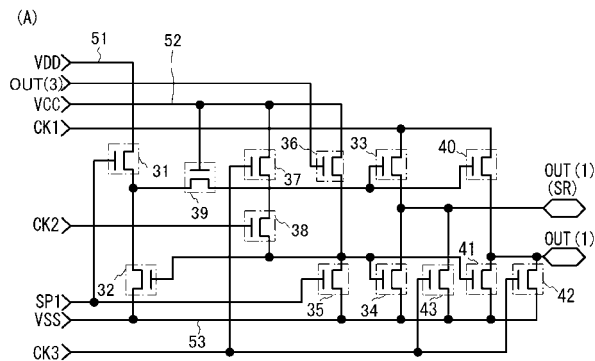
【図 2 1】



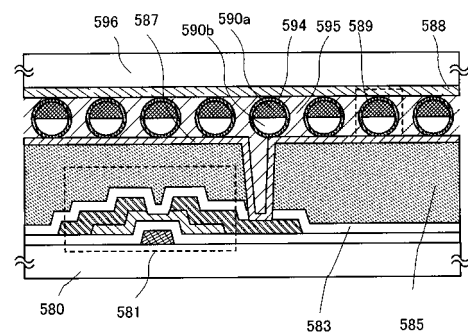
【図 2 2】



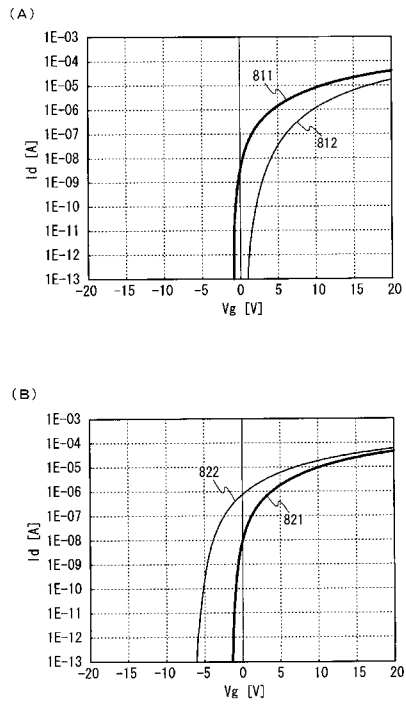
【図 2 3】



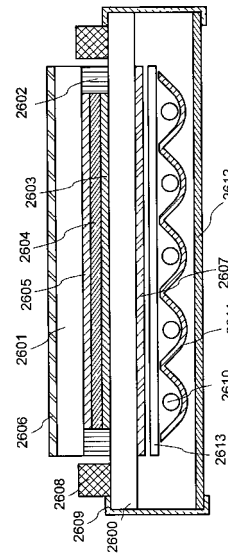
【図 2 4】



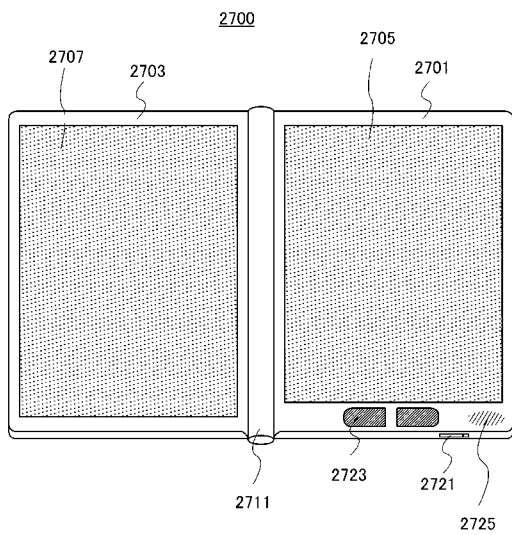
【図 25】



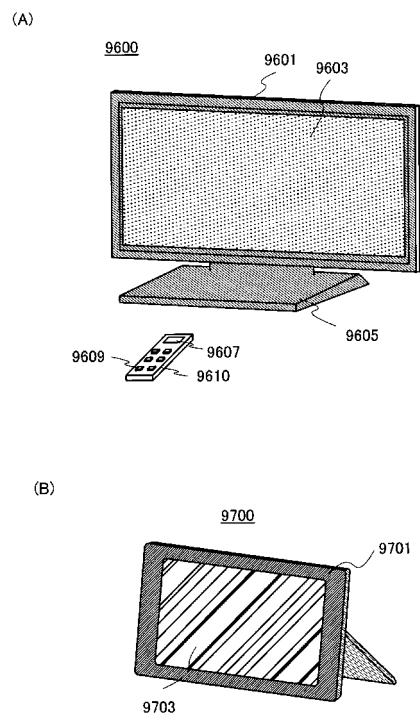
【図 26】



【図 27】

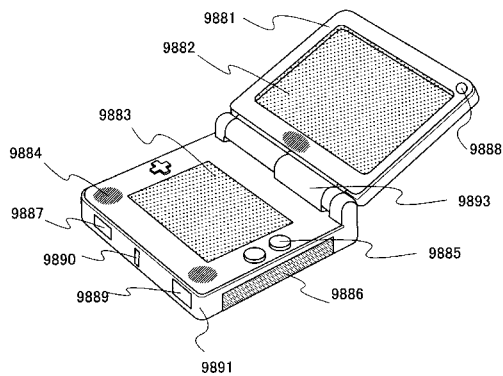


【図 28】

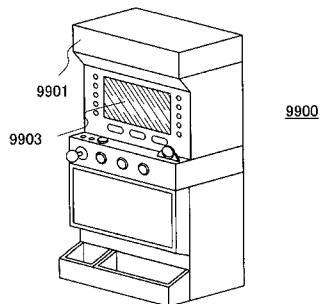


【図 29】

(A)

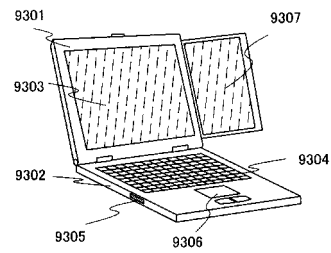


(B)

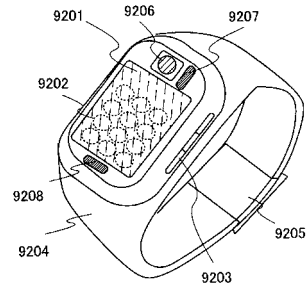


【図 30】

(A)



(B)



【手続補正書】

【提出日】平成29年3月24日(2017.3.24)

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板上にゲート電極層を形成する第 1 の工程と、

前記第 1 の工程の後、前記ゲート電極層上にゲート絶縁層を形成する第 2 の工程と、

前記第 2 の工程の後、前記ゲート絶縁層上に、前記ゲート電極層と重なる領域を有し、
In と、Ga と、Zn とを有する酸化物半導体層を形成する第 3 の工程と、

前記第 3 の工程の後、400℃以上600℃以下の第 1 の加熱処理を行う第 4 の工程と

、

前記第 4 の工程の後、前記酸化物半導体層と重なる領域を有する、ソース電極層及びド
レイン電極層を形成する第 5 の工程と、

前記第 5 の工程の後、酸素を含む雰囲気中でプラズマ処理を行う第 6 の工程と、

前記第 6 の工程の後、前記ソース電極層及び前記ドレイン電極層上に、前記酸化物半導
体層と接する領域を有する酸化物絶縁膜を形成する第 7 の工程と、

前記第 7 の工程の後、第 2 の加熱処理を行う第 8 の工程と、を有することを特徴とする
半導体装置の作製方法。

【請求項 2】

基板上にゲート電極層を形成する第 1 の工程と、

前記第 1 の工程の後、前記ゲート電極層上にゲート絶縁層を形成する第 2 の工程と、

前記第 2 の工程の後、前記ゲート絶縁層上に、前記ゲート電極層と重なる領域を有し、In と、Ga と、Zn とを有する酸化物半導体層を形成する第 3 の工程と、
前記第 3 の工程の後、400℃以上600℃以下の第 1 の加熱処理を行う第 4 の工程と

、
前記第 4 の工程の後、前記酸化物半導体層と重なる領域を有する、ソース電極層及びドレイン電極層を形成する第 5 の工程と、

前記第 5 の工程の後、酸素を含む雰囲気中でプラズマ処理を行う第 6 の工程と、
前記第 6 の工程の後、前記ソース電極層及び前記ドレイン電極層上に、前記酸化物半導体層と接する領域を有する酸化物絶縁膜を形成する第 7 の工程と、を有し、

前記第 6 工程から前記第 7 の工程まで、加熱処理が行われることを特徴とする半導体装置の作製方法。

【請求項 3】

基板上にゲート電極層を形成する第 1 の工程と、
前記第 1 の工程の後、前記ゲート電極層上にゲート絶縁層を形成する第 2 の工程と、
前記第 2 の工程の後、前記ゲート絶縁層上に、前記ゲート電極層と重なる領域を有し、In と、Ga と、Zn とを有する酸化物半導体層を形成する第 3 の工程と、
前記第 3 の工程の後、400℃以上600℃以下の第 1 の加熱処理を行う第 4 の工程と

、
前記第 4 の工程の後、前記酸化物半導体層と重なる領域を有する、ソース電極層及びドレイン電極層を形成する第 5 の工程と、

前記第 5 の工程の後、酸化窒素を含む雰囲気中でプラズマ処理を行う第 6 の工程と、
前記第 6 の工程の後、前記ソース電極層及び前記ドレイン電極層上に、前記酸化物半導体層と接する領域を有する酸化物絶縁膜を形成する第 7 の工程と、

前記第 7 の工程の後、第 2 の加熱処理を行う第 8 の工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 4】

トランジスタと、前記トランジスタ上の液晶層とを有する液晶表示装置の作製方法であって、

基板上にゲート電極層を形成する第 1 の工程と、
前記第 1 の工程の後、前記ゲート電極層上にゲート絶縁層を形成する第 2 の工程と、
前記第 2 の工程の後、前記ゲート絶縁層上に、前記ゲート電極層と重なる領域を有し、In と、Ga と、Zn とを有する酸化物半導体層を形成する第 3 の工程と、

前記第 3 の工程の後、第 1 の加熱処理を行う第 4 の工程と、
前記第 4 の工程の後、前記酸化物半導体層と重なる領域を有する、ソース電極層及びドレイン電極層を形成する第 5 の工程と、

前記第 5 の工程の後、酸素を含む雰囲気中でプラズマ処理を行う第 6 の工程と、
前記第 6 の工程の後、前記ソース電極層及び前記ドレイン電極層上に、前記酸化物半導体層と接する領域を有する酸化物絶縁膜を形成する第 7 の工程と、

前記第 7 の工程の後、第 2 の加熱処理を行う第 8 の工程と、を経て前記トランジスタを形成することを特徴とする液晶表示装置の作製方法。

【請求項 5】

トランジスタと、前記トランジスタ上の液晶層とを有する液晶表示装置の作製方法であって、

基板上にゲート電極層を形成する第 1 の工程と、
前記第 1 の工程の後、前記ゲート電極層上にゲート絶縁層を形成する第 2 の工程と、
前記第 2 の工程の後、前記ゲート絶縁層上に、前記ゲート電極層と重なる領域を有し、In と、Ga と、Zn とを有する酸化物半導体層を形成する第 3 の工程と、

前記第 3 の工程の後、第 1 の加熱処理を行う第 4 の工程と、
前記第 4 の工程の後、前記酸化物半導体層と重なる領域を有する、ソース電極層及びドレイン電極層を形成する第 5 の工程と、

前記第 5 の工程の後、酸素を含む雰囲気中でプラズマ処理を行う第 6 の工程と、

前記第 6 の工程の後、前記ソース電極層及び前記ドレイン電極層上に、前記酸化物半導体層と接する領域を有する酸化物絶縁膜を形成する第 7 の工程と、を経て前記トランジスタを形成し、

前記第 6 工程から前記第 7 の工程まで、加熱処理が行われることを特徴とする液晶表示装置の作製方法。

【請求項 6】

トランジスタと、前記トランジスタ上の液晶層とを有する液晶表示装置の作製方法であって、

基板上にゲート電極層を形成する第 1 の工程と、

前記第 1 の工程の後、前記ゲート電極層上にゲート絶縁層を形成する第 2 の工程と、

前記第 2 の工程の後、前記ゲート絶縁層上に、前記ゲート電極層と重なる領域を有し、

I n と、G a と、Z n とを有する酸化物半導体層を形成する第 3 の工程と、

前記第 3 の工程の後、第 1 の加熱処理を行う第 4 の工程と、

前記第 4 の工程の後、前記酸化物半導体層と重なる領域を有する、ソース電極層及びドレイン電極層を形成する第 5 の工程と、

前記第 5 の工程の後、酸化窒素を含む雰囲気中でプラズマ処理を行う第 6 の工程と、

前記第 6 の工程の後、前記ソース電極層及び前記ドレイン電極層上に、前記酸化物半導体層と接する領域を有する酸化物絶縁膜を形成する第 7 の工程と、

前記第 7 の工程の後、第 2 の加熱処理を行う第 8 の工程と、を経て前記トランジスタを形成することを特徴とする液晶表示装置の作製方法。

フロントページの続き

Fターム(参考) 2H192 AA24 BC31 CB05 CB37 CB45 CB83 CC04 CC42 DA12 EA67
EA74 FA65 FB03 FB22 FB27 FB33 FB46 GD61 HA13 HA44
HA90 JA06 JA13 JA17 JA24 JA25 JA32 JA64
5F110 AA06 AA08 AA14 AA26 BB01 BB02 BB03 CC07 DD01 DD02
DD13 DD14 DD15 EE01 EE02 EE03 EE04 EE06 EE14 EE15
FF01 FF02 FF03 FF04 FF09 FF28 FF30 GG01 GG13 GG35
GG43 GG45 GG57 GG58 HK02 HK03 HK04 HK06 HK07 HK21
HK42 HL02 HL03 HL04 HL06 HL07 HL11 HL27 HM12 HM18
NN01 NN04 NN27 NN35 NN40 NN71 NN73 PP02 QQ02 QQ04
QQ05 QQ09