

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月19日(19.03.2020)



(10) 国際公開番号

WO 2020/054447 A1

(51) 国際特許分類:

H01L 21/76 (2006.01) H01L 29/78 (2006.01)
H01L 21/8234 (2006.01) H01L 29/861 (2006.01)
H01L 27/06 (2006.01) H01L 29/868 (2006.01)
H01L 29/739 (2006.01) H01L 29/872 (2006.01)

(21) 国際出願番号: PCT/JP2019/033935

(22) 国際出願日: 2019年8月29日(29.08.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

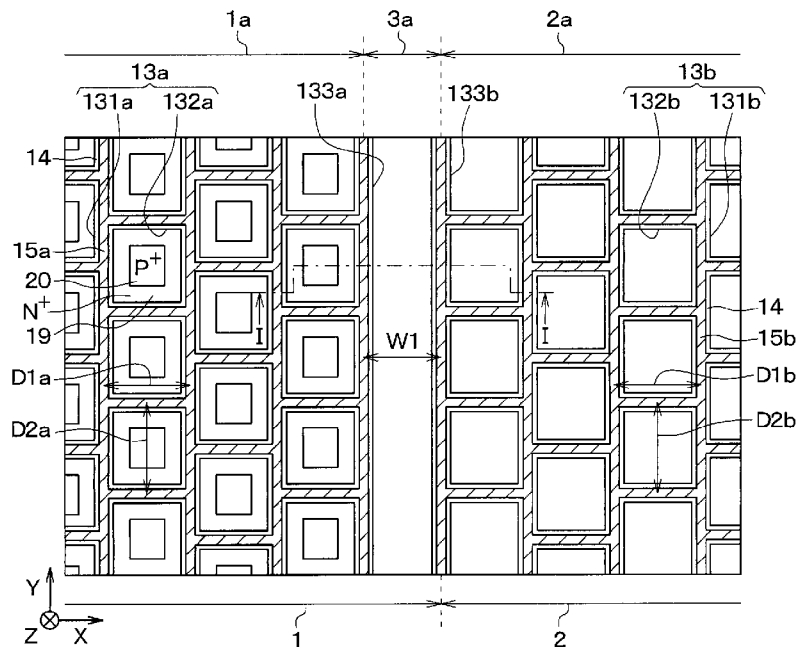
(30) 優先権データ:
特願 2018-169878 2018年9月11日(11.09.2018) JP

(71) 出願人: 株式会社デンソー (DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).

(72) 発明者: 赤井 智喜(AKAI Tomoki); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 利田 祐麻(KAGATA Yuma); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 妹尾 賢(SENOO Masaru); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP). 大河原 淳(OKAWARA Jun); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: In the present invention, the separation cell pitch (W1) is defined as the distance between the centre of a trench (133a) which, among IGBT first trenches (13a), is positioned closest to FWD trenches (13b), and the centre of a trench (133b) which, among FWD first trenches (13b), is positioned closest to IGBT trenches (13a). The IGBT first trench pitch (D1a) is defined as the smallest distance between the centres of IGBT first trenches (131a), the IGBT second trench pitch (D2a) is defined as the smallest distance between the centres of adjacent IGBT second trenches (132b), the FWD

(74) 代理人: 特許業務法人 ゆうあい 特許事務所
(YOU-I PATENT FIRM); 〒4600003 愛知県 名古屋市中区錦一丁目6番5号 名古屋
シティビル4階 Aichi (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

first trench pitch (D1b) is defined as the smallest distance between the centres of adjacent FWD first trenches (131b), and the FWD second trench pitch (D2b) is defined as the smallest distance between the centres of adjacent FWD second trenches 132b. The separation cell pitch (W1) is smaller than each of the trench pitches (D1a, D2a, D1b, D2b).

(57) 要約: IGBT用第1トレンチ(131a)のうちの最もFWD用トレンチ(131b)側に位置するトレンチ(131a)の中心と、FWD用第1トレンチ(131b)のうちの最もIGBT用トレンチ側(131a)に位置するトレンチ(131b)の中心との間の距離を分離セルピッチ(W1)とする。IGBT用第1トレンチ同士(131a)の中心間の最小距離をIGBT用第1トレンチピッチ(D1a)、隣合うIGBT用第2トレンチ(132b)同士の中心間の最小距離をIGBT用第2トレンチピッチ(D2a)、隣合うFWD用第1トレンチ(131b)同士の中心間の最小距離をFWD用第1トレンチピッチ(D1b)、隣合うFWD用第2トレンチ132b同士の中心間の最小距離をFWD用第2トレンチピッチ(D2b)とする。そして、分離セルピッチ(W1)は、各トレンチピッチ(D1a、D2a、D1b、D2b)より狭くなるようにする。

明 細 書

発明の名称：半導体装置

関連出願への相互参照

[0001] 本出願は、2018年9月11日に提出された日本特許出願番号2018-169878号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、絶縁ゲート構造を有する絶縁ゲートバイポーラトランジスタ（以下では、IGBTという）素子とフリーホイールダイオード（以下では、FWDという）素子とが共通の半導体基板に形成された半導体装置に関する。

背景技術

[0003] 従来より、インバータ等を使用されるスイッチング素子として、例えば、IGBT素子を有するIGBT領域と、FWD素子を有するFWD領域とが共通の半導体基板に形成された半導体装置が提案されている（例えば、特許文献1参照）。

[0004] 具体的には、この半導体装置では、N⁻型のドリフト層を構成する半導体基板の表層部にベース層が形成され、ベース層を貫通するように複数のトレンチが形成されている。そして、各トレンチには、ゲート絶縁膜およびゲート電極が順に形成されている。これにより、トレンチゲート構造が構成されている。また、ベース層の表層部には、トレンチに接するようにN⁺型のエミッタ領域が形成されている。半導体基板の裏面側には、P⁺型のコレクタ層およびN⁺型のカソード層が形成されている。

そして、半導体基板の表面側となる一面側には、ベース層およびエミッタ領域と電氣的に接続される上部電極が形成されている。半導体基板の裏面側となる他面側には、コレクタ層およびカソード層と電氣的に接続される下部電極が形成されている。

[0005] このような半導体装置では、半導体基板の裏面側にコレクタ層が形成されている領域が I G B T 領域とされ、カソード層が形成されている領域が F W D 領域とされる。なお、F W D 領域では、上記構成とされていることにより、N 型のカソード層およびドリフト層と、P 型のベース層とによって P N 接合を有する F W D 素子が構成される。

[0006] また、上記半導体装置では、I G B T 領域に形成されるトレンチは、一方向に延設された第 1 トレンチと、隣合う第 1 トレンチを繋ぐように一方向と交差する方向に延設された第 2 トレンチとが連通されて格子状とされている。

[0007] このような半導体装置では、トレンチが格子状とされているため、例えば、トレンチがストライプ状とされている場合と比較して、等電位線がトレンチを避けるように形成されることで等電位線が半導体基板の一面側に入り込み難くなる。このため、I G B T 領域では、電界集中が発生し難くなり、耐圧の向上を図ることができる。

先行技術文献

特許文献

[0008] 特許文献1：特開 2 0 1 6 - 8 2 0 9 7 号公報

発明の概要

[0009] ところで、上記のような半導体装置では、さらに F W D 領域での耐圧を向上させることも望まれている。このため、F W D 領域においても、トレンチを格子状とすることが考えられる。しかしながら、F W D 領域のトレンチを格子状として I G B T 領域のトレンチと F W D 領域のトレンチとを繋いでしまうと、I G B T 領域に配置されたゲート電極と F W D 領域に配置されたゲート電極とが電氣的に接続されてしまう。この場合、F W D 領域に配置されたゲート電極が I G B T 領域に配置されたゲート電極と同電位となるため、F W D 素子の特性が変動してしまう可能性がある。

[0010] したがって、F W D 領域での耐圧を向上させつつ、F W D 素子の特性が変動することを抑制するためには、例えば、F W D 領域のトレンチを格子状と

しつつ、FWD領域のトレンチをIGBT領域のトレンチと連通させないようにすることが考えられる。しかしながら、この構成では、各領域に形成された格子状トレンチの間の領域では、トレンチ密度が低くなる可能性があり、当該領域の耐圧が低くなる可能性がある。

[0011] 本開示は、耐圧を向上できる半導体装置を提供することを目的とする。

[0012] 本開示の1つの観点によれば、IGBT領域とFWD領域とが共通の半導体基板に形成されている半導体装置は、第1導電型のドリフト層と、ドリフト層上に形成された第2導電型のベース層と、ベース層を貫通するトレンチの壁面に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、を有する複数のトレンチゲート構造と、ベース層の表層部であって、IGBT領域に形成されたトレンチと接するように形成された第1導電型のエミッタ領域と、ドリフト層を挟んでベース層側と反対側に形成された第2導電型のコレクタ層と、ドリフト層を挟んでベース層と反対側に形成されると共にコレクタ層と隣接する第1導電型のカソード層と、ベース層およびエミッタ領域と電氣的に接続される第1電極と、コレクタ層およびカソード層と電氣的に接続される第2電極と、を備えている。そして、コレクタ層上の領域がIGBT領域とされ、カソード層上の領域がFWD領域とされており、トレンチは、IGBT領域に形成されるゲート電極としての第1ゲート電極が配置されるIGBT用トレンチと、FWD領域に形成され、第1ゲート電極とは別に制御されるゲート電極としての第2ゲート電極が配置されるFWD用トレンチであり、IGBT用トレンチは、半導体基板の面方向における一方向に沿った第1方向に延設されたIGBT用第1トレンチと、半導体基板の面方向における第1方向と交差する第2方向に延設されたIGBT用第2トレンチとが連通された格子状とされており、FWD用トレンチは、第1方向に延設されたFWD用第1トレンチと、第2方向に延設されたFWD用第2トレンチとが連通された格子状とされている。

[0013] そして、本開示の1つの観点によれば、IGBT用第1トレンチのうちの最もFWD用トレンチ側に位置するトレンチの中心と、FWD用第1トレン

チのうちの最も IGBT 用トレンチ側に位置するトレンチの中心との間を分離セル領域とすると共に分離セル領域における第 2 方向の距離を分離セルピッチとし、隣合う IGBT 用第 1 トレンチ同士の間隔の最小距離を IGBT 用第 1 トレンチピッチとし、隣合う IGBT 用第 2 トレンチ同士の間隔の最小距離を IGBT 用第 2 トレンチピッチとし、隣合う FWD 用第 1 トレンチ同士の間隔の最小距離を FWD 用第 1 トレンチピッチとし、隣合う FWD 用第 2 トレンチ同士の間隔の最小距離を FWD 用第 2 トレンチピッチとすると、分離セルピッチは、IGBT 用第 1 トレンチピッチ、IGBT 用第 2 トレンチピッチ、FWD 用第 1 トレンチピッチ、FWD 用第 2 トレンチピッチよりも狭くされている。

[0014] これによれば、分離セル領域では、分離セルピッチが各トレンチピッチ以上とされている場合と比較して、トレンチ密度を高くできる。このため、分離セル領域においても等電位線がベース層側に入り込み難くなり、分離セル領域でも電界集中が発生することを抑制できる。したがって、分離セル領域における耐圧を高くできるため、半導体装置の耐圧を高くできる。

[0015] また、本開示の別の観点によれば、IGBT 用第 1 トレンチのうちの最も FWD 用トレンチ側に位置するトレンチの中心と、FWD 用第 1 トレンチのうちの最も IGBT 用トレンチ側に位置するトレンチの中心との間を分離セル領域とすると共に分離セル領域における第 2 方向の距離を分離セルピッチとし、分離セル領域には、第 1 方向に沿って延設された 1 つのダミートレンチが形成され、ダミートレンチには、ダミー絶縁膜とダミー電極とが配置されており、隣合う IGBT 用第 1 トレンチ同士の間隔の最小距離を IGBT 用第 1 トレンチピッチとし、隣合う IGBT 用第 2 トレンチ同士の間隔の最小距離を IGBT 用第 2 トレンチピッチとし、隣合う FWD 用第 1 トレンチ同士の間隔の最小距離を FWD 用第 1 トレンチピッチとし、隣合う FWD 用第 2 トレンチ同士の間隔の最小距離を FWD 用第 2 トレンチピッチとし、ダミートレンチの中心と、当該ダミートレンチと隣合う IGBT 用第 1 トレンチの中心との間の距離を分離用第 1 トレンチピッチとし、ダミート

レンチの中心と、当該ダミートレンチと隣合うFWD用第1トレンチの中心との間の距離を分離用第2トレンチピッチとすると、分離セルピッチは、IGBT用第1トレンチピッチ、IGBT用第2トレンチピッチ、FWD用第1トレンチピッチ、FWD用第2トレンチピッチの少なくとも1つより大きくされ、分離用第1トレンチおよび分離用第2トレンチピッチは、IGBT用第1トレンチピッチ、IGBT用第2トレンチピッチ、FWD用第1トレンチピッチ、FWD用第2トレンチピッチよりも狭くされている。

[0016] また、本開示の別の観点によれば、IGBT用第1トレンチのうちの最もFWD用トレンチ側に位置するトレンチの中心と、FWD用第1トレンチのうちの最もIGBT用トレンチ側に位置するトレンチの中心との間を分離セル領域とすると共に分離セル領域における第2方向の距離を分離セルピッチとし、分離セル領域には、第1方向に沿って延設された複数のダミートレンチが形成され、ダミートレンチには、ダミー絶縁膜とダミー電極とが配置されており、隣合うIGBT用第1トレンチ同士の間隔の最小距離をIGBT用第1トレンチピッチとし、隣合うIGBT用第2トレンチ同士の間隔の最小距離をIGBT用第2トレンチピッチとし、隣合うFWD用第1トレンチ同士の間隔の最小距離をFWD用第1トレンチピッチとし、隣合うFWD用第2トレンチ同士の間隔の最小距離をFWD用第2トレンチピッチとし、ダミートレンチの中心と、当該ダミートレンチと隣合うIGBT用第1トレンチの中心との間の距離を分離用第1トレンチピッチとし、ダミートレンチの中心と、当該ダミートレンチと隣合うFWD用第1トレンチの中心との間の距離を分離用第2トレンチピッチとし、隣合うダミートレンチ同士の間隔の最大距離を分離用第3トレンチピッチとすると、分離セルピッチは、IGBT用第1トレンチピッチ、IGBT用第2トレンチピッチ、FWD用第1トレンチピッチ、FWD用第2トレンチピッチの少なくとも1つより大きくされ、分離用第1トレンチピッチ、分離用第2トレンチピッチおよび分離用第3トレンチピッチは、IGBT用第1トレンチピッチ、IGBT用第2トレンチピッチ、FWD用第1トレンチピッチ、FWD用第2トレン

チピッチよりも狭くされている。

[0017] これらの観点によれば、各分離用ピッチが各トレンチピッチよりも狭くされる。このため、分離セル領域では、分離セルピッチが各トレンチピッチ以上とされていても、トレンチ密度を高くできる。このため、分離セル領域においても等電位線がベース層側に入り込み難くなり、分離セル領域でも電界集中が発生することを抑制できる。したがって、分離セル領域における耐圧を高くできるため、半導体装置の耐圧を高くできる。

[0018] また、本開示の別の観点によれば、IGBT用第1トレンチのうちの最もFWD用トレンチ側に位置するトレンチの中心と、FWD用第1トレンチのうちの最もIGBT用トレンチ側に位置するトレンチの中心との間を分離セル領域とし、IGBT領域のうちの分離セル領域と異なる領域をIGBTセル領域とし、FWD領域のうちの分離セル領域と異なる領域をFWDセル領域とすると、分離セル領域のベース層は、IGBTセル領域およびFWDセル領域のベース層よりも単位体積当たりの不純物量が高くされている。

[0019] これによれば、分離セル領域では、IGBTセル領域およびFWDセル領域よりも、ベース層とドリフト層との間の空乏層がコレクタ層およびカソード層側に延びた状態となる。したがって、分離セル領域では、等電位線がベース層側に入り込み難くなり、分離セル領域で電界集中が発生することを抑制できる。したがって、分離セル領域における耐圧を高くできるため、半導体装置の耐圧を高くできる。

[0020] また、本開示の別の観点によれば、IGBT用第1トレンチのうちの最もFWD用トレンチ側に位置するトレンチの中心と、FWD用第1トレンチのうちの最もIGBT用トレンチ側に位置するトレンチの中心との間を分離セル領域とすると、分離セル領域には、IGBT用第1トレンチのうちの最もFWD用トレンチ側に位置するトレンチと、FWD用第1トレンチのうちの最もIGBT用トレンチ側に位置するトレンチとを連通させる連通トレンチ（134）が形成されており、連通トレンチには、第1ゲート電極と第2ゲート電極とを絶縁する絶縁膜が配置されている。

[0021] これによれば、分離セル領域では、連通トレンチが形成されていることによってトレンチ密度を高くできる。このため、分離セル領域においても等電位線がベース層側に入り込み難くなり、分離セル領域で電界集中が発生することを抑制できる。したがって、分離セル領域における耐圧を高くできるため、半導体装置の耐圧を高くできる。

[0022] なお、各構成要素等に付された括弧付きの参照符号は、その構成要素等と後述する実施形態に記載の具体的な構成要素等との対応関係の一例を示すものである。

図面の簡単な説明

[0023] [図1]第1実施形態における半導体装置の断面図である。

[図2]図1に示す半導体装置の平面図である。

[図3]第2実施形態における半導体装置の断面図である。

[図4]図3に示す半導体装置の平面図である。

[図5]第2実施形態の変形例における半導体装置の平面図である。

[図6]第2実施形態の変形例における半導体装置の平面図である。

[図7]第3実施形態における半導体装置の平面図である。

[図8]第4実施形態における半導体装置の断面図である。

[図9]第5実施形態における半導体装置の平面図である。

[図10]第6実施形態における半導体装置の断面図である。

[図11]第6実施形態における半導体装置の平面図である。

発明を実施するための形態

[0024] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0025] (第1実施形態)

第1実施形態について説明する。なお、本実施形態の半導体装置は、例えば、インバータ、DC/DCコンバータ等の電源回路に使用されるパワースイッチング素子として利用されると好適である。

[0026] 図1に示されるように、半導体装置は、IGBT素子を有するIGBT領域1と、FWD素子を有するFWD領域2とが共通の半導体基板10に形成されている。つまり、本実施形態の半導体装置は、RC (Reverse Conductingの略) - IGBTとされている。

[0027] 具体的には、半導体装置は、N-型のドリフト層11を構成する半導体基板10を有している。なお、本実施形態では、半導体基板10は、シリコン基板で構成される。そして、ドリフト層11上には、P型のベース層12が形成されている。なお、ドリフト層11上とは、言い換えると半導体基板10の一面10a側のことである。

[0028] 半導体基板10には、ベース層12を貫通してドリフト層11に達するようにトレンチ13a、13bが形成されている。そして、各トレンチ13a、13bは、各トレンチ13a、13bの壁面を覆うように形成されたゲート絶縁膜14と、このゲート絶縁膜14の上に形成されたポリシリコン等により構成される第1、第2ゲート電極15a、15bとにより埋め込まれている。これにより、トレンチゲート構造が構成されている。

[0029] また、ドリフト層11を挟んでベース層12と反対側には、P+型のコレクタ層16およびN+型のカソード層17が形成されている。そして、本実施形態では、IGBT領域1とFWD領域2とは、半導体基板10の他面10b側に形成される層がコレクタ層16であるか、カソード層17であるかによって区画されている。すなわち、本実施形態では、コレクタ層16上の部分がIGBT領域1とされ、カソード層17上の部分がFWD領域2とされている。

[0030] コレクタ層16およびカソード層17を挟んでドリフト層11と反対側（すなわち、半導体基板10の他面10b）には、コレクタ層16およびカソード層17と電氣的に接続される下部電極18が形成されている。つまり、IGBT領域1においてはコレクタ電極として機能し、FWD領域2においてはカソード電極として機能する下部電極18が形成されている。本実施形態では、下部電極18が第2電極に相当している。

[0031] ここで、本実施形態におけるトレンチ 13 a、13 b の形状（すなわち、トレンチゲート構造の形状）について、図 1 および図 2 を参照しつつ説明する。なお、以下では、半導体基板 10 の面方向における一方向を X 軸方向とし、半導体基板 10 の面方向における一方向であって、X 軸方向と直交する方向を Y 軸方向とし、X 軸方向および Y 軸方向と直交する方向を Z 軸方向とする。図 1 中では、紙面左右方向が X 軸方向となり、紙面垂直方向が Y 軸方向となり、紙面上下方向が Z 軸方向となる。図 2 中では、紙面左右方向が X 軸方向となり、紙面上下方向が Y 軸方向となり、紙面垂直方向が Z 軸方向となる。本実施形態では、Y 軸方向が第 1 方向に相当し、X 軸方向が第 2 方向に相当している。また、後述する各図においても、適宜 X 軸方向、Y 軸方向、Z 軸方向を示している。そして、図 2 は、後述する層間絶縁膜 21 および上部電極 22 を省略して示し、断面図ではないが、理解をし易くするために第 1、第 2 ゲート電極 15 a、15 b にハッチングを施してある。また、後述する図 2 に対応する各図においても、層間絶縁膜 21 および上部電極 22 を省略し、第 1、第 2 ゲート電極 15 a、15 b にハッチングを施してある。

[0032] 半導体基板 10 には、IGBT 領域 1 に IGBT 用トレンチ 13 a が形成され、FWD 領域 2 に FWD 用トレンチ 13 b が形成されており、各トレンチ 13 a、13 b は Z 軸方向を深さ方向として掘り下げられている。

[0033] IGBT 用トレンチ 13 a は、Y 軸方向に沿って延設された IGBT 用第 1 トレンチ 131 a と、X 軸方向に沿って延設された IGBT 用第 2 トレンチ 132 a とが連通されることで構成され、格子状とされている。なお、本実施形態では、IGBT 用第 1 トレンチ 131 a は、X 軸方向に沿って 3 本以上の複数本形成されており、隣合う IGBT 用第 1 トレンチ 131 a 同士の間隔が等しくされている。また、IGBT 用第 2 トレンチ 132 a は、Y 軸方向に沿って 3 本以上の複数本形成されており、隣合う IGBT 用第 2 トレンチ 132 a 同士の間隔が等しくされている。

[0034] FWD 用トレンチ 13 b は、Y 軸方向に沿って延設された FWD 用第 1 ト

レンチ 1 3 1 b と、X 軸方向に沿って延設された FWD 用第 2 トレンチ 1 3 2 b とが連通されることで構成され、格子状とされている。

[0035] なお、本実施形態では、FWD 用第 1 トレンチ 1 3 1 b は、X 軸方向に沿って 3 本以上の複数本形成されている。そして、隣合う FWD 用第 1 トレンチ 1 3 1 b 同士の間隔は、互いに等しくされていると共に、隣合う IGBT 用第 1 トレンチ 1 3 1 a 同士の間隔とも等しくされている。また、FWD 用第 2 トレンチ 1 3 2 b は、Y 軸方向に沿って 3 本以上の複数本形成されている。そして、隣合う FWD 用第 2 トレンチ 1 3 2 b 同士の間隔は、互いに等しくされていると共に、隣合う IGBT 用第 2 トレンチ 1 3 2 a 同士の間隔とも等しくされている。

[0036] また、本実施形態では、1 つの IGBT 用第 1 トレンチ 1 3 1 a に対して反対側に突出する 2 つの IGBT 用第 2 トレンチ 1 3 2 a は、Y 軸方向に沿ってずれて配置されている。つまり、1 つの IGBT 用第 1 トレンチ 1 3 1 a に対して反対側に突出する 2 つの IGBT 用第 2 トレンチ 1 3 2 a は、非対称とされている。同様に、1 つの FWD 用第 1 トレンチ 1 3 1 b に対して反対側に突出する 2 つの FWD 用第 2 トレンチ 1 3 2 b は、Y 軸方向に沿ってずれて配置されている。つまり、1 つの FWD 用第 1 トレンチ 1 3 1 b に対して反対側に突出する 2 つの FWD 用第 2 トレンチ 1 3 2 b は、非対称とされている。

[0037] 本実施形態では、このように IGBT 用トレンチ 1 3 a および FWD 用トレンチ 1 3 b が形成されている。そして、IGBT 用トレンチ 1 3 a と FWD 用トレンチ 1 3 b との間には、X 軸方向に沿って延びるトレンチが形成されていない。つまり、本実施形態では、IGBT 用トレンチ 1 3 a と FWD 用トレンチ 1 3 b とは、連通されておらず、分離された状態となっている。このため、IGBT 用トレンチ 1 3 a に埋め込まれた第 1 ゲート電極 1 5 a と、FWD 用トレンチ 1 3 b に埋め込まれた第 2 ゲート電極 1 5 b とは、分離された状態となっており、電氣的に絶縁された状態となっている。

[0038] そして、IGBT 用トレンチ 1 3 a に埋め込まれた第 1 ゲート電極 1 5 a

は、図示しないゲート配線を介して所定のゲート電圧が印加されるゲート駆動回路と接続される。一方、FWD用トレンチ13bに埋め込まれた第2ゲート電極15bは、例えば、後述する上部電極22と接続されて上部電極22の電位に維持される。

[0039] なお、IGBT用トレンチ13aおよびFWD用トレンチ13bについて、より詳しくは、第1ゲート電極15aが配置されたトレンチをIGBT用トレンチ13aとし、第2ゲート電極15bが配置されたトレンチをFWD用トレンチ13bとする。すなわち、本実施形態では、図1に示されるように、コレクタ層16とカソード層17との境界上にもトレンチが形成されているが、このトレンチには図2に示されるように第2ゲート電極15bが配置されている。このため、このトレンチは、FWD用トレンチ13bとなる。

[0040] 以下では、IGBT用トレンチ13aのうちの最もFWD用トレンチ13b側のものをIGBT用端部トレンチ133aともいう。また、FWD用トレンチ13bのうちの最もIGBT用トレンチ13a側のものをFWD用端部トレンチ133bともいう。なお、本実施形態では、FWD用端部トレンチ133bは、X軸方向における中心がコレクタ層16とカソード層17との境界と略一致するように構成されている。

[0041] また、以下では、IGBT用端部トレンチ133aの中心とFWD用端部トレンチ133bの中心との間の領域を分離セル領域3aともいう。また、IGBT領域1のうちの分離セル領域3aと異なる領域をIGBTセル領域1aともいい、FWD領域2のうちの分離セル領域3aと異なる領域をFWDセル領域2aともいう。

[0042] なお、IGBT用端部トレンチ133aの中心とは、IGBT用端部トレンチ133aにおけるX軸方向の中心であり、FWD用端部トレンチ133bの中心とは、FWD用端部トレンチ133bにおけるX軸方向の中心のことである。そして、本実施形態では、FWD用端部トレンチ133bの中心がコレクタ層16とカソード層17との境界と略一致するように構成されて

いる。このため、I G B T領域1に分離セル領域3 aが含まれることになり、F W D領域2は全てF W Dセル領域2 aとなる。

[0043] また、I G B T用端部トレンチ1 3 3 aの中心とF W D用端部トレンチ1 3 3 bの中心との間の距離を分離セルピッチW 1とする。つまり、分離セル領域3 aにおけるX軸方向に沿った距離を分離セルピッチW 1とする。

[0044] また、X軸方向に沿って隣合うI G B T用第1トレンチ1 3 1 a同士の間中心間の距離をI G B T用第1トレンチピッチD 1 aとする。Y軸方向に沿って隣合うI G B T用第2トレンチ1 3 2 a同士の間中心間の距離をI G B T用第2トレンチピッチD 2 aとする。なお、I G B T用第1トレンチ1 3 1 aの中心とは、I G B T用第1トレンチ1 3 1 aにおけるX軸方向の中心のことであり、I G B T用第2トレンチ1 3 2 aの中心とは、I G B T用第2トレンチ1 3 2 aにおけるY軸方向の中心のことである。

[0045] 同様に、X軸方向に沿って隣合うF W D用第1トレンチ1 3 1 b同士の間中心間の距離をF W D用第1トレンチピッチD 1 bとする。Y軸方向に沿って隣合うF W D用第2トレンチ1 3 2 bの間中心間の距離をF W D用第2トレンチピッチD 2 bとする。なお、F W D用第1トレンチ1 3 1 bの中心とは、F W D用第1トレンチ1 3 1 bにおけるX軸方向の中心のことであり、F W D用第2トレンチ1 3 2 bの中心とは、F W D用第2トレンチ1 3 2 bにおけるY軸方向の中心のことである。

[0046] また、本実施形態では、上記のように、隣合うI G B T用第1トレンチ1 3 1 a同士の間隔と、隣合うF W D用第1トレンチ1 3 1 b同士の間隔とが等しくされている。このため、I G B T用第1トレンチピッチD 1 aとF W D用第1トレンチピッチD 1 bとは等しくなっている。また、隣合うI G B T用第2トレンチ1 3 2 a同士の間隔と、隣合うF W D用第2トレンチ1 3 2 b同士の間隔とが等しくされている。このため、I G B T用第2トレンチピッチD 2 aとF W D用第2トレンチピッチD 2 bとは等しくなっている。

[0047] そして、本実施形態では、分離セルピッチW 1は、各トレンチピッチD 1 a、D 2 a、D 1 b、D 2 bより狭くされている。このため、本実施形態の

分離セル領域 3 a は、例えば、分離セルピッチ W 1 が I G B T 用第 1 トレンチピッチ D 1 a および F W D 用第 1 トレンチピッチ D 1 b 以上とされている場合と比較して、トレンチ密度が高くなっている。

[0048] 以上が本実施形態におけるトレンチ 1 3 a、1 3 b の構成である。

[0049] そして、各 I G B T セル領域 1 a においては、ベース層 1 2 の表層部に、ドリフト層 1 1 よりも高不純物濃度とされた N⁺ 型のエミッタ領域 1 9、およびベース層 1 2 よりも高不純物濃度とされた P⁺ 型のコンタクト領域 2 0 がそれぞれ形成されている。具体的には、本実施形態では、エミッタ領域 1 9 は、I G B T 用トレンチ 1 3 a に沿って形成されている。つまり、エミッタ領域 1 9 は、半導体基板 1 0 の面方向に対する法線方向から見たとき、枠状に形成されている。そして、コンタクト領域 2 0 は、エミッタ領域 1 9 と隣接しつつエミッタ領域 1 9 で囲まれるように形成され、I G B T 用トレンチ 1 3 a と離れた位置に形成されている。なお、ベース層 1 2 の表層部とは、言い換えると、半導体基板 1 0 の一面 1 0 a 側のことである。

[0050] また、F W D セル領域 2 a および分離セル領域 3 a では、ベース層 1 2 の表層部に、I G B T セル領域 1 a に形成されるコンタクト領域 2 0 と同様のコンタクト領域 2 0 が形成されている。なお、本実施形態では、分離セル領域 3 a にはエミッタ領域 1 9 は形成されていない。つまり、I G B T 用端部トレンチ 1 3 3 a の分離セル領域 3 a 側には、エミッタ領域 1 9 が形成されていない。すなわち、本実施形態では、分離セル領域 3 a を I G B T 素子として動作しなくなるようにしている。これにより、I G B T 動作時に F W D 用端部トレンチ 1 3 3 b に配置された第 2 ゲート電極 1 5 b がゲート干渉し、F W D 素子の特性が変動することを抑制できる。

[0051] 半導体基板 1 0 の一面 1 0 a 上には、B P S G (Borophosphosilicate Glass の略) 等で構成される層間絶縁膜 2 1 が形成されている。そして、層間絶縁膜 2 1 上には、層間絶縁膜 2 1 に形成されたコンタクトホール 2 1 a を通じてエミッタ領域 1 9 およびコンタクト領域 2 0 (すなわち、ベース層 1 2) と電氣的に接続される第 1 電極としての上部電極 2 2 が形成されている。

つまり、層間絶縁膜 21 上には、I G B T 領域 1 においてエミッタ電極として機能し、F W D 領域 2 においてアノード電極として機能する上部電極 22 が形成されている。

[0052] なお、分離セル領域 3 a では、図 1 とは別断面において、層間絶縁膜 21 にコンタクト領域 20 を露出させるコンタクトホール 21 a が形成されている。より詳しくは、本実施形態の半導体装置は、特に図示しないが、上記 I G B T 領域 1 および F W D 領域 2 を囲むように外周領域が配置されている。そして、分離セル領域 3 a では、外周領域の近傍で層間絶縁膜 21 にコンタクトホールが形成され、当該コンタクトホール 21 a を通じてコンタクト領域 20 が上部電極 22 と電氣的に接続されている。

[0053] このため、後述するようにダイオード動作をする際、分離セル領域 3 a のコンタクトホール 21 a が外周領域の近傍に形成されているため、分離セル領域 3 a を介して上部電極 22 にキャリアが流れ難くなり、分離セル領域 3 a がダイオード動作し難くなる。これにより、ダイオード動作時に I G B T 用端部トレンチ 133 a に配置された第 1 ゲート電極 15 a がゲート干渉し、I G B T 素子の特性が変動することを抑制できる。

[0054] そして、上記のように構成されていることにより、F W D セル領域 2 a においては、ベース層 12 およびコンタクト領域 20 をアノードとし、ドリフト層 11、カソード層 17 をカソードとして P N 接合された F W D 素子が構成される。

[0055] 以上が本実施形態における半導体装置の構成である。なお、本実施形態では、N 型、N⁺型、N⁻型が第 1 導電型に相当しており、P 型、P⁺型が第 2 導電型に相当している。また、本実施形態では、上記のように、半導体基板 10 は、コレクタ層 16、カソード層 17、ドリフト層 11、ベース層 12、エミッタ領域 19、コンタクト領域 20 を有する構成とされている。

[0056] 次に、上記半導体装置の作動について、簡単に説明する。

[0057] まず、半導体装置は、下部電極 18 に上部電極 22 より高い電圧が印加されると、ベース層 12 とドリフト層 11 との間に形成される P N 接合が逆導

通状態となって空乏層が形成される。そして、第1ゲート電極15aに、絶縁ゲート構造の閾値電圧 V_{th} 未満であるローレベル（例えば、0V）の電圧が印加されているときには、上部電極22と下部電極18との間に電流は流れない。

[0058] そして、IGBT素子をオン状態にするには、下部電極18に上部電極22より高い電圧が印加された状態で、第1ゲート電極15aに、絶縁ゲート構造の閾値電圧 V_{th} 以上であるハイレベルの電圧が印加されるようにする。これにより、ベース層12のうちの第1ゲート電極15aが配置されるIGBT用トレンチ13aと接している部分には、反転層が形成される。そして、エミッタ領域19から反転層を介して電子がドリフト層11に供給されることによってコレクタ層16から正孔がドリフト層11に供給され、伝導度変調によりドリフト層11の抵抗値が低下することでオン状態となる。

[0059] また、IGBT素子をオフ状態にし、FWD素子をオン状態にする（すなわち、FWD素子をダイオード動作させる）際には、上部電極22と下部電極18に印加する電圧をスイッチングし、上部電極22に下部電極18より高い電圧を印加する。そして、第1ゲート電極15aに絶縁ゲート構造の閾値電圧 V_{th} 未満であるローレベル（例えば、0V）の電圧を印加する。これにより、ベース層12のうちのIGBT用第1トレンチ131aと接する部分に反転層が形成されなくなり、ベース層12から正孔が供給されると共にカソード層17から電子が供給されることでFWD素子がダイオード動作をする。

[0060] その後、FWD素子をオン状態からオフ状態にする際には、下部電極18に上部電極22より高い電圧を印加する逆電圧印加を行う。つまり、FWD素子に順方向電流が流れている状態から当該電流を遮断する際、下部電極18に上部電極22より高い電圧を印加する逆電圧印加を行う。これにより、FWD素子がリカバリ状態となった後にオフ状態となる。

[0061] この際、半導体装置では、等電位線が各トレンチ13a、13bを避けるように湾曲して形成される。そして、本実施形態では、分離セルピッチ $W1$

を各トレンチピッチD 1 a、D 2 a、D 1 b、D 2 bより狭くしている。このため、分離セルピッチW 1が各トレンチピッチD 1 a、D 2 a、D 1 b、D 2 b以上とされている場合と比較して、分離セル領域3 aのトレンチ密度が高くなる。したがって、分離セル領域3 aにおいても等電位線がベース層1 2側に入り込み難くなり、分離セル領域3 aでも電界集中が発生することを抑制できる。したがって、分離セル領域3 aにおける耐圧を高くできるため、半導体装置の耐圧を高くできる。

[0062] 以上説明したように、本実施形態では、分離セルピッチW 1が各トレンチピッチD 1 a、D 2 a、D 1 b、D 2 bより狭くされている。このため、分離セル領域3 aでは、分離セルピッチW 1が各トレンチピッチD 1 a、D 2 a、D 1 b、D 2 b以上とされている場合と比較して、トレンチ密度が高くなる。これにより、分離セル領域3 aにおいても等電位線がベース層1 2側に入り込み難くなり、分離セル領域3 aでも電界集中が発生することを抑制できる。したがって、分離セル領域3 aにおける耐圧を高くできるため、半導体装置の耐圧を高くできる。

[0063] (第2実施形態)

第2実施形態について説明する。本実施形態は、第1実施形態に対し、分離セル領域3 aにダミートレンチを形成したものである。その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

[0064] 本実施形態では、図3および図4に示されるように、分離セル領域3 aには、Y軸方向に沿って延び、I G B T用トレンチ1 3 aおよびF W D用トレンチ1 3 bとは分離された1つのダミートレンチ2 3が形成されている。本実施形態では、このダミートレンチ2 3は、I G B T用トレンチ1 3 aおよびF W D用トレンチ1 3 bよりも深く形成されている。

[0065] そして、ダミートレンチ2 3は、ダミートレンチ2 3の壁面を覆うように形成されたダミー絶縁膜2 4と、このダミー絶縁膜2 4の上に形成されたポリシリコン等により構成されるダミー電極2 5とにより埋め込まれている。なお、本実施形態のダミー電極2 5は、図1とは別断面において、上部電極

22と電氣的に接続されている。

[0066] ここで、本実施形態では、ダミートレンチ23の中心と、IGBT用端部トレンチ133aの中心との間の距離を分離用第1トレンチピッチL1とする。また、ダミートレンチ23の中心と、FWD用端部トレンチ133bの中心との間の距離を分離用第2トレンチピッチL2とする。なお、ダミートレンチ23の中心とは、ダミートレンチ23におけるX軸方向の中心のことである。また、分離セルピッチW1は、分離用第1トレンチピッチL1と分離用第2トレンチピッチL2との和となる。

[0067] そして、本実施形態では、分離用第1トレンチピッチL1および分離用第2トレンチピッチL2が各トレンチピッチD1a、D2a、D1b、D2bより狭くされ、かつ分離セルピッチW1が各トレンチピッチD1a、D2a、D1b、D2bより狭くされている。なお、本実施形態では、分離用第1トレンチピッチL1と分離用第2トレンチピッチL2とは等しくされている。

[0068] 以上説明したように、本実施形態では、分離セル領域3aにダミートレンチ23が形成されている。このため、分離セル領域3aでは、さらにトレンチ密度を高くでき、さらに耐圧の向上を図ることができる。

[0069] また、ダミートレンチ23は、IGBT用トレンチ13aおよびFWD用トレンチ13bよりも深くまで形成されている。このため、ダミートレンチ23がIGBT用トレンチ13aおよびFWD用トレンチ13bと同じ深さとされている場合と比較して、分離セル領域3aでは、さらに等電位線がベース層12側に入り込み難くなる。したがって、さらに分離セル領域3aの耐圧を向上できる。

[0070] (第2実施形態の変形例)

上記第2実施形態の変形例について説明する。上記第2実施形態において、図5に示されるように、分離セル領域3aには、複数のダミートレンチ23がX軸方向に沿って配列されるように形成されていてもよい。この場合、IGBT用端部トレンチ133aの中心と、IGBT用端部トレンチ133

aと隣合うダミートレンチ23の中心との間の距離を分離用第1トレンチピッチ L_1 とする。また、FWD用端部トレンチ133bの中心と、FWD用端部トレンチ133bと隣合うダミートレンチ23の中心との間の距離を分離用第2トレンチピッチ L_2 とする。そして、隣合うダミートレンチ23同士の間中心間の距離を分離用第3トレンチピッチ L_3 とする。この場合、分離用第1～第3トレンチピッチ L_1 ～ L_3 は、各トレンチピッチ D_1a 、 D_2a 、 D_1b 、 D_2b より狭くなる。

[0071] また、このような変形例において、さらに複数のダミートレンチ23を形成するようにしてもよい。この場合は、隣合うダミートレンチ23同士の間中心間の最大距離を分離用第3トレンチピッチ L_3 とすればよい。

[0072] さらに、上記第2実施形態において、図6に示されるように、ダミートレンチ23は、Y軸方向に沿って複数に分離されていてもよい。なお、このような構成とする場合には、Y軸方向に沿って隣合うダミートレンチ23の間隔を分離用第4トレンチピッチ L_4 とすると、ダミートレンチ23は、分離用第4トレンチピッチ L_4 も各トレンチピッチ D_1a 、 D_2a 、 D_1b 、 D_2b より狭くなるように構成される。これにより、分離セル領域3aのトレンチ密度の向上を図ることができ、上記第2実施形態と同様の効果を得ることができる。

[0073] (第3実施形態)

第3実施形態について説明する。第3実施形態は、第2実施形態に対し、分離セルピッチ W_1 と、各トレンチピッチ D_1a 、 D_2a 、 D_1b 、 D_2b との関係を変更したものである。その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

[0074] 本実施形態では、図7に示されるように、分離セルピッチ W_1 は、各トレンチピッチ D_1a 、 D_2a 、 D_1b 、 D_2b よりも広くされている。しかしながら、分離用第1トレンチピッチ L_1 および分離用第2トレンチピッチ L_2 は、それぞれ各トレンチピッチ D_1a 、 D_2a 、 D_1b 、 D_2b よりも狭くされている。

[0075] 以上説明したように、分離セルピッチ $W1$ は、分離用第1、第2トレンチピッチ $L1$ 、 $L2$ が各トレンチピッチ $D1a$ 、 $D2a$ 、 $D1b$ 、 $D2b$ より狭くなるのであれば、各トレンチピッチ $D1a$ 、 $D2a$ 、 $D1b$ 、 $D2b$ より広くされていてもよい。このような半導体装置としても、分離セル領域3aのトレンチ密度が向上するため、上記第2実施形態と同様の効果を得ることができる。

[0076] なお、特に図示しないが、本実施形態は、上記第2実施形態の変形例を適宜組み合わせることも可能である。この場合、例えば、図5の構成を採用する場合には、分離用第1～第3トレンチピッチ $L1$ ～ $L3$ が各トレンチピッチ $D1a$ 、 $D2a$ 、 $D1b$ 、 $D2b$ より狭くなるようにすればよい。

[0077] (第4実施形態)

第4実施形態について説明する。第4実施形態は、第1実施形態に対し、分離セル領域3aのベース層12の構成を変更したものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

[0078] 本実施形態では、図8に示されるように、分離セル領域3aでは、ベース層12の深さがIGBTセル領域1aおよびFWDセル領域2aよりも深く形成されている。つまり、分離セル領域3aは、IGBTセル領域1aおよびFWDセル領域2aよりもベース層12における単位体積当たりの不純物量が高くなるように構成されている。

[0079] なお、このような半導体装置におけるベース層12は、例えば、次のように製造される。すなわち、ベース層12は、半導体基板10にP型の不純物をイオン注入して熱処理することで形成される。この場合、分離セル領域3aを構成する部分では、イオン注入時の加速電圧を大きくする、または複数回に渡ってイオン注入を行うことにより、IGBTセル領域1aおよびFWDセル領域2aよりもベース層12が深くなるように形成される。

[0080] 以上説明したように、本実施形態では、分離セル領域3aでは、IGBTセル領域1aおよびFWDセル領域2aよりもベース層12が深くまで形成されている。このため、分離セル領域3aでは、IGBTセル領域1aおよ

びFWDセル領域2 aよりも、ベース層1 2とドリフト層1 1との間の空乏層が半導体基板1 0の他面1 0 b側に延びた状態となる。したがって、分離セル領域3 aでは、さらに等電位線がベース層1 2側に入り込み難くなり、分離セル領域3 aで電界集中が発生することを抑制できる。

[0081] (第4実施形態の変形例)

上記第4実施形態の変形例について説明する。上記第4実施形態において、分離セル領域3 aにおけるベース層1 2は、IGBTセル領域1 aおよびFWDセル領域2 aにおけるベース層1 2よりも高不純物濃度とされていてもよい。これによれば、さらに等電位線がベース層1 2側に入り込み難くなり、分離セル領域3 aで電界集中が発生することを抑制できる。なお、このような構成では、分離セル領域3 aにおけるベース層1 2は、IGBTセル領域1 aおよびFWDセル領域2 aにおけるベース層1 2と同じ深さとされていてもよい。

[0082] また、上記第4実施形態では、分離セルピッチW1は、各トレンチピッチD1 a、D2 a、D1 b、D2 b以上とされていてもよい。このような半導体装置としても、分離セル領域3 aのベース層1 2を変更することによって電界集中が発生することを抑制できるため、耐圧の向上を図ることができる。

[0083] (第5実施形態)

第5実施形態について説明する。第5実施形態は、第1実施形態に対し、分離セル領域3 aに連通トレンチを形成したものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

[0084] 本実施形態では、図9に示されるように、分離セル領域3 aには、IGBT用端部トレンチ1 3 3 aとFWD用端部トレンチ1 3 3 bとを繋ぐ連通トレンチ1 3 4が形成されている。具体的には、連通トレンチ1 3 4は、X軸方向に沿って延びるように形成されていると共に、複数形成されている。そして、IGBT用端部トレンチ1 3 3 aとFWD用端部トレンチ1 3 3 bとは、各連通トレンチ1 3 4を介して連通されている。つまり、本実施形態で

は、IGBT用トレンチ13aとFWD用トレンチ13bとが一体的に形成されている。

[0085] そして、連通トレンチ134には、第1ゲート電極15aと第2ゲート電極15bとを絶縁する絶縁膜135が配置されている。

[0086] 以上説明したように、本実施形態では、分離セル領域3aに連通トレンチ134が形成されている。このため、分離セル領域3aのトレンチ密度をさらに高くできる。したがって、さらに分離セル領域3aでの電界集中が発生することを抑制できる。

[0087] (第5実施形態の変形例)

上記第5実施形態の変形例について説明する。上記第5実施形態において、分離セルピッチW1は、各トレンチピッチD1a、D2a、D1b、D2b以上とされていてもよい。このような半導体装置としても、分離セル領域3aに連通トレンチ134を形成することにより、連通トレンチ134が形成されていない場合と比較して電界集中が発生することを抑制できるため、耐圧の向上を図ることができる。

[0088] また、上記第5実施形態において、連通トレンチ134は1つのみ形成されていてもよい。このような半導体装置としても、連通トレンチ134が形成されていない場合と比較すれば、トレンチ密度を高くできる。

[0089] さらに、上記第5実施形態において、第1ゲート電極15aと第2ゲート電極15bとが絶縁されるのであれば、第1ゲート電極15aおよび第2ゲート電極15bは、一部が連通トレンチ134内まで延設されていてもよい。

[0090] (第6実施形態)

第6実施形態について説明する。第6実施形態は、第1実施形態に対し、ピラー領域、バリア領域、電界緩和領域を形成したものである。その他に関しては、第1実施形態と同様であるため、ここでは説明を省略する。

[0091] 本実施形態では、図10および図11に示されるように、IGBTセル領域1a、分離セル領域3a、FWDセル領域2aにおいて、ドリフト層11

とベース層 1 2 との間に、ベース層 1 2 よりも低不純物濃度とされた P--型の電界緩和領域 2 6 が形成されている。そして、I G B T セル領域 1 a、F W D セル領域 2 a、分離セル領域 3 a において、電界緩和領域 2 6 とベース層 1 2 との間には、ドリフト層 1 1 より高不純物濃度とされた N 型のバリア領域 2 7 が形成されている。なお、各トレンチ 1 3 a、1 3 b は、ベース層 1 2、バリア領域 2 7、電界緩和領域 2 6 を貫通してドリフト層 1 1 に達するように形成されている。

[0092] また、本実施形態では、I G B T セル領域 1 a および F W D セル領域 2 a において、エミッタ領域 1 9 が形成されている。具体的には、I G B T セル領域 1 a では、エミッタ領域 1 9 は、当該 I G B T セル領域 1 a の 1 セルを形造る一対の I G B T 用第 1 トレンチ 1 3 1 a に対し、それぞれ略中央部に位置する部分に沿って形成されている。同様に、F W D セル領域 2 a では、エミッタ領域 1 9 は、当該 F W D セル領域 2 a の 1 セルを形造る一対の F W D 用第 1 トレンチ 1 3 1 b に対し、それぞれ略中央部に位置する部分に沿って形成されている。

[0093] また、I G B T セル領域 1 a および F W D セル領域 2 a には、ベース層 1 2 の表層部に、コンタクト領域 2 0 に囲まれるように、N 型のピラー領域 2 8 が形成されている。ピラー領域 2 8 は、バリア領域 2 7 に達し、バリア領域 2 7 と接続されるように形成されている。ピラー領域 2 8 は、上部電極 2 2 に対してショットキー接続されている。

[0094] そして、本実施形態では、I G B T セル領域 1 a および F W D セル領域 2 a では上記のようにエミッタ領域 1 9、コンタクト領域 2 0、ピラー領域 2 8 が形成されているため、半導体基板 1 0 の一面 1 0 a には、ベース層 1 2 も露出した状態となっている。

[0095] また、ドリフト層 1 1 のうちのベース層 1 2 側と反対側（すなわち、半導体基板 1 0 の他面 1 0 b 側）には、ドリフト層 1 1 よりも高不純物濃度とされた N 型のフィールドストップ層（以下では、F S 層という）2 9 が形成されている。この F S 層 2 9 は、空乏層の広がりを防ぐことで耐圧と定常損失

の性能向上を図ると共に、半導体基板 10 の他面 10 b 側から注入されるホールの注入量を制御するためのものである。

[0096] さらに、本実施形態では、カソード層 17 には、部分的に p⁺型の注入領域 30 が形成された状態となっている。本実施形態では、注入領域 30 は、複数形成されて格子状に形成されているが、1つのみとされていてもよいし、Y軸方向に沿って延びるストライプ状とされていてもよいし、不規則に形成されていてもよい。なお、この注入領域 30 は、コンタクト領域 20 と同じ不純物濃度とされている。

[0097] 以上説明した本実施形態では、バリア領域 27 がピラー領域 28 を介して上部電極 22 の電位に維持される。このため、この半導体装置では、FWD素子をオンさせる際には、ベース層 12 とバリア領域 27 との間の p n 接合によって構成されるダイオードがオンし難くなり、上部電極 22 の電位を上昇させることでオンする。したがって、ダイオード動作を安定させることができる。

[0098] また、本実施形態の半導体装置では、バリア領域 27 とドリフト層 11 との間には、P型の電界緩和領域 26 が形成されている。このため、電界緩和領域 26 が形成されていない場合と比較して、電界緩和領域 26 とドリフト層 11 との間に構成される p n 接合により、等電位線が各トレンチ 13 a、13 b の間に入り込み難くなり、さらに耐圧の向上を図ることができる。

[0099] (他の実施形態)

本開示は、実施形態に準拠して記述されたが、本開示は当該実施形態や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

[0100] 例えば、上記各実施形態では、第1導電型をN型とし、第2導電型をP型とした例について説明したが、第1導電型をP型とし、第2導電型をN型とすることもできる。

- [0101] また、上記各実施形態において、分離セル領域 3 a では、I G B T 用トレンチ 1 3 a と接するようにエミッタ領域 1 9 が形成され、当該エミッタ領域 1 9 も上部電極 2 2 と接続されるようにしてもよい。
- [0102] さらに、上記各実施形態において、分離セル領域 3 a では、外周領域から離れた位置にコンタクトホール 2 1 a が形成されていてもよい。例えば、上記第 1 実施形態では、図 1 において、分離セル領域 3 a のコンタクト領域 2 0 を露出させるコンタクトホール 2 1 a が形成されていてもよい。
- [0103] また、上記各実施形態において、コレクタ層 1 6 とカソード層 1 7 との境界は、他の位置に形成されていてもよい。例えば、コレクタ層 1 6 とカソード層 1 7 との境界は、I G B T 用端部トレンチ 1 3 3 a の直下に形成されるようにしてもよいし、I G B T 用端部トレンチ 1 3 3 a と F W D 用端部トレンチ 1 3 3 b との間の中央部に形成されるようにしてもよい。つまり、分離セル領域 3 a は、F W D 領域 2 内にのみ含まれるようにしてもよいし、I G B T 領域 1 および F W D 領域 2 に含まれるようにしてもよい。
- [0104] さらに、上記第 1、第 2、第 4～第 6 実施形態において、例えば、隣合う I G B T 用第 1 トレンチ 1 3 1 a 同士の間隔が異なっており、I G B T 用第 1 トレンチピッチ D 1 a が部分毎に異なってもよい。同様に、隣合う I G B T 用第 2 トレンチ 1 3 2 a 同士の間隔、隣合う F W D 用第 1 トレンチ 1 3 1 b 同士の間隔、隣合う F W D 用第 2 トレンチ 1 3 2 b 同士の間隔も異なってもよい。これらのような構成とする場合には、分離セルピッチ W 1 は、各トレンチピッチ D 1 a、D 2 a、D 1 b、D 2 b の最小距離より狭くされていればよい。
- [0105] また、上記第 1～第 5 実施形態において、F W D 領域 2 にもエミッタ領域 1 9 が形成されていてもよい。そして、上記第 6 実施形態において、F W D 領域 2 にエミッタ領域 1 9 が形成されていなくてもよい。
- [0106] さらに、上記第 2 実施形態において、ダミー電極 2 5 は、上部電極 2 2 等と接続されておらず、浮遊状態とされていてもよい。
- [0107] また、上記各実施形態を適宜組み合わせてもよい。例えば、上記第 4 実施

形態は、上記第2、第3実施形態にも適宜組み合わせ可能である。また、上記第5実施形態は、上記第2～第4実施形態にも適宜組み合わせ可能である。さらに、上記第6実施形態は、上記第2～第5実施形態にも適宜組み合わせ可能である。そして、各実施形態を組み合わせたもの同士をさらに組み合わせるようにしてもよい。

請求の範囲

- [請求項1] IGBT領域（1）とFWD領域（2）とが共通の半導体基板（10）に形成されている半導体装置であって、
- 第1導電型のドリフト層（11）と、
- 前記ドリフト層上に形成された第2導電型のベース層（12）と、
- 前記ベース層を貫通するトレンチ（13a、13b）の壁面に形成されたゲート絶縁膜（14）と、前記ゲート絶縁膜上に形成されたゲート電極（15a、15b）と、を有する複数のトレンチゲート構造と、
- 前記ベース層の表層部であって、前記IGBT領域に形成された前記トレンチと接するように形成された第1導電型のエミッタ領域（19）と、
- 前記ドリフト層を挟んで前記ベース層側と反対側に形成された第2導電型のコレクタ層（16）と、
- 前記ドリフト層を挟んで前記ベース層と反対側に形成されると共に前記コレクタ層と隣接する第1導電型のカソード層（17）と、
- 前記ベース層および前記エミッタ領域と電氣的に接続される第1電極（22）と、
- 前記コレクタ層および前記カソード層と電氣的に接続される第2電極（18）と、を備え、
- 前記コレクタ層上の領域が前記IGBT領域とされ、前記カソード層上の領域が前記FWD領域とされており、
- 前記トレンチは、前記IGBT領域に形成される前記ゲート電極としての第1ゲート電極（14a）が配置されるIGBT用トレンチ（13a）と、前記FWD領域に形成され、前記第1ゲート電極とは別に制御される前記ゲート電極としての第2ゲート電極（14b）が配置されるFWD用トレンチ（13b）であり、
- 前記IGBT用トレンチは、前記半導体基板の面方向における一方

向に沿った第1方向に延設されたIGBT用第1トレンチ(131a)と、前記半導体基板の面方向における前記第1方向と交差する第2方向に延設されたIGBT用第2トレンチ(132a)とが連通された格子状とされており、

前記FWD用トレンチは、前記第1方向に延設されたFWD用第1トレンチ(131b)と、前記第2方向に延設されたFWD用第2トレンチ(132b)とが連通された格子状とされ、

前記IGBT用第1トレンチのうちの最も前記FWD用トレンチ側に位置するトレンチ(133a)の中心と、前記FWD用第1トレンチのうちの最も前記IGBT用トレンチ側に位置するトレンチ(133b)の中心との間を分離セル領域(3a)とすると共に前記分離セル領域における前記第2方向の距離を分離セルピッチ(W1)とし、隣合う前記IGBT用第1トレンチ同士の間隔の最小距離をIGBT用第1トレンチピッチ(D1a)とし、隣合う前記IGBT用第2トレンチ同士の間隔の最小距離をIGBT用第2トレンチピッチ(D2a)とし、隣合う前記FWD用第1トレンチ同士の間隔の最小距離をFWD用第1トレンチピッチ(D1b)とし、隣合う前記FWD用第2トレンチ同士の間隔の最小距離をFWD用第2トレンチピッチ(D2b)とすると、

前記分離セルピッチは、前記IGBT用第1トレンチピッチ、前記IGBT用第2トレンチピッチ、前記FWD用第1トレンチピッチ、前記FWD用第2トレンチピッチよりも狭くされている半導体装置。

[請求項2] 前記分離セル領域には、前記第1方向に沿って延設されたダミートレンチ(23)が形成され、

前記ダミートレンチ(23)には、ダミー絶縁膜(24)とダミー電極(25)とが配置されている請求項1に記載の半導体装置。

[請求項3] IGBT領域(1)とFWD領域(2)とが共通の半導体基板(10)に形成されている半導体装置であって、

第1導電型のドリフト層（11）と、

前記ドリフト層上に形成された第2導電型のベース層（12）と、

前記ベース層を貫通するトレンチ（13a、13b）の壁面に形成されたゲート絶縁膜（14）と、前記ゲート絶縁膜上に形成されたゲート電極（15a、15b）と、を有する複数のトレンチゲート構造と、

前記ベース層の表層部であって、前記IGBT領域に形成された前記トレンチと接するように形成された第1導電型のエミッタ領域（19）と、

前記ドリフト層を挟んで前記ベース層側と反対側に形成された第2導電型のコレクタ層（16）と、

前記ドリフト層を挟んで前記ベース層と反対側に形成されると共に前記コレクタ層と隣接する第1導電型のカソード層（17）と、

前記ベース層および前記エミッタ領域と電氣的に接続される第1電極（22）と、

前記コレクタ層および前記カソード層と電氣的に接続される第2電極（18）と、を備え、

前記コレクタ層上の領域が前記IGBT領域とされ、前記カソード層上の領域が前記FWD領域とされており、

前記トレンチは、前記IGBT領域に形成される前記ゲート電極としての第1ゲート電極（14a）が配置されるIGBT用トレンチ（13a）と、前記FWD領域に形成され、前記第1ゲート電極とは別に制御される前記ゲート電極としての第2ゲート電極（14b）が配置されるFWD用トレンチ（13b）であり、

前記IGBT用トレンチは、前記半導体基板の面方向における一方方向に沿った第1方向に延設されたIGBT用第1トレンチ（131a）と、前記半導体基板の面方向における前記第1方向と交差する第2方向に延設されたIGBT用第2トレンチ（132a）とが連通され

た格子状とされており、

前記FWD用トレンチは、前記第1方向に延設されたFWD用第1トレンチ(131b)と、前記第2方向に延設されたFWD用第2トレンチ(132b)とが連通された格子状とされ、

前記IGBT用第1トレンチのうちの最も前記FWD用トレンチ側に位置するトレンチ(133a)の中心と、前記FWD用第1トレンチのうちの最も前記IGBT用トレンチ側に位置するトレンチ(133b)の中心との間を分離セル領域(3a)とすると共に前記分離セル領域における前記第2方向の距離を分離セルピッチ(W1)とし、

前記分離セル領域には、前記第1方向に沿って延設された1つのダミートレンチ(23)が形成され、

前記ダミートレンチ(23)には、ダミー絶縁膜(24)とダミー電極(25)とが配置されており、

隣合う前記IGBT用第1トレンチ同士の間隔の最小距離をIGBT用第1トレンチピッチ(D1a)とし、隣合う前記IGBT用第2トレンチ同士の間隔の最小距離をIGBT用第2トレンチピッチ(D2a)とし、隣合う前記FWD用第1トレンチ同士の間隔の最小距離をFWD用第1トレンチピッチ(D1b)とし、隣合う前記FWD用第2トレンチ同士の間隔の最小距離をFWD用第2トレンチピッチ(D2b)とし、前記ダミートレンチの中心と、当該ダミートレンチと隣合う前記IGBT用第1トレンチの中心との間の距離を分離用第1トレンチピッチ(L1)とし、前記ダミートレンチの中心と、当該ダミートレンチと隣合う前記FWD用第1トレンチの中心との間の距離を分離用第2トレンチピッチ(L2)とすると、

前記分離セルピッチは、前記IGBT用第1トレンチピッチ、前記IGBT用第2トレンチピッチ、前記FWD用第1トレンチピッチ、前記FWD用第2トレンチピッチの少なくとも1つより大きくされ、

前記分離用第1トレンチピッチおよび前記分離用第2トレンチピッ

チは、前記 I G B T 用第 1 トレンチピッチ、前記 I G B T 用第 2 トレンチピッチ、前記 F W D 用第 1 トレンチピッチ、前記 F W D 用第 2 トレンチピッチよりも狭くされている半導体装置。

[請求項4]

I G B T 領域 (1) と F W D 領域 (2) とが共通の半導体基板 (1 0) に形成されている半導体装置であって、

第 1 導電型のドリフト層 (1 1) と、

前記ドリフト層上に形成された第 2 導電型のベース層 (1 2) と、

前記ベース層を貫通するトレンチ (1 3 a 、 1 3 b) の壁面に形成されたゲート絶縁膜 (1 4) と、前記ゲート絶縁膜上に形成されたゲート電極 (1 5 a 、 1 5 b) と、を有する複数のトレンチゲート構造と、

前記ベース層の表層部であって、前記 I G B T 領域に形成された前記トレンチと接するように形成された第 1 導電型のエミッタ領域 (1 9) と、

前記ドリフト層を挟んで前記ベース層側と反対側に形成された第 2 導電型のコレクタ層 (1 6) と、

前記ドリフト層を挟んで前記ベース層と反対側に形成されると共に前記コレクタ層と隣接する第 1 導電型のカソード層 (1 7) と、

前記ベース層および前記エミッタ領域と電氣的に接続される第 1 電極 (2 2) と、

前記コレクタ層および前記カソード層と電氣的に接続される第 2 電極 (1 8) と、を備え、

前記コレクタ層上の領域が前記 I G B T 領域とされ、前記カソード層上の領域が前記 F W D 領域とされており、

前記トレンチは、前記 I G B T 領域に形成される前記ゲート電極としての第 1 ゲート電極 (1 4 a) が配置される I G B T 用トレンチ (1 3 a) と、前記 F W D 領域に形成され、前記第 1 ゲート電極とは別に制御される前記ゲート電極としての第 2 ゲート電極 (1 4 b) が配

置されるFWD用トレンチ（13b）であり、

前記IGBT用トレンチは、前記半導体基板の面方向における一方方向に沿った第1方向に延設されたIGBT用第1トレンチ（131a）と、前記半導体基板の面方向における前記第1方向と交差する第2方向に延設されたIGBT用第2トレンチ（132a）とが連通された格子状とされており、

前記FWD用トレンチは、前記第1方向に延設されたFWD用第1トレンチ（131b）と、前記第2方向に延設されたFWD用第2トレンチ（132b）とが連通された格子状とされ、

前記IGBT用第1トレンチのうちの最も前記FWD用トレンチ側に位置するトレンチ（133a）の中心と、前記FWD用第1トレンチのうちの最も前記IGBT用トレンチ側に位置するトレンチ（133b）の中心との間を分離セル領域（3a）とすると共に前記分離セル領域における前記第2方向の距離を分離セルピッチ（W1）とし、

前記分離セル領域には、前記第1方向に沿って延設された複数のダミートレンチ（23）が形成され、

前記ダミートレンチ（23）には、ダミー絶縁膜（24）とダミー電極（25）とが配置されており、

隣合う前記IGBT用第1トレンチ同士の間隔の最小距離をIGBT用第1トレンチピッチ（D1a）とし、隣合う前記IGBT用第2トレンチ同士の間隔の最小距離をIGBT用第2トレンチピッチ（D2a）とし、隣合う前記FWD用第1トレンチ同士の間隔の最小距離をFWD用第1トレンチピッチ（D1b）とし、隣合う前記FWD用第2トレンチ同士の間隔の最小距離をFWD用第2トレンチピッチ（D2b）とし、前記ダミートレンチの中心と、当該ダミートレンチと隣合う前記IGBT用第1トレンチの中心との間の距離を分離用第1トレンチピッチ（L1）とし、前記ダミートレンチの中心と、当該ダミートレンチと隣合う前記FWD用第1トレンチの中心との

間の距離を分離用第2トレンチピッチ（L2）とし、隣合う前記ダミートレンチ同士の間隔の最大距離を分離用第3トレンチピッチ（L3）とすると、

前記分離セルピッチは、前記IGBT用第1トレンチピッチ、前記IGBT用第2トレンチピッチ、前記FWD用第1トレンチピッチ、前記FWD用第2トレンチピッチの少なくとも1つより大きくされ、

前記分離用第1トレンチピッチ、前記分離用第2トレンチピッチおよび前記分離用第3トレンチピッチは、前記IGBT用第1トレンチピッチ、前記IGBT用第2トレンチピッチ、前記FWD用第1トレンチピッチ、前記FWD用第2トレンチピッチよりも狭くされている半導体装置。

[請求項5] 前記IGBT領域のうちの前記分離セル領域と異なる領域をIGBTセル領域（1a）とし、前記FWD領域のうちの前記分離セル領域と異なる領域をFWDセル領域（2a）とすると、

前記分離セル領域のベース層は、前記IGBTセル領域および前記FWDセル領域のベース層よりも単位体積当たりの不純物量が高くされている請求項1ないし4のいずれか1つに記載の半導体装置。

[請求項6] IGBT領域（1）とFWD領域（2）とが共通の半導体基板（10）に形成されている半導体装置であって、

第1導電型のドリフト層（11）と、

前記ドリフト層上に形成された第2導電型のベース層（12）と、

前記ベース層を貫通するトレンチ（13a、13b）の壁面に形成されたゲート絶縁膜（14）と、前記ゲート絶縁膜上に形成されたゲート電極（15a、15b）と、を有する複数のトレンチゲート構造と、

前記ベース層の表層部であって、前記IGBT領域に形成された前記トレンチと接するように形成された第1導電型のエミッタ領域（19）と、

前記ドリフト層を挟んで前記ベース層側と反対側に形成された第2導電型のコレクタ層（16）と、

前記ドリフト層を挟んで前記ベース層と反対側に形成されると共に前記コレクタ層と隣接する第1導電型のカソード層（17）と、

前記ベース層および前記エミッタ領域と電氣的に接続される第1電極（22）と、

前記コレクタ層および前記カソード層と電氣的に接続される第2電極（18）と、を備え、

前記コレクタ層上の領域が前記IGBT領域とされ、前記カソード層上の領域が前記FWD領域とされており、

前記トレンチは、前記IGBT領域に形成される前記ゲート電極としての第1ゲート電極（14a）が配置されるIGBT用トレンチ（13a）と、前記FWD領域に形成され、前記第1ゲート電極とは別に制御される前記ゲート電極としての第2ゲート電極（14b）が配置されるFWD用トレンチ（13b）であり、

前記IGBT用トレンチは、前記半導体基板の面方向における一方方向に沿った第1方向に延設されたIGBT用第1トレンチ（131a）と、前記半導体基板の面方向における前記第1方向と交差する第2方向に延設されたIGBT用第2トレンチ（132a）とが連通された格子状とされており、

前記FWD用トレンチは、前記第1方向に延設されたFWD用第1トレンチ（131b）と、前記第2方向に延設されたFWD用第2トレンチ（132b）とが連通された格子状とされ、

前記IGBT用第1トレンチのうちの最も前記FWD用トレンチ側に位置するトレンチ（133a）の中心と、前記FWD用第1トレンチのうちの最も前記IGBT用トレンチ側に位置するトレンチ（133b）の中心との間を分離セル領域（3a）とし、前記IGBT領域のうちの前記分離セル領域と異なる領域をIGBTセル領域（1a）

とし、前記 F W D 領域のうちの前記分離セル領域と異なる領域を F W D セル領域（2 a）とすると、

前記分離セル領域のベース層は、前記 I G B T セル領域および前記 F W D セル領域のベース層よりも単位体積当たりの不純物量が高くされている半導体装置。

[請求項7] 前記分離セル領域のベース層は、前記 I G B T セル領域および前記 F W D セル領域のベース層よりも深くまで形成されている請求項 5 または 6 に記載の半導体装置。

[請求項8] 前記分離セル領域のベース層は、前記 I G B T セル領域および前記 F W D セル領域のベース層よりも不純物濃度が高くされている請求項 5 ないし 7 のいずれか 1 つに記載の半導体装置。

[請求項9] 前記分離セル領域には、前記 I G B T 用第 1 トレンチのうちの最も前記 F W D 用トレンチ側に位置するトレンチと、前記 F W D 用第 1 トレンチのうちの最も前記 I G B T 用トレンチ側に位置するトレンチとを連通させる連通トレンチ（1 3 4）が形成されており、

前記連通トレンチには、前記第 1 ゲート電極と前記第 2 ゲート電極とを絶縁する絶縁膜（1 3 5）が配置されている請求項 1 ないし 8 のいずれか 1 つに記載の半導体装置。

[請求項10] I G B T 領域（1）と F W D 領域（2）とが共通の半導体基板（1 0）に形成されている半導体装置であって、

第 1 導電型のドリフト層（1 1）と、

前記ドリフト層上に形成された第 2 導電型のベース層（1 2）と、

前記ベース層を貫通するトレンチ（1 3 a、1 3 b）の壁面に形成されたゲート絶縁膜（1 4）と、前記ゲート絶縁膜上に形成されたゲート電極（1 5 a、1 5 b）と、を有する複数のトレンチゲート構造と、

前記ベース層の表層部であって、前記 I G B T 領域に形成された前記トレンチと接するように形成された第 1 導電型のエミッタ領域（1

9) と、

前記ドリフト層を挟んで前記ベース層側と反対側に形成された第2導電型のコレクタ層(16)と、

前記ドリフト層を挟んで前記ベース層と反対側に形成されると共に前記コレクタ層と隣接する第1導電型のカソード層(17)と、

前記ベース層および前記エミッタ領域と電氣的に接続される第1電極(22)と、

前記コレクタ層および前記カソード層と電氣的に接続される第2電極(18)と、を備え、

前記コレクタ層上の領域が前記IGBT領域とされ、前記カソード層上の領域が前記FWD領域とされており、

前記トレンチは、前記IGBT領域に形成される前記ゲート電極としての第1ゲート電極(14a)が配置されるIGBT用トレンチ(13a)と、前記FWD領域に形成され、前記第1ゲート電極とは別に制御される前記ゲート電極としての第2ゲート電極(14b)が配置されるFWD用トレンチ(13b)であり、

前記IGBT用トレンチは、前記半導体基板の面方向における一方方向に沿った第1方向に延設されたIGBT用第1トレンチ(131a)と、前記半導体基板の面方向における前記第1方向と交差する第2方向に延設されたIGBT用第2トレンチ(132a)とが連通された格子状とされており、

前記FWD用トレンチは、前記第1方向に延設されたFWD用第1トレンチ(131b)と、前記第2方向に延設されたFWD用第2トレンチ(132b)とが連通された格子状とされ、

前記IGBT用第1トレンチのうちの最も前記FWD用トレンチ側に位置するトレンチ(133a)の中心と、前記FWD用第1トレンチのうちの最も前記IGBT用トレンチ側に位置するトレンチ(133b)の中心との間を分離セル領域(3a)とすると、

前記分離セル領域には、前記 I G B T 用第 1 トレンチのうちの最も前記 F W D 用トレンチ側に位置するトレンチと、前記 F W D 用第 1 トレンチのうちの最も前記 I G B T 用トレンチ側に位置するトレンチとを連通させる連通トレンチ（134）が形成されており、

前記連通トレンチには、前記第 1 ゲート電極と前記第 2 ゲート電極とを絶縁する絶縁膜（135）が配置されている半導体装置。

[請求項11]

前記ドリフト層と前記ベース層との間には、第 2 導電型の電界緩和領域（26）が形成され、

前記電界緩和領域と前記ベース層との間には、第 1 導電型のバリア領域（27）が形成され、

前記ベース層の表層部には、前記第 1 電極と接続されると共に前記バリア領域と接続される第 1 導電型のピラー領域（28）が形成されている請求項 1 ないし 10 のいずれか 1 つに記載の半導体装置。

[図3]

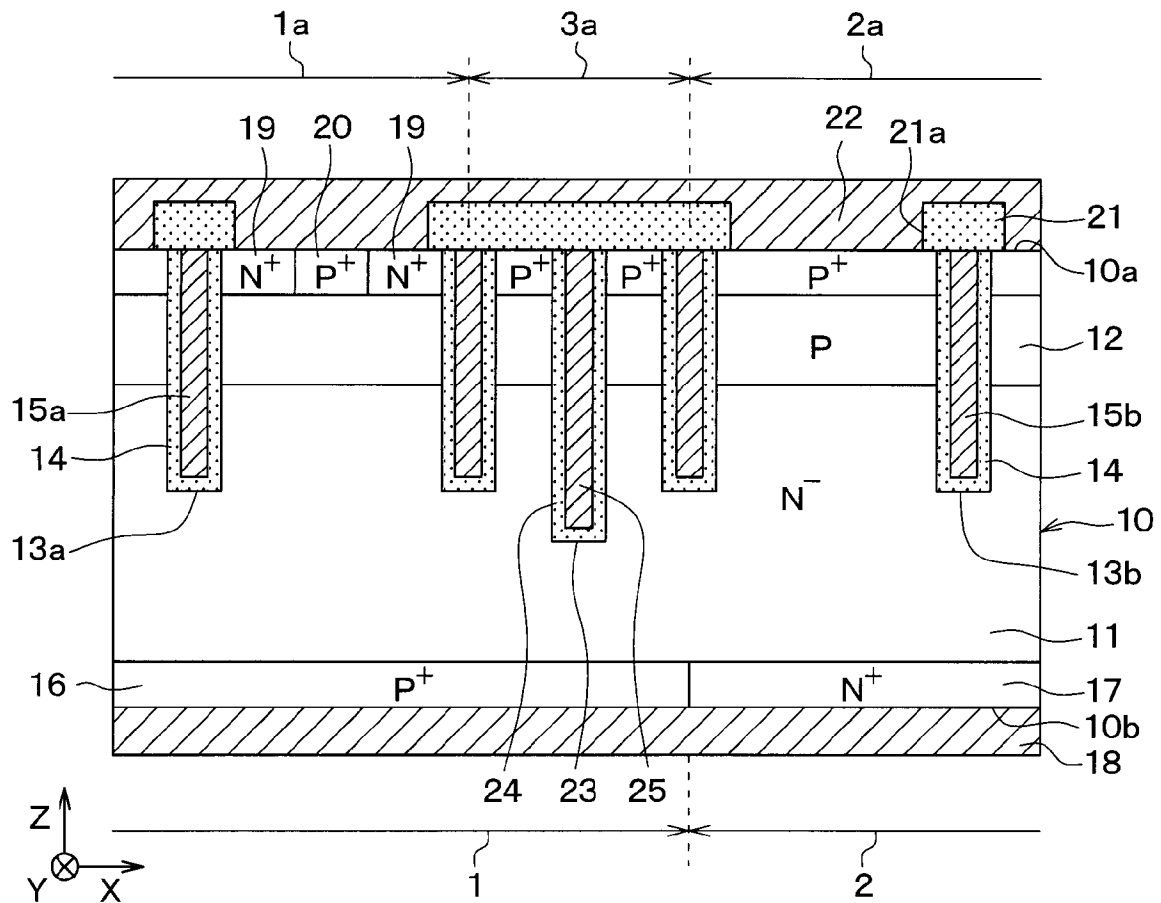
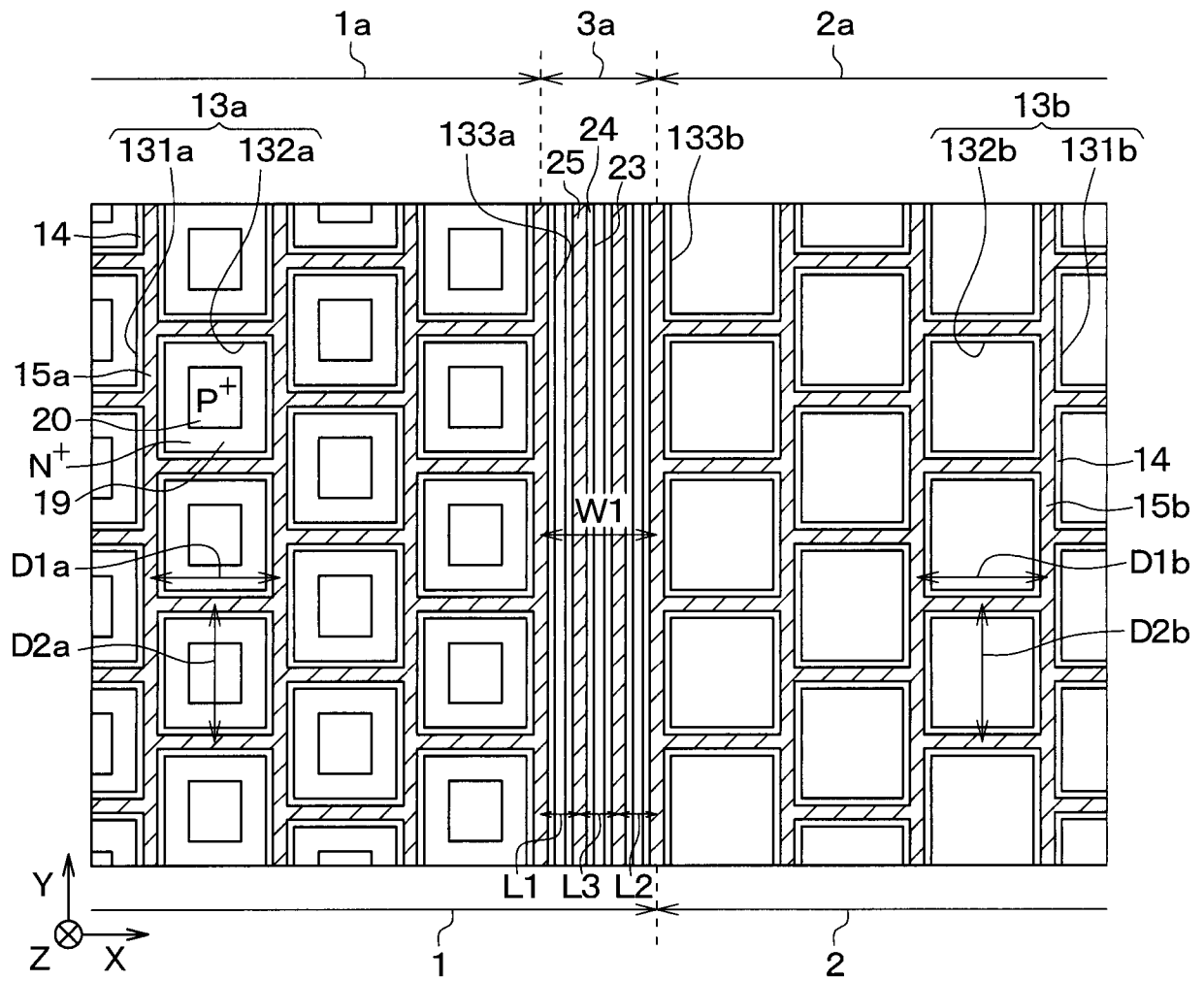
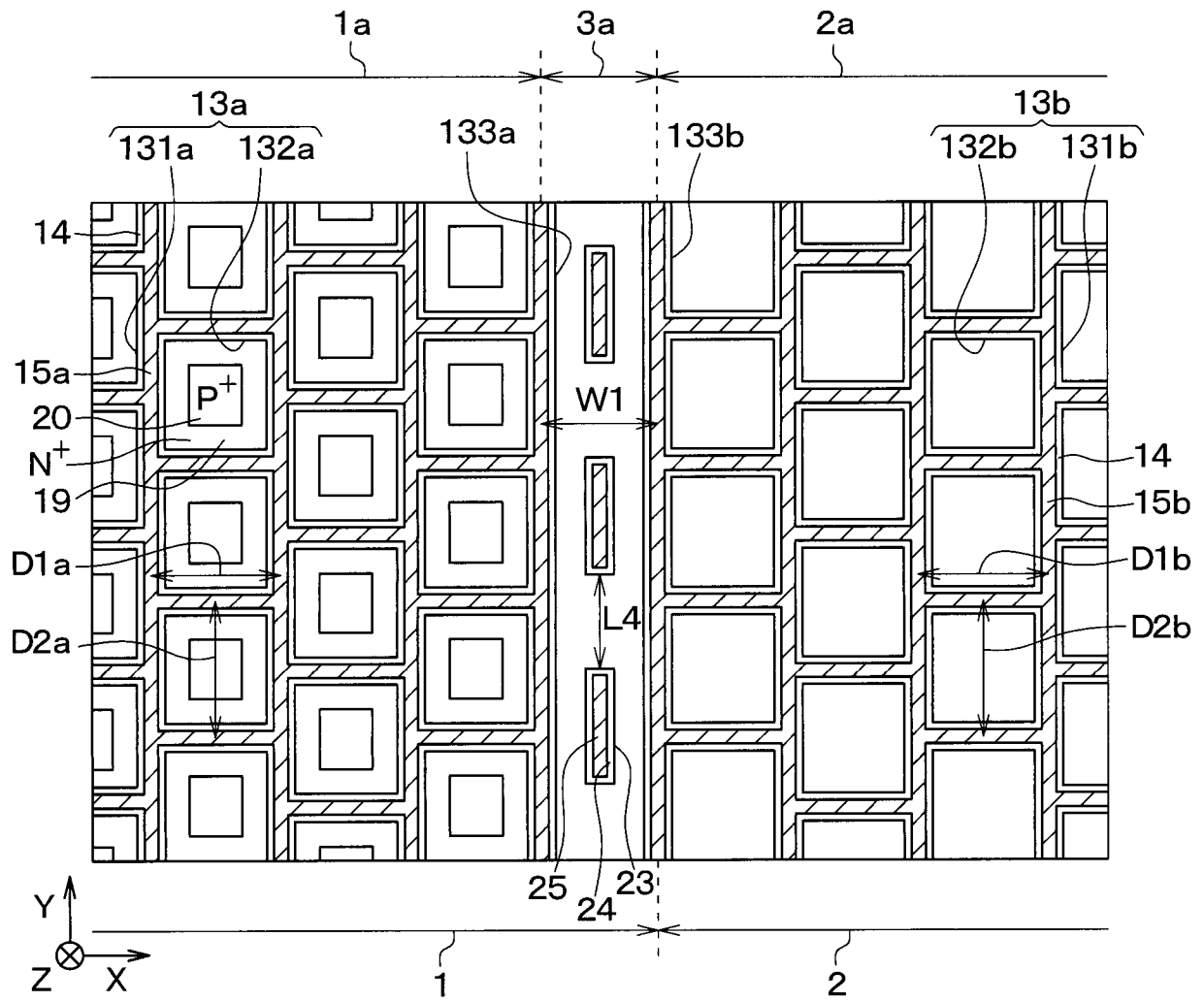


Figure 1 is a plan view of a semiconductor device. The device is divided into two main regions, 1 and 2, by a vertical dashed line. Region 1 contains a grid of square elements, each with a central square labeled P^+ . The elements are arranged in columns 131a, 132a, 133a, and 133b. Region 2 contains a similar grid of square elements, with columns 132b and 131b. The device is bounded by a top edge 1a and a bottom edge 2a. A coordinate system is shown at the bottom left with Y, Z, and X axes. Dimensions W1, L1, and L2 are indicated for the central region.

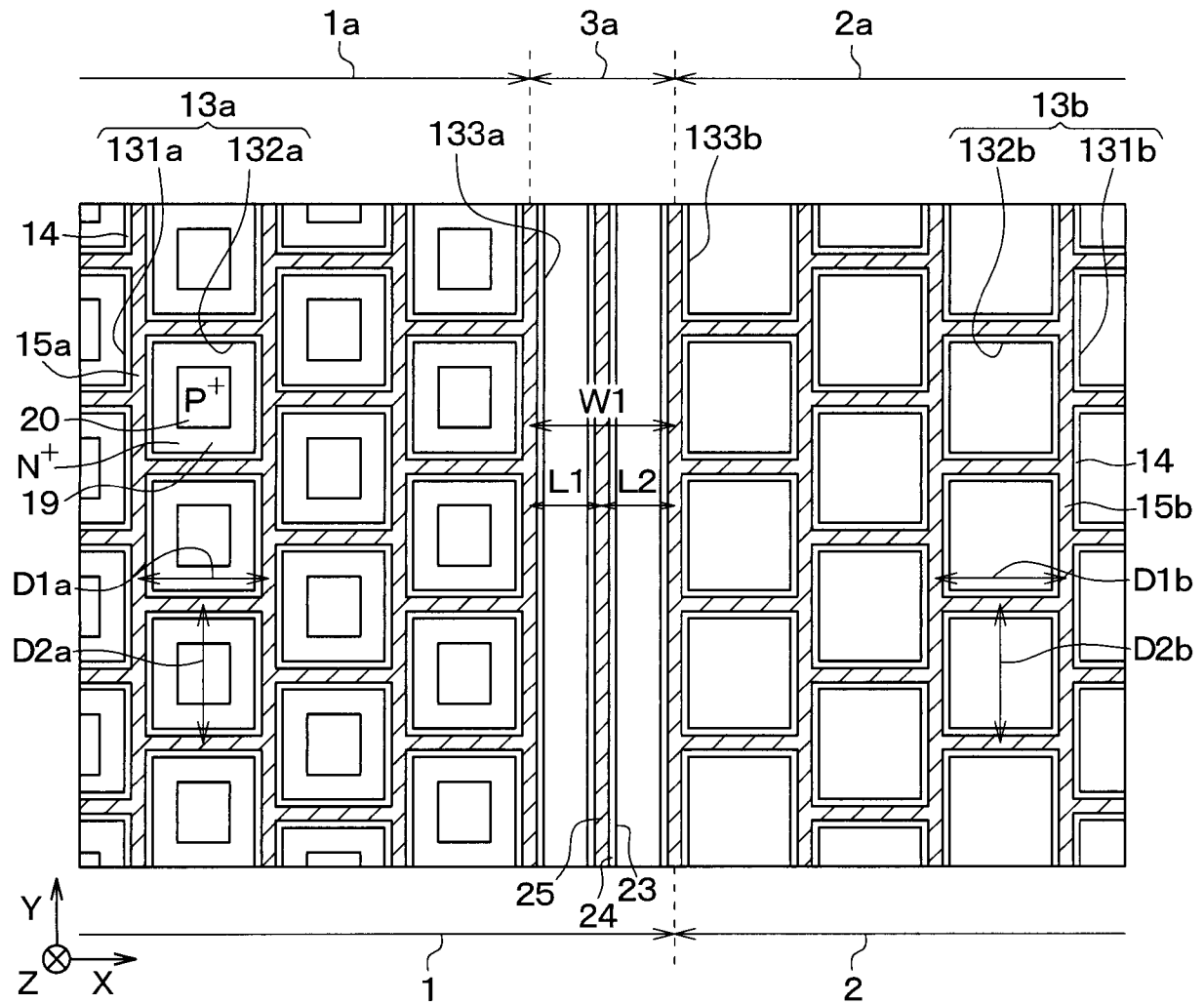
[図5]



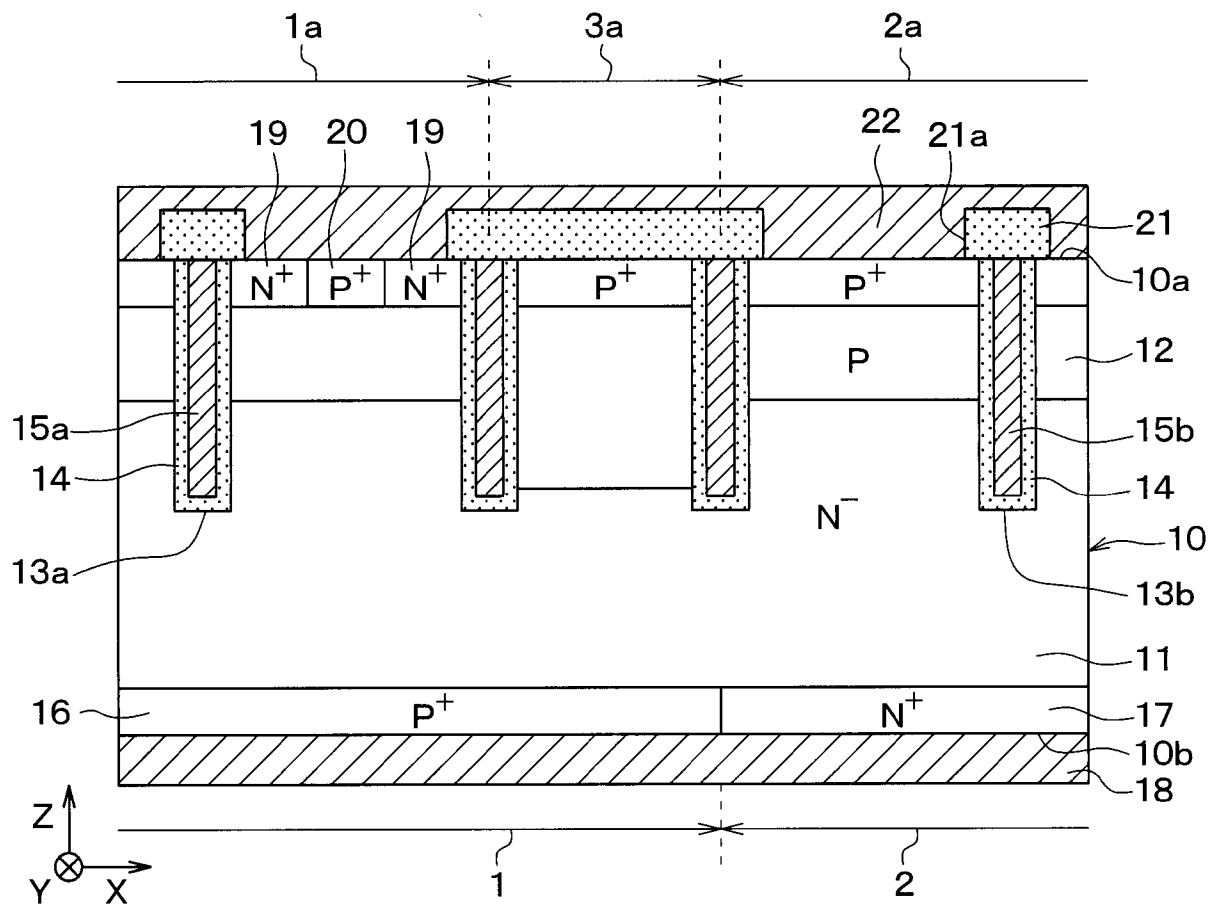
[図6]



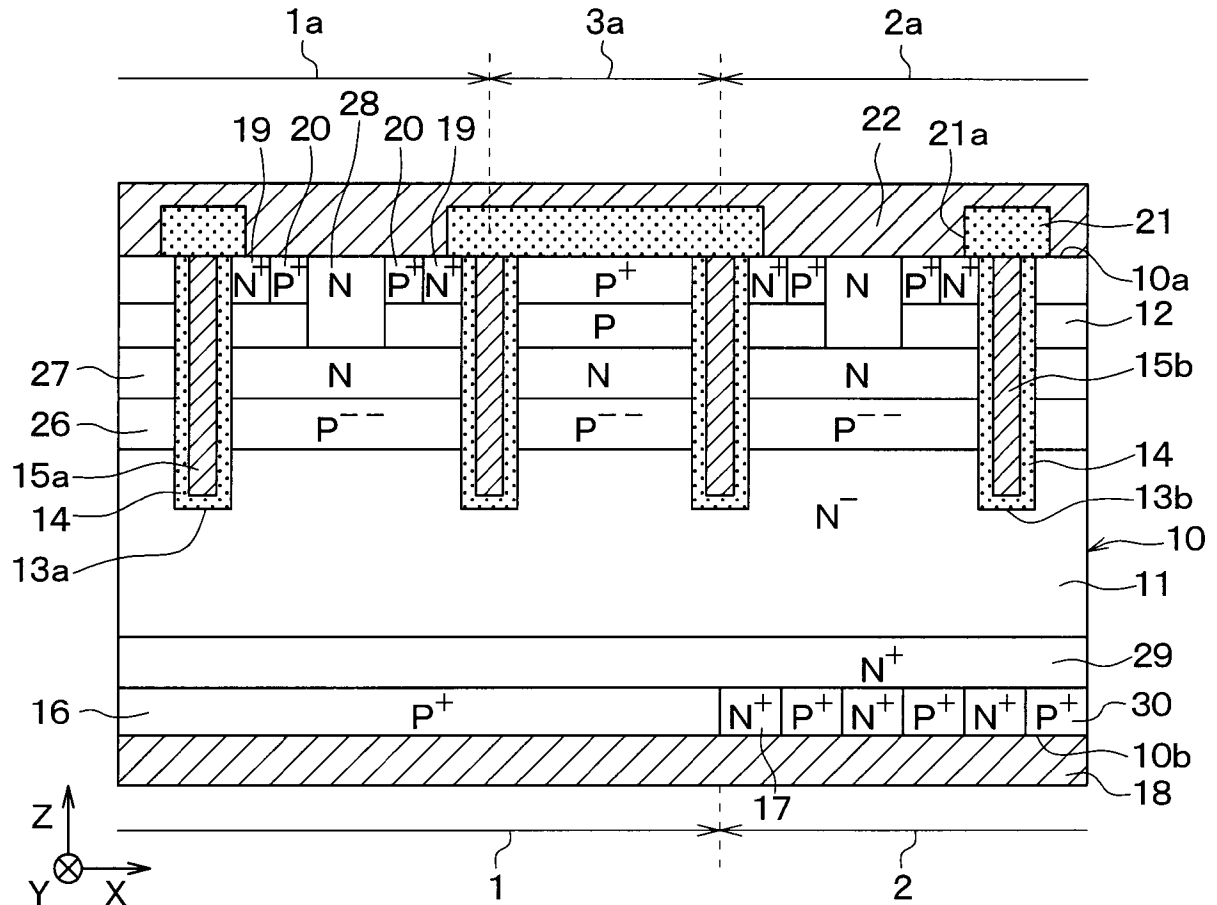
[図7]



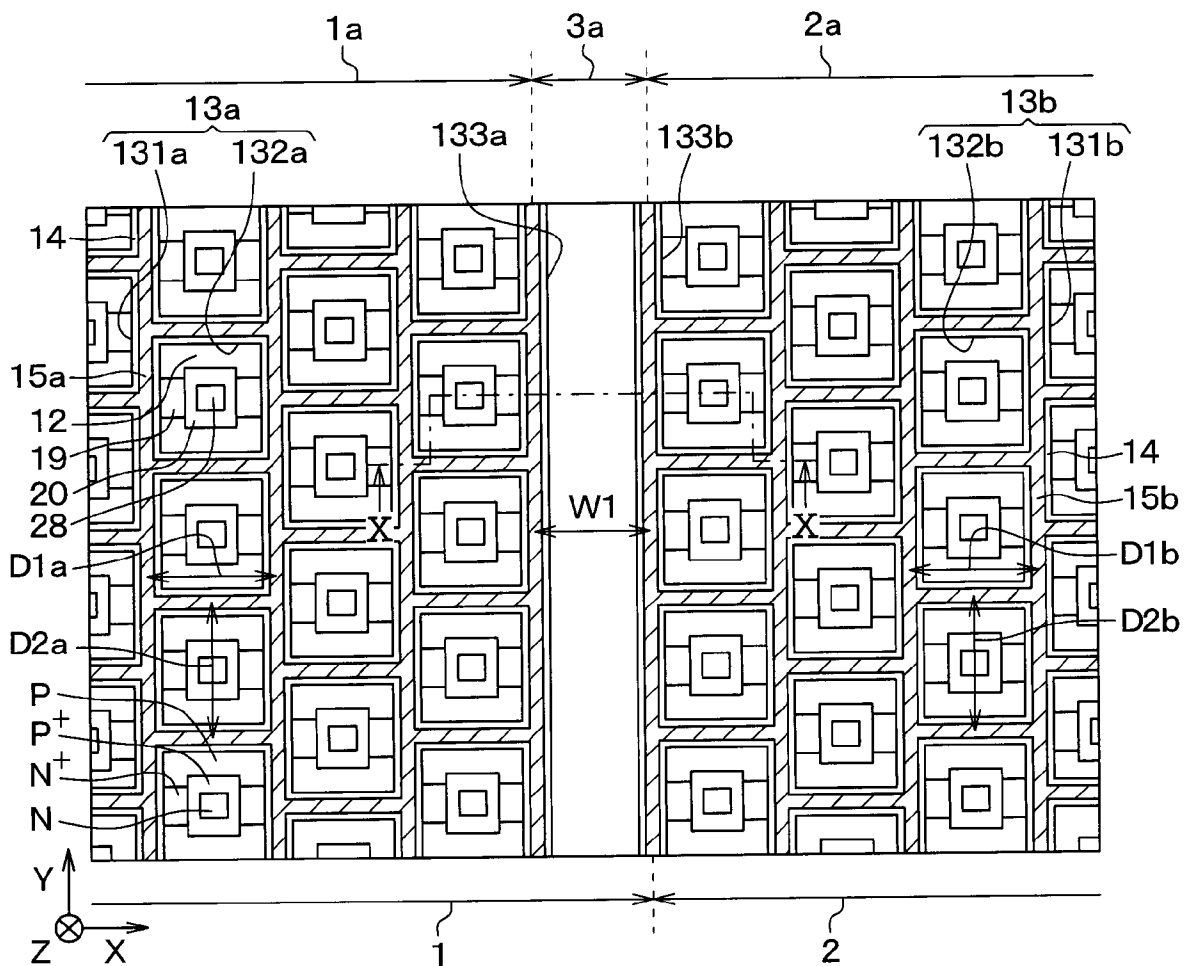
[図8]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/033935

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/76(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i, H01L29/872(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/76, H01L21/8234, H01L27/06, H01L29/739, H01L29/78, H01L29/861, H01L29/868, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2016-197678 A (MITSUBISHI ELECTRIC CORPORATION) 24 November 2016, paragraphs [0004]-[0057], fig. 1-10 & US 2016/0293595 A1, paragraphs [0020]-[0078], fig. 1-10 & DE 102016205111 A1 & KR 10-2016-0119691 A	6-8, 11 1-5, 9, 10
Y A	JP 2012-151470 A (INFINEON TECHNOLOGIES AUSTRIA AG) 09 August 2012, paragraph [0037] & US 9082813 B2, column 9, lines 30-44, & US 2012/0181575 A1 & DE 102012100349 A1 & CN 102593168 A & CN 104576720 A	6-8, 11 1-5, 9, 10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08.10.2019	Date of mailing of the international search report 21.10.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/033935

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2016-225560 A (TOYOTA MOTOR CORPORATION) 28 December 2016, paragraphs [0019]-[0022], fig. 1 & US 2016/0359027 A1, paragraphs [0027]-[0030], fig. 1	11 1-10
A	JP 2009-021557 A (DENSO CORPORATION) 29 January 2009 & US 2009/0001411 A1 & EP 2003694 A2 & CN 101325198 A	1-11

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/76(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i, H01L29/872(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/76, H01L21/8234, H01L27/06, H01L29/739, H01L29/78, H01L29/861, H01L29/868, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2016-197678 A（三菱電機株式会社）2016.11.24, 段落 [0004]-[0057], 図1-図10 & US 2016/0293595 A1, 段落[0020]-[0078], 図1-図10 & DE 102016205111 A1 & KR 10-2016-0119691 A	6-8, 11 1-5, 9, 10
Y A	JP 2012-151470 A（インフィネオン テクノロジーズ オーストリ ア アクチエンゲゼルシャフト）2012.08.09, 段落[0037] & US 9082813 B2, 第9欄第30行ないし第44行 & US 2012/0181575 A1 & DE 102012100349 A1 & CN 102593168 A & CN 104576720 A	6-8, 11 1-5, 9, 10

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

08.10.2019

国際調査報告の発送日

21.10.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

9361

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2016-225560 A (トヨタ自動車株式会社) 2016. 12. 28, 段落 [0019]-[0022], 図 1 & US 2016/0359027 A1, 段落[0027]-[0030], 図 1	11 1-10
A	JP 2009-021557 A (株式会社デンソー) 2009. 01. 29 & US 2009/0001411 A1 & EP 2003694 A2 & CN 101325198 A	1-11