

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4445533号
(P4445533)

(45) 発行日 平成22年4月7日(2010.4.7)

(24) 登録日 平成22年1月22日(2010.1.22)

(51) Int.Cl. F I
 HO 1 P 1/203 (2006.01) HO 1 P 1/203 Z A A
 HO 4 B 1/04 (2006.01) HO 4 B 1/04 A

請求項の数 14 (全 22 頁)

<p>(21) 出願番号 特願2007-220913 (P2007-220913) (22) 出願日 平成19年8月28日 (2007.8.28) (65) 公開番号 特開2009-55405 (P2009-55405A) (43) 公開日 平成21年3月12日 (2009.3.12) 審査請求日 平成19年8月28日 (2007.8.28)</p> <p>(出願人による申告) 国等の委託研究の成果に係る特許出願 (平成18年度総務省「電波資源拡大のための研究開発」委託研究、産業技術力強化法第19条の適用を受ける特許出願)</p>	<p>(73) 特許権者 000003078 株式会社東芝 東京都港区芝浦一丁目1番1号 (74) 代理人 100075812 弁理士 吉武 賢次 (74) 代理人 100082991 弁理士 佐藤 泰和 (74) 代理人 100096921 弁理士 吉元 弘 (74) 代理人 100103263 弁理士 川崎 康 (74) 代理人 100118876 弁理士 鈴木 順生</p>
--	---

最終頁に続く

(54) 【発明の名称】 フィルタ回路、無線通信装置および信号処理方法

(57) 【特許請求の範囲】

【請求項1】

ある帯域を有する入力信号を入力する入力端子と、
 前記入力信号を端子Aで受け取り受け取った入力信号を分割して端子Bおよび端子Cから送出し、また、前記端子Bおよび端子Cに与えられた信号を合成して端子Dから送出する、第1の4端子素子と、
 前記入力信号の中心周波数を阻止帯域内に有し、前記端子Bから送出された分割信号のうち前記阻止帯域の信号を前記端子Bに反射させ前記阻止帯域外の通過帯域の信号を通過させる、前記中心周波数を共振周波数とする共振器を含む第1帯域阻止フィルタと、
 前記第1帯域阻止フィルタの阻止帯域と同一の阻止帯域を有し、前記端子Cから送出された分割信号のうち前記阻止帯域の信号を前記端子Cに反射させ前記通過帯域の信号を通過させる、前記中心周波数を共振周波数とする共振器を含む第2帯域阻止フィルタと、
 第1の複数の共振器を用いて前記第1帯域阻止フィルタを通過した前記通過帯域の分割信号から所望帯域の信号を抽出する第1共振器群回路と、
 前記第1の複数の共振器の各々と同じ共振周波数を有する第2の複数の共振器を用いて前記第2帯域阻止フィルタを通過した前記通過帯域の分割信号から前記所望帯域と同一帯域の信号を抽出する第2共振器群回路と、
 前記第1および第2帯域阻止フィルタで反射され前記第1の4端子素子において合成されて前記端子Dから送出された前記阻止帯域の合成信号を端子Eにおいて受け取り受け取った信号を分割して端子Fおよび端子Gから送出し、また、前記端子Fおよび端子Gに与

10

20

えられた信号を合成して端子Hから送出する、第2の4端子素子と、

前記第1帯域阻止フィルタと同一の阻止帯域を有し、前記第1共振器群回路により抽出された前記所望帯域の分割信号を前記端子Fへ通過させ、また、前記端子Fから送出された前記阻止帯域の分割信号を受けて前記端子Fに反射させる第3帯域阻止フィルタと、

前記第1帯域阻止フィルタと同一の阻止帯域を有し、前記第2共振器群回路により抽出された前記所望帯域の分割信号を前記端子Gへ通過させ、前記端子Gから送出された前記阻止帯域の分割信号を受けて前記端子Gに反射させる第4帯域阻止フィルタと、

前記第1および第2帯域阻止フィルタを通過した前記所望帯域の分割信号が前記第2の4端子素子で合成された合成信号と、前記第1および第2帯域阻止フィルタで反射した前記阻止帯域の分割信号が前記第2の4端子素子で合成された合成信号とを前記端子Hから
10

受けて出力する出力端子と、
前記第1の4端子素子の前記端子Dから前記第2の4端子素子の端子Eへ至る経路に配置され、前記第1および第2の帯域阻止フィルタの共振器と前記第3および第4の帯域阻止フィルタの共振器とを前記経路を介して結合することにより、前記共振周波数の縮退を解く、共振器結合回路と、

を備えたフィルタ回路。

【請求項2】

前記第1帯域阻止フィルタから前記第1共振器群回路へ向けて一方向に信号を通過させ、前記第1共振器群回路から前記第2帯域阻止フィルタへ向けて一方向に信号を通過させることにより、前記第1共振器群回路を介した前記第1帯域阻止フィルタの共振器と前記
20

第3帯域阻止フィルタの共振器との結合を阻止する、第1の複数のアイソレータと、
前記第2帯域阻止フィルタから前記第2共振器群回路へ向けて一方向に信号を通過させ、前記第2共振器群回路から前記第4帯域阻止フィルタへ向けて一方向に信号を通過させることにより、前記第2共振器群回路を介した前記第2帯域阻止フィルタの共振器と前記
第4帯域阻止フィルタの共振器との結合を阻止する、第2の複数のアイソレータと、

をさらに備えた請求項1に記載のフィルタ回路。

【請求項3】

前記共振器結合回路は、 $90 \pm 45 \pm 180 \times n$ 度 (n は0以上の整数)の遅延回路であることを特徴とする請求項1または2に記載のフィルタ回路。

【請求項4】

前記第1および第2共振器群回路内の伝送線路は超電導体で構成されたことを特徴とする請求項1ないし3のいずれか一項に記載のフィルタ回路。
30

【請求項5】

前記第1および第2の4端子素子は、マジックTであることを特徴とする請求項1ないし4のいずれか一項に記載のフィルタ回路。

【請求項6】

前記第1および第2の4端子素子は、ラットレース回路であることを特徴とする請求項1ないし4のいずれか一項に記載のフィルタ回路。

【請求項7】

送信データに送信処理を施して送信信号を得る信号処理回路と、
40
前記送信信号を増幅する電力増幅器と、
増幅された送信信号をフィルタ処理するフィルタ回路と、
前記フィルタ回路から得られる信号を空間に電波として放射するアンテナと、
を備え、

前記フィルタ回路は、

前記増幅された送信信号を入力する入力端子と、

前記入力端子から入力された送信信号を端子Aで受け取り受け取った送信信号を分割して端子Bおよび端子Cから送出し、また、前記端子Bおよび端子Cに与えられた信号を合成して端子Dから送出する、第1の4端子素子と、

前記送信信号の中心周波数を阻止帯域内に有し、前記端子Bから送出された分割信号の
50

うち前記阻止帯域の信号を前記端子Bに反射させ通過帯域の信号を通過させる、前記中心周波数を共振周波数とする共振器を含む第1帯域阻止フィルタと、

前記第1帯域阻止フィルタの阻止帯域と同一の阻止帯域を有し、前記端子Cから送出された分割信号のうち前記阻止帯域の信号を前記端子Cに反射させ前記通過帯域の信号を通過させる、前記中心周波数を共振周波数とする共振器を含む第2帯域阻止フィルタと、

第1の複数の共振器を用いて前記第1帯域阻止フィルタを通過した前記通過帯域の分割信号から所望帯域の信号を抽出する第1共振器群回路と、

前記第1の複数の共振器の各々と同じ共振周波数を有する第2の複数の共振器を用いて前記第2帯域阻止フィルタを通過した前記通過帯域の分割信号から前記所望帯域と同一帯域の信号を抽出する第2共振器群回路と、

10

前記第1および第2帯域阻止フィルタで反射され前記第1の4端子素子において合成されて前記端子Dから送出された前記阻止帯域の合成信号を端子Eにおいて受け取り受け取った信号を分割して端子Fおよび端子Gから送出し、また、前記端子Fおよび端子Gに与えられた信号を合成して端子Hから送出する、第2の4端子素子と、

前記第1帯域阻止フィルタと同一の阻止帯域を有し、前記第1共振器群回路により抽出された前記所望帯域の分割信号を前記端子Fへ通過させ、また、前記端子Fから送出された前記阻止帯域の分割信号を受けて前記端子Fに反射させる第3帯域阻止フィルタと、

前記第1帯域阻止フィルタと同一の阻止帯域を有し、前記第2共振器群回路により抽出された前記所望帯域の分割信号を前記端子Gへ通過させ、前記端子Gから送出された前記阻止帯域の分割信号を受けて前記端子Gに反射させる第4帯域阻止フィルタと、

20

前記第1および第2帯域阻止フィルタを通過した前記所望帯域の分割信号が前記第2の4端子素子で合成された合成信号と、前記第1および第2帯域阻止フィルタで反射した前記阻止帯域の分割信号が前記第2の4端子素子で合成された合成信号とを前記端子Hから受けて出力する出力端子と、

前記第1の4端子素子の前記端子Dから前記第2の4端子素子の端子Eへ至るまでの経路に配置され、前記第1および第2の帯域阻止フィルタの共振器と前記第3および第4の帯域阻止フィルタの共振器とを前記経路を介して結合することにより、前記共振周波数の縮退を解く、共振器結合回路と、

を有することを特徴とする無線通信装置。

【請求項8】

30

前記フィルタ回路は、

前記第1帯域阻止フィルタから前記第1共振器群回路へ向けて一方向に信号を通過させ、前記第1共振器群回路から前記第2帯域阻止フィルタへ向けて一方向に信号を通過させることにより、前記第1共振器群回路を介した前記第1帯域阻止フィルタの共振器と前記第3帯域阻止フィルタの共振器との結合を阻止する、第1の複数のアイソレータと、

前記第2帯域阻止フィルタから前記第2共振器群回路へ向けて一方向に信号を通過させ、前記第2共振器群回路から前記第4帯域阻止フィルタへ向けて一方向に信号を通過させることにより、前記第2共振器群回路を介した前記第2帯域阻止フィルタの共振器と前記第4帯域阻止フィルタの共振器との結合を阻止する、第2の複数のアイソレータと、

をさらに有することを特徴とする請求項7に記載の無線通信装置。

40

【請求項9】

前記共振器結合回路は、 $90 \pm 45 \pm 180 \times n$ 度 (n は0以上の整数)の遅延回路であることを特徴とする請求項7または8に記載の無線通信装置。

【請求項10】

前記第1および第2共振器群回路内の伝送線路は超電導体で構成されたことを特徴とする請求項7ないし9のいずれか一項に記載の無線通信装置。

【請求項11】

前記第1および第2の4端子素子は、マジックTであることを特徴とする請求項7ないし10のいずれか一項に記載の無線通信装置。

【請求項12】

50

前記第1および第2の4端子素子は、ラットレース回路であることを特徴とする請求項7ないし10のいずれか一項に記載の無線通信装置。

【請求項13】

ある帯域を有する入力信号を入力し、
前記入力信号の中心周波数を阻止帯域内に有し、前記中心周波数を共振周波数とする共振器を含む帯域阻止フィルタを用いて、前記入力信号を、前記阻止帯域の信号と、前記阻止帯域外の通過帯域の信号とに分離し、
前記通過帯域の信号から複数の共振器を用いて所望帯域の信号を抽出し、
前記阻止帯域の信号を、前記共振周波数の縮退が解けた信号に分解し、
縮退の解けた信号と、抽出された所望帯域の信号とを合成し、合成信号を出力する、
信号処理方法。

10

【請求項14】

前記複数の共振器として複数の超電導共振器を用いることを特徴とする請求項13に記載の信号処理方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フィルタ回路、無線通信装置および信号処理方法に関し、たとえば無線を用いる通信機の送信部に用いる電力増幅器の後段に接続される帯域制限用フィルタ回路に関する。

20

【背景技術】

【0002】

従来、フィルタ回路は図23に示されるように共振器1107(1)~1107(n)を縦列接続させることによって構成される。各共振器の等価回路はインダクタとキャパシタから成り、損失の効果を考慮する場合には抵抗も追加される。抵抗が無い場合の共振器の共振周波数は下記で与えられる。

$$f_0=(L \times C)^{-1/2}$$

【0003】

ただし、L、Cはそれぞれ共振器のインダクタンスとキャパシタンスである。フィルタ回路では共振器を縦列接続させ、それぞれの共振器の結合量を表す共振器間結合係数(図26の $m_{1,2}, m_{2,3}, \dots, m_{n-1,n}$)と入出力部で共振器を励振する量を表す外部Q(図23の Q_e)の値を適当に決めることによってフィルタ回路としての通過周波数範囲や阻止域減衰量を決定することができる。1101は入力端子、1106は出力端子である。共振器が縦列接続されたフィルタ回路では各共振器に電流が伝播してゆくため、共振器には全ての周波数成分の電流が流れてしまう。そのため超電導体のような単位面積あたりに超伝導状態で流せる電流値に限界を持つ材料を用いて共振器を構成する場合、フィルタ回路に大きな電力を通過させるためには各共振器の耐電力性が重要なパラメータとなり、円盤形状や幅広線路を用いるなどして共振器に電流が集中して流れないように対策することで耐電力性を向上させるための方法が検討されている。しかし、超電導共振器では外部Q値が非常に高いことから電流集中が大きく、共振器形状の工夫だけでは大きな耐電力性を得ることができない問題点がある。

30

40

【0004】

一方、図24に示すようにフィルタ回路において各共振器に電力を分散させてフィルタ特性を実現する方法として共振器を並列接続させてフィルタ回路を構成する方法がある(特開2001-345601号公報、特開2004-96399号公報)。こうした共振器の並列構成によって、入力した電力が各共振器1108(1)~1108(n)に電力分配されることによって全体としての耐電力特性を上げるものである。共振器を並列構成するためには各共振器を異なる周波数(図24の f_1, f_2, \dots, f_n)を持つように構成し、隣り合う共振周波数を持つ共振器が逆相となるように合成することでフィルタ特性を実現するものである。図中「-m

50

」の「-」は逆相結合を示す。これを利用したフィルタ構成で、超電導フィルタと常電導フィルタとを組み合わせる方法がある。(特許第3,380,165号、特開11-186812号公報)。特許第3,380,165号では超電導フィルタと常電導フィルタを並列化しているが、入力に大きな電力が来るとそのまま各フィルタに電力が分割されて入力し、各フィルタのそれぞれにおいて反射させられる電力と通過する電力とに分離されるだけであり、この形では超電導フィルタにも大きな耐電力性が必要となってしまう問題点がある。

【特許文献1】特開2001-345601号公報

【特許文献2】特開2004-96399号公報

【特許文献3】特許第3,380,165号

【特許文献4】特開11-186812号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

以上に述べたように、従来では急峻な通過特性をもつ超伝導体を用いたフィルタ回路では超伝導体の臨界電流密度の特性のために耐電力性を大きくすることが困難であった。

【0006】

そこで、本発明では、上記のような従来技術の欠点を除去し、急峻な通過特性と耐電力性とを両立可能なフィルタ回路、無線通信装置および信号処理方法を提供するものである。

【課題を解決するための手段】

20

【0007】

本発明の一態様としてのフィルタ回路は、

ある帯域を有する入力信号を入力する入力端子と、

前記入力信号を端子Aで受け取り受け取った入力信号を分割して端子Bおよび端子Cから送し、また、前記端子Bおよび端子Cに与えられた信号を合成して端子Dから送する、第1の4端子素子と、

前記入力信号の中心周波数を阻止帯域内に有し、前記端子Bから送出された分割信号のうち前記阻止帯域の信号を前記端子Bに反射させ前記阻止帯域外の通過帯域の信号を通過させる、前記中心周波数を共振周波数とする共振器を含む第1帯域阻止フィルタと、

前記第1帯域阻止フィルタの阻止帯域と同一の阻止帯域を有し、前記端子Cから送出された分割信号のうち前記阻止帯域の信号を前記端子Cに反射させ前記通過帯域の信号を通過させる、前記中心周波数を共振周波数とする共振器を含む第2帯域阻止フィルタと、

30

第1の複数の共振器を用いて前記第1帯域阻止フィルタを通過した前記通過帯域の分割信号から所望帯域の信号を抽出する第1共振器群回路と、

前記第1の複数の共振器の各々と同じ共振周波数を有する第2の複数の共振器を用いて前記第2帯域阻止フィルタを通過した前記通過帯域の分割信号から前記所望帯域と同一帯域の信号を抽出する第2共振器群回路と、

前記第1および第2帯域阻止フィルタで反射され前記第1の4端子素子において合成されて前記端子Dから送出された前記阻止帯域の合成信号を端子Eにおいて受け取り受け取った信号を分割して端子Fおよび端子Gから送し、また、前記端子Fおよび端子Gに与えられた信号を合成して端子Hから送する、第2の4端子素子と、

40

前記第1帯域阻止フィルタと同一の阻止帯域を有し、前記第1共振器群回路により抽出された前記所望帯域の分割信号を前記端子Fへ通過させ、また、前記端子Fから送出された前記阻止帯域の分割信号を受けて前記端子Fに反射させる第3帯域阻止フィルタと、

前記第1帯域阻止フィルタと同一の阻止帯域を有し、前記第2共振器群回路により抽出された前記所望帯域の分割信号を前記端子Gへ通過させ、前記端子Gから送出された前記阻止帯域の分割信号を受けて前記端子Gに反射させる第4帯域阻止フィルタと、

前記第1および第2帯域阻止フィルタを通過した前記所望帯域の分割信号が前記第2の4端子素子で合成された合成信号と、前記第1および第2帯域阻止フィルタで反射した前記阻止帯域の分割信号が前記第2の4端子素子で合成された合成信号とを前記端子Hから

50

受けて出力する出力端子と、

前記第 1 の 4 端子素子の前記端子 D から前記第 2 の 4 端子素子の端子 E へ至る経路に配置され、前記第 1 および第 2 の帯域阻止フィルタの共振器と前記第 3 および第 4 の帯域阻止フィルタの共振器とを前記経路を介して結合することにより、前記共振周波数の縮退を解く、共振器結合回路と、

を備える。

【 0 0 0 8 】

本発明の一態様としての無線通信装置は、

送信データに送信処理を施して送信信号を得る信号処理回路と、

前記送信信号を増幅する電力増幅器と、

増幅された送信信号をフィルタ処理するフィルタ回路と、

前記フィルタ回路から得られる信号を空間に電波として放射するアンテナと、

を備え、

前記フィルタ回路は、

前記増幅された送信信号を入力する入力端子と、

前記入力端子から入力された送信信号を端子 A で受け取り受け取った送信信号を分割して端子 B および端子 C から送出し、また、前記端子 B および端子 C に与えられた信号を合成して端子 D から送 outputs、第 1 の 4 端子素子と、

前記送信信号の中心周波数を阻止帯域内に有し、前記端子 B から送出された分割信号のうち前記阻止帯域の信号を前記端子 B に反射させ通過帯域の信号を通過させる、前記中心周波数を共振周波数とする共振器を含む第 1 帯域阻止フィルタと、

前記第 1 帯域阻止フィルタの阻止帯域と同一の阻止帯域を有し、前記端子 C から送出された分割信号のうち前記阻止帯域の信号を前記端子 C に反射させ前記通過帯域の信号を通過させる、前記中心周波数を共振周波数とする共振器を含む第 2 帯域阻止フィルタと、

第 1 の複数の共振器を用いて前記第 1 帯域阻止フィルタを通過した前記通過帯域の分割信号から所望帯域の信号を抽出する第 1 共振器群回路と、

前記第 1 の複数の共振器の各々と同じ共振周波数を有する第 2 の複数の共振器を用いて前記第 2 帯域阻止フィルタを通過した前記通過帯域の分割信号から前記所望帯域と同一帯域の信号を抽出する第 2 共振器群回路と、

前記第 1 および第 2 帯域阻止フィルタで反射され前記第 1 の 4 端子素子において合成されて前記端子 D から送出された前記阻止帯域の合成信号を端子 E において受け取り受け取った信号を分割して端子 F および端子 G から送 outputs、また、前記端子 F および端子 G に与えられた信号を合成して端子 H から送 outputs、第 2 の 4 端子素子と、

前記第 1 帯域阻止フィルタと同一の阻止帯域を有し、前記第 1 共振器群回路により抽出された前記所望帯域の分割信号を前記端子 F へ通過させ、また、前記端子 F から送出された前記阻止帯域の分割信号を受けて前記端子 F に反射させる第 3 帯域阻止フィルタと、

前記第 1 帯域阻止フィルタと同一の阻止帯域を有し、前記第 2 共振器群回路により抽出された前記所望帯域の分割信号を前記端子 G へ通過させ、前記端子 G から送出された前記阻止帯域の分割信号を受けて前記端子 G に反射させる第 4 帯域阻止フィルタと、

前記第 1 および第 2 帯域阻止フィルタを通過した前記所望帯域の分割信号が前記第 2 の 4 端子素子で合成された合成信号と、前記第 1 および第 2 帯域阻止フィルタで反射した前記阻止帯域の分割信号が前記第 2 の 4 端子素子で合成された合成信号とを前記端子 H から受けて出力する出力端子と、

前記第 1 の 4 端子素子の前記端子 D から前記第 2 の 4 端子素子の端子 E へ至るまでの経路に配置され、前記第 1 および第 2 の帯域阻止フィルタの共振器と前記第 3 および第 4 の帯域阻止フィルタの共振器とを前記経路を介して結合することにより、前記共振周波数の縮退を解く、共振器結合回路と、

を有することを特徴とする。

【 0 0 0 9 】

本発明の一態様としての信号処理方法は、

10

20

30

40

50

ある帯域を有する入力信号を入力し、
 前記入力信号の中心周波数を阻止帯域内に有し、前記中心周波数を共振周波数とする共振器を含む帯域阻止フィルタを用いて、前記入力信号を、前記阻止帯域の信号と、前記阻止帯域外の通過帯域の信号とに分離し、
 前記通過帯域の信号から複数の共振器を用いて所望帯域の信号を抽出し、
 前記阻止帯域の信号を、前記共振周波数の縮退が解けた信号に分解し、
 縮退の解けた信号と、抽出された所望帯域の信号とを合成し、合成信号を出力する。

【発明の効果】

【0010】

本発明により、フィルタ回路において急峻な通過特性と耐電力性とを両立できる。

10

【発明を実施するための最良の形態】

【0011】

図1は本発明に係るフィルタ回路の第1の実施例を示すものである。

【0012】

本実施例のフィルタ回路は、入力端子201に入力されたある帯域をもった信号を、帯域阻止フィルタを用いて阻止帯域の信号（大きな電力密度をもつ）と、阻止帯域外の通過帯域の信号（信号電力が小さい）とに分割し、通過帯域の信号から複数の超電導共振器を含む共振器群回路を使って所望帯域の信号を抽出し、抽出された所望帯域の信号と上記阻止帯域の信号とを合成して出力端子209から出力するものである。

【0013】

本フィルタ回路では、次式で定義されるSパラメータをもつ4開口素子202、207を用いている。4開口素子202、207の各端子を端子1～端子4として定義する。

20

【数1】

$$[S] = \frac{1}{\sqrt{2}} \begin{bmatrix} 0 & 0 & 1 & 1 \\ 0 & 0 & -1 & 1 \\ 1 & -1 & 0 & 0 \\ 1 & 1 & 0 & 0 \end{bmatrix}$$

【0014】

4開口素子の例としては、図2に示す導波管を用いたマジックTなどがある。図3は、図1の回路図に記述された4開口素子を取り出して示したものである。図2および図3において同じ番号同士が対応している。また、伝送線路（マイクロストリップ線路）を用いた4開口素子の例としては図4に示すようなラットレース回路がある。

30

【0015】

図1の例では、4開口素子202の端子3は端子A、端子1は端子B、端子2は端子C、端子4は端子Dに相当し、4開口素子207の端子4は端子E、端子1は端子F、端子2は端子G、端子3は端子Hに相当する。

【0016】

図1において、入力側の4開口素子202の端子3に入力端子201が接続され、4開口素子202の端子4が、本実施例の大きな特徴の一つとなる90度の遅延回路213を介して4開口素子207の端子4と接続されている。遅延回路213の遅延量は90度に限定されず、 $90 \pm 45 \pm 180 \times n$ 度（nは0以上の整数）であれば任意の値を取ることができる。遅延回路213は、たとえば共振器結合回路に相当する。4開口素子207の端子3は出力端子209に接続される。

40

【0017】

4開口素子202の端子1と4開口素子207の端子1との間において、90度の遅延回路203Aと帯域阻止フィルタ（BSF：Band Stop Filter）204Aとアイソレータ214Aと共振器群回路112Aとアイソレータ214Bと90度の遅延回路203Bと帯域阻止フィルタ204Bとが縦列接続されている。また4開口素子202の端子2と4開

50

口素子 207 の端子 2 との間において、帯域阻止フィルタ 204C と 90 度の遅延回路 203C とアイソレータ 214C と共振器群回路 112B とアイソレータ 214D と帯域阻止フィルタ 204D と遅延回路 203D とが縦列接続されている。

【0018】

帯域阻止フィルタ 204A ~ 204D は、耐電力量 W_{bsf} (W) を有し、阻止帯域として、反射特性の 3 dB 帯域幅を決める 2 点の周波数 f_{bsf1} 、 f_{bsf2} ($f_{bsf1} < f_{bsf2}$) をもつ。帯域阻止フィルタ 204A ~ 204D の阻止帯域は、本フィルタ回路の中心周波数または入力端子 101 に入力される信号の中心周波数を含み、該中心周波数を共振周波数とする共振器を含んでいる（後述する図 7 参照）。帯域阻止フィルタ 204A ~ 204D は、阻止帯域の信号を反射させ、阻止帯域外の帯域（通過帯域）の信号を通過させる。帯域阻止フィルタ 204A ~ 204D はそれぞれ同じ阻止帯域を有する。

10

【0019】

共振器群回路 112A、112B はそれぞれ同じ構成を有する。各共振器群回路においては、相異なる周波数の単一共振器をもつブロック 111(1)、111(2)、・・・が並列接続されている。各共振器群回路は、入力される信号を分割して各ブロックに与える電力分割部 210 と、各ブロックの出力信号を合成する電力合成部 211 とを有している。

【0020】

各ブロック 111(N) ($N = 1, 2, \dots$) は、超電導体 (SC) により構成された耐電力量 W_{reso} (W) 以下の共振器 205(N) と、共振器 205(N) に縦列接続された遅延回路 206(N) とを有する。

20

【0021】

各共振器 205(N) の共振周波数 f_{reso-i} (i は 1 以上 N 以下) は相異なる。各遅延回路 206(N) は、電力合成部 211 における電力合成時に、隣り合う共振周波数をもつ信号同士が $180 + 360 \times k \pm 30$ 度 (k は 0 以上の整数) の範囲の位相差（逆相）条件を満たすように設けられ、これにより電力合成の際に、隣り合う共振周波数をもつ信号同士の和合成を得る。和合成について図 5 および図 6 を用いて簡単に説明する。

【0022】

図 5 (A) のように共振器の並列接続型において、共振周波数 f_1 、 f_2 をもつ 2 つの共振器を通過した信号を合成する際、これらの信号を 180 度の位相差をもたせて合成すると、図 5 (B) のように、得られる信号 301a は、2 つの信号（共振波形）302a、302b の和合成となる。外部回路結合係数 J_{qe} を調整することで帯域通過フィルタを構成できる。

30

【0023】

一方、図 6 (A) のように、共振周波数 f_1 、 f_2 をもつ 2 つの共振器を通過した信号を位相差 0 度で合成すると、図 6 (B) のように、得られる信号 301b は、2 つの信号（共振波形）302a、302b の差合成となる。

【0024】

したがって、図 1 のフィルタ回路では、電力合成部 211 において和合成が得られるように、隣接するブロック間を通過する信号に、180 度の位相差を持たせるようにしている。ここで遅延回路 206(N) の数値 (0 度、180 度) は一例であり他の値を用いることもできる。また共振器 205(N) と遅延回路 206(N) の順番は入れ替えても同様の特性を得ることができる。

40

【0025】

各帯域阻止フィルタ 204A ~ 204D の耐電力量 W_{bsf} と、各共振器 205(N) の耐電力量 W_{reso} との間には $W_{bsf} > W_{reso}$ の関係がある。また、帯域阻止フィルタ 204A ~ 204D の反射特性の 3 dB 帯域幅を決める 2 点の周波数 f_{bsf1} 、 f_{bsf2} ($f_{bsf1} < f_{bsf2}$) と、各共振器の共振周波数 f_{reso-i} (i は 1 以上 N 以下) との間には、 $f_{reso-i} < f_{bsf1}$ もしくは $f_{bsf2} < f_{reso-i}$ の関係がある。すなわち、各共振器は、帯域阻止フィルタの通過帯域に共振周波数を有し、共振器群回路 112A、112B は、このような共振器を用いること

50

により、帯域阻止フィルタの通過帯域の信号から、所望帯域の信号を抽出する。所望帯域はたとえば通過帯域のうち阻止帯域に隣接する帯域である。

【0026】

図1において、アイソレータ214Aは、帯域阻止フィルタ204Aから共振器群回路112Aへ向けて一方向に信号を通過させ、アイソレータ214Bは共振器群回路112Aから帯域阻止フィルタ204Bへ向けて一方向に信号を通過させることにより、帯域阻止フィルタ204Aの共振器と帯域阻止フィルタ204Bの共振器とが共振器群回路112Aを介する経路で結合することを阻止する。またアイソレータ214Aは、帯域阻止フィルタ204Aを通過し共振器群回路112Aで反射する信号（すなわちフィルタ回路のフィルタ帯域外の信号）を吸収する役割も有する。またアイソレータ214Bは、帯域阻止フィルタ204Bを通過し共振器群回路112Aで反射する信号（たとえば出力端子209から入力されてくるフィルタ回路のフィルタ帯域外の信号）を吸収する役割も有する。

10

【0027】

アイソレータ214Cは、帯域阻止フィルタ204Cから共振器群回路112Bへ向けて一方向に信号を通過させ、アイソレータ214Dは、共振器群回路112Bから帯域阻止フィルタ204Dへ向けて一方向に信号を通過させることにより、帯域阻止フィルタ204Cの共振器と帯域阻止フィルタ204Dの共振器とが共振器群回路112Bを介する経路で結合することを阻止する。またアイソレータ214Cは、帯域阻止フィルタ204Cを通過し共振器群回路112Bで反射して該端子2に戻される信号（すなわちフィルタ回路のフィルタ帯域外の信号）を吸収する役割も有する。またアイソレータ214Dは、帯域阻止フィルタ204Dを通過し共振器群回路112Bで反射する信号（たとえば出力端子209から入力されてくるフィルタ回路のフィルタ帯域外の信号）を吸収する役割も有する。

20

【0028】

このように、アイソレータ214A～214Dは主として共振器間結合を阻止するために設けられる。一方、4開口素子202の端子4と4開口素子207の端子4との間の遅延回路213は、これらの端子4同士間の経路を介して、帯域阻止フィルタ204A、204Cの共振器と、帯域阻止フィルタ204B、204Dの共振器とを結合させる役割を有する。すなわち遅延回路213は、帯域阻止フィルタ204A、204Cの共振器と、帯域阻止フィルタ204B、204Dの共振器とを結合する共振器結合回路としての役割を有する。この遅延回路213により、共振周波数の縮退が解かれ、端子4同士間の経路を流れる阻止帯域の信号（たとえばフィルタ回路の中心周波数をピークとしてもつ信号）を、阻止帯域内において、互いに直交する2つの信号（互いに逆相の関係にある2つの信号）に分解する。これにより、帯域通過フィルタの共振器数が少なくても、スカート特性の優れた出力信号を得ることができる。これについての詳細は後述する。

30

【0029】

遅延回路203Aは、4開口素子202の端子1から帯域阻止フィルタ204Aまでの電気長と、4開口素子202の端子2から帯域阻止フィルタ204Cまでの電気長との差（位相差）を90度とする。遅延回路203Aは、端子1から送出され帯域阻止フィルタ204Aで反射して4開口素子202の端子1に戻される信号を該端子1から送出された信号に対して逆相にする。

40

【0030】

遅延回路203Dは、4開口素子207の端子1から帯域阻止フィルタ204Bまでの電気長と、4開口素子207の端子2から帯域阻止フィルタ204Dまでの電気長との差（位相差）を90度とする。遅延回路203Dは、該端子2から送出され帯域阻止フィルタ204Dで反射して4開口素子207の端子2に戻される信号を該端子2から送出された信号に対して逆相にする。

【0031】

遅延回路203Cは、4開口素子202の端子1および端子2から共振器群回路112

50

A、112Bまでの電気長の差（位相差）を0度とする。遅延回路203Bは、4開口素子207の端子1および端子2から共振器群回路112A、112Bまでの電気長の差（位相差）を0度とする。遅延回路203Bは、遅延回路203Cの配置による位相遅延を補完するために配置される。

【0032】

ここで、図1のフィルタ回路の動作を説明するに当たり、説明を簡単にするため、図1のフィルタ回路の帯域阻止フィルタと共振器群回路を具体化した図7に示すフィルタ回路を用いて、動作説明を行う。まず簡単に図7のフィルタ回路の構成について補足説明を行う。

【0033】

共振器群回路112A、112Bにおいて、2つのブロック内の共振器402(1)、402(2)と、共振器402(1)を含むブロックに縦列接続された遅延回路（伝送線路）403B、403Cとは、超電導により形成されている。共振器402(1)、402(2)の共振周波数は $f_{L1}, f_{U1} (f_{L1} < f_{U1})$ であり、帯域阻止フィルタ204A~204Dの阻止帯域を挟んでそれぞれ両側に位置する。すなわち共振周波数 f_{L1}, f_{U1} は隣接せず、遅延回路403B、403Cは、電力合成部211において各ブロックの出力信号の和合成を得るためではなく、4開口素子207において、共振周波数 f_{L1}, f_{U1} の信号がそれぞれ隣接することとなる阻止帯域の信号と和合成になる（逆相になる）ように設けられている。

【0034】

帯域阻止フィルタ204A~204Dはそれぞれ、フィルタ回路の中心周波数 f_{c1} を共振周波数としてもつ共振器401A~401Dと、共振器401A~401Dを結合するための結合回路404A~404Dとを有している。

【0035】

図中に示される波形は、入力端子201への入力信号としてフラットな信号を入力した場合に、代表的な箇所での通過スペクトルを示す。また一例として、図7のフィルタ回路へ入力信号として図8(A)のスペクトルをもつ信号を入力した場合の周波数応答を図8(B)に示しておく。

【0036】

以下図7のフィルタ回路の動作について説明する。

【0037】

入力端子201から4開口素子202mp端子3へ入力された信号は電力が2分配されて端子1及び端子2から逆相出力される。端子1から出力された信号は、共振器401Aと結合回路404Aから成る1段の帯域阻止フィルタ204Aにおいて中心周波数 f_{c1} 近傍の信号（阻止帯域の信号）が反射させられる。同様に、端子2から出力された信号は、共振器401Cと結合回路404Cから成る1段の帯域阻止フィルタ204Cにおいて中心周波数 f_{c1} 近傍の信号（阻止帯域の信号）が反射させられる。帯域阻止フィルタ204A、204Cで反射させられた信号は遅延回路203Aにより同位相の関係とされて4開口素子202Aの端子1および端子2に戻り、これらの信号が電力合成されて端子4から出力される。

【0038】

4開口素子202Aの端子4から出力された信号（阻止帯域の信号）は遅延回路213を介して4開口素子207の端子4へ入力される。ここで、90度の遅延回路213により、遅延回路213を挟む片側の共振器401A、401Cと、もう一方の側の共振器401Bと、401Dとが、共振器結合させられるため、共振周波数の縮退が解かれて、上記信号は、阻止帯域内において互いに直交する（逆相の関係にある）信号に分離される。

【0039】

4開口素子207Aの端子4に入力された信号は2分配されて端子1及び端子2から同相の関係で出力される。端子1から出力された信号は1つの共振器401Bと結合回路404Bから成る1段の帯域阻止フィルタ204Bで中心周波数 f_{c1} 近傍の信号（阻止帯域

10

20

30

40

50

の信号)が反射させられる。同様に、端子2から出力された信号も1つの共振器401Dと結合回路404Dから成る1段の帯域阻止フィルタ204Dで中心周波数 f_{c1} 近傍の信号(阻止帯域の信号)が反射させられる。帯域阻止フィルタ204B、204Dで反射させられた信号は、遅延回路203Dによって逆位相の関係とされて、4開口素子207の端子1および端子2に戻される。4開口素子207は、端子1および端子2に入力された阻止帯域の信号を合成して第1の合成信号として端子3から出力する。

【0040】

一方、4開口素子202Aの端子1から出力され、帯域阻止フィルタ204Aを通過した周波数帯の信号(通過帯域の信号)は、共振器群回路112Aに入力され、共振器群回路112Aにおいて各共振器402(1)、402(2)による共振波形の信号が抽出され、抽出された各共振波形の合成波信号(所望帯域の信号)が出力される。共振器群回路112Aの入力側で反射した信号は、アイソレータ214Aで吸収される。また、4開口素子202Aの端子2から出力され、帯域阻止フィルタ204Cを通過した周波数帯の信号(通過帯域の信号)は遅延回路203Cを經由して共振器群回路112Bに入力され、共振器群回路112Bにおいて各共振器402(1)、402(2)による共振波形の信号が抽出され、抽出された各共振波形の合成波信号(所望帯域の信号)が出力される。共振器群回路112Bの入力側で反射した信号は、アイソレータ214Cで吸収される。共振器群回路112Aから出力された信号は遅延回路203Bを經由し、共振器群回路112Bから出力された信号と逆送で4開口素子B207の端子1及び端子2に入力される。4開口素子207は、端子1および端子2に入力された所望帯域の信号を合成して第2の合成信号として端子3から出力する。端子3からは上述の第1の合成信号も出力されるため、結果として、第1の合成信号と第2の合成信号との合成信号(阻止帯域と所望帯域とを合わせたフィルタ帯域の信号)が端子3から出力される。

【0041】

このように、フィルタ回路の中心周波数付近 f_{c1} をもつ大きな電力信号は、帯域阻止フィルタ204A、204Cで反射させられ、超電導の共振器群回路112A、112Bを通過しないことから、超電導体を用いた急峻なフィルタ特性と高い耐電力性を持つフィルタ特性の両立を行うことができる。

【0042】

ここで図7のフィルタ回路と、本発明者が本発明をなす以前になし、2006年12月8日に特願2006-332415号として日本特許庁に出願され、本願の出願時点において未公開である発明(未公開発明)に係るフィルタ回路との差異、および本発明の有利点について説明する。この未公開発明に係るフィルタ回路の例を図22に示す。

【0043】

図7のフィルタ回路が、図22のフィルタ回路と大きく異なる点は、図22のフィルタ回路では、4開口素子202、207間に遅延回路213を備えていないことと、アイソレータ214A~214Dを備えていないことである。なお、図22のフィルタ回路では、共振器群回路112A、112Bにおいて共振器402(2)を含むブロックに遅延回路403がそれぞれ縦列接続されているが、これは4開口素子207において阻止帯域の信号との和合成を得るためであり、図7のフィルタ回路との差異に本質的な影響を与えるものではない。

【0044】

図22のフィルタ回路でも、背景技術の欄に述べた従来のフィルタ回路に比べれば、急峻なフィルタ特性と高い耐電力性を持つフィルタ特性の両立を十分に果たしているが、図7のフィルタ回路では、さらに、図22のフィルタ回路から回路規模を大型化させることなく(使用する共振器の数を増やすことなく)、より急峻なフィルタ特性(スカート特性)を実現している。

【0045】

図9(A)は、図22のフィルタ回路の特性(周波数配置)を示す図である。点線303は帯域阻止フィルタ204A~204Dの反射特性であり、破線304は共振器群11

10

20

30

40

50

2 A、1 1 2 Bの各共振器4 0 2 (1)、4 0 2 (2)の通過特性を表している。各反射特性および通過特性を表す波形の共振ピークの付近に記述された位相値は、それぞれの波形を和合成するための位相条件の一例を示したものである(隣接する周波数の位相差が1 8 0度になっている)。未公開発明では、図2 2に示したとおり、4つの帯域阻止フィルタ2 0 4 A ~ 2 0 4 Dを結合させないことにより、これら4つの帯域阻止フィルタ2 0 4 A ~ 2 0 4 Dの集合を、等価的に1つの共振器で作った帯域阻止フィルタとして動作させていた。

【0 0 4 6】

これに対し、図7のフィルタ回路では、遅延回路2 1 3により帯域阻止フィルタ2 0 4 A ~ 2 0 4 Dを結合させており、これにより等価的に2つの共振器で作った帯域阻止フィルタとして動作させている。図7のフィルタ回路の特性(周波数配置)を図9 (B)に示す。図9 (A)の特性に比べ、より急峻なフィルタ特性(スカート特性)が実現される。

10

【0 0 4 7】

ここで、遅延回路2 1 3を追加したことによって4つの帯域阻止フィルタ2 0 4 A ~ 2 0 4 Dのバランスが崩れ、共振器群1 1 2 A、1 1 2 Bを介した強い結合が生まれてしまう問題点を持ってしまう。強い結合が存在してしまうとフィルタの帯域外の特性が劣化してしまうなどの問題が起きてしまう。つまり、弱い結合を作り出すことができなくなってしまうため、フィルタの帯域内に共振周波数を持つてくるための制御ができなくなってしまう。この問題点を改善するために帯域阻止フィルタ2 0 4 A ~ 2 0 4 Dの結合に寄与する経路を遅延回路2 1 3の経路のみとすることを目的に、共振器群1 1 2 A、1 1 2 Bを挟むようにアイソレータ2 1 4 A ~ 2 1 4 Dを追加している。これにより共振器群1 1 2 A、1 1 2 Bを介した結合を除去し、遅延回路2 1 3により結合を制御することで、図7のフィルタ回路上では、4つの帯域阻止フィルタ2 0 4 A ~ 2 0 4 Dを、等価的に、2つの共振器数の帯域阻止フィルタとして動作させることが可能となる。

20

【0 0 4 8】

一般的にフィルタ回路において共振器数が増えたときのフィルタ特性の効果を図1 0に示す。図1 0において、図2 2のフィルタ回路は等価的に3個の共振器で動作していたため3段フィルタと称され、図7のフィルタ回路では、同じ共振器数であるが、上記結合により、等価的に4個で動作しているため、4段フィルタと称している。図1 0から理解されるように、一般的に共振器数が多くなるとフィルタ特性として急峻なフィルタを構成することが可能となる。

30

【0 0 4 9】

したがって、本実施例によると、上記未公開発明と比較して、同じ共振器数にもかかわらず、より急峻なフィルタ特性を実現できる。すなわち、共振器数を増やしたのと同等の効果を、回路規模を大型化させることなく、得ることができる。

【0 0 5 0】

図1 1は、図7のフィルタ回路において、4開口素子2 0 7の端子3および4端子の接続先を逆にした場合の例を示す。この場合、共振器群回路1 1 2 Aを通過して4開口素子2 0 7の端子1に入力される信号と、共振器群回路1 1 2 Bを通過して4開口素子2 0 7の端子2に入力される信号を同相にするため、共振器群回路1 1 2 B内の遅延回路4 0 3 Cを、上側の共振器4 0 2 (1)を含むブロックでなく、下側の共振器4 0 2 (2)を含むブロックに配置している。図1 1では4開口素子2 0 7の端子3および4端子の接続先を逆にする例を示したが、4開口素子2 0 2の端子3および端子4の接続先を逆にしてもよく、あるいは4開口素子2 0 2、2 0 7の両方の端子3および端子4の接続先を逆にしてもよい。

40

【0 0 5 1】

図1 2は、図1のフィルタ回路において遅延回路2 0 3 B、2 0 3 Cを省略した構成を示す。遅延回路2 0 3 B、2 0 3 Cを取り除いても、共振器群1 1 2 A、1 1 2 Bの入力側および出力側で反射した信号を吸収するアイソレータ2 1 4 A ~ 2 1 4 Dがあるために、同じフィルタ特性を実現することができる。すなわち図2 2の未公開発明におけるフィ

50

ルタ回路では、共振器群回路 1 1 2 A、1 1 2 B の入力側および出力側で反射した信号を 4 開口素子 2 0 2 の端子 3 から逃すため、4 開口素子 2 0 2、2 0 7 における位相条件を満たすための遅延回路 2 0 3 B、2 0 3 C が必要とされるが、図 1 のフィルタ回路では、反射信号はアイソレータ 2 1 4 A ~ 2 1 4 D で吸収されるため、遅延回路 2 0 3 B、2 0 3 C が無くとも図 1 と同じフィルタ特性を実現できる。

【 0 0 5 2 】

図 1 3 は、共振器群回路 1 1 2 A、1 1 2 B 内に、超電導体により形成した共振器 4 0 2 (1) ~ 4 0 2 (4) を 4 つ並列に配置した場合の例を示す。共振器 4 0 2 (1)、4 0 2 (2) の共振周波数 f_{L2}, f_{L1} ($f_{L2} < f_{L1}$) は、帯域阻止フィルタ 2 0 4 A の阻止帯域外の帯域 (通過帯域) のうち低域側に含まれる。各共振器 4 0 2 (1)、4 0 2 (2) で抽出された信号を和合成するため遅延回路 4 0 3 A によってこれらの信号に 1 8 0 度の位相差を付けている。共振器 4 0 2 (3)、4 0 2 (4) の共振周波数 f_{U1}, f_{U2} ($f_{U1} < f_{U2}$) は、帯域阻止フィルタ 2 0 4 A の阻止帯域外の帯域 (通過帯域) のうち高域側に含まれる。各共振器 4 0 2 (3)、4 0 2 (4) で抽出された信号を和合成するため遅延回路 4 0 3 B によって 1 8 0 度の位相差を付けている。なお遅延回路 2 0 3 B、2 0 3 C は 2 つのアイソレータの内側に配置しているが、図 7 のフィルタ回路と同様に、2 つのアイソレータの外側に配置してもよい。図 1 4 に図 1 3 のフィルタ回路の周波数応答を示す。図 7 のフィルタ回路の周波数応答を示す図 8 (B) と比較して分かるように、使用する共振器の数を増やすことで、より急峻な出力信号 3 0 1 を得ることができる。

【 0 0 5 3 】

図 1 5 は、図 1 3 のフィルタ回路において、帯域阻止フィルタを 2 つの共振器を用いて構成した例を示す。たとえば帯域阻止フィルタ 2 0 4 A は、2 つの共振器 4 0 1 A と、2 つの結合回路 4 0 4 A と、遅延回路 2 0 3 A' とにより構成される。他の帯域阻止フィルタ 2 0 4 B ~ 2 0 4 C も同様に、2 つの共振器と、2 つの結合回路と、遅延回路とにより構成される。

【 0 0 5 4 】

図 1 6 は本発明に係るフィルタ回路の第 2 の実施例を示すものである。

【 0 0 5 5 】

このフィルタ回路は、図 1 のフィルタ回路と共振器群回路 1 1 2 A、1 1 2 B の構成が主として異なる。このフィルタ回路における共振器群回路 1 1 2 A、1 1 2 B では、3 つの結合回路ではさまれた 2 つの超電導共振器 4 0 2 (N) と、遅延回路 (4 0 3 A、4 0 3 B) とを縦列接続したブロック 1 1 1 (N) を、電力分配部 2 1 0 と電力合成部 2 1 1 との間で、並列に複数接続している。なお、共振器群回路 1 1 2 B では遅延回路 4 0 3 A、4 0 3 B の位置が、電力合成部 2 1 1 の直前ではなく、電力分配部 2 1 0 の直後に置かれているが、電力合成部 2 1 1 の直前に配置してもよい。

【 0 0 5 6 】

この各共振器群回路内の共振器 4 0 2 (N) の耐電力量 W_{resol} は、帯域阻止フィルタ 2 0 4 A ~ 2 0 4 D の耐電力量 W_{bsf} より小さい。各共振器 4 0 2 (N) はそれぞれ同じ共振周波数 f_0 をもつ。隣り合う共振器間結合で縮退のとけた共振周波数をもつ信号同士は、隣接するブロック間で、 $180 + 360 \times k \pm 30$ 度 (k は 0 以上の整数) の範囲の位相差をもつ。 $J_{qe1} > J_{qe2} > \dots > J_{qeN}$ (外部 Q で記述した場合 ; $Q_{e1} < Q_{e2} < \dots < Q_{eN}$)、帯域阻止フィルタの反射特性の 3 dB 帯域幅を決める 2 点の周波数の差 $f_{bsf2} - f_{bsf1} < \text{共振器間結合係数} M_j \times \text{中心周波数} f_0$ の関係がある。帯域阻止フィルタ 2 0 4 A ~ 2 0 4 D 内の共振器数は偶数個である。

【 0 0 5 7 】

図 1 6 のフィルタ回路の周波数応答を図 1 7 に示す。縮退が解けた各共振波形 3 0 2 の重ね合わせを利用してフィルタ特性 3 0 1 を実現している。共振器間結合係数 M_j が大きくなるほど縮退のとけた周波数差 (各共振波形 3 0 2 のピーク幅) は大きくなる。ここで $M_1 = (f_{U1} - f_{L1}) / f_0$ 、 $M_2 = (f_{U2} - f_{L2}) / f_0$ の関係がある。

【 0 0 5 8 】

10

20

30

40

50

図18は、図16のフィルタ回路において、帯域阻止フィルタを2つの共振器を用いて構成し、共振器群回路112A、112Bにおけるブロック数を1つにした場合のフィルタ回路の例を示す。このように超電導共振器の縦列接続を含むブロックの数は1つのみでもよい。

【0059】

図19は、本発明に係わるフィルタ回路の動作を確認するためシミュレーションを行った回路の例を示す。このフィルタ回路は、図16のフィルタ回路において、各共振器群回路内のブロック数を1つとし、各帯域阻止フィルタを1つの共振器で構成したものに相当する。計算に用いたパラメータは $f_{C1}=5.26$ GHz、 $f_{L1}=5.2551$ GHz、 $f_{U1}=5.2649$ GHz、帯域阻止フィルタ内の共振器の結合係数 J_{bsf} は0.036、共振器群回路内の共振器の外部Qである J_{qe} は1600として計算した。計算結果として本フィルタの通過特性を図20に示す。結合回路はキャパシタンスの型回路を用い、共振器群回路112A、112B内の共振器としては180度の伝送線路を、帯域阻止フィルタ204の共振器には片側短絡の90度の伝送線路をそれぞれ用いている。

【0060】

図21は、これまでに述べてきたフィルタ回路を無線通信装置に組み込んだ例を示し、無線通信装置の送信部が概略的に示されている。

【0061】

送信すべきデータ500は信号処理回路501に入力され、デジタル-アナログ変換、符号化及び変調などの処理が施されることにより、ベースバンドあるいは中間周波数 (Intermediate Frequency: IF) 帯の送信信号が生成される。生成された送信信号は信号処理回路501により周波数変換器(ミキサ)502に入力され、ローカル信号発生器503からのローカル信号と乗算されることによって、無線周波数 (Radio Frequency; RF) 帯の信号に周波数変換、すなわちアップコンバートされる。ミキサ502から出力されるRF信号は電力増幅器504によって増幅された後、本実施形態に係わる帯域制限フィルタ(送信フィルタ)回路505に入力され、このフィルタ回路505で帯域制限を受けて不要な周波数成分が除去された後、アンテナ506から電波として空間に放射される。

【図面の簡単な説明】

【0062】

【図1】本発明のフィルタ回路の第1の実施例を示す回路図である。

【図2】導波管を用いた4開口素子のイメージ図である。

【図3】4開口素子の端子番号を示す図である。

【図4】マイクロストリップ線路を用いた4開口素子のイメージ図である。

【図5】和合成を説明する図である。

【図6】差合成を説明する図である。

【図7】図1のフィルタ回路の具体例を示す回路図である。

【図8】図11のフィルタ回路の周波数応答を示す図である。

【図9】図7と図22とのフィルタ回路の特性の違いを説明する図である。

【図10】フィルタ回路において共振器数が増えたときのフィルタ特性の効果を説明する図である。

【図11】図7のフィルタ回路において出力側の4開口素子の接続を変更した例を示す図である。

【図12】図1のフィルタ回路の変形例を示す図である。

【図13】図7のフィルタ回路の変形例を示す図である。

【図14】図13のフィルタ回路の周波数応答を示す図である。

【図15】図13のフィルタ回路において、帯域阻止フィルタを2つの共振器を用いて構成した例を示す図である。

【図16】本発明のフィルタ回路の第2の実施例を示す回路図である。

【図17】図16のフィルタ回路の周波数応答を示す図である。

10

20

30

40

50

【図18】図16のフィルタ回路の変形例を示す図である。

【図19】シミュレーションを行った回路例を示す図である。

【図20】シミュレーションにより得られた周波数応答を示す図である。

【図21】無線通信装置の例を示す構成図である。

【図22】本発明の先願にかかる未公開発明を適用したフィルタ回路の構成を示す回路図である。

【図23】従来の縦列接続型のフィルタ回路を示す回路図である。

【図24】従来の並列接続型のフィルタ回路を示す回路図である。

【符号の説明】

【0063】

111(1)～111(N) ... ブロック

112A、112B... 共振器群回路

205(1)～205(N) ... 超電導共振器

206(1)～206(N) ... 遅延回路(位相調整手段、伝送線路)

201 ... 入力端子

202 ... 4開口素子

203A～203D ... 遅延回路(位相調整手段、伝送線路)

204A～204D... 帯域阻止フィルタ

207 ... 4開口素子

209 ... 出力端子

210 ... 電力分配部(電力分割部)

211 ... 電力合成部

213 ... 遅延回路

214A～214D ... アイソレータ

401A～401D... 帯域阻止フィルタ用共振器

402 ... 超電導共振器

403B～403C... 遅延回路(位相調整手段、超電導伝送線路)

404A～404D... 帯域阻止フィルタ用結合回路

500 ... データ

501 ... 信号処理回路

502 ... 周波数変換器

503 ... ローカル信号発生器

504 ... 電力増幅器

505 ... 帯域制限フィルタ

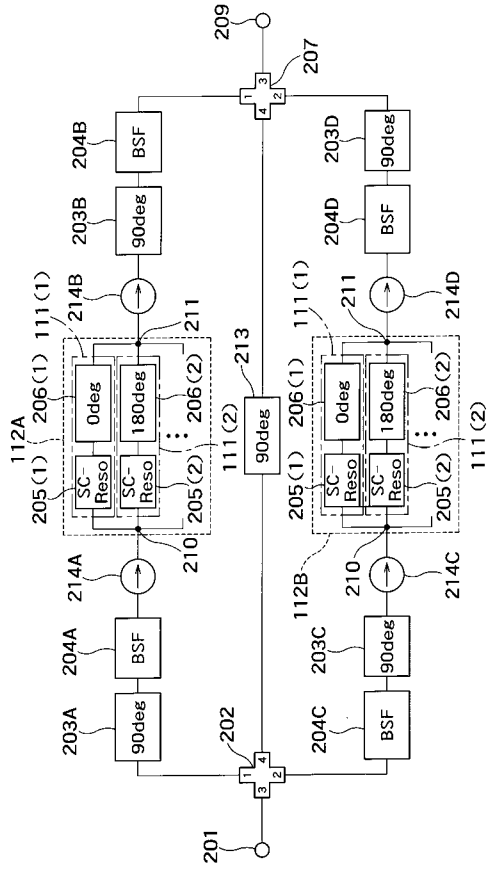
506 ... アンテナ

10

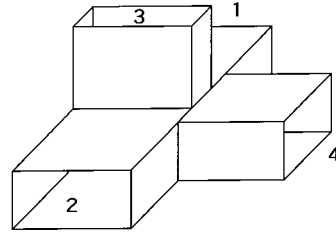
20

30

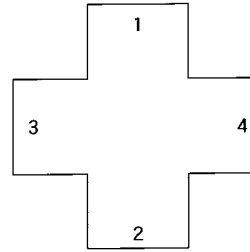
【 図 1 】



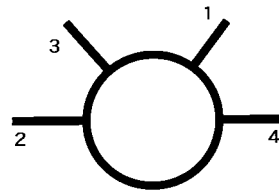
【 図 2 】



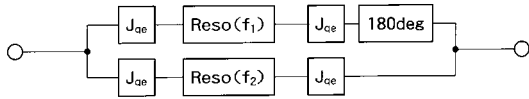
【 図 3 】



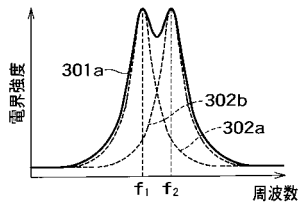
【 図 4 】



【 図 5 】

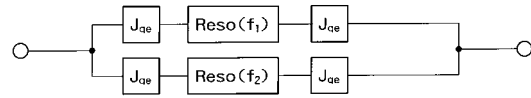


(A)

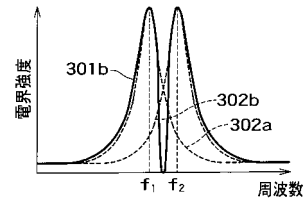


(B)

【 図 6 】

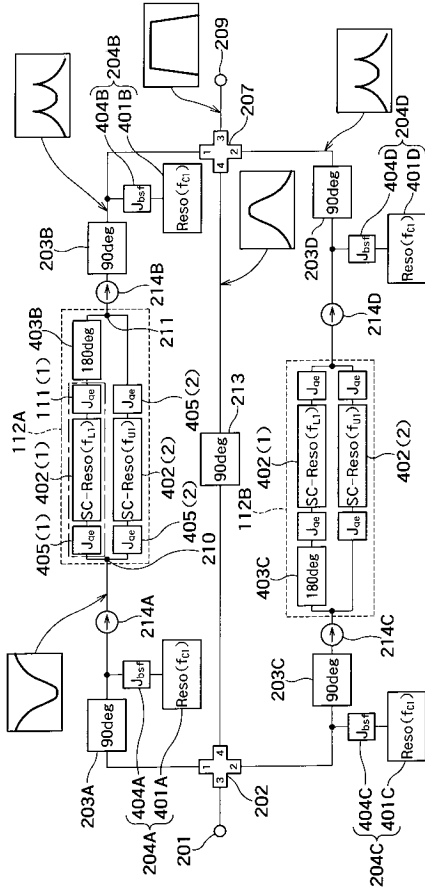


(A)

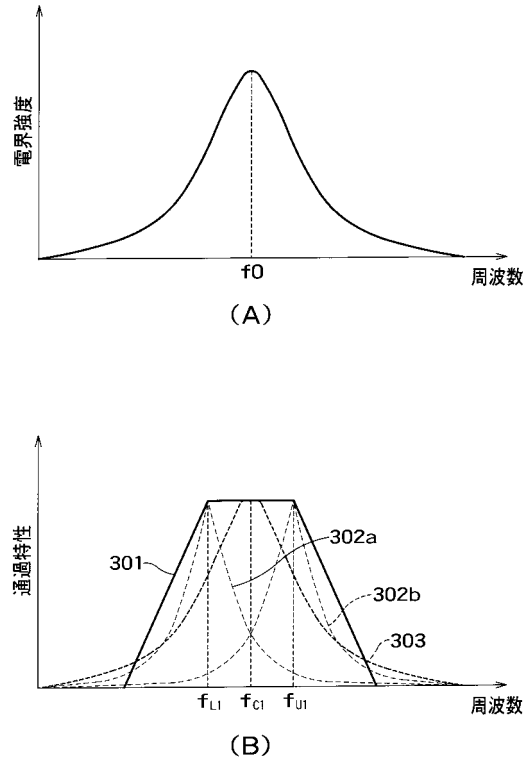


(B)

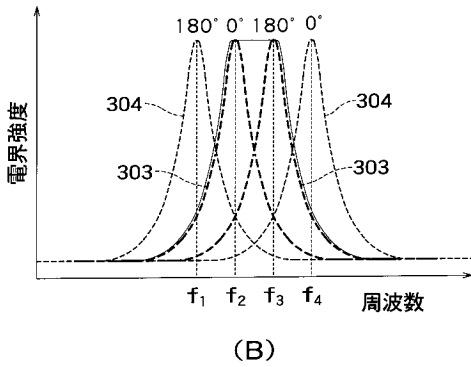
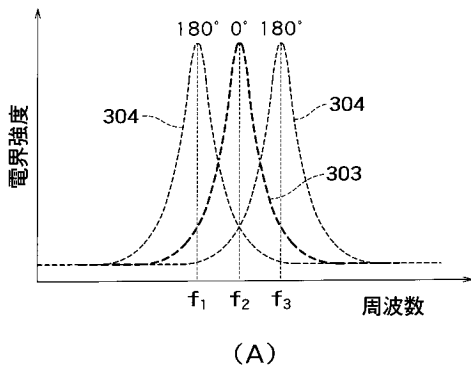
【 図 7 】



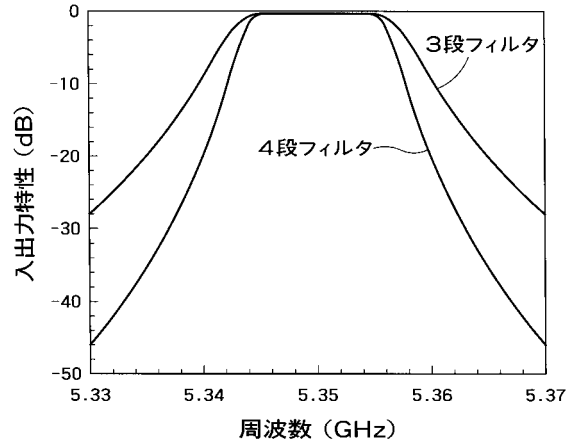
【 図 8 】



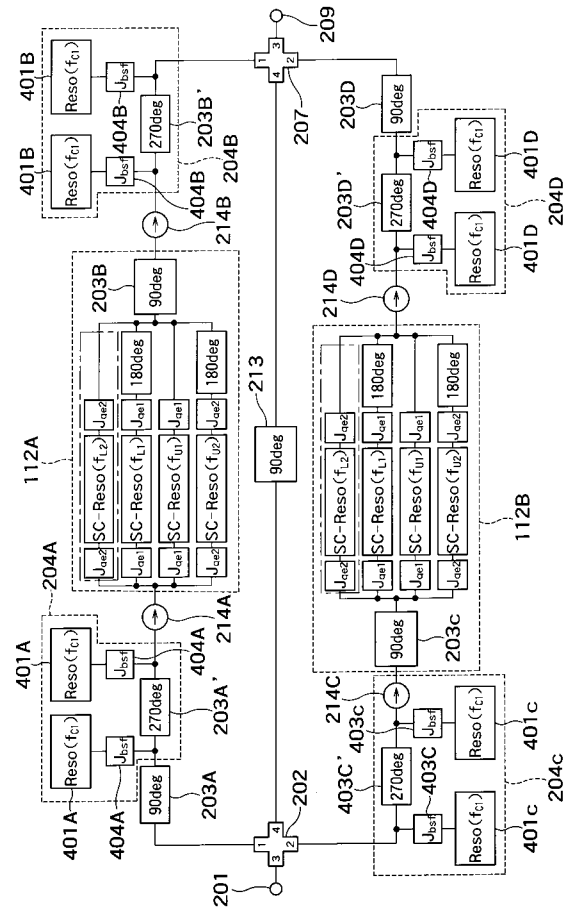
【 図 9 】



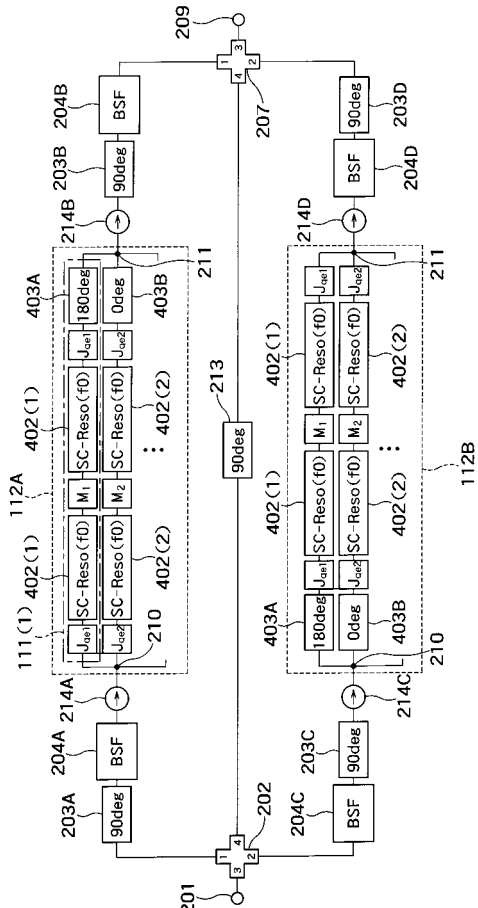
【 図 10 】



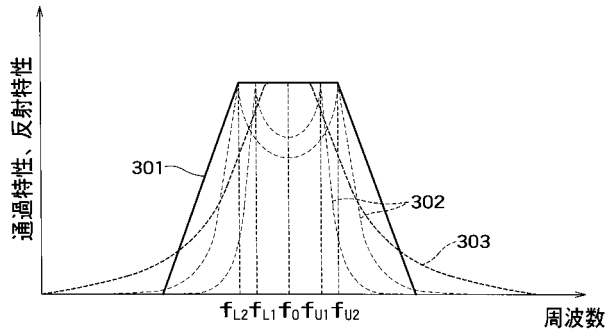
【 図 1 5 】



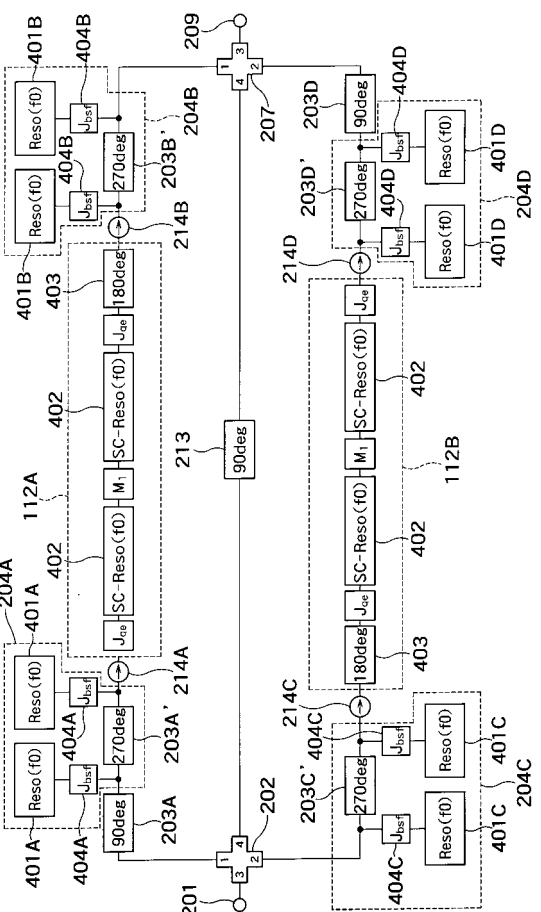
【 図 1 6 】



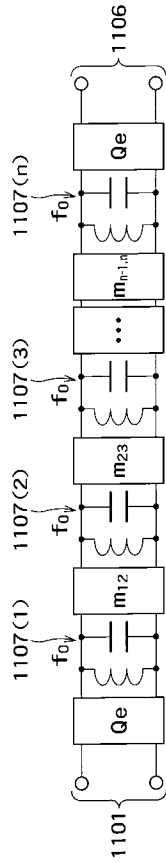
【 図 1 7 】



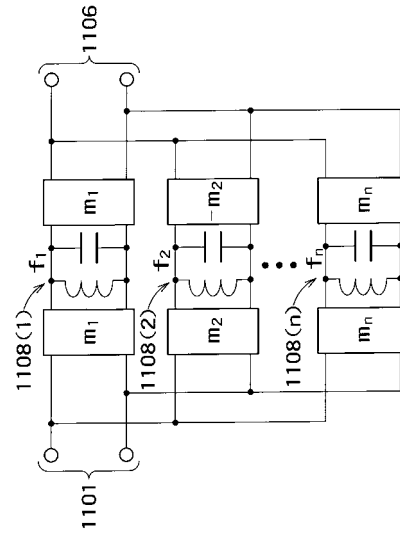
【 図 1 8 】



【 図 2 3 】



【 図 2 4 】



フロントページの続き

(72)発明者 加屋野 博 幸
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 岸田 伸太郎

(56)参考文献 特許第4264101(JP, B2)
特開2006-014068(JP, A)

(58)調査した分野(Int.Cl., DB名)
H01P 1/20 - 219
H04B 1/04