



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I457756 B

(45)公告日：中華民國 103 (2014) 年 10 月 21 日

(21)申請案號：100145367 (22)申請日：中華民國 100 (2011) 年 12 月 08 日

(51)Int. Cl. : G06F12/02 (2006.01) G06F11/07 (2006.01)

(30)優先權：2011/01/25 日本 2011-012544

(71)申請人：新力股份有限公司 (日本) SONY CORPORATION (JP)  
日本

(72)發明人：中西健一 NAKANISHI, KENICHI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201011771A

TW 201035987A

TW 201103032A

US 2006/0195651A1

US 2010/0211851A1

審查人員：郭彥鋒

申請專利範圍項數：14 項 圖式數：10 共 0 頁

(54)名稱

記憶體系統及其操作方法

MEMORY SYSTEM AND OPERATION METHOD THEREOF

(57)摘要

本揭示內容揭示一種記憶體系統，該記憶體系統包含：一第一非揮發性記憶體，其用於儲存待依區塊單位進行存取之資料；一第二非揮發性記憶體，其用於儲存待隨機存取該第二非揮發性記憶體中依字組單位進行存取之資料；及一控制區段，其經組態以控制該第一非揮發性記憶體及該第二非揮發性記憶體之操作，其中待施加於儲存在該第二非揮發性記憶體中之資料之錯誤校正碼係保存在該第一非揮發性記憶體中。

A memory system includes: a first non-volatile memory used for storing data to be accessed in block units; a second non-volatile memory used for storing data to be accessed in word units in random accesses to the second non-volatile memory; and a control section configured to control operations of the first and second non-volatile memories, wherein error correction codes to be applied to data stored in the second non-volatile memory are held in the first non-volatile memory.

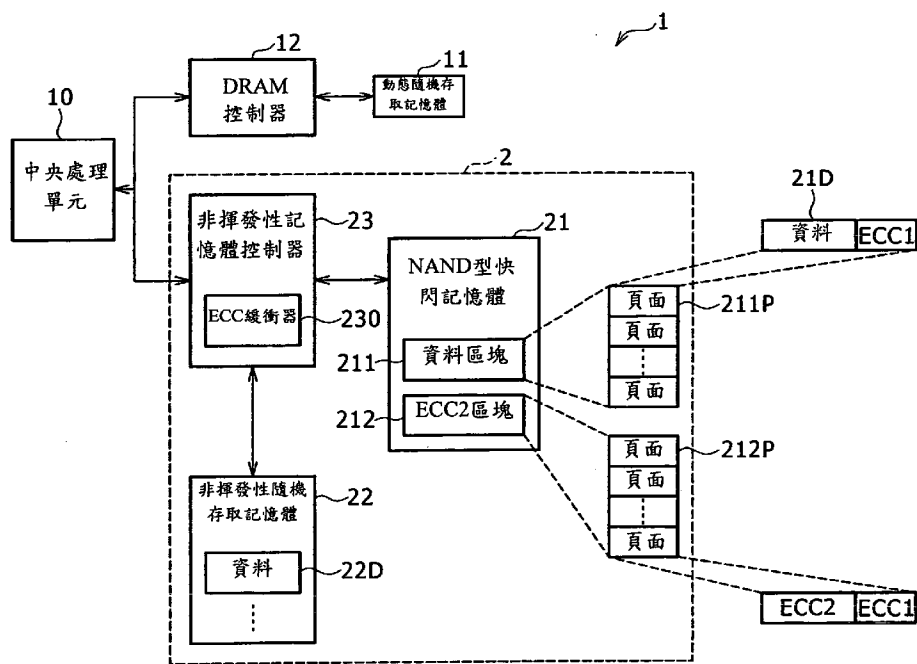


圖 1

- 1 . . . 資料儲存系統
- 2 . . . 非揮發性記憶體系統
- 10 . . . 中央處理單元
- 11 . . . 動態隨機存取記憶體
- 12 . . . 動態隨機存取記憶體控制器
- 21 . . . 反及型快閃記憶體/第一非揮發性記憶體
- 21D . . . 資料
- 22 . . . 非揮發性隨機存取記憶體/第二非揮發性記憶體
- 22D . . . 資料
- 23 . . . 非揮發性記憶體控制器
- 211 . . . 資料區塊
- 211P . . . 頁面
- 212 . . . 錯誤校正碼 2 區塊
- 212P . . . 頁面
- 230 . . . 錯誤校正碼緩衝器

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：100145367

※申請日：100.12.8

※IPC 分類：G06F12/02(2006.01)

G06F11/07(2006.01)

一、發明名稱：(中文/英文)

記憶體系統及其操作方法

MEMORY SYSTEM AND OPERATION METHOD THEREOF

## 二、中文發明摘要：

本揭示內容揭示一種記憶體系統，該記憶體系統包含：  
一第一非揮發性記憶體，其用於儲存待依區塊單位進行存取之資料；一第二非揮發性記憶體，其用於儲存待隨機存取該第二非揮發性記憶體中依字組單位進行存取之資料；及一控制區段，其經組態以控制該第一非揮發性記憶體及該第二非揮發性記憶體之操作，其中待施加於儲存在該第二非揮發性記憶體中之資料之錯誤校正碼係保存在該第一非揮發性記憶體中。

## 三、英文發明摘要：

A memory system includes: a first non-volatile memory used for storing data to be accessed in block units; a second non-volatile memory used for storing data to be accessed in word units in random accesses to the second non-volatile memory; and a control section configured to control operations of the first and second non-volatile memories, wherein error correction codes to be applied to data stored in the second non-volatile memory are held in the first non-volatile memory.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

|      |                           |
|------|---------------------------|
| 1    | 資料儲存系統                    |
| 2    | 非揮發性記憶體系統                 |
| 10   | 中央處理單元                    |
| 11   | 動態隨機存取記憶體                 |
| 12   | 動態隨機存取記憶體控制器              |
| 21   | 反及型快閃記憶體/第一非揮發性記憶體        |
| 21D  | 資料                        |
| 22   | 非揮發性隨機存取記憶體/第二非揮發性<br>記憶體 |
| 22D  | 資料                        |
| 23   | 非揮發性記憶體控制器                |
| 211  | 資料區塊                      |
| 211P | 頁面                        |
| 212  | 錯誤校正碼2區塊                  |
| 212P | 頁面                        |
| 230  | 錯誤校正碼緩衝器                  |

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

## 六、發明說明：

### 【發明所屬之技術領域】

本揭示內容係關於一種利用一非揮發性記憶體之記憶體系統且係關於一種此一記憶體系統之操作方法。

### 【先前技術】

在過去，已使用一種記憶體系統(亦稱為一儲存系統)，該記憶體系統在稱為一載入操作之一操作中自作為一儲存器件(亦稱為一輔助儲存裝置)之一記憶體讀出程式、資料及類似物至通常由一DRAM(動態隨機存取記憶體)實施之一工作記憶體(亦稱為一主儲存裝置)中。在此記憶體系統中，通常使用一NVM(非揮發性記憶體)以充當需要高速操作之儲存器件。

非揮發性記憶體可係一快閃記憶體或一NVRAM(非揮發性隨機存取記憶體)。快閃記憶體具有一大儲存容量。儲存在快閃記憶體中之資料係依區塊單位進行存取。另一方面，可依字組(word)單位對儲存在NVRAM中之資料進行高速隨機存取。快閃記憶體之一代表性實例係一NAND(反及閘)型快閃記憶體。另一方面，NVRAM之代表性實例係一PCRAM(相變隨機存取記憶體)、一MRAM(磁阻隨機存取記憶體)及一ReRAM(電阻性隨機存取記憶體)。

由於快閃記憶體具有一低位元成本及一大儲存容量，故在高速儲存應用中使用快閃記憶體。另一方面，與快閃記憶體相比，NVRAM具有一高位元成本。然而，NVRAM具有以下優點。NVRAM具有允許依字組單位進行高速存取

之一極佳效能。此外，由於一CPU(中央處理單元)可對NVRAM進行直接存取，故NVRAM係用作為儲存器件之一非揮發性快取記憶體以便允許預期高速實行之記憶體系統操作。

在諸如JP-T-2004-506256(專利文件1)及日本專利特許公開案第2006-236304號以及2010年IEEE International Memory Workshop (IMW)，第1至4頁Shuhe Tanakamaru及四位合著者之「Post-manufacturing 17-times Acceptable Raw Bit Error Rate Enhancement, Dynamic Codeword Transition ECC scheme for Highly Reliable Solid-State Drives, SSDs」之文件中描述利用此一快閃記憶體及此一NVRAM之一記憶體系統之典型實例。記憶體系統亦稱為一非揮發性記憶體系統。

### 【發明內容】

順便說一句，改良在此一記憶體系統中採用的非揮發性記憶體之資料保存特性及該記憶體系統之可靠性係重要的。此係因為隨著重寫操作次數增加，在記憶體系統中採用的非揮發性記憶體之資料保存特性易於劣化。為了解決此問題，通常藉由透過使用如在專利文件1中描述的一ECC(錯誤校正碼)來對資料實行位元錯誤偵測及校正處理而改良一NAND型快閃記憶體之資料保存特性。

例如，另一方面，若上文描述的NVRAM係用作為一非揮發性快取記憶體，則與通常為NAND型快閃記憶體之儲存器件相比，存取NVRAM之頻率係高的。因此，改良

NVRAM之資料保存特性亦係重要的。然而，在專利文件1中揭示的記憶體系統完全未描述一種用於通常藉由利用ECC(錯誤校正碼)而改良NVRAM之資料保存特性之技術。

出於上文描述的原因，可想到一種用於藉由將ECC施加於儲存在NVRAM中之資料而改良NVRAM之資料保存特性之技術。然而，僅藉由將ECC施加於儲存在NVRAM中之資料，非所要地產生存取NVRAM之速度減小達與存取ECC之次數成比例的一速度差之一副作用或對NVRAM頻帶之一不良副作用。因此，整個記憶體系統之操作速度不可避免地減小。

可期望提供一種可在不減小操作速度的情況下改良系統可靠性之記憶體系統，且提供一種該記憶體系統之操作方法。

根據本揭示內容之一實施例之一記憶體系統具有：

- 一第一非揮發性記憶體，其用於儲存待依區塊單位進行存取之資料；

- 一第二非揮發性記憶體，其用於儲存待隨機存取該第二非揮發性記憶體中依字組單位進行存取之資料；及

- 一控制區段，其經組態以控制該第一非揮發性記憶體及該第二非揮發性記憶體之操作。

在該記憶體系統中，待施加於儲存在該第二非揮發性記憶體中之資料之錯誤校正碼係保存在該第一非揮發性記憶體中。

一種根據本揭示內容之另一實施例之一記憶體系統之操

作方法包含：

執行依區塊單位對儲存在該記憶體系統中所採用的一第一非揮發性記憶體中之資料之存取；

執行依字組單位對儲存在該記憶體系統中所採用的一第二非揮發性記憶體中之資料之隨機存取；及

藉由利用保存在該第一非揮發性記憶體中之錯誤校正碼而對儲存在該第二非揮發性記憶體中之資料實行位元錯誤偵測及校正處理。

根據根據本揭示內容之實施例之記憶體系統及該記憶體系統之操作方法，依區塊單位對儲存在該第一非揮發性記憶體中之資料進行存取，而依字組單位對儲存在該第二非揮發性記憶體中之資料進行隨機存取。此時，通常將保存在該第一非揮發性記憶體中之錯誤校正碼施加於儲存在該第二非揮發性記憶體中之資料以便對儲存在該第二非揮發性記憶體中之該資料實行位元錯誤偵測及校正處理，以改良該第二非揮發性記憶體之資料保存特性。此外，藉由將該等錯誤校正碼保存在該第一非揮發性記憶體中，可防止存取該第二非揮發性記憶體之速度減小，如運用其中錯誤校正碼通常係保存在該第二非揮發性記憶體自身中之一組態之情況。

此外，根據根據本揭示內容之實施例之記憶體系統及該記憶體系統之操作方法，待施加於儲存在第二非揮發性記憶體中且經受依字組單位之隨機存取之資料之錯誤校正碼係保存在第一非揮發性記憶體中，該第一非揮發性記憶體



用於儲存待依區塊單位進行存取之資料。因此，可改良該第二非揮發性記憶體之資料保存特性同時防止存取該第二非揮發性記憶體之速度減小。因此，可在不減小操作速度之情況下改良系統之可靠性。

### 【實施方式】

下文藉由參考圖而詳細解釋本揭示內容之一實施例。應注意，描述分為以下章節。

1：實施例(將一NAND型快閃記憶體用作為一第一非揮發性記憶體之典型組態)

2：典型修改

第一典型修改(具有包含一嵌入式ECC處理區段之一NAND型快閃記憶體之典型組態)

第二典型修改(將一MFD用作為一第一非揮發性記憶體之典型組態)

其他典型修改

實施例

一資料儲存系統1之組態

圖1係展示一資料儲存系統1之一典型組態之一方塊圖，該資料儲存系統1包含根據本揭示內容之一實施例之一非揮發性記憶體系統2。如在圖中展示，該資料儲存系統1採用一CPU 10、一DRAM 11、一DRAM控制器12及根據本揭示內容之實施例之非揮發性記憶體系統2。

CPU 10控制DRAM 11、DRAM控制器12及非揮發性記憶體系統2之操作。具體言之，該CPU 10透過隨後描述的一

NVM控制器23對保存(或儲存)在一NVRAM 22及一NAND型快閃記憶體21中之資料進行存取。接著，該CPU 10載入該資料至通常作為一工作記憶體(亦稱為一主記憶體)之DRAM 11中。相反地，該CPU 10寫入儲存在該DRAM 11中之資料至該非揮發性記憶體系統2中。

DRAM 11係作為如上文描述的資料儲存系統1中之一工作記憶體之一揮發性記憶體。DRAM控制器12係用於根據自CPU 10接收的一命令而控制該DRAM 11之操作之一區段。該DRAM 11之典型操作包含寫入資料至該DRAM 11中之一操作及自該DRAM 11讀出資料之一操作。

非揮發性記憶體系統2之組態

非揮發性記憶體系統2採用NAND型快閃記憶體21、NVRAM 22及NVM控制器23。該NAND型快閃記憶體21(亦稱為一第一非揮發性記憶體)係一NVM(一非揮發性記憶體)。該NVRAM 22亦稱為一第二非揮發性記憶體。該NVM控制器23充當一控制區段。該NAND型快閃記憶體21作為一儲存器件。另一方面，該NVRAM 22作為一工作記憶體及/或一非揮發性快取記憶體。因此，可將該非揮發性記憶體系統2說成係充當與該NAND型快閃記憶體21之一組合之一SnD(儲存及下載)模型及充當與該NVRAM 22之一組合之一XIP(原地執行)模型。

NAND型快閃記憶體21

NAND型快閃記憶體21係一非揮發性記憶體，諸如一快閃記憶體。儲存在該NAND型快閃記憶體21中之資料係依

區塊單位進行存取。在此情況中，該等區塊單位係頁面211P及頁面212P。隨後將描述該等頁面211P及該等頁面212P。該NAND型快閃記憶體21具有一資料區塊211及一ECC2區塊212。

資料區塊211係一資料區域，其稱為用於依頁面-211P單位保存(或儲存)資料21D之一區塊。具體言之，在各頁面211P上，該資料21D係與用於校正該資料21D之一錯誤校正碼ECC1一起保存。該錯誤校正碼ECC1亦稱為一第一錯誤校正碼。即，如隨後描述，該錯誤校正碼ECC1係待施加於儲存在NAND型快閃記憶體21中之資料21D之一程式碼。因此，該錯誤校正碼ECC1係用於改良在該NAND型快閃記憶體21中保存資料之特性之一程式碼。

ECC2區塊212係一資料區域，其稱為用於依頁面-212P單位保存(或儲存)錯誤校正碼ECC2(各稱為一第二錯誤校正碼)之一區塊。該等錯誤校正碼ECC2係用於保護NVRAM 22。即，在此實施例中，待施加於該NVRAM 22之錯誤校正碼ECC2亦係儲存在NAND型快閃記憶體21中。具體言之，在各頁面212P上，錯誤校正碼ECC2係與上文描述的一錯誤校正碼ECC1一起保存。詳細言之，例如如在圖2中展示，由複數個錯誤校正碼ECC2組成的一分批係與一錯誤校正碼ECC1一起儲存在各頁面212P上。複數個錯誤校正碼ECC2之該分批係藉由收集ECC2(0)至ECC2(n)而產生的一分批，其中n係等於或大於2之一整數。換言之，各頁面212P係用於依相同於頁面211P之方式將複數個錯誤校正

碼ECC2保存在一資料區域中且將一錯誤校正碼ECC1保存在一冗餘區域中。

應注意，若對NVRAM 22之一存取係例如一32位元存取，則保護儲存在該NVRAM 22中之資料所需的錯誤校正碼ECC2具有6個位元之一長度。錯誤校正碼ECC2之一典型實例係漢明(hamming)碼。此外，使NAND型快閃記憶體21中之頁面211P及212P之資料區域之大小為約32千位元(或約4千位元組)，此係一普通大小值。在此情況中，用於在該NVRAM 22中具有約5千字組之一大小之資料之錯誤校正碼ECC2係保存在一頁面212P中。此外，在此情況中，NVM控制器23可在如隨後描述之一存取中自該NAND型快閃記憶體21讀出具有約5千字組之一大小之錯誤校正碼ECC2至一ECC緩衝器230。因此，在用於一ONFI 2.1模式5(200 MB/秒)之一MLC NAND型快閃記憶體或每一錯誤校正碼ECC2需16 ns之情況下，自該NAND型快閃記憶體21讀出一頁面所花費的時間為約80微秒。因此，即使在對該NVRAM 22中之連續位址進行存取之情況下，若存取該NVRAM 22之時間長於16 ns，則在繼續存取中，可自該NAND型快閃記憶體21讀出下一頁面之錯誤校正碼ECC2至該ECC緩衝器230。應注意，若對該NVRAM 22中之非連續位址進行存取，則藉由利用隨後描述之一預提取功能，可縮短自該NAND型快閃記憶體21讀出錯誤校正碼ECC2至該ECC緩衝器230所花費的時間。亦應注意，作為存取該NVRAM 22之時間，通常可將上文引用的約16 ns之存取時

間說成係一足夠短的值。

## NVRAM 22

NVRAM 22係一非揮發性記憶體，依字組單位對NVRAM 22進行隨機存取以便自記憶體讀出資料22D。不同於上文描述的NAND型快閃記憶體21，該NVRAM 22係用於僅儲存資料22D。即，在該NVRAM 22中未保存錯誤校正碼。該NVRAM 22之典型實例包含一PCRAM、一MRAM及一ReRAM。

## NVM控制器23

NVM控制器23係用於根據自CPU 10接收的一命令而控制NAND型快閃記憶體21及NVRAM 22之操作之一區段。該NAND型快閃記憶體21之典型操作包含寫入資料21D至該NAND型快閃記憶體21中之一操作及自該NAND型快閃記憶體21讀出資料21D之一操作。同樣地，該NVRAM 22之典型操作包含寫入資料22D至該NVRAM 22中之一操作及自該NVRAM 22讀出資料22D之一操作。該NVM控制器23經組態以包含上文提及的ECC緩衝器230。

在此實施例中，NVM控制器23具有藉由利用保存在NAND型快閃記憶體21中之錯誤校正碼ECC1及ECC2以實行偵測及校正預先判定的位元錯誤之處理之一功能。偵測及校正位元錯誤之處理係稱為位元錯誤偵測及校正處理。具體言之，在寫入資料21D至該NAND型快閃記憶體21中之一操作中，將一錯誤校正碼ECC1添加至該資料21D。另一方面，在自該NAND型快閃記憶體21讀出資料21D之一

操作中或在一系統啟動時間，對該資料21D實行利用一錯誤校正碼ECC1之位元錯誤偵測及校正處理。此外，在寫入資料22D至NVRAM 22中之一操作中，藉由利用錯誤校正碼ECC2而對該資料22D實行錯誤校正碼產生處理。另一方面，在自該NVRAM 22讀出資料22D之一操作中或在一系統啟動時間，對該資料22D實行藉由利用一錯誤校正碼ECC2之位元錯誤偵測及校正處理。

除此之外，NVM控制器23實行計算用於各頁面211P(用作為對資料21D之一存取之單位)之一錯誤校正碼ECC1之處理，同時實行計算用於各字組(用作為對資料22D之一存取之單位)之一錯誤校正碼ECC2之處理。應注意，隨後將藉由參考圖6至圖8而描述利用此等錯誤校正碼ECC1及ECC2之位元錯誤偵測及校正處理之細節。

如上文描述，NVM控制器23經組態以包含ECC緩衝器230，該ECC緩衝器230用作為用於暫時保存自NAND型快閃記憶體21讀出(或載入)的一ECC2區塊212之一緩衝區域。接著，如隨後將詳細描述，該NVM控制器23利用該ECC緩衝器230中之錯誤校正碼ECC2以實行位元錯誤偵測及校正處理。因此，可以高速實行位元錯誤偵測及校正處理。

此外，當藉由利用由複數個錯誤校正碼ECC2組成之前文提及的分批作為一讀取單位而自NAND型快閃記憶體21讀出錯誤校正碼ECC2至ECC緩衝器230時，藉由使該等錯誤校正碼ECC2與NVRAM 22中之連續位址相關聯，可在存

取該NVRAM 22中之連續位址中以高速實行位元錯誤偵測及校正處理。以此方式，NVM控制器23可藉由利用該ECC緩衝器230而實施錯誤校正碼ECC1及ECC2之一快取功能。

此外，NVM控制器23具有一ECC頁面管理功能，該ECC頁面管理功能用於藉由使NVRAM 22中之資料22D之位址與在NAND型快閃記憶體21中保存用於該資料22D之錯誤校正碼ECC2之位址相關聯而管理ECC頁面。應注意，隨後亦將藉由參考圖6至圖8而描述利用此ECC頁面管理功能之位元錯誤偵測及校正處理之細節。

圖3係展示NVM控制器23之一典型詳細資料組態之一方塊圖。如在圖中展示，該NVM控制器23除了採用上文描述的ECC緩衝器230之外，亦採用一ECC1處理區段231、一ECC2處理區段232、一CPU介面區段233、一快閃記憶體介面區段234、一NVRAM介面區段235、一ECC緩衝器控制區段236、一快閃記憶體控制區段237及一NVRAM控制區段238。

ECC1處理區段231係用於藉由利用一錯誤校正碼ECC1而對NAND型快閃記憶體21中之資料21D實行位元錯誤偵測及校正處理之一區段。應注意，對儲存在一ECC2區塊212中之資料21D實行的位元錯誤偵測及校正處理之結果係暫時儲存在ECC緩衝器230中。此外，藉由CPU介面區段233而自NVM控制器23輸出除了ECC2區塊212以外之一資料區塊211中之資料21D。

ECC2處理區段232係用於藉由利用暫時保存在ECC緩衝

器 230 中之一錯誤校正碼 ECC2 而對 NVRAM 22 中之資料 22D 實行位元錯誤偵測及校正處理之一區段。應注意，通常藉由採用常用的漢明碼方法而實行利用錯誤校正碼 ECC2 之位元錯誤偵測及校正處理。

CPU 介面區段 233 係用於在 NVM 控制器 23 與 CPU 10 之間建立一連接之一介面。快閃記憶體介面區段 234 係用於在該 NVM 控制器 23 與 NAND 型快閃記憶體 21 之間建立一連接之一介面。NVRAM 介面區段 235 係用於在該 NVM 控制器 23 與 NVRAM 22 之間建立一連接之一介面。如上文描述，該 NVM 控制器 23 具有充當該 NVM 控制器 23 與該 NVRAM 22 (其用作為依字組單位進行隨機存取之一工作記憶體)之間的一介面之 NVRAM 介面區段 235。此外，該 NVM 控制器 23 亦具有充當該 NVM 控制器 23 與該 NAND 型快閃記憶體 21 (其用作為依區塊(頁面)單位進行存取之一儲存器件)之間的一介面之快閃記憶體介面區段 234。

ECC 緩衝器控制區段 236 係用於控制由 ECC 緩衝器 230 實行的操作之一區段。快閃記憶體控制區段 237 係用於控制由 ECC1 處理區段 231 及快閃記憶體介面區段 234 實行的操作之一區段。另一方面，NVRAM 控制區段 238 係用於控制由 ECC2 處理區段 232 及 NVRAM 介面區段 235 實行的操作之一區段。

資料儲存系統 1 之效果

#### 1：基本操作

在資料儲存系統 1 中，根據由 CPU 10 發出的一命令而控



制 DRAM 控制器 12，以便驅動 DRAM 11 以用作該資料儲存系統 1 之一工作記憶體。同樣地，根據由該 CPU 10 發出的一命令而控制 NVM 控制器 23，以便驅動 NVRAM 22 以用作非揮發性記憶體系統 2 之一工作記憶體且驅動 NAND 型快閃記憶體 21 以用作該非揮發性儲存系統 2 之一儲存器件。因此，根據由該 CPU 10 發出的一命令，執行預先判定的一程式及/或實行預先判定的處理。此時，在該非揮發性記憶體系統 2 中，依區塊(或頁面)單位對儲存在該 NAND 型快閃記憶體 21 中之資料 21D 進行存取，而依字組單位對儲存在該 NVRAM 22 中之資料 22D 進行隨機存取。

此外，此時，NVM 控制器 23 利用保存在 NAND 型快閃記憶體 21 中之一錯誤校正碼 ECC1 以便對儲存在該 NAND 型快閃記憶體 21 中之資料 21D 實行位元錯誤偵測及校正處理。具體言之，在自該 NAND 型快閃記憶體 21 讀出資料 21D 之一操作中或在一系統啟動時間(即，啟動非揮發性記憶體系統 2 之一時間)，該 NVM 控制器 23 利用在寫入該資料 21D 至該 NAND 型快閃記憶體 21 中之一操作中產生的一錯誤校正碼 ECC1，以便藉由將該錯誤校正碼 ECC1 施加於儲存在該 NAND 型快閃記憶體 21 中之資料 21D 而對該資料 21D 實行位元錯誤偵測及校正處理。應注意，通常藉由採用常用的 BCH 碼方法而實行利用錯誤校正碼 ECC2 之位元錯誤偵測及校正處理。因此，可改良在該 NAND 型快閃記憶體 21 中保存該資料 21D 之特性且增強該非揮發性記憶體系統 2 之可靠性。

## 2：使用錯誤校正碼ECC2之位元錯誤偵測及校正處理

接著，藉由參考圖4至圖8，以下描述藉由比較藉由利用錯誤校正碼ECC2實行的位元錯誤偵測及校正處理(作為充當本揭示內容之特性之一者之處理)與由第一典型比較系統及第二典型比較系統實行的處理而解釋該位元錯誤偵測及校正處理之細節。

### 2-1：第一典型比較系統

圖4係展示包含一非揮發性記憶體系統102之一資料儲存系統101之組態之一方塊圖，該非揮發性記憶體系統102充當一第一典型比較系統。如在圖中展示，該資料儲存系統101採用一CPU 10、一DRAM 11、一DRAM控制器12及充當一第一典型比較系統之非揮發性記憶體系統102。如自在圖1中展示的組態與在圖4中展示的組態之比較而顯而易見，代替在根據實施例之資料儲存系統1中採用的非揮發性記憶體系統2以充當根據實施例之一非揮發性記憶體系統2，該資料儲存系統101包含充當一第一典型比較系統之非揮發性記憶體系統102。另外，充當一第一典型比較系統之資料儲存系統101之組態係與根據實施例之資料儲存系統1之組態相同。

然而，不同於根據實施例之非揮發性記憶體系統2，充當一第一典型比較系統之非揮發性記憶體系統102不包含ECC2區塊212，此係因為在該非揮發性記憶體系統102中所採用的一NAND型快閃記憶體102-1中不存在錯誤校正碼ECC2。另外，充當一第一典型比較系統之非揮發性記憶

體系統102之組態係與根據實施例之非揮發性記憶體系統2之組態相同。

即，在非揮發性記憶體系統102中，使用錯誤校正碼ECC1以依相同於根據實施例之非揮發性記憶體系統2之方式改良NAND型快閃記憶體102-1自身之資料保存特性。然而，不同於根據實施例之非揮發性記憶體系統2，充當一第一典型比較系統之非揮發性記憶體系統102未利用用於NVRAM 22之錯誤校正碼ECC2。

因此，由於第一典型比較系統未藉由利用錯誤校正碼ECC2而對儲存在NVRAM 22中之資料22D實行位元錯誤偵測及校正處理，故可能的是，在該NVRAM 22因大量重寫計數(表示對該NVRAM 22實行的重寫操作次數)而劣化時產生一資料錯誤。特定言之，若將該NVRAM 22用作為一非揮發性快取記憶體，則與存取充當一儲存器件之NAND型快閃記憶體102-1之次數相比，存取該NVRAM 22之次數係大的。因此，該NVRAM 22需要具有不差於該NAND型快閃記憶體102-1之資料保存特性之一資料保存特性。然而，在該第一典型比較系統中，無法避免在該NVRAM 22中產生一資料錯誤。因此，充當該第一典型比較系統之整個非揮發性記憶體系統102之可靠性不可避免地劣化。

## 2-2：第二典型比較系統

圖5係展示包含一記憶體系統202之一資料儲存系統201之組態之一方塊圖，該記憶體系統202充當一第二典型比較系統。如在圖中展示，該資料儲存系統201採用一CPU

10、一 DRAM 11、一 DRAM 控制器 12 及充當一第二典型比較系統之非揮發性記憶體系統 202。如自在圖 1 中展示的組態與在圖 5 中展示的組態之比較而顯而易見，代替在根據實施例之資料儲存系統 1 中採用的非揮發性記憶體系統 2 以充當根據實施例之一非揮發性記憶體系統 2，該資料儲存系統 201 包含充當一第二典型比較系統之非揮發性記憶體系統 202。另外，充當一第二典型比較系統之資料儲存系統 201 之組態係與根據實施例之資料儲存系統 1 之組態相同。

然而，不同於根據實施例之非揮發性記憶體系統 2，充當一第二典型比較系統之非揮發性記憶體系統 202 不包含 ECC2 區塊 212，此係因為在該非揮發性記憶體系統 202 中所採用的一 NAND 型快閃記憶體 102-1 中不存在錯誤校正碼 ECC2。代替性地，在該非揮發性記憶體系統 202 中，一 NVRAM 202-2 具有用於儲存該等錯誤校正碼 ECC2 之一區域。另外，充當一第二典型比較系統之非揮發性記憶體系統 202 之組態係與根據實施例之非揮發性記憶體系統 2 之組態相同。

即，對儲存在 NVRAM 202-2 中之資料 22D 實行利用錯誤校正碼 ECC2 之位元錯誤偵測及校正處理。因此，與第一典型比較系統相比，改良在該 NVRAM 202-2 中保存該資料 22D 之特性。因此，亦改良整個非揮發性記憶體系統 202 之可靠性。

然而，在充當一第二典型比較系統之非揮發性記憶體系

統202中，歸因於用於NVRAM 202-2之錯誤校正碼ECC2係儲存在該NVRAM 202-2自身中之事實而不可避免地產生以下問題。

#### 存取速度降低之問題

第一，由於一副作用(其係對NVRAM 202-2之頻帶之一負作用)而非所要地降低存取該NVRAM 202-2之速度。因此，整個非揮發性記憶體系統202之操作速度不可避免地減小。如下文描述，在其中錯誤校正碼ECC2係儲存在NVRAM 202-2中之一系統(如運用第二典型比較系統之情況)中，存在兩種可想到的用於對非揮發性記憶體系統202進行存取之技術。

根據第一種技術，如在圖5中展示，錯誤校正碼ECC2係保存在不同於在NVRAM 202-2中儲存資料22D之一位址之一位址處。根據此技術，如對該NVRAM 202-2之一存取，實際上必須進行至少兩次存取。第一次存取係對資料22D之一存取，而第二次存取係對錯誤校正碼ECC2之一存取。因此，根據第一種技術，使存取該NVRAM 202-2之速度不可避免地降低至1/2。

根據第二種技術，在NVRAM 202-2中，錯誤校正碼ECC2係保存在作為分配至錯誤校正碼ECC2之位元而包含於資料22D中的一些位元中。根據此技術，可在對該NVRAM 202-2之一存取中存取資料22D及指派至資料22D之錯誤校正碼ECC2兩者。因此，與上文描述的第一種技術相比，降低存取該NVRAM 202-2之速度的效果易於減

小。然而，由於在一次存取中使用的資料22D之位元大小減小達對應於如上文描述之在該資料22D中所包含的一些位元(如分配至錯誤校正碼ECC2之位元)之一差，故在第二種技術之情況中，亦不可避免地降低存取該NVRAM 202-2之高速度。應注意，若(例如)在第二種技術之情況中，將資料22D之16個位元中的8個位元分配至錯誤校正碼ECC2，則最終使存取該NVRAM 202-2之速度不可避免地降低至1/2，如運用上文描述的第一種技術之情況。

如上文描述，在作為用於第二典型比較系統之技術之上文描述的兩種技術之任一者中，不可避免地降低存取NVRAM 202-2之速度，且因此整個非揮發性記憶體系統202之操作速度非所要地減小。

#### 成本上升之問題

第二，特定言之，若將NAND型快閃記憶體102-1及NVRAM 202-2用作為兩種非揮發性記憶體，則充當第二典型比較系統之非揮發性記憶體系統202產生由如下之一上升成本引起的一問題。一般言之，與NAND型快閃記憶體相比，NVRAM之位元單位成本係高的。因此，若用於NVRAM 202-2之錯誤校正碼ECC2係保存在NVRAM 202-2自身中(如運用第二典型比較系統之情況)，則該NVRAM 202-2之實際資料儲存容量減小。因此，整個非揮發性記憶體系統202之非揮發性記憶體成本非所要地增大。

#### 2-3：本揭示內容之實施例

另一方面，在根據實施例之非揮發性記憶體系統2之情

況中，保存在NAND型快閃記憶體21中之錯誤校正碼ECC2係施加於儲存在NVRAM 22中之資料22D(如前文藉由參考圖1至圖3所解釋)，以便對該資料22D實行下文詳細描述的位元錯誤偵測及校正處理。因此，與用作為上文描述的第一典型比較系統之非揮發性記憶體系統102相比，改良NVRAM 22之資料保存特性。

此外，在該實施例之情況中，錯誤校正碼ECC2係保存在NAND型快閃記憶體21中，如前文藉由參考圖1及圖2所解釋。因此，不同於其中錯誤校正碼ECC2係保存在NVRAM 202-2中之第二典型比較系統，該實施例可擺脫上文描述為存取NVRAM 22之速度降低之問題的問題。具體言之，由於在NVRAM 22中僅儲存資料22D，故可維持該NVRAM 22之儲存容量之利用效率。此外，由於NVRAM 介面區段235之頻帶係用於所有資料傳送，故該頻帶未因使用錯誤校正碼ECC2而減小。因此，可將對該NVRAM 22之效能之影響降低至一最小值。除此之外，如前文所解釋，在藉由採用由複數個錯誤校正碼ECC2組成的一分批作為讀取單位而自NAND型快閃記憶體21讀出錯誤校正碼ECC2至ECC緩衝器230之一操作中，亦獲得以下優點。藉由使錯誤校正碼ECC2與NVRAM 22中之連續位址相關聯，可在存取該NVRAM 22中之連續位址中以高速實行位元錯誤偵測及校正處理。應注意，如隨後將描述，若在該ECC緩衝器230中不存在所需錯誤校正碼ECC2，則再次對該NAND型快閃記憶體21進行存取以便讀出該等所需錯誤校

正碼ECC2。因此，效能暫時劣化。然而，由於自該NAND型快閃記憶體21一次讀出至該ECC緩衝器230之經更頻繁存取的錯誤校正碼ECC2係作為優先於其餘錯誤校正碼ECC2之錯誤校正碼ECC2而保存在該ECC緩衝器230中，故整體上可維持藉由NVRAM 22展現的高速資料存取效能。

此外，在此實施例之情況中，如上文描述，錯誤校正碼ECC2係保存在具有一相對低位元成本之NAND型快閃記憶體21中。因此，不同於第二典型比較系統，可解決前文提及的成本上升問題。即，可抑制非揮發性記憶體系統2之成本。

接著，藉由參考圖6至圖8，以下描述解釋藉由NVM控制器23憑藉利用此等錯誤校正碼ECC2而對儲存在NVRAM 22中之資料22D實行位元錯誤偵測及校正處理之細節。換言之，如下文描述，該NVM控制器23在寫入該資料22D至該NVRAM 22中時寫入錯誤校正碼ECC2至該NVRAM 22中，且在自該NVRAM 22讀出該資料22D時或在一系統啟動時間利用該等錯誤校正碼ECC2以便對該資料22D實行位元錯誤偵測及校正處理。

#### 自NVRAM 22讀出資料之處理

圖6展示表示藉由利用錯誤校正碼ECC2而自NVRAM 22讀出資料22D之典型處理之一流程圖。

如在圖中展示，表示自NVRAM 22讀出資料22D之處理之流程圖開始於隨後描述的一步驟S101及一步驟S102，在步驟S102處，NVM控制器23判定在ECC緩衝器230中是否



存在(或保存)對應於待自該NVRAM 22讀出的資料22D(或為待自該NVRAM22讀出的資料22D所需)之錯誤校正碼ECC2。若在步驟S102處產生的判定結果為是(指示在該ECC緩衝器230中存在對應於待自該NVRAM 22讀出的資料22D之錯誤校正碼ECC2)，則該NVM控制器23實行如下處理。若上文引用的判定結果為是，則處理流程在前進至前文提及之步驟S101(在步驟S101處，該NVM控制器23自該NVRAM 22讀出充當一讀取目標之資料22D)的同時前進至一步驟S103(在步驟S103處，該NVM控制器23自該ECC緩衝器230讀出錯誤校正碼ECC2)。

另一方面，若在步驟S102處產生的判定結果係否(指示在ECC緩衝器230中不存在對應於待自NVRAM 22讀出的資料22D之錯誤校正碼ECC2)，則處理流程前進至一步驟S104，在步驟S104處，NVM控制器23判定該ECC緩衝器230是否具有(包含)可用於保存錯誤校正碼ECC2之一可用區域。因此，該可用區域係其中尚未保存錯誤校正碼ECC2之一區域。若在步驟S104處產生的判定結果為是(指示該ECC緩衝器230具有(包含)一可用區域)，則處理流程前進至一步驟S105，在步驟S105處，該NVM控制器23利用前文提及的ECC頁面管理功能以便擷取一ECC2區塊212之位址，該ECC2區塊212係作為包含在該ECC緩衝器230中不存在(或未保存)的所要錯誤校正碼ECC2之一區塊而包含於NAND型快閃記憶體21中。接著，在下一步驟S106處，該NVM控制器23自該NAND型快閃記憶體21讀出包含所要

錯誤校正碼ECC2之ECC2區塊212至該ECC緩衝器230中之可用區域且將該ECC2區塊212保存在該可用區域中。隨後，處理流程前進至上文描述的步驟S103。以此方式，該NVM控制器23繼自該NAND型快閃記憶體21讀出包含所要錯誤校正碼ECC2之ECC2區塊212至該ECC緩衝器230之後對NVRAM 22進行一存取。因此，對於CPU 10，自該NAND型快閃記憶體21讀出包含所要錯誤校正碼ECC2之ECC2區塊212至該ECC緩衝器230所花費的時間係對該NVRAM 22進行存取所花費的時間之一延伸。即，在該NVM控制器23自該NAND型快閃記憶體21讀出包含所要錯誤校正碼ECC2之ECC2區塊212至該ECC緩衝器230時，必須暫時中止對該NVRAM 22之存取。

另一方面，若在步驟S104處產生的判定結果係否(指示ECC緩衝器230不具有(包含)一可用區域)，則處理流程進行一步驟S107，在步驟S107處，NVM控制器23選擇該ECC緩衝器230中之一可用區域之一候選者。具體言之，該NVM控制器23選擇一區域作為該ECC緩衝器230中之一可用區域之候選者，該區域係作為用於保存假定依低於其他錯誤校正碼ECC2之一頻率加以使用(或存取)(或者假定可期望依其他錯誤校正碼ECC2當中之最低頻率加以使用或存取)的錯誤校正碼ECC2之一區域而包含於該ECC緩衝器230中。接著，該NVM控制器23將該ECC緩衝器230中之一可用區域之經選擇候選者改變成一可用區域且將該可用區域新用作為一緩衝區域。

接著，在下一步驟S108處，NVM控制器23判定保存在上文提及的可用區域中之錯誤校正碼ECC2是否已自保存在NAND型快閃記憶體21中之對應錯誤校正碼ECC2改變。若在步驟S108處產生的判定結果係否(指示保存在該可用區域中之錯誤校正碼ECC2尚未自保存在該NAND型快閃記憶體21中之對應錯誤校正碼ECC2改變)，則處理流程前進至步驟S105。另一方面，若在步驟S108處產生的判定結果為是(指示保存在該可用區域中之錯誤校正碼ECC2已自保存在該NAND型快閃記憶體21中之對應錯誤校正碼ECC2改變)，則運用保存在該可用區域中之錯誤校正碼ECC2來更新保存在該NAND型快閃記憶體21中之對應錯誤校正碼ECC2。具體言之，若在步驟S108處產生的判定結果為是(指示保存在該可用區域中之錯誤校正碼ECC2已自保存在該NAND型快閃記憶體21中之對應錯誤校正碼ECC2改變)，則處理流程前進至一步驟S109，在步驟S109處，NVM控制器23利用前文提及的ECC頁面管理功能以便擷取一頁面之位址，該頁面係作為用於保存對應錯誤校正碼ECC2之一頁面而包含於該NAND型快閃記憶體21之ECC2區塊212中。接著，該NVM控制器23利用經擷取位址處之頁面作為保存在該ECC緩衝器230中之可用區域中之錯誤校正碼ECC2待寫回至該NAND型快閃記憶體21之一寫入目標。接著，在下一步驟S110處，該NVM控制器23將保存在該ECC緩衝器230中之可用區域中之錯誤校正碼ECC2寫回至該ECC2區塊212中之頁面。隨後，處理流程前進至步驟

S105。

繼已完成上文解釋的步驟S103及S101之後，處理流程前進至一步驟S111，在步驟S111處，NVM控制器23藉由利用一錯誤校正碼ECC2而對充當NVRAM 22中之一讀取目標之資料22D實行位元錯誤偵測及校正處理。在此情況中，利用一錯誤校正碼ECC2之位元錯誤偵測及校正處理通常採用常用的漢明碼方法。應注意，若偵測到一不可校正位元錯誤，則該NVM控制器23通常對CPU 10通知該位元錯誤。接著，在下一步驟S112處，該NVM控制器23供應因位元錯誤偵測及校正處理而獲得的資料22D給該CPU 10。此步驟係藉由在圖6中展示之流程圖表示為自該NVRAM 22讀出該資料22D至該CPU 10之處理的處理之結束步驟。

建議讀者記住，可期望提供其中NVM控制器23利用下文描述為用以在執行上文描述的資料讀取處理、下文待描述的資料寫入處理及系統啟動處理中自NAND型快閃記憶體21預提取錯誤校正碼ECC2至ECC緩衝器230之一功能的一功能之組態。為了使該NVM控制器23利用下文描述為用以自該NAND型快閃記憶體21預提取錯誤校正碼ECC2至該ECC緩衝器230之一功能的一功能，首先，該NVM控制器23利用過去存取儲存在NVRAM 22中之資料22D之一記錄以便預測儲存在該NVRAM 22中之資料22D作為此後待存取的資料。接著，該NVM控制器23自該NVRAM 22預提取用於經預測資料22D之錯誤校正碼ECC2至該ECC緩衝器230。藉由利用此一功能以自該NAND型快閃記憶體21預提

取錯誤校正碼ECC2至該ECC緩衝器230，可容易地維持以高速對該NVRAM 22進行存取之效能。

寫入資料至NVRAM 22中之處理

圖7展示表示藉由利用錯誤校正碼ECC2寫入資料22D至NVRAM 22中之典型處理之一流程圖。

如在圖中展示，表示寫入資料22D至NVRAM 22中之處理之流程圖開始於一步驟S201。在此步驟處，NVM控制器23自CPU 10擷獲資料22D作為一寫入目標，該寫入目標係待寫入至該NVRAM 22中之資料。接著，在步驟S203至S210處，該NVM控制器23實行相同於表示上文描述的資料讀取處理之流程圖之步驟S102及S104至S110之處理。隨後，處理流程前進至一步驟S202。

在步驟S202處，NVM控制器23通常藉由採用常用的漢明碼方法實行處理以透過計算用於所擷取資料22D之一錯誤校正碼ECC2而產生該錯誤校正碼ECC2。接著，在下一步驟S211處，該NVM控制器23寫入藉由計算產生的錯誤校正碼ECC2至ECC緩衝器230中，以便更新現有的錯誤校正碼ECC2。此時，在ECC緩衝器230中暫存包含該經產生錯誤校正碼ECC2之一頁面作為一經更新之頁面。同時，在與步驟S202及S211同時進行的一步驟S212處，該NVM控制器23寫入該資料22D至NVRAM 22中。步驟S211及S212係藉由在圖7中展示之流程圖表示為寫入由CPU 10輸出的資料22D至該NVRAM 22中之處理的處理之結束步驟。

系統啟動處理

圖8展示表示藉由利用錯誤校正碼ECC2啟動非揮發性記憶體系統2之典型系統啟動處理之一流程圖。

如在圖中展示，表示啟動非揮發性記憶體系統2之系統啟動處理之流程圖開始於一步驟S301，在步驟S301處，NVM控制器23在NVRAM 22中設定一開始位址。接著，在步驟S302至S309處，該NVM控制器23實行相同於表示上文描述的資料讀取處理之流程圖之步驟S101至S104、S107、S105、S106及S111之處理。隨後，處理流程前進至一步驟S310。

在步驟S310處，NVM控制器23判定是否已在步驟S309處實行的位元錯誤偵測及校正處理中偵測到一不可校正位元錯誤。若在步驟S310處產生的判定結果為是(指示已在步驟S309處實行的位元錯誤偵測及校正處理中偵測到一不可校正位元錯誤)，則處理流程前進至一步驟S311，在步驟S311處，該NVM控制器23對CPU 10通知該不可校正位元錯誤。此步驟係藉由在圖8中展示之流程圖表示的系統啟動處理之結束步驟。

另一方面，若在步驟S310處產生的判定結果係否(指示尚未在步驟S309處實行的位元錯誤偵測及校正處理中偵測到不可校正位元錯誤)，則處理流程前進至一步驟S312，在步驟S312處，NVM控制器23判定充當系統啟動處理之目標之當前資料22D之位址是否係NVRAM 22中之最後位址。若在步驟S312處產生的判定結果係否(指示充當系統啟動處理之目標之當前資料22D之位址並非NVRAM 22中

之最後位址)，則處理流程前進至一步驟S313，在步驟S313處，該NVM控制器23使該NVRAM 22中之當前資料22D之位址累加1。接著，處理流程返回至步驟S303。另一方面，若在步驟S312處產生的判定結果為是(指示充當系統啟動處理之目標之當前資料22D之位址係NVRAM 22中之最後位址)，則該NVM控制器23終止藉由在圖8中展示之流程圖表示的系統啟動處理。

如上文描述，當開啟非揮發性記憶體系統2之電源供應器以便啟動該非揮發性記憶體系統2時，NVM控制器23利用錯誤校正碼ECC2而對儲存在NVRAM 22中之所有資料22D實行位元錯誤偵測及校正處理。因此，可獲得以下結果。由於該NVM控制器23已驗證在儲存於用作為一非揮發性快取記憶體之NVRAM 22中之所有資料22D中不存在位元錯誤之後啟動該非揮發性記憶體系統2，故可改良該非揮發性記憶體系統2之可靠性。

在上文描述的實施例中，錯誤校正碼ECC2係施加於儲存在NVRAM 22(其允許依字組單位對資料22D進行隨機存取)中之資料22D，且該等錯誤校正碼ECC2係保存在用於將資料22D作為待依區塊(頁面)單位進行存取之資料而儲存之NAND型快閃記憶體21中。因此，可改良該NVRAM 22之資料保存特性同時防止存取該NVRAM 22之速度減小。因此，可在不降低非揮發性記憶體系統2之操作速度之情況下改良該非揮發性記憶體系統2之可靠性。

此外，尤其在此實施例中，錯誤校正碼ECC2係保存在

具有一相對低位元單位成本之NAND型快閃記憶體21中。因此，可抑制非揮發性記憶體系統2之成本。

#### 典型修改

接著，解釋實施例之第一典型修改及第二典型修改。應注意，在第一典型修改及第二典型修改中作為與該實施例中所包含的各自對應元件相同之元件加以採用的組態元件係由相同於該等對應元件之元件符號來表示。此外，在以下描述中不再解釋相同組態元件。

#### 第一典型修改

圖9係展示包含一非揮發性記憶體系統2A之一資料儲存系統1A之一典型組態之一方塊圖，該非揮發性記憶體系統2A充當前文解釋的非揮發性記憶體系統2之一第一典型修改。如在圖中展示，該資料儲存系統1A採用一CPU 10、一DRAM 11、一DRAM控制器12及非揮發性記憶體系統2A。即，代替在根據實施例之資料儲存系統1中採用的非揮發性記憶體系統2，該資料儲存系統1A採用充當該第一典型修改之非揮發性記憶體系統2A。在該資料儲存系統1A中採用的其他組態元件係與在該資料儲存系統1中採用的其等各自對應組態元件相同。

非揮發性記憶體系統2A包含具有一嵌入式ECC之一NAND型快閃記憶體21A、一NVRAM 22及一NVM控制器23A。

NAND型快閃記憶體21A之特徵在於該NAND型快閃記憶體21A具有嵌入其中之ECC1處理區段231。因此，第一典



型修改中之NVM控制器23A自該NAND型快閃記憶體21A接收因藉由利用一錯誤校正碼ECC1實行位元錯誤偵測及校正處理而獲得的資料且將該資料暫時儲存在ECC緩衝器230中。又，在寫入資料21D至該NAND型快閃記憶體21A中之一操作中，該NVM控制器23A僅供應資料21D給該NAND型快閃記憶體21A。該NAND型快閃記憶體21A具有：一資料區塊211，其由各充當該資料區塊211之單位之若干頁面211P組成；及一ECC2區塊212，其由各充當該ECC2區塊212之單位之若干頁面212P組成。應注意，第一典型修改之頁面211P及212P之資料結構分別係與實施例之頁面211P及212P之資料結構相同。然而，該NVM控制器23A無法對NAND型快閃記憶體21A中用於保存錯誤校正碼ECC1之一區域進行一存取。

近來，已引進一種產品，其中一NAND型快閃記憶體包含嵌入其中之一ECC處理區段，如運用NAND型快閃記憶體21A之情況。又，在藉由此典型修改實施為包含此一產品之一系統之非揮發性記憶體系統2A之情況中，可藉由實行與實施例之操作相同的操作而獲得相同效果。

## 第二典型修改

圖10係展示包含一非揮發性記憶體系統2B之一資料儲存系統1B之一典型組態之一方塊圖，該非揮發性記憶體系統2B充當前文解釋的非揮發性記憶體系統2之一第二典型修改。如在圖中展示，該資料儲存系統1B採用一CPU 10、一DRAM 11、一DRAM控制器12及非揮發性記憶體系統

2B。即，代替在根據實施例之資料儲存系統1中採用的非揮發性記憶體系統2，該資料儲存系統1B採用充當第二典型修改之非揮發性記憶體系統2B。在該資料儲存系統1B中採用的其他組態元件係與在該資料儲存系統1中採用的其等各自對應組態元件相同。

非揮發性記憶體系統2B包含一MFD(受管理快閃磁碟機)21B、一NVRAM 22及一NVM控制器23A。該MFD 21B之典型實例包含一SSD(固態磁碟機)、一eMMC(嵌入式多媒體卡)、一SD卡及一USB(通用串列匯流排)記憶體。如上文描述，在資料儲存系統1B中，該非揮發性記憶體2B採用充當第二典型修改之MFD 21B來代替NAND型快閃記憶體21。在資料儲存系統1B中採用的其他組態元件係與在資料儲存系統1中採用的其等各自對應組態元件相同。

MFD 21B係包含用於儲存待依區塊單位進行存取之資料之一NAND型快閃記憶體之一儲存器件。在此情況中，該等區塊單位係資料區塊211之區段211S及ECC2區塊212之區段212S之單位。該MFD 21B之特徵在於該MFD 21B具有嵌入其中以操作為相同於嵌入在前文描述的ECC1處理區段231中之功能之一功能。因此，第二典型修改中之NVM控制器23A自該MFD 21B接收因藉由利用一錯誤校正碼ECC1實行位元錯誤偵測及校正處理而獲得的資料且將該資料暫時儲存在ECC緩衝器230中。又，在寫入資料21D至該MFD 21B之一操作中，該NVM控制器23A僅供應該資料21D給該MFD 21B。該MFD 21B具有：資料區塊211，其由

各充當該資料區塊 211 之單位之若干區段 211S 組成；及 ECC2 區塊 212，其由各充當該 ECC2 區塊 212 之單位之若干區段 212S 組成。應注意，該第二典型修改之區段 211S 及 212S 之資料結構分別係與實施例之頁面 211P 及 212P 之資料結構相同。然而，該 NVM 控制器 23A 無法對該 MFD 21B 中用於保存錯誤校正碼 ECC1 之一區域進行存取。

近來，已引進數種儲存產品，如 MFD 21B。又，在藉由此典型實施例實施為包含此一產品之一系統之非揮發性記憶體系統 2B 的情況中，可藉由實行與實施例之操作相同的操作而獲得相同效果。

如上文描述，此典型修改具有取代 NAND 型快閃記憶體 21 之 MFD 21B。然而，應注意，可使用任何儲存器件以取代該 NAND 型快閃記憶體 21，只要該儲存器件允許藉由執行一分批操作而依區塊單位(各由複數個字組組成)存取儲存於其中之資料。例如，作為該 NAND 型快閃記憶體 21 之一典型取代，可採用一種允許依區段單位存取儲存於其中之資料之硬碟。

#### 其他典型修改

目前為止已藉由給定實施例及典型修改作為實例而描述本揭示內容。然而，本揭示內容之實施方案絕不限於此等實例。即，可使用其他修改作為本揭示內容之實施方案。

例如，在該實施例之情況中，DRAM 11 係用作為資料儲存系統 1 之一典型工作記憶體。然而，工作記憶體不必係一 DRAM。例如，亦可使用除 DRAM 以外之一揮發性記憶

體作為一工作記憶體。

此外，在該實施例及該等典型修改中，亦可藉由CPU 10實行NVM控制器23、NVM控制器23A及DRAM控制器12之所有(或一些)功能。

除此之外，如上文描述，資料儲存系統1除包含CPU 10及非揮發性記憶體系統2之外，亦包含DRAM 11及DRAM控制器12。然而，在一些情況中，可省略該DRAM 11及該DRAM控制器12。即，該資料儲存系統1亦可經組態以僅包含該CPU 10及該非揮發性記憶體系統2。

本揭示內容含有關於在2011年1月25日向日本專利局申請之日本優先權專利申請案JP 2011-012544中所揭示者之標的，該案之全文以引用方式併入本文中。

熟習此項技術者應瞭解，各種修改、組合、子組合及替代可取決於設計要求及其他因素而發生，只要該等修改、組合、子組合及替代係在隨附申請專利範圍或其等效物之範疇內。

### 【圖式簡單說明】

圖1係展示一資料儲存系統之一典型組態之一方塊圖，該資料儲存系統包含根據本揭示內容之一實施例之一非揮發性記憶體系統；

圖2係展示在圖1中展示的一NAND型快閃記憶體中之一ECC2區塊之一典型詳細資料結構之一方塊圖；

圖3係展示在圖1中展示的一NVM控制器之一典型詳細資料組態之一方塊圖；

圖 4 係展示包含充當一第一典型比較系統之一記憶體系統之一資料儲存系統之組態之一方塊圖；

圖 5 係展示包含充當一第二典型比較系統之一記憶體系統之一資料儲存系統之組態之一方塊圖；

圖 6 展示表示藉由利用錯誤校正碼 ECC2 自一 NVRAM 讀出資料之典型處理之一流程圖；

圖 7 展示表示藉由利用錯誤校正碼 ECC2 寫入資料至一 NVRAM 中之典型處理之一流程圖；

圖 8 展示表示利用錯誤校正碼 ECC2 之典型系統啟動處理之一流程圖；

圖 9 係展示包含充當一第一典型修改之一記憶體系統之一資料儲存系統之一典型組態之一方塊圖；及

圖 10 係展示包含充當第二典型修改之一記憶體系統之一資料儲存系統之一典型組態之一方塊圖。

# 【主要元件符號說明】

|    |                      |
|----|----------------------|
| 1  | 資料儲存系統               |
| 1A | 資料儲存系統               |
| 1B | 資料儲存系統               |
| 2  | 非揮發性記憶體系統            |
| 2A | 非揮發性記憶體系統            |
| 2B | 非揮發性記憶體系統            |
| 10 | 中央處理單元 (CPU)         |
| 11 | 動態隨機存取記憶體 (DRAM)     |
| 12 | 動態隨機存取記憶體 (DRAM) 控制器 |

|       |                              |
|-------|------------------------------|
| 21    | 反及閘(NAND)型快閃記憶體/第一非揮發性記憶體    |
| 21A   | 反及閘(NAND)型快閃記憶體              |
| 21B   | 受管理快閃磁碟機(MFD)                |
| 21D   | 資料                           |
| 22    | 非揮發性隨機存取記憶體(NVRAM)/第二非揮發性記憶體 |
| 22D   | 資料                           |
| 23    | 非揮發性記憶體(NVM)控制器              |
| 23A   | 非揮發性記憶體(NVM)控制器              |
| 101   | 資料儲存系統                       |
| 102   | 非揮發性記憶體系統/第一典型比較系統           |
| 102-1 | 反及閘(NAND)型快閃記憶體              |
| 201   | 資料儲存系統                       |
| 202   | 記憶體系統/第二典型比較系統               |
| 202-2 | 非揮發性隨機存取記憶體(NVRAM)           |
| 211   | 資料區塊                         |
| 211P  | 頁面                           |
| 211S  | 資料區塊之區段                      |
| 212   | 錯誤校正碼(ECC2)區塊                |
| 212P  | 頁面                           |
| 212S  | 錯誤校正碼(ECC2)區塊之區段             |
| 230   | 錯誤校正碼(ECC)緩衝器                |
| 231   | 錯誤校正碼(ECC1)處理區段              |

|      |                          |
|------|--------------------------|
| 232  | 錯誤校正碼(ECC2)處理區段          |
| 233  | 中央處理單元介面(CPU介面)區段        |
| 234  | 快閃記憶體介面區段                |
| 235  | 非揮發性隨機存取記憶體介面(NVRAM介面)區段 |
| 236  | 錯誤校正碼(ECC)緩衝器控制區段        |
| 237  | 快閃記憶體控制區段                |
| 238  | 非揮發性隨機存取記憶體(NVRAM)控制區段   |
| ECC1 | 第一錯誤校正碼                  |
| ECC2 | 第二錯誤校正碼                  |

## 七、申請專利範圍：

103年3月17日修正本

## 1. 一種記憶體系統，其包括：

一第一非揮發性記憶體，其操作以儲存待依若干區塊為單位進行存取之資料，其中該等區塊之每一者劃分為一第一區域及一第二區域；

一第二非揮發性記憶體，其操作以儲存在隨機存取該第二非揮發性記憶體中依字組單位進行存取之資料；及

一控制區段，其操作以控制該第一非揮發性記憶體及該第二非揮發性記憶體之操作，

其中待施加於儲存在該第一非揮發性記憶體中的該資料之第一錯誤校正碼係儲存在於該第一非揮發性記憶體之一或多個該等區塊之該第二區域中，

其中待施加於儲存在該第二非揮發性記憶體中之該資料之第二錯誤校正碼係儲存在該一或多個該等區塊之該第一區域中，及

其中該等第二錯誤校正碼與在該第二非揮發性記憶體中之連續位址相關聯。

2. 如請求項1之記憶體系統，其中該控制區段具有用於保存該等第二錯誤校正碼之一緩衝區域，該等第二錯誤校正碼自該第一非揮發性記憶體讀出以充當待施加於儲存在該第二非揮發性記憶體中之資料之該等第二錯誤校正碼。

3. 如請求項2之記憶體系統，其中在將該等第二錯誤校正碼施加於儲存在該第二非揮發性記憶體中之資料之前，



假若在該緩衝區域中不存在對於儲存在該第二非揮發性記憶體中之該資料所必需的該等第二錯誤校正碼，則該控制區段在利用該等必需第二錯誤校正碼之前自該第一非揮發性記憶體讀出該等必需第二錯誤校正碼至該緩衝區域。

4. 如請求項3之記憶體系統，其中：

在讀出該等必需第二錯誤校正碼至該緩衝區域之前，該控制區段判定該緩衝區域是否具有一可用區域；

假若該控制區段判定該緩衝區域具有一可用區域，則該控制區段儲存自在該可用區域中之該第一非揮發性記憶體讀出的該等必需第二錯誤校正碼；及

假若該控制區段判定該緩衝區域不具有一可用區域，則該控制區段將包含於該緩衝區域中之另一區域改變成該可用區域，其中相較於用來儲存該等必需第二錯誤校正碼之其他該等第二錯誤校正碼之使用頻率而言，該另一區域用於保存以低使用頻率之該等第二錯誤校正碼。

5. 如請求項4之記憶體系統，其中在將該另一區域改變成該可用區域之前，假若已改變該另一區域之該等第二錯誤校正碼，則該控制區段寫入該另一區域之該等第二錯誤校正碼至該第一非揮發性記憶體中。

6. 如請求項3之記憶體系統，其中該控制區段：

利用過去存取儲存在該第二非揮發性記憶體中之資料之一記錄以便預測已儲存在該第二非揮發性記憶體中之資料作為將來待存取之資料；及

自該第一非揮發性記憶體預提取對於該經預測資料所必需的該等第二錯誤校正碼至該緩衝區域。

7. 如請求項2之記憶體系統，其中該控制區段：

在寫入待寫入至該第二非揮發性記憶體中之資料至該第二非揮發性記憶體中之一寫入操作之前，將該等第二錯誤校正碼施加至該資料，且接著實行該寫入操作；及

繼自該第二非揮發性記憶體讀出該資料之一操作之後且在一系統啟動時間，藉由利用該等第二錯誤校正碼而對自該第二非揮發性記憶體讀出的資料實行位元錯誤偵測及校正處理。

8. 如請求項7之記憶體系統，其中該控制區段利用施加至寫入至該第二非揮發性記憶體中之該資料之該等第二錯誤校正碼，以在該寫入操作中更新該緩衝區域之內容。

9. 如請求項1之記憶體系統，其中該控制區段實行管理以使該第二非揮發性記憶體中之數筆資料之位址與對於該數筆資料所必需的該第一非揮發性記憶體中之該等第二錯誤校正碼之位址相關聯。

10. 如請求項1之記憶體系統，其中複數個該等第一錯誤校正碼及該等第二錯誤校正碼之每一分批(batch)係作為該區塊而保存在該第一非揮發性記憶體中。

11. 如請求項1之記憶體系統，其中該第一非揮發性記憶體係：

一快閃記憶體，其用於儲存待依各作為該等區塊之一者之頁面單位進行存取之資料；或

一硬碟，其用於儲存待依各作為該等區塊之區段單位進行存取之資料。

12. 如請求項1之記憶體系統，進一步包括嵌入於該第一非揮發性記憶體中之一第一錯誤校正碼，用於使用待施加於儲存在該第一非揮發性記憶體中之該資料之該等第一錯誤校正碼。

13. 如請求項1之記憶體系統，其中該控制區段包括一第一介面，用以自該第二非揮發性記憶體存取資料；及不同於該第一介面之一第二介面，用以存取該等第二錯誤校正碼。

14. 一種對一記憶體系統提供之操作方法，該方法包括：

依若干區塊為單位，對儲存在一第一非揮發性記憶體中之資料執行存取，其中該等區塊之每一者劃分為一第一區域及一第二區域；

依字組單位，對儲存在一第二非揮發性記憶體中之資料執行隨機存取，

其中待施加於儲存在該第一非揮發性記憶體中的該資料之第一錯誤校正碼係儲存在該第一非揮發性記憶體之一或多個該等區塊之該第二區域中，及

其中待施加於儲存在該第二非揮發性記憶體中的該資料之第二錯誤校正碼係儲存在該等區塊之該一或多個該等區塊之該第一區域中；

其中該等第二錯誤校正碼與在該第二非揮發性記憶體中之連續位址相關聯；及

基於該等第二錯誤校正碼而對儲存在該第二非揮發性記憶體中之該資料實行位元錯誤偵測及校正處理。

八、圖式：

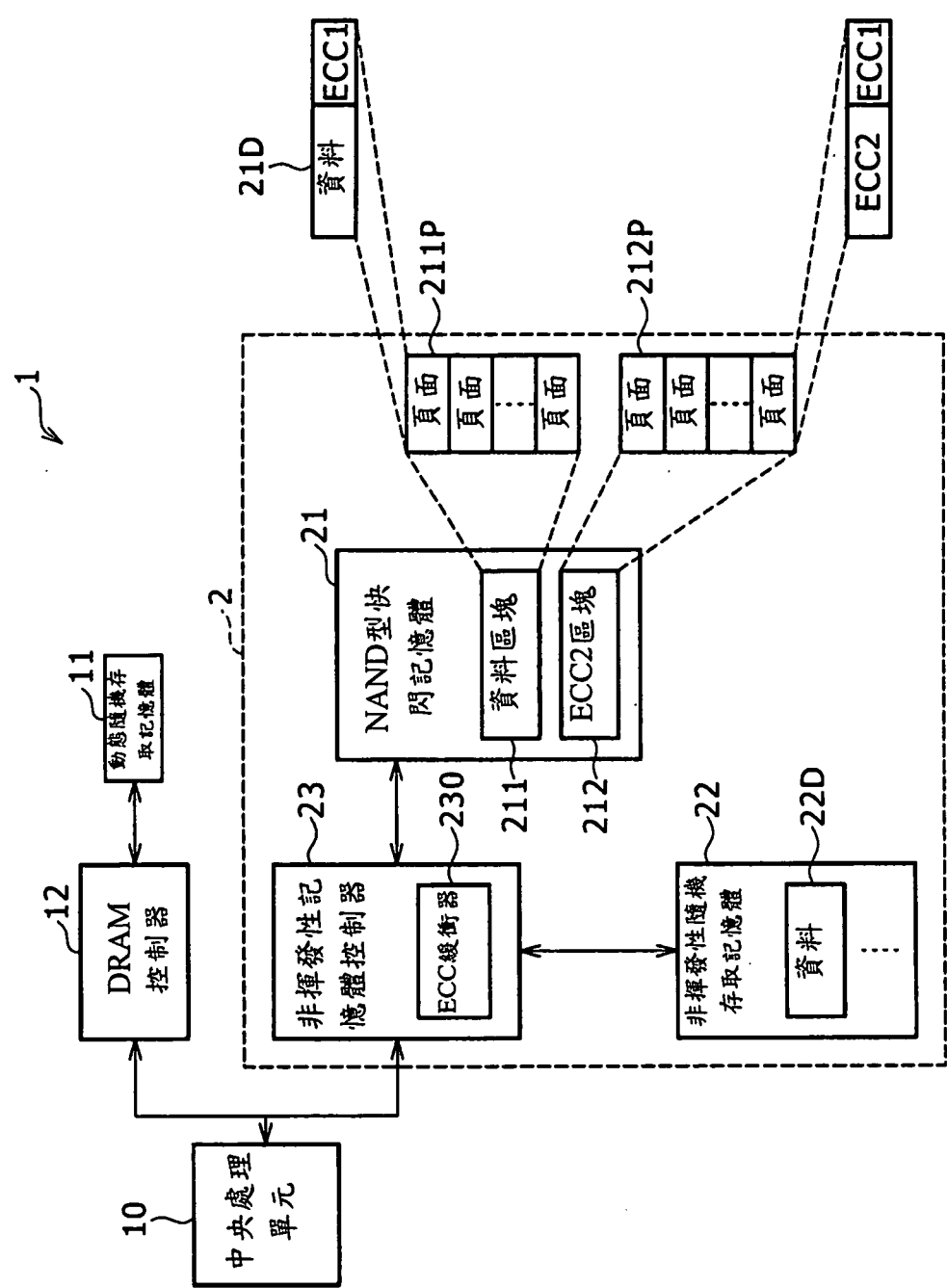


圖1

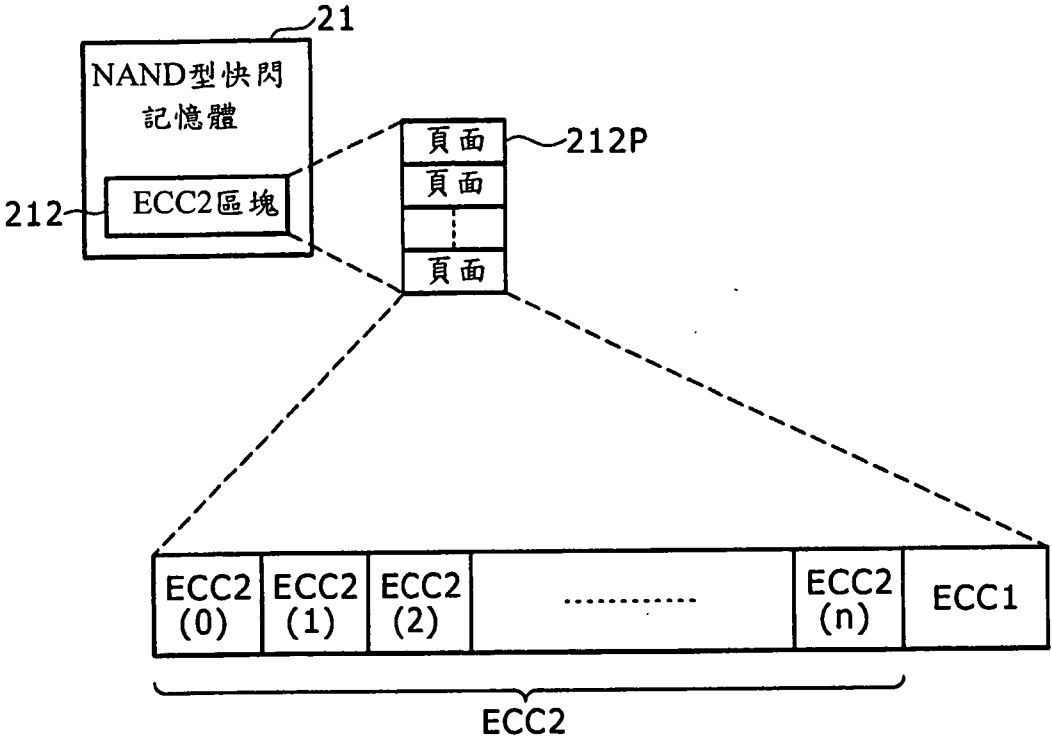


圖2

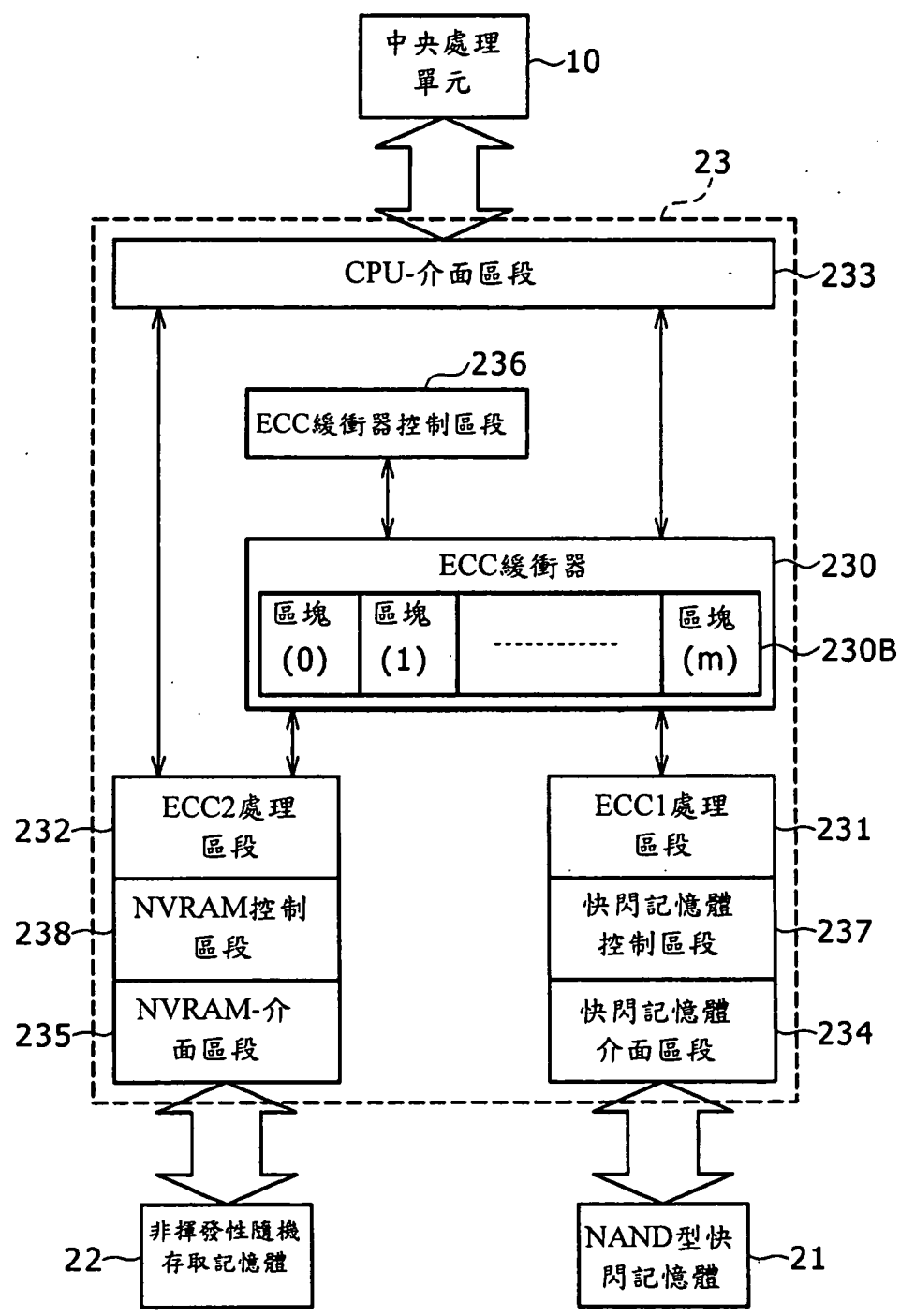


圖3





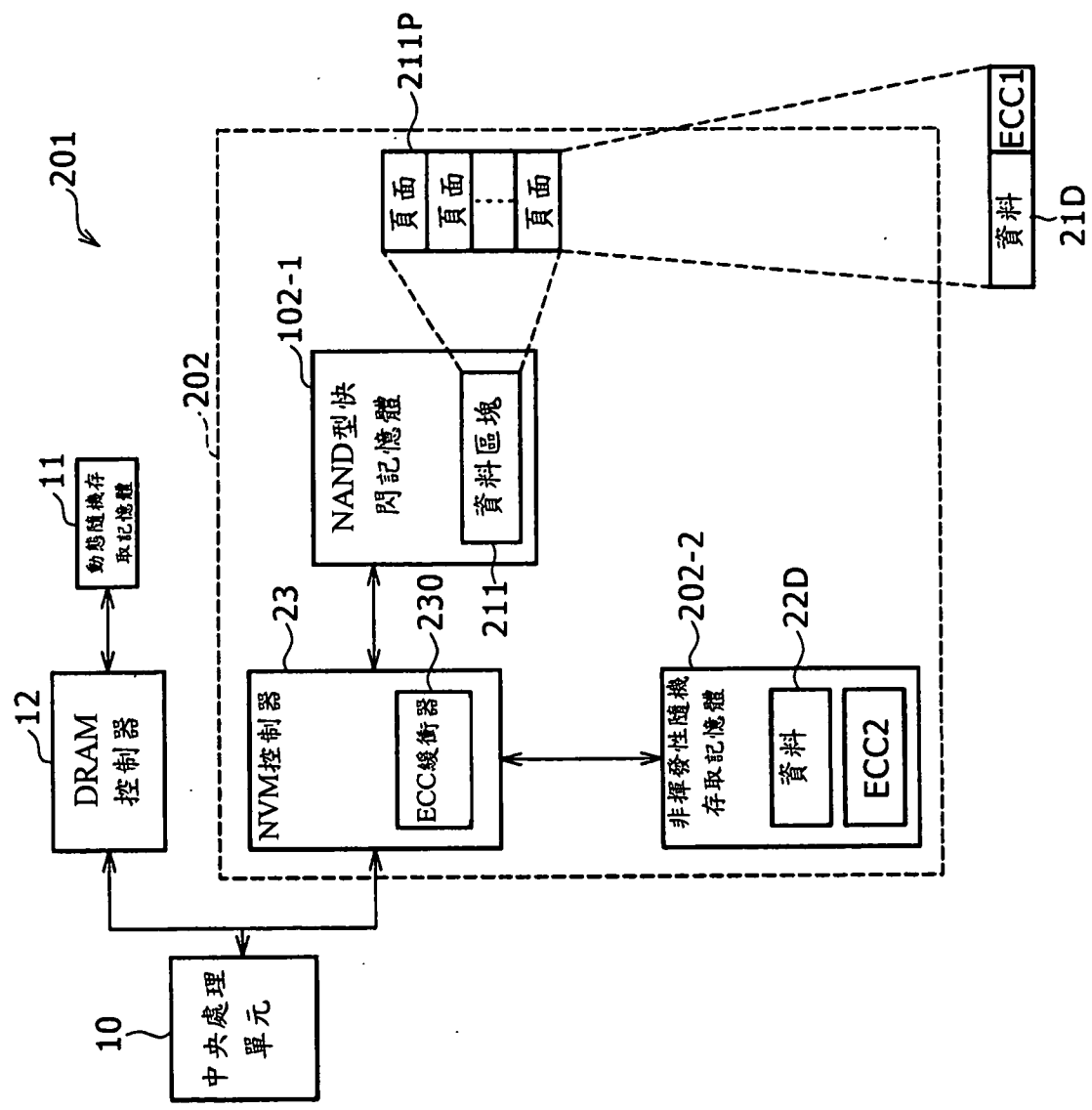


圖5

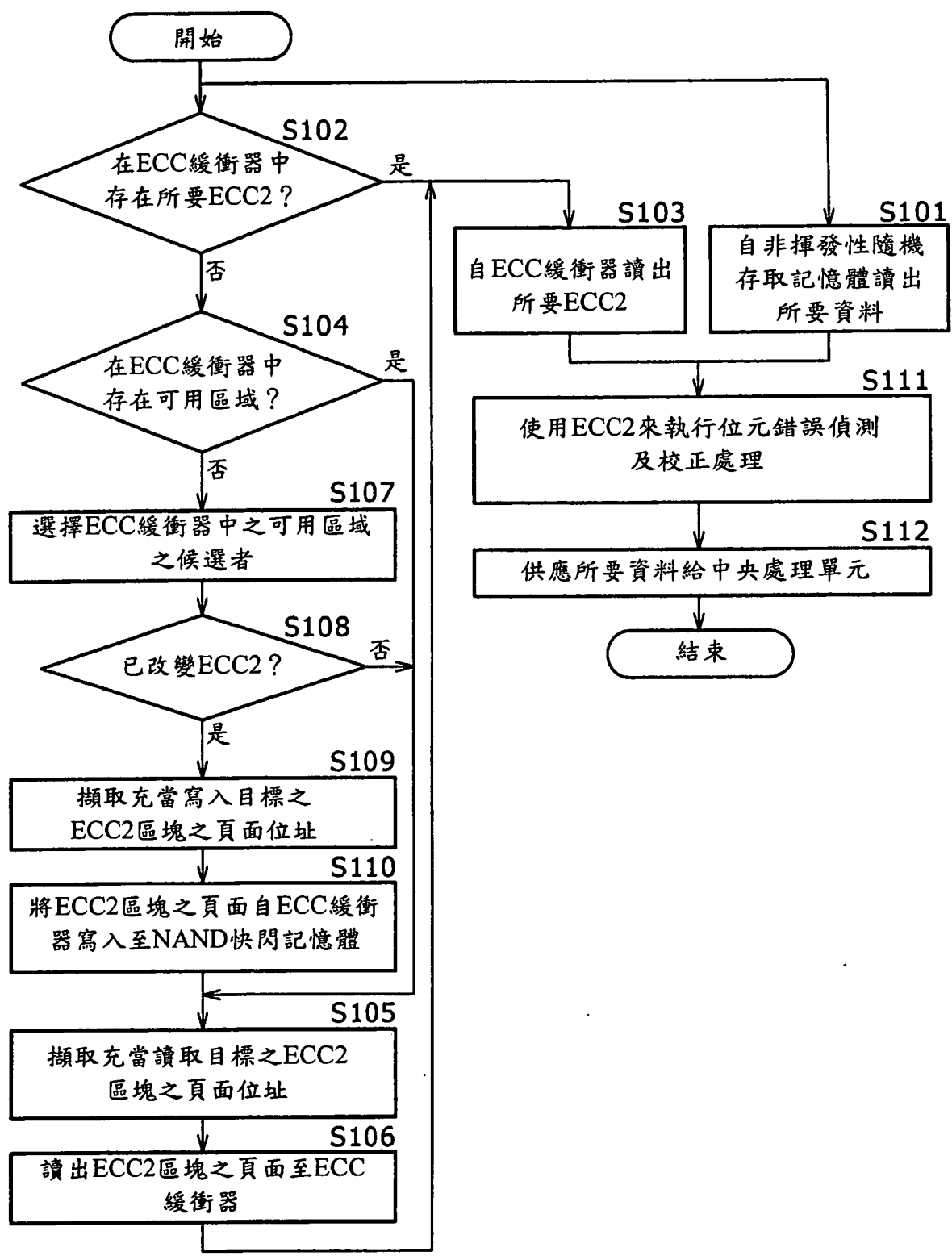


圖6

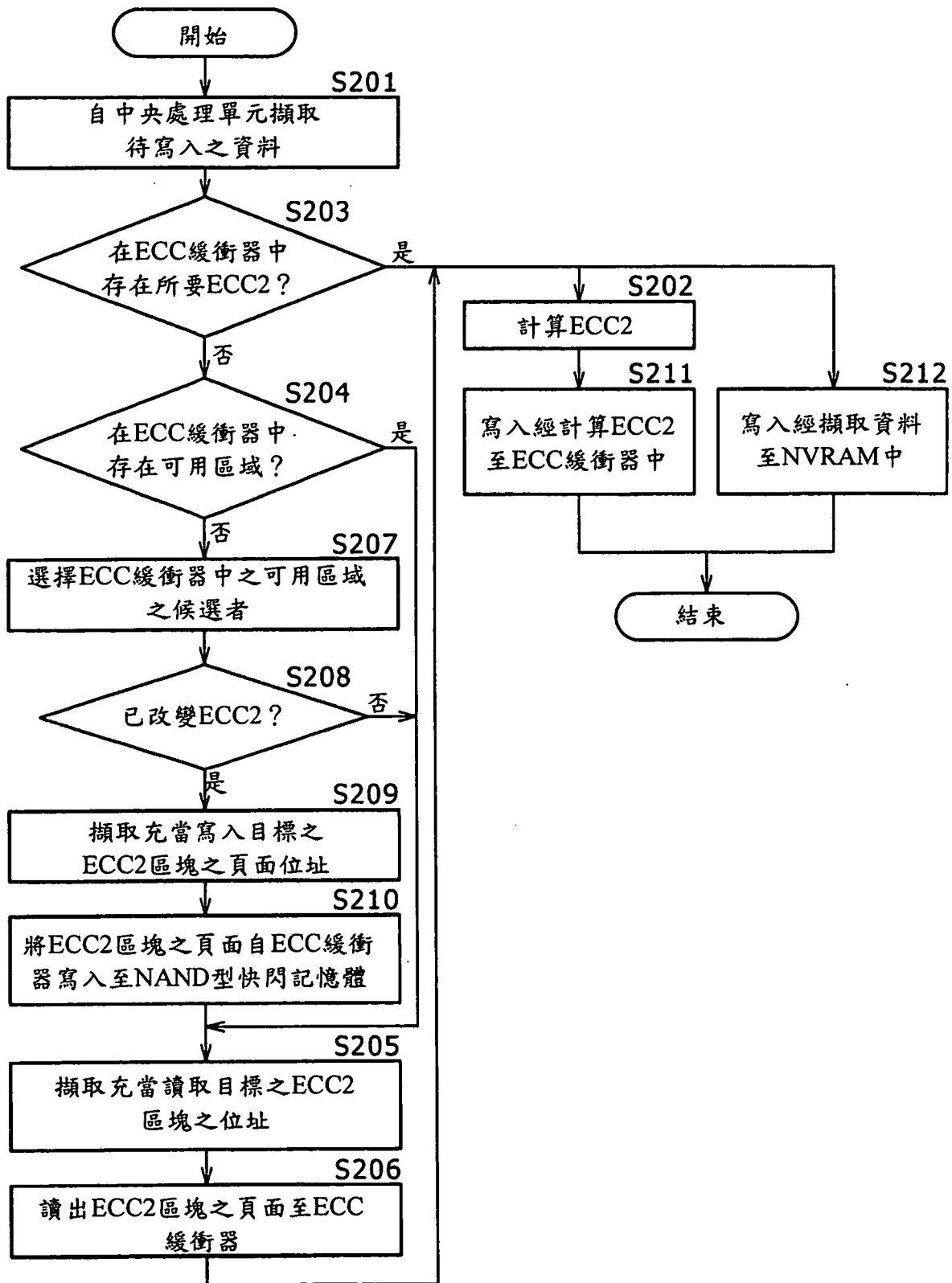


圖 7

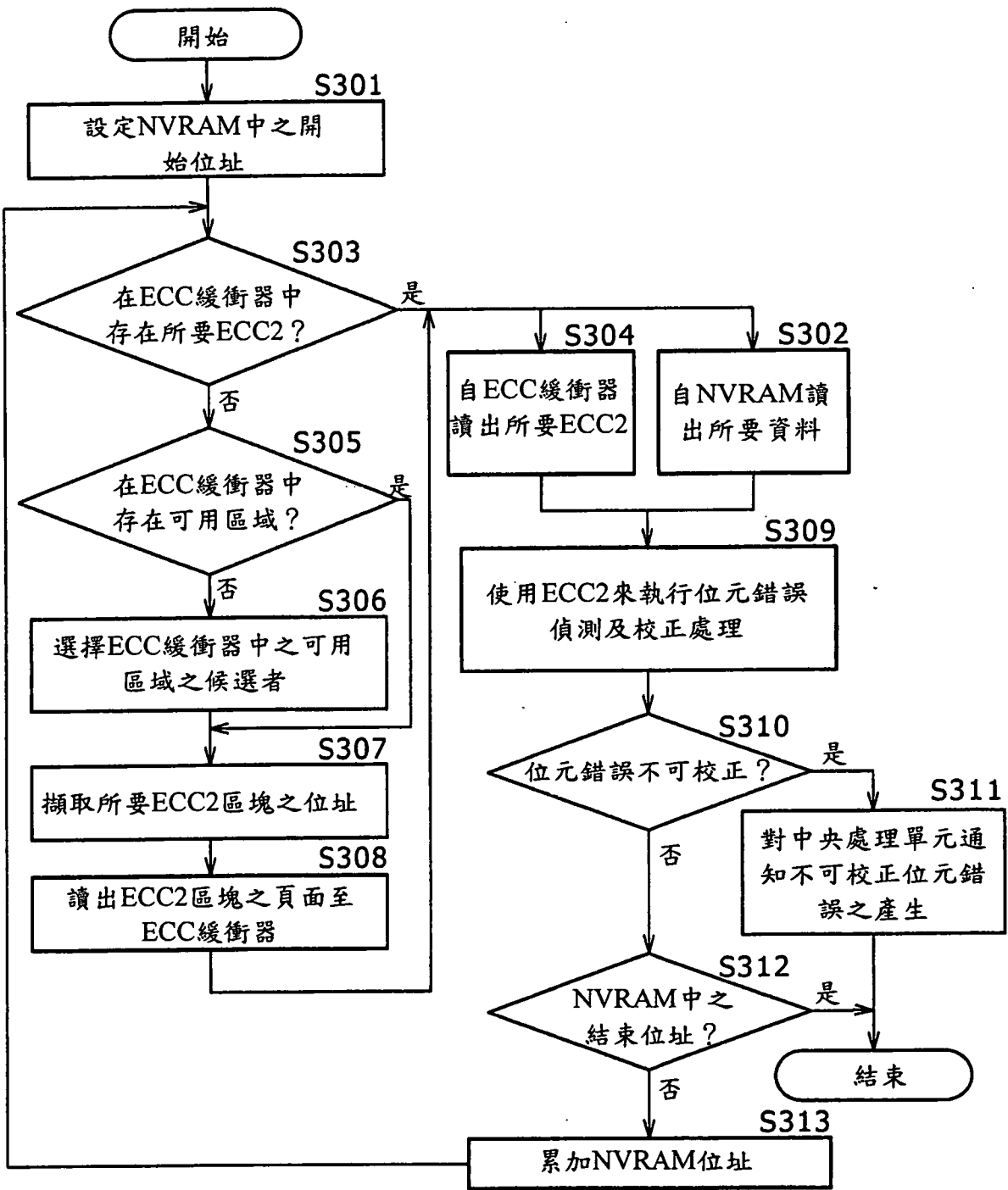


圖8



