

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年7月1日(01.07.2010)

PCT

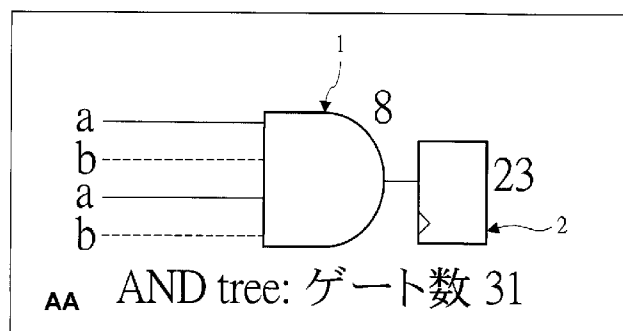
(10) 国際公開番号
WO 2010/073399 A1

- (51) 国際特許分類:
H01L 21/82 (2006.01) G06F 17/50 (2006.01)
- (21) 国際出願番号: PCT/JP2008/073828
- (22) 国際出願日: 2008年12月26日(26.12.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 株式会社ルネサステクノロジ(RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目6番2号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 石川 綾志 (ISHIKAWA, Ryoji) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内 Tokyo (JP).
- (74) 代理人: 筒井 大和(TSUTSUI, Yamato); 〒1600022 東京都新宿区新宿2丁目3番10号 新宿御苑ビル3階 筒井国際特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告(条約第21条(3))

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DESIGN METHOD AND SOFTWARE

(54) 発明の名称: 半導体集積回路の設計方法およびソフトウェア

図 6



AA AND tree: THE NUMBER OF GATES 31

(57) Abstract: It is possible to improve the failure detection ratio in a step for automatically designing a DFT circuit layout as follows. Signal lines of the DFT circuit are integrated by an AND tree circuit (1) or an OR tree circuit instead of an EXOR tree circuit so that an output is received by a flip-flop (2) for observation. If the EXOR tree circuit is used to detect a failure of the DFT circuit when partial circuits outputting signal lines are shared or when the partial circuits have an identical structure, signals cancel one another and there may be a case that a failure of the original partial circuit cannot be detected. This problem can be solved by using the AND tree circuit (1) or the OR tree circuit instead of the EXOR tree circuit.

(57) 要約:

[続葉有]

WO 2010/073399 A1



DFT回路のレイアウト自動設計工程における故障検出率を向上するために、DFT回路の信号線をEXOR tree回路の代わりにAND tree回路1またはOR tree回路で集約し、出力を観測用フリップフロップ2で受ける。各信号線を出力する部分回路が共有されていたりする場合や、その部分回路が同じ構造となっていたりする場合にEXOR tree回路を用いてDFT回路の故障検出処理を行うと、信号同士が打ち消しあって、元の部分回路の故障を検出できなくなってしまう場合があるが、EXOR tree回路を用いる代わりにAND tree回路1またはOR tree回路をもちいることにより、そのような不具合を防ぐことができる。

明 細 書

半導体集積回路の設計方法およびソフトウェア

技術分野

[0001] 本発明は、半導体集積回路の設計技術およびソフトウェアに関し、特に、DFT (Design For Testability) 回路のレイアウト設計工程に適用して有効な技術に関するものである。

背景技術

[0002] 特開2005-223171号公報(特許文献1)は、複数のスキャンチェングループが構成された半導体集積回路にて、グループ間を接続して全体のスキャンチェーンを構成する時の配線混雑を防止する技術を開示している。すなわち、個別のスキャンチェングループの間を接続して全体のスキャンチェーンを構成する際に、スキャンチェングループのそれぞれに含まれるすべてのフリップフロップ配置座標の重心座標の相互距離が近い順にスキャンチェングループ間の接続順序を決定するものである。あるいは、スキャンチェングループのクロック系に存在するゲートセルの位置座標の相互距離が近い順、あるいは予め任意指定された目印セルの相互距離が近い順、あるいはスキャンチェングループ間の相互距離が最短であるフリップフロップの組で相互距離が近い順に、スキャンチェングループ間の接続順序を決定するものである。

[0003] 特開2003-14818号公報(特許文献2)は、スキャンテスト回路によるスキャンテストの適用範囲を、従来の静的な論理故障検出から、実動作周波数でのタイミング故障検出にまで拡大する技術を開示している。すなわち、スキャンフリップフロップに任意のテストパターンが設定でき、静的な論理故障検出では高い故障検出率を確保することができるものであっても、フリップフロップの前段後段関係のために、スキャンテスト時にこれらフリップフロップから同時に同じ論理値を出力することは不可能であることから、経路遅延故障を検出するテストパターンを設定するのが困難であり、実動作周波数におけるタイミング故障検出率を高めることができなくなっている。そこで、前述のスキャンチェーンの1入力端に所定の論理信号を入力して上記スキャンチェ

ーンの出力端から順次論理結果を得るスキャンテスト回路において、同一の論理回路に入力値を与え、上記スキャンチェーンによって接続されている複数個のフリップフロップを、スキャンチェーン上で隣り合わないよう配置している。

[0004] 特開2005-274500号公報(特許文献3)は、スキャンアウト信号線の配線長を短くすべく圧縮器を介在して、外部出力ピン数をスキャンアウト信号線数より削減している構成において、複数のスキャンアウト信号線で同時に故障が発生しても、それらの故障の応答を見逃さない技術を開示している。すなわち、スキャンアウト信号線と外部出力ピンとの間に圧縮器を介在し、その圧縮器が、前記スキャンアウト信号線から同時に複数の故障応答が入力された場合の応答として、すべて正常の場合の応答と異なる応答を行うように構成したものである。具体的には、外部出力ピンの個数分のEXORゲートまたはEXNORゲートである圧縮ゲートで構成し、すべてのスキャンアウト信号線が、圧縮ゲート群に対する入力接続のパターンを互いにすべて異にする状態で圧縮ゲート群に接続したものである。

[0005] 特開2000-55986号公報(特許文献4)は、クロックスキュー等による誤動作を防止し、かつスキャンチェーンを短く接続して小レイアウト面積を実現する技術を開示している。すなわち、クロックツリー構成に基づいてスキャンレジスタを階層的にグループ化し、クロック入力端子から各クロックツリーバッファまでのクロック信号伝播時間とクロック入力端子から各スキャンレジスタまでのクロック信号伝播時間を求め、さらにスキャンレジスタグループ毎にクロックスキューを求め、クロックスキュー情報に基づいてスキャンレジスタグループ毎に配線長最短か誤動作防止かの属性を設定する。そして、誤動作防止属性が設定されたスキャンレジスタグループに対して誤動作防止を目的としてスキャンチェーンを接続し、配線長最短の属性が設定されたスキャンレジスタグループに対して配置情報を用いて配線長最短でスキャンチェーンを接続するものである。

特許文献1:特開2005-223171号公報

特許文献2:特開2003-14818号公報

特許文献3:特開2005-274500号公報

特許文献4:特開2000-55986号公報

発明の開示

発明が解決しようとする課題

- [0006] DFT回路のレイアウト設計工程において、DFT回路の故障を検出する際に、DFT回路の信号線をEXOR(exclusive OR circuit;排他的論理和) tree回路で集約し、そのEXOR tree回路からの信号を観測フリップフロップ回路で受けることで故障検出を行う手法がある。
- [0007] このEXOR tree回路を用いた故障検出方法は、少ないテストベクトル数で検査が可能であり、低コストとなることから広く用いられている。
- [0008] 実際のDFT回路においては、各信号線を出力する部分回路が共有されていたりする場合や、その部分回路が同じ構造となっていたりする場合がある。このような状況下でEXOR tree回路を用いてDFT回路の故障検出処理を行うと、信号同士が打ち消しあって、元の部分回路の故障を検出できなくなってしまう場合がある。
- [0009] 図25は、イネーブル信号の観測例を示す説明図である。この図25に示すように、クロックツリーを構成する際に、観測端子付きのクロックゲーティングセル101を用いる場合には、イネーブル生成論理回路102によって生成されたクロックイネーブルCENを出力する観測端子OBSが存在する。このようなクロックゲーティングセル101が複数配置されると、これら複数のクロックゲーティングセル101の観測端子OBSの出力は、EXOR tree103で集約され、観測用フリップフロップ104と電氣的に接続される。前述のように、EXOR tree103は、同信号を集約してしまうと、信号同士が打ち消しあって、観測用フリップフロップ104による故障検出率が減少してしまうことから、EXOR tree103で集約可能なクロックイネーブルCENは、異信号のみとなる。たとえば、観測回路を自動挿入するパワーコンパイラでは、イネーブル信号が同じか異なるかを判別していないため、故障検出率が大きくなっていることが懸念される。
- [0010] EXOR tree103に異なる信号が入力された場合には、観測用フリップフロップ104によって元の部分回路の故障を検出することができるが(図26参照)、EXOR tree103に同じ信号が入力された場合には、前述のように信号同士が打ち消しあってしまうことから、観測用フリップフロップ104によって元の部分回路の故障を検出することができなくなる(図27参照)。そこで、同じ信号となる場合には、別のEXOR tree1

03およびその別のEXOR tree103と電氣的に接続する観測用フリップフロップ104を生成し、1つのEXOR tree103に同じ信号が入力されないようにすることで、故障検出率を下げないようにすることはできる。しかしながら、観測用フリップフロップ104が増えたことによって、観測用フリップフロップ104自体のリソースが多く必要になってしまうという課題を含んでいる。

[0011] 本発明の目的は、DFT回路のレイアウト自動設計工程における故障検出率を向上できる技術を提供することにある。

[0012] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0013] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0014] 本発明による半導体集積回路の設計方法は、回路故障検出用の観測回路を含む半導体集積回路の設計方法であって、

- (a)論理的グルーピングを行い、論理階層的に近い信号線毎に複数のクラスタを形成する工程、
- (b)確率的グルーピングに必要な初期情報群を読み込む工程、
- (c)1つのAND treeもしくは1つのOR treeに電氣的に接続される最大ファンイン数を決定し、前記最大ファンイン数を前記初期情報群に含める工程、
- (d)前記初期情報群を基に前記確率的グルーピングを行い、前記信号線のグルーピング情報を作成する工程、
- (e)前記グルーピング情報を基に、前記信号線の自動配置を行い、前記信号線のレイアウトを形成する工程、
- (f)前記(e)工程後、前記グルーピング情報を基に前記信号線を前記AND treeもしくは前記OR treeでまとめる工程、
- (g)前記AND treeもしくは前記OR treeの終端に前記観測用回路を配置してスキャン接続する工程、

を含み、

前記初期情報群には、netlist、クラスタ情報、トグル情報、タイミング制約、および前記レイアウトを形成する上での制約情報が含まれ、

前記(d)工程は、

(d1)前記複数のクラスタのうちの第1のクラスタ中にて、信号が1となる第1の確率が $1/2$ 以上の前記信号線を前記第1の確率が大きい順に前記最大ファンイン数以内の第1のファンイン数集め、1つ以上の前記AND treeの候補を形成する工程、

(d2)前記第1クラスタ中にて、前記信号が0となる第2の確率が $1/2$ 以上の前記信号線を前記第2の確率が大きい順に前記第1のファンイン数集め、1つ以上の前記OR treeの候補を形成する工程、

を含むものである。

[0015] また、本発明によるソフトウェアは、回路故障検出用の観測回路を含む半導体集積回路を設計するソフトウェアであって、

(a)論理的グルーピングを行い、論理階層的に近い信号線毎に複数のクラスタを形成する工程、

(b)確率的グルーピングに必要な初期情報群を読み込む工程、

(c)1つのAND treeもしくは1つのOR treeに電氣的に接続される最大ファンイン数を決定し、前記最大ファンイン数を前記初期情報群に含める工程、

(d)前記初期情報群を基に前記確率的グルーピングを行い、前記信号線のグルーピング情報を作成する工程、

(e)前記グルーピング情報を基に、前記信号線の自動配置を行い、前記信号線のレイアウトを形成する工程、

(f)前記(e)工程後、前記グルーピング情報を基に前記信号線を前記AND treeもしくは前記OR treeでまとめる工程、

(g)前記AND treeもしくは前記OR treeの終端に前記観測用回路を配置してスキャン接続する工程、

を含む工程によって前記半導体集積回路を設計し、

前記初期情報群には、netlist、クラスタ情報、トグル情報、タイミング制約、および前記レイアウトを形成する上での制約情報が含まれ、

前記(d)工程は、

(d1)前記複数のクラスタのうちの第1のクラスタ中にて、信号が1となる第1の確率が $1/2$ 以上の前記信号線を前記第1の確率が大きい順に前記最大ファンイン数以内の第1のファンイン数集め、1つ以上の前記AND treeの候補を形成する工程、

(d2)前記第1クラスタ中にて、前記信号が0となる第2の確率が $1/2$ 以上の前記信号線を前記第2の確率が大きい順に前記第1のファンイン数集め、1つ以上の前記OR treeの候補を形成する工程、

を含むものである。

発明の効果

[0016] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0017] DFT回路のレイアウト自動設計工程における故障検出率を向上できる。

図面の簡単な説明

[0018] [図1]本発明の一実施の形態であるDFT回路のレイアウト設計工程における、AND tree回路によるDFT回路の信号線の集約条件を示す説明図である。

[図2]本発明の一実施の形態であるDFT回路のレイアウト設計工程における、OR tree回路によるDFT回路の信号線の集約条件を示す説明図である。

[図3]EXOR tree回路によってDFT回路の信号線を集約した場合の課題を示す説明図である。

[図4]tree回路構成を示す説明図である。

[図5]図4に示したtree回路をEXOR tree回路で構成した場合の説明図である。

[図6]図4に示したtree回路をAND tree回路で構成した場合の説明図である。

[図7]本発明の一実施の形態であるDFT回路の信号線をAND tree回路に集約する条件を示す説明図である。

[図8]本発明の一実施の形態であるDFT回路の信号線をOR tree回路に集約する条件を示す説明図である。

[図9]本発明の一実施の形態であるDFT回路の信号線をAND tree回路に集約する条件を示す説明図である。

[図10]本発明の一実施の形態であるDFT回路の信号線をOR tree回路に集約する条件を示す説明図である。

[図11]本発明の一実施の形態であるDFT回路におけるイネーブル論理生成回路から出力される信号の確率計算をし、tree構造を構成する信号線を集める例について示す説明図である。

[図12]図11で集められた信号線を集約し、AND tree回路を構成する例について示す説明図である。

[図13]図11で集められた信号線を集約し、OR tree回路を構成する例について示す説明図である。

[図14]1つの信号線にインバータを挿入した後にAND tree回路1で各信号線を集約した場合について示す説明図である。

[図15]AND tree回路の等価回路であるNAND-NOR回路を示す説明図である。

[図16]OR tree回路の等価回路であるNOR-NAND回路を示す説明図である。

[図17]CPUおよびグラフィック演算部を有するチップの論理木構造を示す説明図である。

[図18]CPUおよびグラフィック演算部を有するチップの回路セルレイアウトを示す説明図である。

[図19]本発明の一実施の形態であるDFT回路の信号線をtree回路にまとめる方法を示すフローチャートである。

[図20]信号線の論理的グルーピングについて示す説明図である。

[図21]回路セルレイアウト形成後における、tree構造の再構成について示す説明図である。

[図22]本発明の一実施の形態であるDFT回路の信号線をtree回路にまとめる方法を示すフローチャートである。

[図23]本発明の一実施の形態である半導体集積回路の設計工程および製造工程を説明するフローチャートである。

[図24]図23に示すフローチャートにおけるDFT回路のレイアウト設計工程の詳細

を説明するフローチャートである。

[図25]イネーブル信号の観測例を示す説明図である。

[図26]EXOR treeの特性を示す説明図である。

[図27]EXOR treeの特性を示す説明図である。

発明を実施するための最良の形態

[0019] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

[0020] また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。

[0021] さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。また、実施例等において構成要素等について、「Aからなる」、「Aよりなる」と言うときは、特にその要素のみである旨明示した場合等を除き、それ以外の要素を排除するものでないことは言うまでもない。

[0022] 同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

[0023] また、本実施の形態を説明するための全図において同一機能を有するものは原則として同一の符号を付し、その繰り返しの説明は省略する。

[0024] 以下、本発明の実施の形態を図面に基づいて詳細に説明する。

[0025] 本実施の形態は、ソフトウェアを用いたDFT回路(観測回路)のレイアウト自動設計工程(たとえば、EDA(Electronic Design Automation))において、イネーブル信号を観測することによる故障検出処理に係るものである。

- [0026] DFT回路のレイアウト設計工程において、DFT回路の故障を検出する際に、DFT回路の信号線をEXOR tree回路で集約し、そのEXOR tree回路からの信号を観測フリップフロップ回路で受けることで故障検出を行う手法がある。しかしながら、実際のDFT回路においては、EXOR tree回路を用いてDFT回路の故障検出処理を行うと、信号同士が打ち消しあって、元の部分回路の故障を検出できなくなってしまう場合がある。
- [0027] そこで、本実施の形態では、上記EXOR tree回路で集約していたDFT回路の信号線を、EXOR tree回路の代わりにAND tree回路またはOR tree回路で集約し、故障検出率の低下を防ぐ。以下、本実施の形態におけるAND tree回路またはOR tree回路の構成方法について説明する。
- [0028] まず、tree回路の初段入力において“1”となる確率を $1/2$ として、tree回路の各段で“0”が発生する確率 c_0 と、tree回路の各段で“1”が発生する確率 c_1 とを算出する。その算出結果より、最終段での“0”が発生する確率 c_0 と、最終段での“1”が発生する確率 c_1 とを比較し、最終段での“1”が発生する確率 c_1 が大きい場合にはAND tree回路1を構成してAND tree回路1からの出力を観測用フリップフロップ2で受け(図1参照)、最終段での“0”が発生する確率 c_0 が大きい場合にはOR tree回路3を構成してOR tree回路3からの出力を観測用フリップフロップ2で受ける(図2参照)。
- [0029] 上記のようなAND tree回路1もしくはOR tree回路3を用いた場合には、EXOR tree回路を用いた場合に比べて故障検出率を向上することができる。図3に示すように、イネーブル論理生成回路4の種類に関わらず、EXOR tree回路5で信号をまとめた場合には、信号がEXOR tree回路5に信号がマスクされて観測用フリップフロップ2による故障検出ができなくなる。たとえば、単純に1つのイネーブル信号(故障)がすべての観測用フリップフロップ2に偶数個でまとめられた場合には、イネーブル論理生成回路4の故障検出率は0となる。一方、AND tree回路1もしくはOR tree回路3を用いた場合には、故障がマスクされることはないので、故障検出率は100%とすることができる。
- [0030] また、AND tree回路1もしくはOR tree回路3を用いた場合には、EXOR tree回路5を用いた場合に比べて、tree回路を構成するゲート数を大幅に低減することが

でき、チップサイズを小型化することができる。これを図4～図6を用いて説明する。

[0031] 図4に示すように、tree回路6によりイネーブル論理回路4A、4B、4Cの3つからの信号がまとめられる場合を例にとって説明する。図5に示すように、イネーブル論理を辿って元の論理が異なるようにEXOR tree回路5を適宜用いてまとめる必要があり、必要に応じて観測用フリップフロップ2も追加しなければならない。そのため、図4に示したtree回路6がEXOR tree回路5から形成されているとすると、EXOR tree回路5は2つ必要となり、それぞれのEXOR tree回路5に観測用フリップフロップ2も接続される構造となる。1つのEXOR tree回路5および1つの観測用フリップフロップ2では、それぞれゲート数が11および23となるので、図5に示した回路構造全体のゲート数は68となる。なお、EXOR tree回路5および観測用フリップフロップ2に付記してある数字は、それぞれのゲート数である。EXOR tree回路5を用いた場合のtree構造は、イネーブル論理が増加するほど複雑になり、追加される観測用フリップフロップ2もそれに比例して増加することになる。

[0032] 一方、図6に示すように、図4に示したtree回路6がAND tree回路1から形成されているとすると、1つのAND tree回路1でイネーブル論理回路4A、4B、4Cの3つからの信号をまとめることができ、観測用フリップフロップ2についても1つで済ませることができる。ゲート数については、1つのAND tree回路1および1つの観測用フリップフロップ2では、それぞれ8および23となるので、図6に示した回路構造全体のゲート数は31となる。なお、AND tree回路1に付記してある数字は、AND tree回路1のゲート数である。すなわち、AND tree回路1からtree回路6を形成することにより、EXOR tree回路5からtree回路6を形成する場合に比べて大幅にゲート数を削減することができる。その結果、チップ内では配線数を削減することができるので、チップを小型化することが可能となる。

[0033] ここで、本実施の形態におけるAND tree回路1もしくはOR tree回路3の構成条件について、図7～図14を用いて説明する。

[0034] 一般に、AND回路もしくはOR回路でtree構造を構築すると、EXOR回路でtree構造を構築した場合よりテスト長が長くなることがある。これには、イネーブル信号の組み合わせを入れ替えることで対応することができる。すなわち、tree構造の各段に

おける“0”が発生する確率 c_0 と、tree回路の各段で“1”が発生する確率 c_1 とを考慮して、確率 c_1 が $1/2$ より大きい信号はAND tree回路1に集約し(図7参照)、確率 c_0 が $1/2$ より大きい信号はOR tree回路3に集約することにより(図8参照)、tree構造を構成しやすくなる。

[0035] また、確率 c_1 が $1/2$ より大きい信号と小さい信号とをAND tree回路1に集約する必要がある場合には、確率 c_1 が $1/2$ より小さい信号にインバータを付加してAND tree回路1に集約してもよく(図9参照)、確率 c_0 が $1/2$ より大きい信号と小さい信号とをOR tree回路3に集約する必要がある場合には、確率 c_0 が $1/2$ より小さい信号にインバータを付加してOR tree回路3に集約してもよい(図10参照)。

[0036] 次に、4入力のtree構造の構成例について説明する。まず、各イネーブル論理生成回路4から出力される信号の確率計算をし、tree構造を構成する信号線を集める。なお、図11では、AND tree回路1に集約される信号を集める場合について図示している。

[0037] 次いで、集めた各信号線を集約し、AND tree回路1(図12参照)もしくはOR tree回路3(図13参照)を構成した後に、コスト計算を行う。この時の集約条件は、図7～図10を用いて前述したように、確率 c_1 が $1/2$ より大きい信号線はAND tree回路1に集約し、確率 c_0 が $1/2$ より大きい信号線はOR tree回路3に集約するものであり、確率 c_1 、 c_0 が $1/2$ より小さい信号線もAND tree回路1もしくは集約OR tree回路3に集約しなければならない場合には、インバータを付加して集約するものである。

[0038] 次いで、各tree回路(AND tree回路1およびOR tree回路3)から確率 c_1 、 c_0 の最も高いものを選択する。それにより、tree構造のパターン長を減少できるので、製造コストを低減することができる。この時、信号線にインバータを挿入することで、そのtree回路で最も確率(故障検出率) c_1 、 c_0 を高くできる場合には、その信号にインバータを挿入した後にそのtree回路を選択する(図14参照)。なお、図14は、1つの信号線にインバータを挿入した後にAND tree回路1で各信号線を集約した場合について図示している。

[0039] 上記図7～図10では、AND tree回路1およびOR tree回路3の構造について

説明したが、実際の回路では、AND tree回路1およびOR tree回路3のそれぞれの等価回路であるNAND-NOR回路7(図15参照)およびNOR-NAND回路8(図16参照)として構成してもよい。

[0040] 次に、イネーブル論理生成回路での確率計算について説明する。

[0041] まず、各イネーブル論理の確率計算を行う際の、“0”が発生する確率 c_0 および“1”が発生する確率 c_1 の初期値の与え方については、以下の(1)～(3)を例示できる。

(1) tree構造の初段の各入力およびフリップフロップの出力における確率 c_0 、 c_1 をそれぞれ $1/2$ とし、伝播させる。

(2) tree構造の各ゲートの入力にトグル情報を入力する。tree構造の一部の入力にのみトグル情報を与えて、それ以外では伝播させてもよい。

(3) tree構造の各ゲートの入力にランダム(乱数)にて与える。tree構造の一部の入力にのみランダム(乱数)にて与えて、それ以外では伝播させてもよい。

[0042] 以上のように、確率 c_0 、 c_1 の初期値が与えられたイネーブル信号をAND tree回路1もしくはOR tree回路3でまとめていく。AND tree回路1もしくはOR tree回路3でまとめていくことにより、どのようなイネーブル信号もまとめられるようになる一方で、イネーブル信号をAND tree回路1もしくはOR tree回路3でまとめるに当たって、次の(a)、(b)の点で注意を払う。

(a) チップ面積およびフリップフロップの個数といった物理的リソースを効率よく使用する。

(b) 確率的に故障を検出しやすいように、テスト長を短縮するようにtree構造にまとめる。

[0043] ここで、上記(a)に記載した「物理的リソースを効率よく使用」について図17および図18を用いて説明する。図17および図18は、CPU(Central Processing Unit)11およびグラフィックス演算部12を有するチップのそれぞれ論理木構造および回路セルレイアウトを示したものである。

[0044] 回路セルレイアウトを作成する前であれば、まず、論理階層的に近いところで観測信号のグルーピングを行い、回路セルの配置も論理階層的近さを考慮して行う。すなわち、論理的には、コア回路13およびキャッシュメモリ回路14がCPU11でまとめら

れ、VPU (Visual Processing Unit) 15および乗算器16がグラフィックス演算部12でまとめられる。さらに、CPU11およびグラフィックス演算部12が論理的に1つのチップにまとめられる。

[0045] 回路セルレイアウトの作成中であれば、その回路セルレイアウトを作成するための回路セル配置情報を基にして、分布領域が小さくなるように観測信号線を選択し、観測信号線の本数およびファンアウト数を指定する。

[0046] 次に、上記(b)に記載した「確率的に故障を検出しやすいように、テスト長を短縮するようにtree構造にまとめる」について説明する。

[0047] 回路セルレイアウトを作成する前であれば、まず、故障を検出する確率が最も高くなるように観測信号線のグルーピングを行う。すなわち、グルーピングおよびtree構成は、たとえば次の(b1)～(b3)の手順を経る。

(b1) 1つの観測用フリップフロップ2にまとめる観測信号線のしきい値(1つのtreeにまとめるファンイン数の最大値)を決定する。

(b2) 上記(b1)で決定した1つの観測用フリップフロップ2にまとめる観測信号線のしきい値内のファンイン数で、互いに近傍にある観測信号線をまとめる。この時、前述したように、“1”が発生する確率 c_1 が $1/2$ 以上となる観測信号線を集めると、AND tree回路1の候補となり、“0”が発生する確率 c_0 が $1/2$ 以上となる観測信号線を集めると、OR tree回路3の候補となる。

(b3) AND tree回路1の候補にまとめられた観測信号線中に、“1”が発生する確率 c_1 が $1/2$ 未満となる観測信号線があった場合には、その観測信号線はインバータを介してAND tree回路1に接続する。また、OR tree回路3の候補にまとめられた観測信号線中に、“0”が発生する確率 c_0 が $1/2$ 未満となる観測信号線があった場合には、その観測信号線はインバータを介してOR tree回路3に接続する。

[0048] 上記(b1)～(b3)に沿って観測信号線のグルーピングおよびtree構成を行った後に、回路セルレイアウトを作成する。回路セルレイアウトを作成した後に、近傍に配置されている回路セル間に限定して、上記(b1)～(b3)に沿って観測信号線の再グルーピングおよび再tree構成を行う。回路セルレイアウトの作成前に上記(b1)～(b3)が考慮されていない場合には、回路セルレイアウトの作成後の各回路セルの配置状

態から、近傍に配置されている回路セル同士でクラスタリングし、“1”が発生する確率 c_1 もしくは“0”が発生する確率 c_0 が高くなるように観測信号線のグルーピングを行い、観測信号線をAND tree回路1もしくはOR tree回路3にまとめる。

[0049] 以下、ここまで説明してきたtreeの構成方法を、DFT回路のレイアウト設計工程中における位置付けと併せて図19に示すフローチャートを用いてまとめる。

[0050] まず、論理的グルーピングおよび確率的グルーピングに必要な初期情報群を読み込む(工程S1)。本実施の形態において、その初期情報群に含まれるものとしては、netlist、クラスタ情報、トグル情報、タイミング制約、および回路セルレイアウトを形成する上での制約情報等を例示できる。ここで、netlistは、プリミティブな論理素子(ANDおよびOR等)と信号ネットの接続とで、チップの機能を記述した情報(もしくはファイル)のことを指す。netlistに記述された情報を基に、機能毎にクラスタリングし、論理(機能)のかたまりとしてまとめ、その接続を考慮したものが論理tree構造となることから、netlistに比べて論理tree構造の方がより抽象度は高くなる。

[0051] 次いで、論理的グルーピングを行い、論理階層的に近い観測信号線毎に複数のクラスタを形成する(工程S2)。ここでは、論理tree構造を作成し、論理階層的に近い信号線毎にクラスタリングし、複数のクラスタを形成する。これを図20に示す論理tree構造を用いてさらに詳細に説明する。まず、任意のイネーブル信号 e を選択し、そのイネーブル信号 e と同じ階層にある論理結合レベルを0とする。その階層から直接接続されている階層にあるイネーブル信号の結合レベルを1とし、そこからさらに移動して接続している階層にあるイネーブル信号の結合レベルを2とするように、論理的に離れた関係にある階層のイネーブル信号ほど結合レベルの値が大きくなる。たとえば、結合レベルが2のところにイネーブル信号 f がある場合には、 $L[e][f]=2$ のように表すことができる(“ L ”は、 e と f の論理的結合度、論理階層の距離を示す)。論理的グルーピングでは、論理的に結合の近いイネーブル信号、すなわち結合レベルの小さいイネーブル信号を集めるので、任意のイネーブル信号 e_i 、 e_j の間で、 $L[e_i][e_j]$ の総和である $\sum L[e_i][e_j]$ を最小にするようにイネーブル信号のクラスタを形成するものである。

[0052] 次いで、1つの観測用フリップフロップ2に接続する観測信号線の最大数、すなわ

ち最大ファンイン数を決定、前述の初期情報群に含める(工程S3)。この場合の最大ファンイン数はテストコストに影響し、最大ファンイン数が多い場合は、テストコストは高くなるがゲート数は減少し、最大ファンイン数が小さい場合には、テストコストは低くなるがゲート数は増加する。すなわち最大ファンイン数は回路の集積率とテストコストとのトレードオフとなるため、チップの用途によって回路の集積率とテストコストの何れを重視するかによって選択される。

[0053] 次いで、前述の初期情報群を基に確率的グルーピングを行う(工程S4)。ここでは、論理的グルーピングで形成した各クラスタ中で、さらに最大ファンイン数以下のまとまり(ファンイン数(第1のファンイン数))となるようにクラスタ中の観測信号線を確率的に分割してグルーピングし、グルーピング情報を作成する。この時のファンイン数については、一般的に4, 8, 16…等といった2の階乗となる数値が取られる。ファンイン数が少ないと、少ないテスト長で故障を検出可能となるが、その一方で多くの回路リソースが必要となり、ファンイン数およびテスト長と、対応する回路リソースとは、トレードオフの関係となる。そのため、ファンイン数については、回路リソースを考慮した上で、ユーザーが適宜決定することになる。各クラスタ(第1のクラスタ)中での確率的グルーピングは、前述したように、tree回路の最終段で、“1”が発生する確率(第1の確率) c_1 が $1/2$ より大きい場合にはAND tree回路1でまとめ、“0”が発生する確率(第2の確率) c_0 が $1/2$ より大きい場合にはOR tree回路3でまとめる。また、クラスタ中の観測信号線を確率的にグルーピングする際には、“1”が発生する確率 c_1 もしくは“0”が発生する確率 c_0 が大きい順に集めてグルーピングしていく。

[0054] 次いで、前述の初期情報群に含まれている回路セルレイアウトを形成する上での制約情報に基づいて、AND tree回路1およびOR tree回路3を自動配置していき、各信号線のレイアウト、すなわち回路セルレイアウトを形成する(工程S5)。

[0055] 上記回路セルレイアウトの形成後、工程S4でまとめられたAND tree回路1およびOR tree回路3のtree構造の再構成を行い、改めてAND tree回路1およびOR tree回路3でまとめてもよい(工程S6)。すなわち、回路セルレイアウトを形成し、各信号線を配置した後では、タイミング動作の最適化等が実行されることもあり、そのような場合には、信号線の物理的配置位置も変更されることがある。その際に、イネーブ

ル信号のまとまりを再構成することによって、配線リソースの低減やトランジション対策ができる場合もある。つまり、あるイネーブル信号からANDもしくはORまでの配線の和である総配線長について考慮し、他のAND tree回路1もしくはOR tree回路3とスワップすることで、両方のAND tree回路1もしくはOR tree回路3の総配線長が短くなる場合には、工程S4でまとめられたAND tree回路1およびOR tree回路3のtree構造の再構成を行うものである(図21参照)。

[0056] 次いで、AND tree回路1およびOR tree回路3の終端に観測用フリップフロップ2を配置し、これらをスキャン接続する(工程S7)。

[0057] ところで、前述のように、回路セルレイアウトを先に形成した後でtree構成する場合も考えられる。この場合について、図22に示すフローチャートを用いてまとめる。

[0058] まず、確率的グルーピングに必要な初期情報群を読み込む(工程S11)。ここで読み込む初期情報群は、図19における工程S1で読み込んだ初期情報群とほぼ同様の情報を含む。

[0059] 次いで、工程S11で読み込んだ初期情報群に含まれている回路セルレイアウトを形成する上での制約情報に基づいて回路セルを配置していき、各信号線のレイアウト、すなわち回路セルレイアウトを形成する(工程S12)。

[0060] 次いで、1つの観測用フリップフロップ2に接続する観測信号線の最大数、すなわち最大ファンイン数を決定、前述の初期情報群に含める(工程S13)。

[0061] 次いで、回路セルレイアウトの作成後の各回路セルの配置状態から、近傍に配置されている回路セル同士でクラスタリングし、“1”が発生する確率 c_1 もしくは“0”が発生する確率 c_0 が高くなるように観測信号線のグルーピングを行い、観測信号線をAND tree回路1もしくはOR tree回路3にまとめる(工程S14)。ここでは、前述の初期情報群に含まれている最大ファンイン数以下のまとまり(ファンイン数)となるように観測信号線を確率的に分割し、グルーピングする。ここでも、確率的グルーピングは、tree回路の最終段で、“1”が発生する確率 c_1 が $1/2$ より大きい場合にはAND tree回路1でまとめ、“0”が発生する確率 c_0 が $1/2$ より大きい場合にはOR tree回路3でまとめ、いずれの場合も“1”が発生する確率 c_1 もしくは“0”が発生する確率 c_0 が大きい順に集めてグルーピングしていくのは同様である。

- [0062] 次いで、AND tree回路1およびOR tree回路3の終端に観測用フリップフロップ2を配置し、これらをスキャン接続する(工程S15)。
- [0063] 次に、半導体集積回路の設計工程および製造工程中における、本実施の形態のDFT回路のレイアウト設計工程の位置付けについて、図23および図24を用いて説明する。
- [0064] まず、チップ全体としての機能の設計を行う(工程S21)。次いで、工程S21で設計したチップ全体の機能に合わせて論理設計を行い(工程S22)、さらに論理回路に合成する(工程S23)。次いで、工程S23で合成された論理回路にテスト回路を挿入する(工程S24)。次いで、回路セルレイアウトを作成する(工程S25)。この工程S25には、図19および図22でまとめたDFT回路のレイアウト設計工程も含まれるものであり、工程S25はさらに図24に示すフローチャートのように工程が細分化される。
- [0065] 工程S25では、まずチップにおけるフロアプラン設計が行われる(工程S25A)。このフロアプラン設計により、回路セルレイアウトを形成する上での制約情報が作成され、前述の初期情報群にその制約情報を含めることができる。
- [0066] 次いで、チップフロア内に回路セルを配置する前に、回路セルの最適化を行う(工程S25B)。この回路セルの最適化は、図19を用いてまとめた工程S2(論理的グルーピング)、工程S3(最大ファンイン数決定)および工程S4(確率的グルーピング)が相当する。
- [0067] 次いで、最適化が成された回路セルをチップフロア内に配置していく(工程S25C)。この回路セルの配置工程は、図19を用いてまとめた工程S5、および図22を用いてまとめた工程S12が相当する。
- [0068] 回路セルをチップフロア内に配置後には、必要に応じて回路セルの最適化を行う(工程S25D)。この回路セルの最適化は、図19を用いてまとめた工程S6(tree構造の再構成)、工程S7(観測用フリップフロップ2の配置およびスキャン接続)、図22を用いてまとめた工程S13(最大ファンイン数決定)、工程S14(確率的グルーピング)、および工程S15(観測用フリップフロップ2の配置およびスキャン接続)が相当する。
- [0069] 次いで、クロックツリー合成(CTS(Clock Tree Synthesis))が行われる(工程S25E)。回路の同期を取るクロック信号をチップ全体に分配する際には、数千～数万ある

フリップフロップにできるだけ同じ遅延値で到達させることが必要となる。そのため、1つのクロック信号を全フリップフロップに分配するのに効率的なtree構造を生成する。このtree構造の生成をCTSと言う。このCTS後には、必要に応じて回路セルの最適化を行う(工程S25F)。

[0070] 次いで、チップフロア内での最適化が完了した回路セルに対応する配線をレイアウト上に配置していく(工程S25G)。配線の配置後、必要に応じて配置した配線および回路セルの最適化(工程S25H)を行うことで、工程25の回路セルレイアウト作成が行われる。

[0071] 次に、上記工程25で作成された回路セルレイアウトを基に、半導体ウエハへ回路パターンを転写するためのマスク製造が行われる(工程S26)。その後、そのマスクを用いたウエハ処理およびパッケージング処理(工程S27)を経て、本実施の形態の半導体集積回路を製造する。

[0072] 以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

産業上の利用可能性

[0073] 本発明の半導体集積回路の設計方法およびソフトウェアは、SoC(System on Chip)およびマイコン等のロジック(論理)回路を有するチップの製造における、DFT回路のレイアウト自動設計工程に適用できる。

請求の範囲

- [1] 回路故障検出用の観測回路を含む半導体集積回路の設計方法であって、
- (a) 論理的グルーピングおよび確率的グルーピングに必要な初期情報群を読み込む工程、
 - (b) 前記論理的グルーピングを行い、論理階層的に近い信号線毎に複数のクラスタを形成する工程、
 - (c) 1つのAND treeもしくは1つのOR treeに電氣的に接続される最大ファンイン数を決定し、前記最大ファンイン数を前記初期情報群に含める工程、
 - (d) 前記初期情報群を基に前記確率的グルーピングを行い、前記信号線のグルーピング情報を作成する工程、
 - (e) 前記グルーピング情報を基に、前記信号線の自動配置を行い、前記信号線のレイアウトを形成する工程、
 - (f) 前記(e)工程後、前記グルーピング情報を基に前記信号線を前記AND treeもしくは前記OR treeでまとめる工程、
 - (g) 前記AND treeもしくは前記OR treeの終端に前記観測用回路を配置してスキャン接続する工程、
- を含み、
- 前記初期情報群には、netlist、クラスタ情報、トグル情報、タイミング制約、および前記レイアウトを形成する上での制約情報が含まれ、
- 前記(d)工程は、
- (d1) 前記複数のクラスタのうちの第1のクラスタ中にて、信号が1となる第1の確率が $1/2$ 以上の前記信号線を前記第1の確率が大きい順に前記最大ファンイン数以内の第1のファンイン数集め、1つ以上の前記AND treeの候補を形成する工程、
 - (d2) 前記第1クラスタ中にて、前記信号が0となる第2の確率が $1/2$ 以上の前記信号線を前記第2の確率が大きい順に前記第1のファンイン数集め、1つ以上の前記OR treeの候補を形成する工程、
- を含むことを特徴とする半導体集積回路の設計方法。
- [2] 請求項1記載の半導体集積回路の設計方法において、

前記(d1)工程にて、前記AND treeの前記候補に、前記第1の確率が1/2未満の前記信号線を含める場合には、前記第1の確率が1/2未満の前記信号線にインバータを付加し、

前記(d2)工程にて、前記OR treeの前記候補に、前記第2の確率が1/2未満の前記信号線を含める場合には、前記第2の確率が1/2未満の前記信号線にインバータを付加することを特徴とする半導体集積回路の設計方法。

[3] 請求項1記載の半導体集積回路の設計方法において、

前記(f)工程では、前記AND treeおよび前記OR treeの少なくとも一方は等価回路で形成し、

前記AND treeの前記等価回路は、NAND-NOR treeであり、

前記OR treeの前記等価回路は、NOR-NAND treeであることを特徴とする半導体集積回路の設計方法。

[4] 請求項1記載の半導体集積回路の設計方法において、

前記(e)工程では、前記(f)工程で前記AND treeもしくは前記OR treeにまとめられる前記信号線同士が近接するように、前記信号線の前記レイアウトを形成することを特徴とする半導体集積回路の設計方法。

[5] 請求項1記載の半導体集積回路の設計方法において、

前記第1のファンイン数は、前記AND treeもしくは前記OR treeにまとめられる前記信号線同士が近接するように決定することを特徴とする半導体集積回路の設計方法。

[6] 回路故障検出用の観測回路を含む半導体集積回路の設計方法であって、

(a)確率的グルーピングに必要な初期情報群を読み込む工程、

(b)信号線の自動配置を行い、前記信号線のレイアウトを形成し、前記信号線から複数のクラスタを形成する工程、

(c)1つのAND treeもしくは1つのOR treeに電氣的に接続される最大ファンイン数を決定し、前記最大ファンイン数を前記初期情報群に含める工程、

(d)前記初期情報群を基に前記確率的グルーピングを行い、前記信号線のグルーピング情報を作成する工程、

(e)前記グルーピング情報を基に前記信号線を前記AND treeもしくは前記OR treeでまとめる工程、

(f)前記AND treeもしくは前記OR treeの終端に前記観測用回路を配置してスキャン接続する工程、

を含み、

前記初期情報群には、netlist、クラスタ情報、トグル情報、タイミング制約、および前記レイアウトを形成する上での制約情報が含まれ、

前記(d)工程は、

(d1)前記複数のクラスタのうちの第1のクラスタ中にて、信号が1となる第1の確率が $1/2$ 以上の前記信号線を前記第1の確率が高い順に前記最大ファンイン数以内の第1のファンイン数集め、1つ以上の前記AND treeの候補を形成する工程、

(d2)前記第1クラスタ中にて、前記信号が0となる第2の確率が $1/2$ 以上の前記信号線を前記第2の確率が高い順に前記第1のファンイン数集め、1つ以上の前記OR treeの候補を形成する工程、

を含むことを特徴とする半導体集積回路の設計方法。

[7] 回路故障検出用の観測回路を含む半導体集積回路を設計するソフトウェアであって、

(a)論理的グルーピングおよび確率的グルーピングに必要な初期情報群を読み込む工程、

(b)前記論理的グルーピングを行い、論理階層的に近い信号線毎に複数のクラスタを形成する工程、

(c)1つのAND treeもしくは1つのOR treeに電氣的に接続される最大ファンイン数を決定し、前記最大ファンイン数を前記初期情報群に含める工程、

(d)前記初期情報群を基に前記確率的グルーピングを行い、前記信号線のグルーピング情報を作成する工程、

(e)前記グルーピング情報を基に、前記信号線の自動配置を行い、前記信号線のレイアウトを形成する工程、

(f)前記(e)工程後、前記グルーピング情報を基に前記信号線を前記AND treeも

しくは前記OR treeでまとめる工程、

(f)前記AND treeもしくは前記OR treeの終端に前記観測用回路を配置してスキラン接続する工程、

を含む工程によって前記半導体集積回路を設計し、

前記初期情報群には、netlist、クラスタ情報、トグル情報、タイミング制約、および前記レイアウトを形成する上での制約情報が含まれ、

前記(d)工程は、

(d1)前記複数のクラスタのうちの第1のクラスタ中にて、信号が1となる第1の確率が $1/2$ 以上の前記信号線を前記第1の確率が大きい順に前記最大ファンイン数以内の第1のファンイン数集め、1つ以上の前記AND treeの候補を形成する工程、

(d2)前記第1クラスタ中にて、前記信号が0となる第2の確率が $1/2$ 以上の前記信号線を前記第2の確率が大きい順に前記第1のファンイン数集め、1つ以上の前記OR treeの候補を形成する工程、

を含むことを特徴とするソフトウェア。

[8] 請求項7記載のソフトウェアにおいて、

前記(d1)工程にて、前記AND treeの前記候補に、前記第1の確率が $1/2$ 未満の前記信号線を含める場合には、前記第1の確率が $1/2$ 未満の前記信号線にインバータを付加し、

前記(d2)工程にて、前記OR treeの前記候補に、前記第2の確率が $1/2$ 未満の前記信号線を含める場合には、前記第2の確率が $1/2$ 未満の前記信号線にインバータを付加することを特徴とするソフトウェア。

[9] 請求項7記載のソフトウェアにおいて、

前記(f)工程では、前記AND treeおよび前記OR treeの少なくとも一方は等価回路で形成し、

前記AND treeの前記等価回路は、NAND-NOR treeであり、

前記OR treeの前記等価回路は、NOR-NAND treeであることを特徴とするソフトウェア。

[10] 請求項7記載のソフトウェアにおいて、

前記(e)工程では、前記(f)工程で前記AND treeもしくは前記OR treeにまとめられる前記信号線同士が近接するように、前記信号線の前記レイアウトを形成することを特徴とするソフトウェア。

[11] 請求項7記載のソフトウェアにおいて、

前記第1のファンイン数は、前記AND treeもしくは前記OR treeにまとめられる前記信号線同士が近接するように決定することを特徴とするソフトウェア。

[12] 回路故障検出用の観測回路を含む半導体集積回路を設計するソフトウェアであって、

(a)確率的グルーピングに必要な初期情報群を読み込む工程、

(b)信号線の自動配置を行い、前記信号線のレイアウトを形成し、前記信号線から複数のクラスタを形成する工程、

(c)1つのAND treeもしくは1つのOR treeに電氣的に接続される最大ファンイン数を決定し、前記最大ファンイン数を前記初期情報群に含める工程、

(d)前記初期情報群を基に前記確率的グルーピングを行い、前記信号線のグルーピング情報を作成する工程、

(e)前記グルーピング情報を基に前記信号線を前記AND treeもしくは前記OR treeでまとめる工程、

(f)前記AND treeもしくは前記OR treeの終端に前記観測用回路を配置してスキャン接続する工程、

を含む工程によって前記半導体集積回路を設計し、

前記初期情報群には、netlist、クラスタ情報、トグル情報、タイミング制約、および前記レイアウトを形成する上での制約情報が含まれ、

前記(d)工程は、

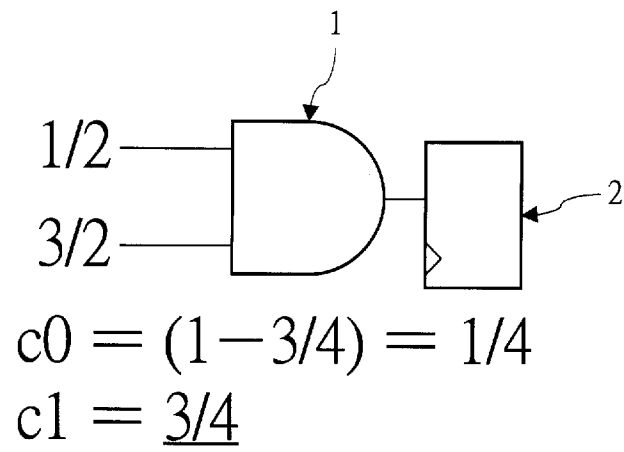
(d1)前記複数のクラスタのうちの第1のクラスタ中にて、信号が1となる第1の確率が $1/2$ 以上の前記信号線を前記第1の確率が高い順に前記最大ファンイン数以内の第1のファンイン数集め、1つ以上の前記AND treeの候補を形成する工程、

(d2)前記第1クラスタ中にて、前記信号が0となる第2の確率が $1/2$ 以上の前記信号線を前記第2の確率が高い順に前記第1のファンイン数集め、1つ以上の前記O

R treeの候補を形成する工程、
を含むことを特徴とするソフトウェア。

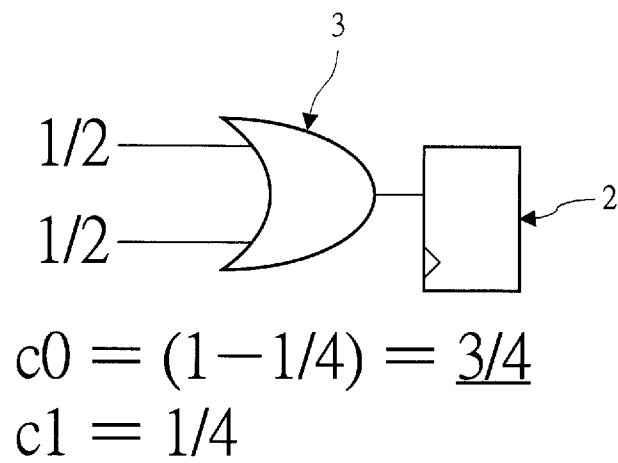
[図1]

図 1



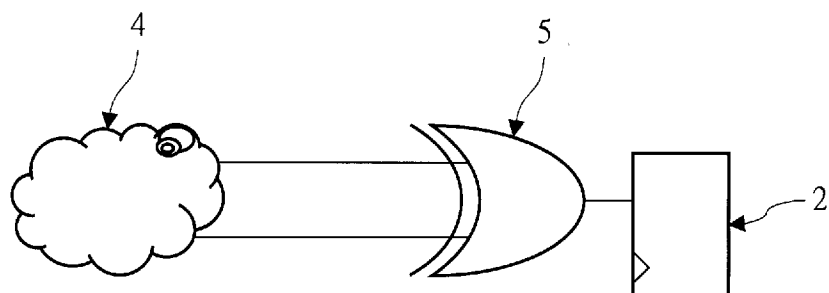
[図2]

図 2

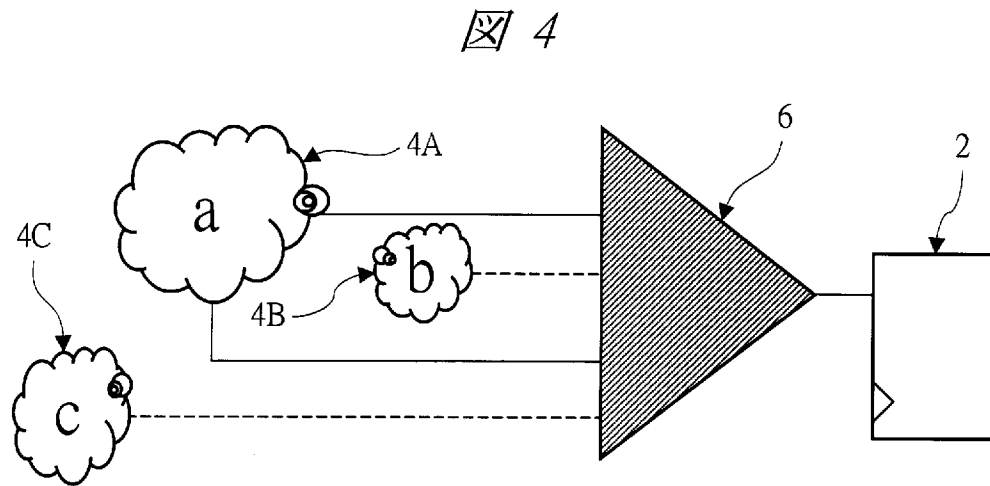


[図3]

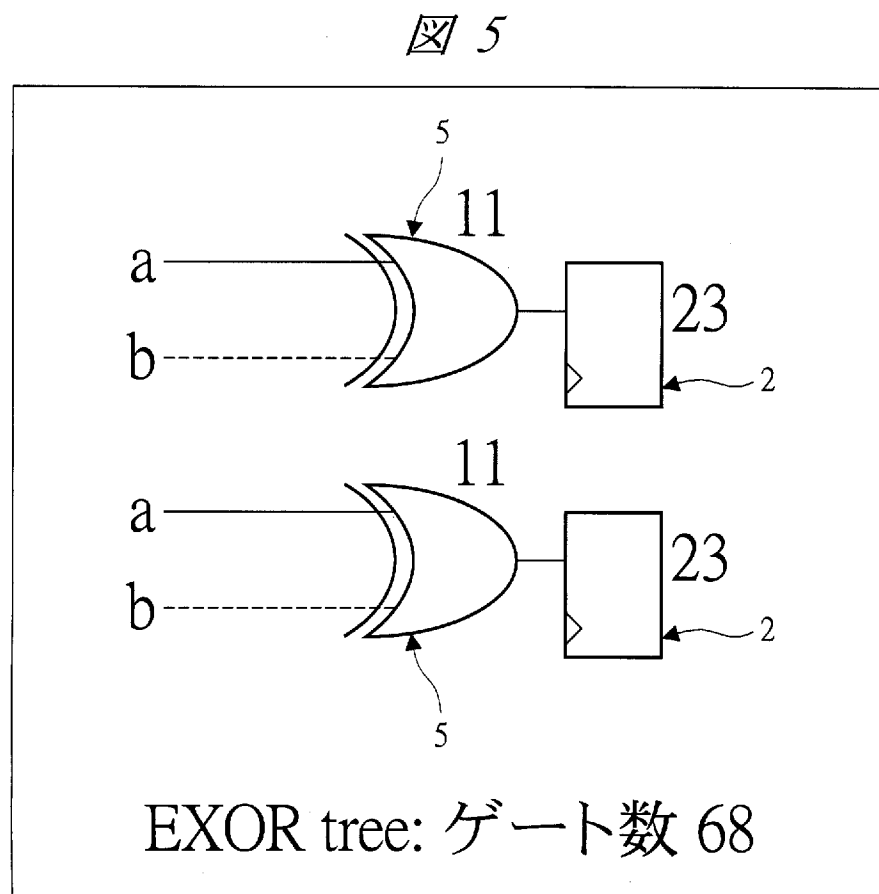
図 3



[図4]

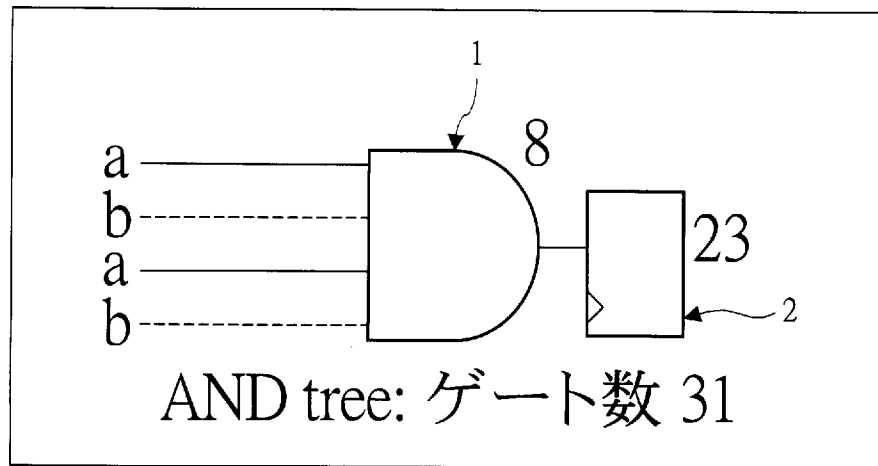


[図5]



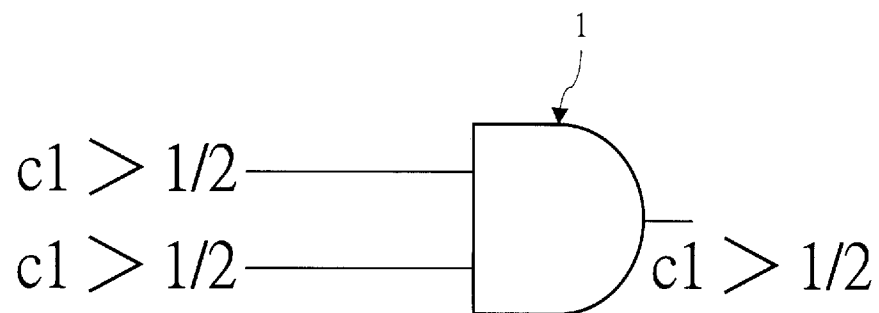
[図6]

図 6



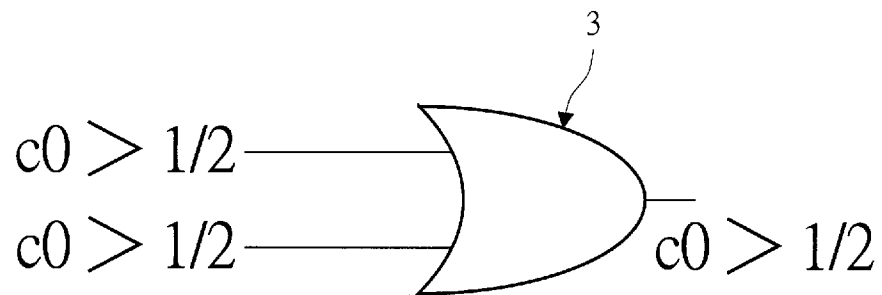
[図7]

図 7



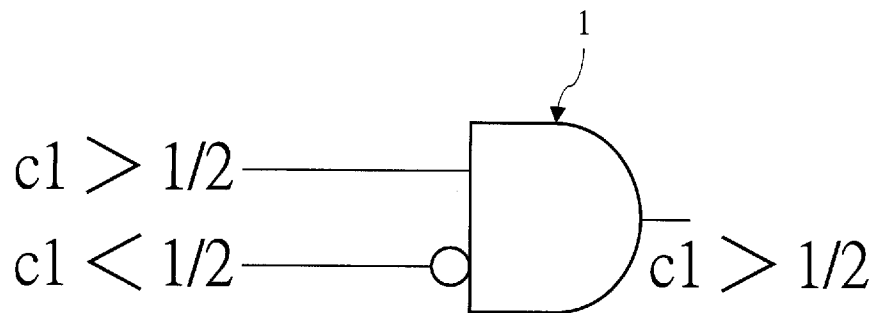
[図8]

図 8



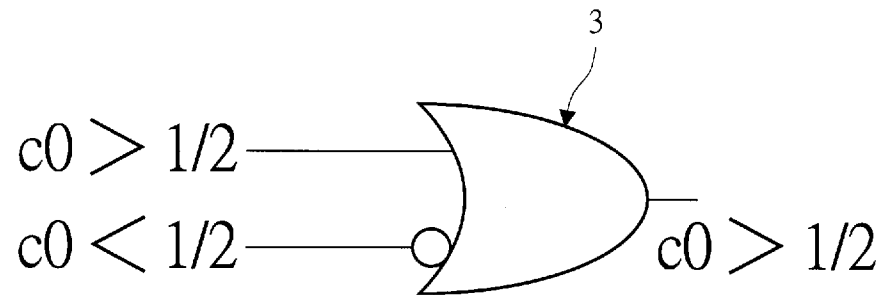
[図9]

図 9



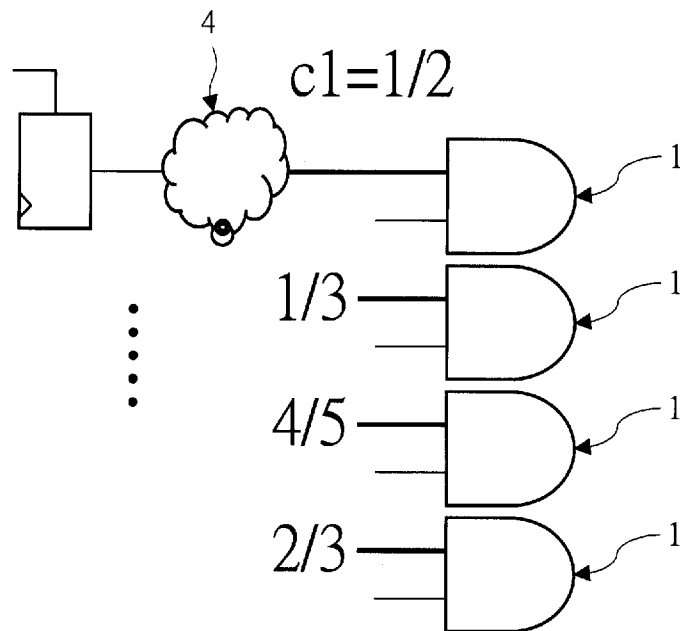
[図10]

図 10



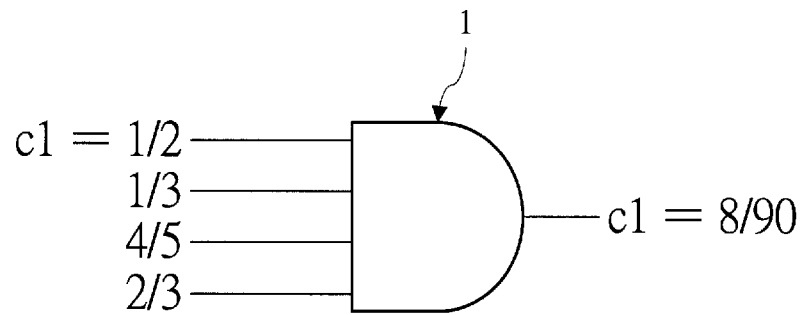
[図11]

図 11



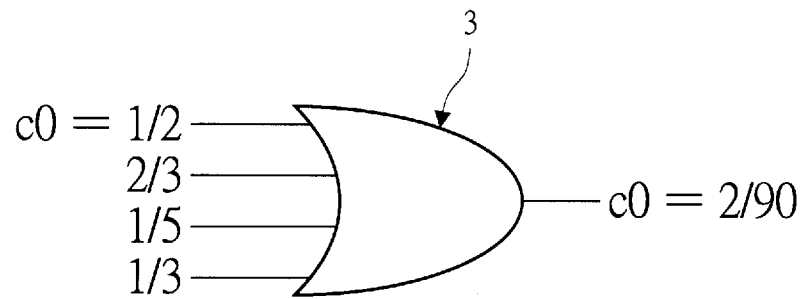
[図12]

図 12



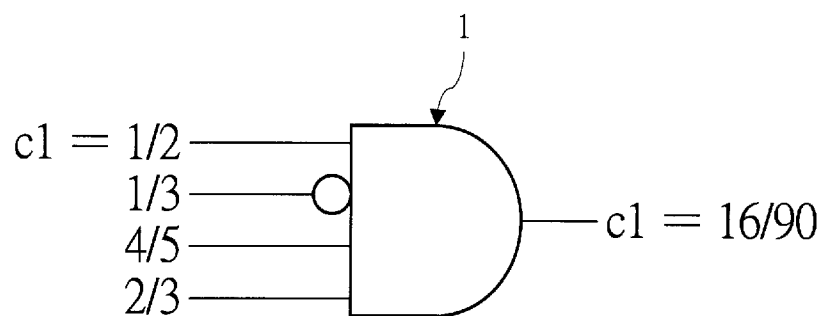
[図13]

図 13

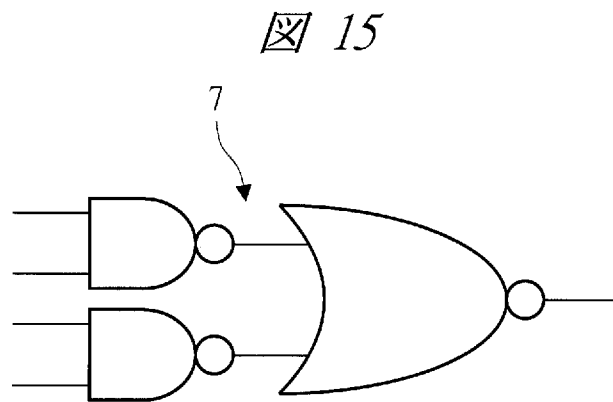


[図14]

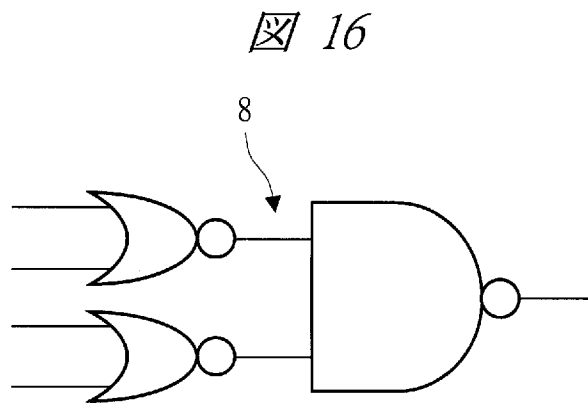
図 14



[図15]

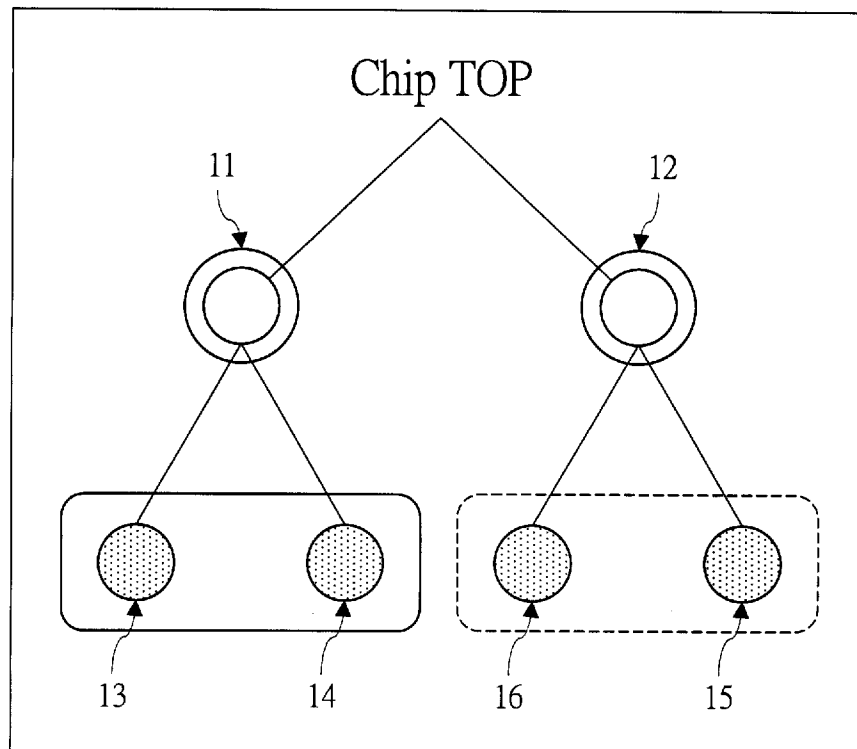


[図16]



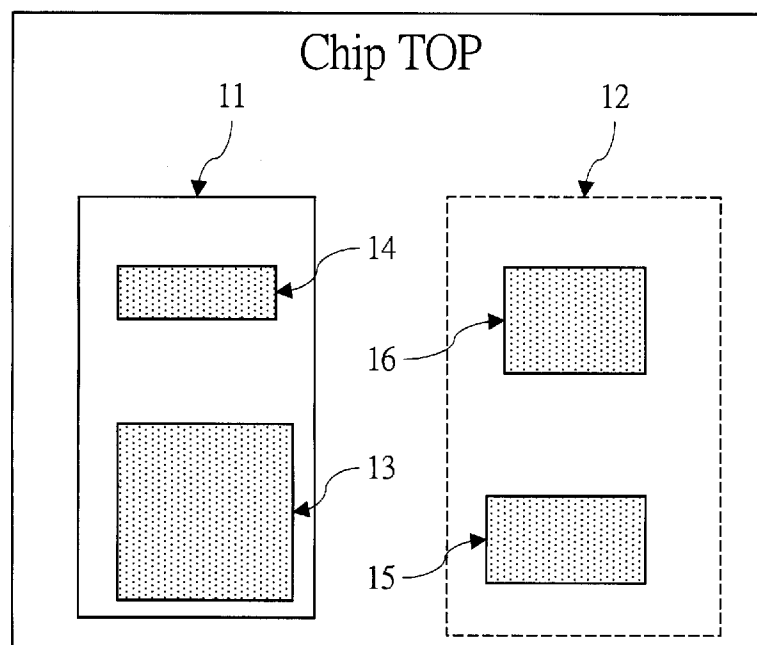
[図17]

図 17



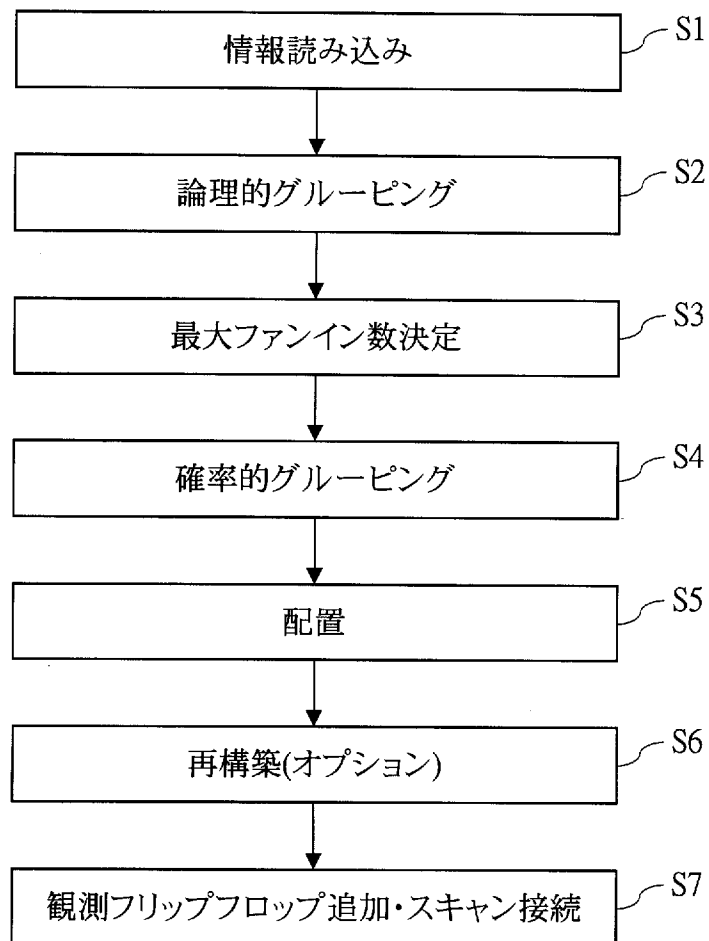
[図18]

図 18



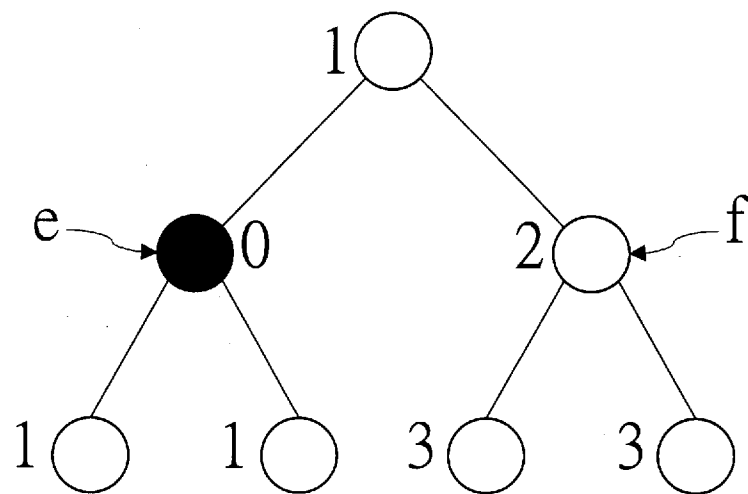
[図19]

図 19



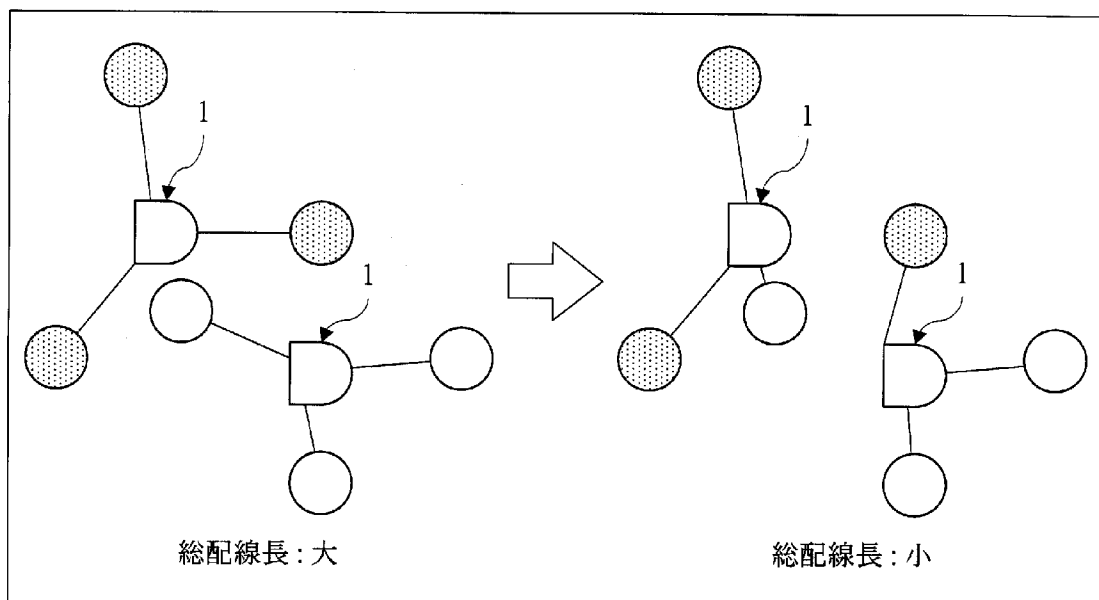
[図20]

図 20



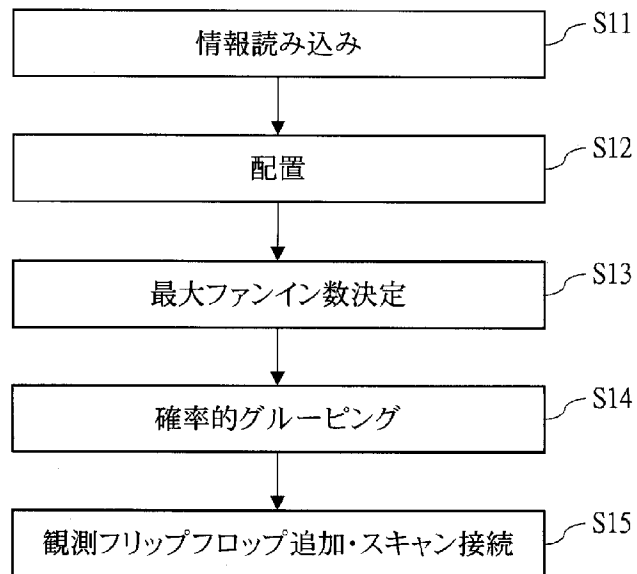
[図21]

図 21



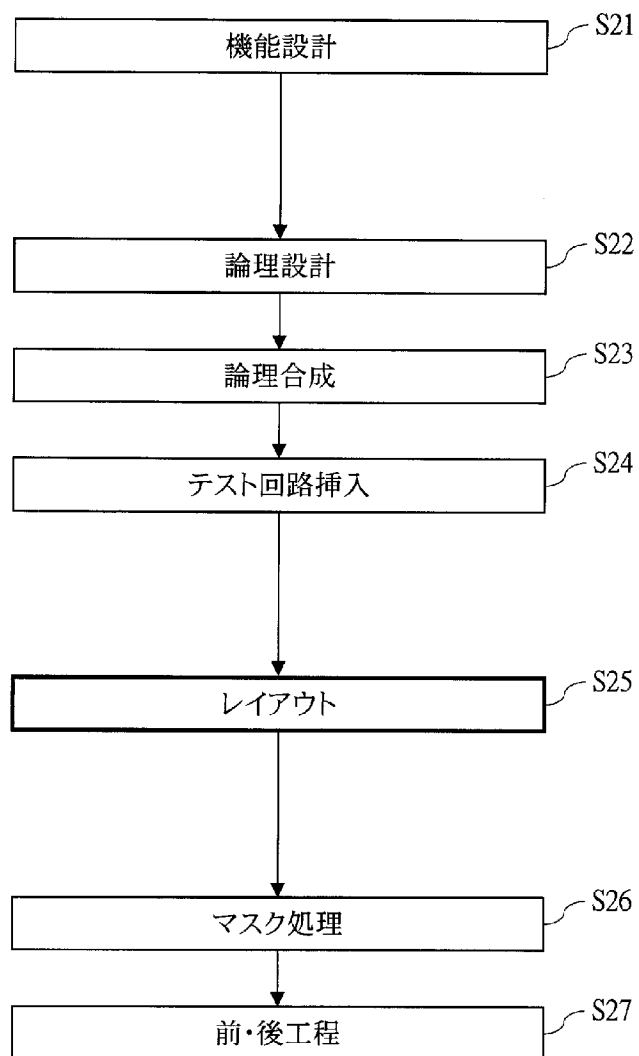
[図22]

図 22



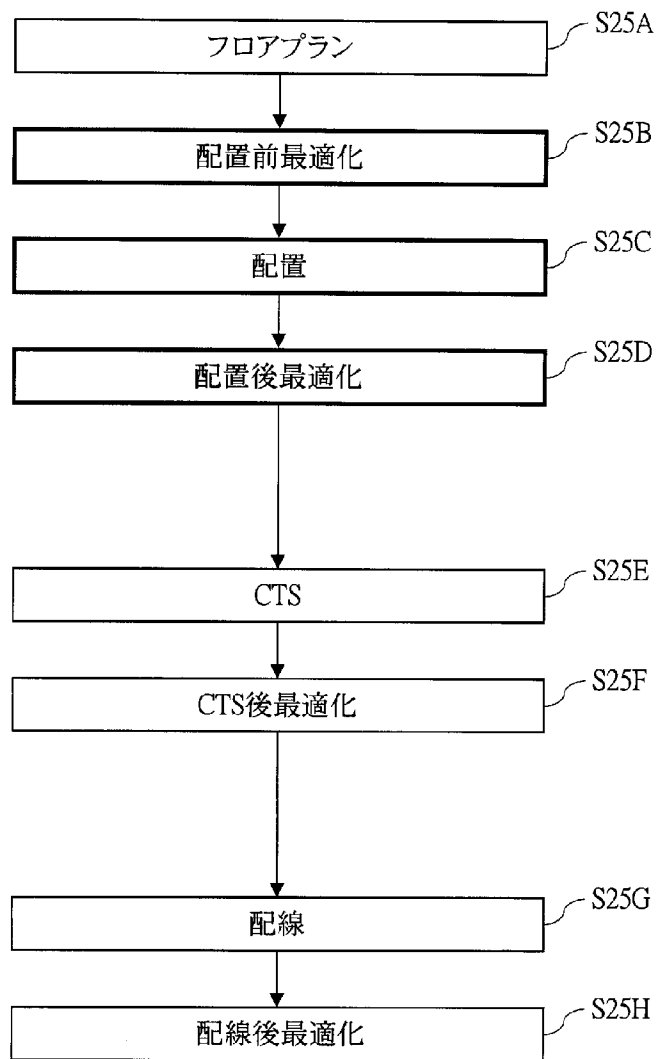
[図23]

図 23

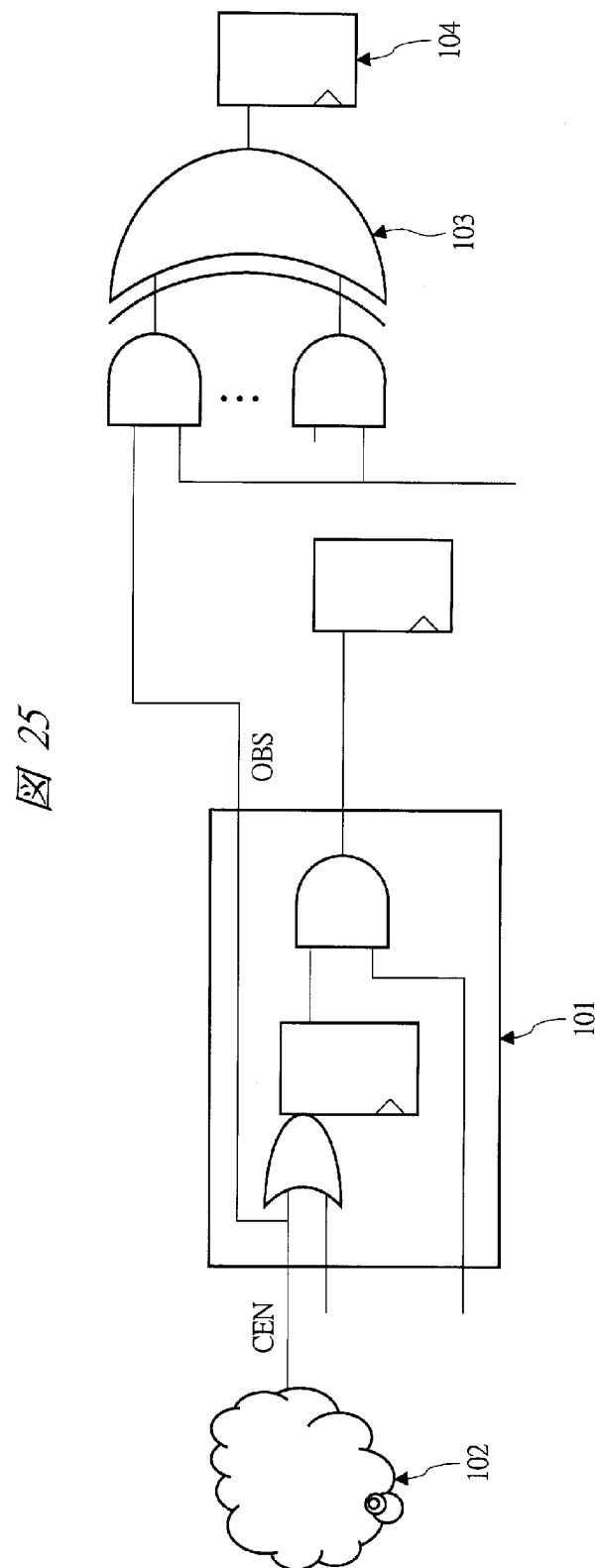


[図24]

図 24

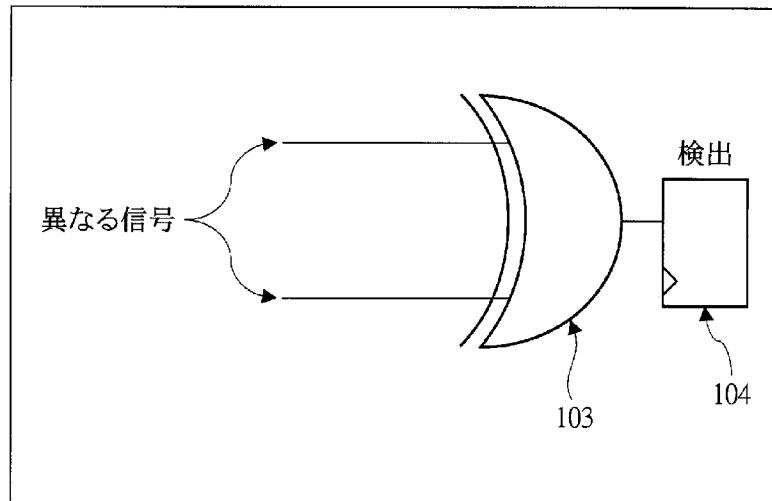


[図25]



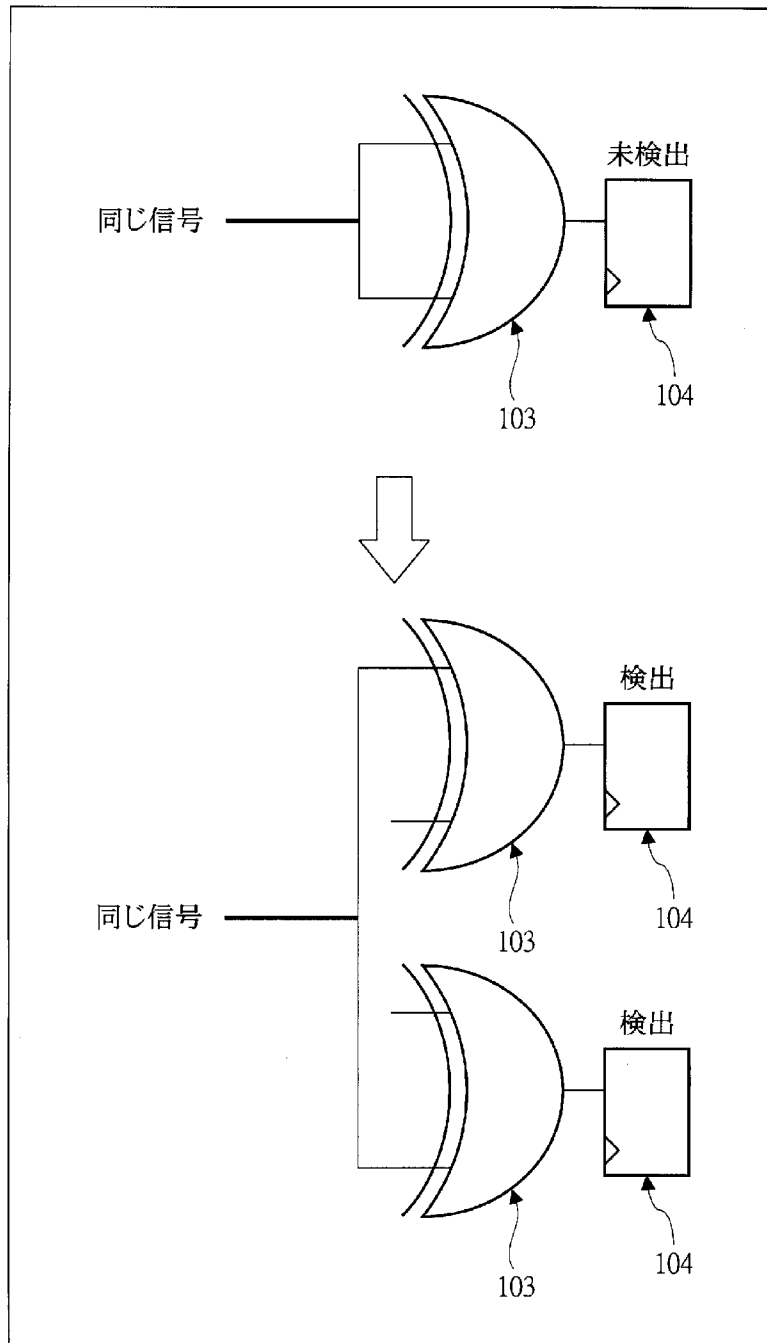
[図26]

図 26



[図27]

図 27



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/073828

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/82(2006.01) i, G06F17/50(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/82, G06F17/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-103662 A (Matsushita Electric Industrial Co., Ltd.), 19 April, 2007 (19.04.07), Par. Nos. [0031] to [0078]; Figs. 1 to 16 & US 2007/0089014 A1	1-12
A	JP 2006-308302 A (NEC Electronics Corp.), 09 November, 2006 (09.11.06), Par. Nos. [0020] to [0049]; Figs. 1 to 14 (Family: none)	1-12
A	JP 10-124564 A (Matsushita Electric Industrial Co., Ltd.), 15 May, 1998 (15.05.98), Par. Nos. [0037] to [0136]; Figs. 1 to 19 & US 6016564 A1	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 February, 2009 (05.02.09)

Date of mailing of the international search report
17 February, 2009 (17.02.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/82(2006.01)i, G06F17/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/82, G06F17/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2007-103662 A (松下電器産業株式会社) 2007.04.19, 【0031】 - 【0078】, 第1 - 16図 &US 2007/0089014 A1	1 - 12
A	JP 2006-308302 A (NECエレクトロニクス株式会社) 2006.11.09, 【0020】 - 【0049】, 第1 - 14図 (ファミリーなし)	1 - 12
A	JP 10-124564 A (松下電器産業株式会社) 1998.05.15, 【0037】 - 【0136】, 第1 - 19図 &US 6016564 A1	1 - 12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 2 . 2 0 0 9

国際調査報告の発送日

1 7 . 0 2 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大嶋 洋一

4 M

9 1 7 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2