



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201526252 A

(43)公開日：中華民國 104 (2015) 年 07 月 01 日

(21)申請案號：102148312

(22)申請日：中華民國 102 (2013) 年 12 月 25 日

(51)Int. Cl.：

*H01L31/02 (2006.01)**H01L31/072 (2012.01)**H01L31/18 (2006.01)*

(71)申請人：新日光能源科技股份有限公司 (中華民國) NEO SOLAR POWER CORP. (TW)
 新竹市新竹科學工業園區力行三路 7 號

(72)發明人：丁兆民 DING, JAU MIN (TW)；阮信曉 LUAN, HSIN CHIAO (TW)；林昆志 LIN, KUN CHIH (TW)；廖智弘 LIAO, CHIH HUNG (TW)；曾奕文 TSENG, YI WEN (TW)

(74)代理人：李文賢

申請實體審查：有 申請專利範圍項數：21 項 圖式數：10 共 31 頁

(54)名稱

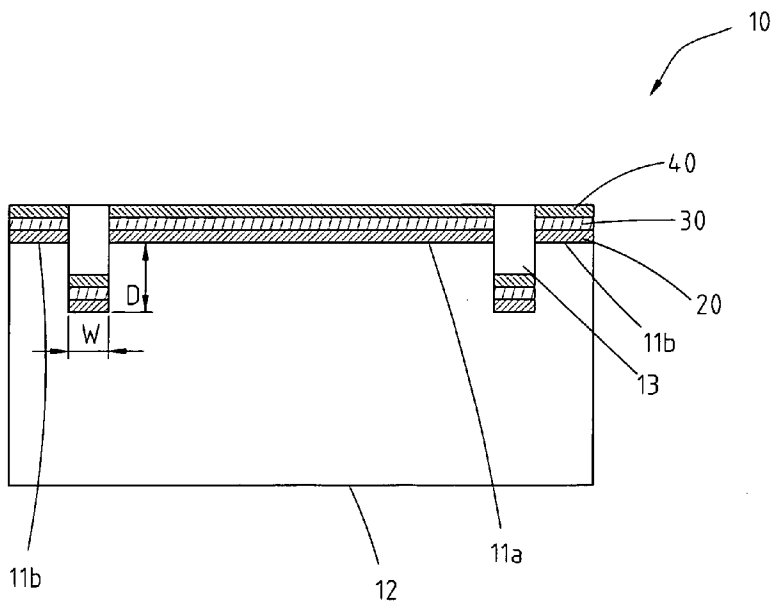
太陽能電池及其製造方法

SOLAR CELL AND MANUFACTURING METHOD THEREOF

(57)摘要

一種太陽能電池包含一結晶矽半導體基板、一本質非晶矽半導體層、一非晶矽半導體層以及一透明導電層。所述結晶矽半導體基板具有一第一型摻雜，且所述結晶矽半導體基板上設有至少一溝槽，形成一封閉圖形，封閉圖形內係定義為一第一電極區域，封閉圖形外係定義為一第二電極區域。其中本質非晶矽半導體層、非晶矽半導體層與透明導電層係依序形成於結晶矽半導體基板上以及溝槽內，所述本質非晶矽半導體層、非晶矽半導體層與透明導電層於溝槽處會形成不連續的結構，並於第一與第二電極區域之間產生絕緣效果。

A solar cell includes a crystalline silicon semiconductor substrate, an intrinsic amorphous silicon semiconductor layer, an amorphous silicon semiconductor layer and a transparent conductive layer. The crystalline silicon semiconductor substrate has a first doping type and a trench is formed thereon and forms an enclosed area so as to define a first electrode region in the enclosed area and a second electrode region out of the enclosed area. The intrinsic amorphous silicon semiconductor layer, the amorphous silicon semiconductor layer and the transparent conductive layer are sequentially formed on the crystalline silicon semiconductor substrate and in the trench. Having discontinuity in the trench, the amorphous silicon semiconductor layer, the amorphous silicon semiconductor layer and the transparent conductive layer provide an isolation function between the previously defined first and second electrode regions.



- 100 . . . 太陽能電池
- 10 . . . 結晶矽半導體基板
- 11a . . . 第一電極區域
- 11b . . . 第二電極區域
- 12 . . . 第二表面
- 13 . . . 溝槽
- 20 . . . 本質非晶矽半導體層
- 30 . . . 非晶矽半導體層
- 40 . . . 透明導電層
- D . . . 溝槽深度
- W . . . 溝槽寬度

第2圖



201526252

【發明摘要】

申請日: 102. 12. 25

IPC分類:

H01L 31/02 (2006.01)
H01L 31/072 (2006.01)
H01L 31/18 (2006.01)

【中文發明名稱】 太陽能電池及其製造方法

【英文發明名稱】 Solar cell and manufacturing method thereof

【中文】

一種太陽能電池包含一結晶矽半導體基板、一本質非晶矽半導體層、一非晶矽半導體層以及一透明導電層。所述結晶矽半導體基板具有一第一型摻雜，且所述結晶矽半導體基板上設有至少一溝槽，形成一封閉圖形，封閉圖形內係定義為一第一電極區域，封閉圖形外係定義為一第二電極區域。其中本質非晶矽半導體層、非晶矽半導體層與透明導電層係依序形成於結晶矽半導體基板上以及溝槽內，所述本質非晶矽半導體層、非晶矽半導體層與透明導電層於溝槽處會形成不連續的結構，並於第一與第二電極區域之間產生絕緣效果。

【英文】

A solar cell includes a crystalline silicon semiconductor substrate, an intrinsic amorphous silicon semiconductor layer, an amorphous silicon semiconductor layer and a transparent conductive layer. The crystalline silicon semiconductor substrate has a first doping type and a trench is formed thereon and forms an enclosed area so as to define a first electrode region in the enclosed area and a second electrode region out of the enclosed area. The intrinsic amorphous silicon semiconductor layer, the amorphous silicon semiconductor layer and the transparent conductive layer are sequentially formed on the crystalline silicon semiconductor substrate and in the trench. Having discontinuity in the trench, the amorphous silicon semiconductor layer, the amorphous silicon semiconductor layer and the transparent conductive layer provide an isolation function between the previously defined first and second electrode regions.

【指定代表圖】 第 2 圖

【代表圖之符號簡單說明】

100	太陽能電池
10	結晶矽半導體基板
11a	第一電極區域
11b	第二電極區域
12	第二表面
13	溝槽
20	本質非晶矽半導體層
30	非晶矽半導體層
40	透明導電層
D	溝槽深度
W	溝槽寬度

【特徵化學式】 無

【發明說明書】

【中文發明名稱】 太陽能電池及其製造方法

【英文發明名稱】 Solar cell and manufacturing method thereof

【技術領域】

【0001】 本發明係有關於一種具有用於絕緣之溝槽結構之太陽能電池及其製造方法，特別是一種異質接面矽晶太陽能元件及其製造方法。

【先前技術】

【0002】 由於近年來對於環保的訴求，電力不再僅由火力、核能等主要發電源所提供，各類型的潔淨能源亦紛紛受到重視，其中，相較於其他型態的能源而言，太陽能電池由於具有較高的發電效率與廣泛的使用性。因此，各類型的太陽能電池技術仍持續不斷的發展與突破。

【0003】 於眾多類型的太陽能電池中，串疊結構太陽能電池 (Tandem structure solar cell) 係藉由將多種不同能隙 (Band gap) 的材料相互疊合，使得光電轉化效率可以最佳化，因此，其具有較高的光電轉換效率。有別於傳統的矽基太陽能電池 (Silicon based solar cell)，矽基異質接面太陽能電池 (Heterojunction silicon crystalline solar cell) 是在矽基板兩面分別成長很薄的本質非晶矽半導體 / P 型半導體層 (i/p layer) 與本質非晶矽半導體 / N 型半導體層 (i/n layer)，其具有結構單純、高開路電壓、適於薄基板以及低製程溫度等優點。

【0004】 習知異質接面矽晶太陽能電池之製造流程概略如下：以電漿輔助化學氣相沉積法（Plasma enhanced chemical vapor deposition, PECVD）在結晶矽半導體基板上成長厚度約小於 10 奈米的本質非晶矽半導體層（Intrinsic amorphous silicon semiconductor layer），作為鈍化（Passivation）用；接著，再於本質非晶矽半導體層上製作厚度約小於 20 奈米的非晶矽半導體層，其導電型態係與結晶矽半導體基板相異，而可形成 PN 接面；最後，再以真空濺鍍法製作透明導電層（Transparent conductive layer），並且製作正面電極與背面電極，藉此係可以大致完成異質接面矽晶太陽能電池結構之製作。然而，於真空鍍膜過程當中，製作於電池結構之上表面的鍍膜會與製作於其下表面的鍍膜於半導體基板的側邊處相互接觸進而導致短路。因此，需要透過一絕緣製程以保持正面電極不會與背面電極電連接。於習知技術中，係於真空鍍層製程完成之後再以雷射光束於電池結構上形成溝槽，進而使短路的問題可以解決；然而，由於施用雷射時，其瞬間提供的高能量係可能造成非晶矽半導體層發生微晶化，係可能造成更為嚴重的短路。

【發明內容】

【0005】 有鑑於此，本發明提供一種太陽能電池，包含一結晶矽半導體基板、一本質非晶矽半導體層、一非晶矽半導體層以及一透明導電層。所述結晶矽半導體基板具有一第一型摻雜，且所述結晶矽半導體基板上設有一溝槽，形成一封閉圖形，封閉圖形內係定義為一第一電極區域，圖形外係定義為一第二電極區域。本質非晶矽半導體層係形成於結晶矽半導體基板上以及溝槽內。

非晶矽半導體層係具有一第二型摻雜且係形成於本質非晶矽半導體層上以及溝槽內。透明導電層係形成於該非晶矽半導體層上以及該溝槽內。即本質非晶矽半導體層、非晶矽半導體層與透明導電層係依序形成於結晶矽半導體基板上以及溝槽內，而本發明之本質非晶矽半導體層、非晶矽半導體層與透明導電層於溝槽處會形成不連續的結構，並於第一與第二電極區域之間產生絕緣效果。

【0006】 另外，本發明更提供一種太陽能電池的製造方法，所述方法包含：提供一結晶矽半導體基板，其中所述結晶矽半導體基板具有一第一型摻雜；形成一溝槽於結晶矽半導體基板之第一表面上，其中所述溝槽形成一封閉圖形，且封閉圖形內係定義為一第一電極區域，封閉圖形外係定義為一第二電極區域；形成一本質非晶矽半導體層於結晶矽半導體基板之第一表面上以及溝槽內；形成一非晶矽半導體層於本質非晶矽半導體層上以及溝槽內；以及形成一透明導電層於非晶矽半導體層上以及溝槽內。

【0007】 又，本發明提供一種太陽能電池，包含一結晶矽半導體基板，具有一第一型摻雜，該結晶矽半導體基板至少一表面設有一溝槽與一隔離結構，該溝槽與該隔離結構定義第一電極區域與第二電極區域，其中該第一電極區域與該第二電極區域至少通過該溝槽絕緣。本質非晶矽半導體層係形成於結晶矽半導體基板上以及溝槽內。非晶矽半導體層係具有一第二型摻雜且係形成於本質非晶矽半導體層上以及溝槽內。透明導電層係形成於該非晶矽半導體層上以及該溝槽內。即本質非晶矽半導體層、非晶矽半導體層與透明導電層係依序形成於結晶矽半導體基板上以及溝槽

內，而本發明之本質非晶矽半導體層、非晶矽半導體層與透明導電層於溝槽處會形成不連續的結構，並於第一與第二電極區域之間產生絕緣效果。

【0008】 根據本發明之太陽能電池，透過適當的雷射光束之參數，可以在結晶矽半導體基板上形成具有合適寬深比的溝槽，因而可以使第一電極區域與第二電極區域達成絕緣，避免太陽能元件發生短路的情形；另外，由於雷射光束只作用於結晶矽半導體基板，因此不會有非晶矽半導體層微晶化之情況。

【圖式簡單說明】

【0009】

[第 1 圖]係為本發明第一實施例之太陽能電池之平面示意圖。

[第 2 圖]係為沿第一圖之線段 AA 之剖面示意圖。

[第 3 圖]係為本發明第一實施例之太陽能電池之局部放大剖面示意圖（一）。

[第 4 圖]係為本發明第一實施例之太陽能電池之局部放大剖面示意圖（二）。

[第 5 圖]係為本發明第一實施例之太陽能電池之局部放大剖面示意圖（三）。

[第 6 圖]係為本發明第一實施例之太陽能電池之局部放大剖面示意圖（四）。

[第 7 圖]係為本發明第二實施例之太陽能電池之製造方法流程圖。

[第 8 圖]係為本發明第三實施例之太陽能電池之表面示意圖

(一)。

[第 9 圖]係為本發明第三實施例之太陽能電池之表面示意圖

(二)。

[第 10 圖]係為本發明第三實施例之太陽能電池之表面示意圖

(三)。

【實施方式】

【0010】請參閱第 1 至第 6 圖，係為本發明第一實施例之太陽能電池之平面示意圖、剖面示意圖、局部放大剖面示意圖(一)、局部放大剖面示意圖(二)、局部放大剖面示意圖(三)以及局部放大剖面示意圖(四)。其具體揭露了本發明第一實施例之太陽能電池 100，其包含了一結晶矽半導體基板 10 (Crystalline silicon semiconductor substrate, C-Si substrate)、一本質非晶矽半導體層 20 (Intrinsic amorphous silicon semiconductor layer, i-a-Si layer)、一非晶矽半導體層 30 (Amorphous silicon semiconductor layer, a-Si layer) 以及一透明導電層 40 (Transparent conductive oxide layer, TCO layer)，其中太陽能電池 100 包含異質界面。

【0011】請參閱第 1 圖及第 2 圖，所述結晶矽半導體基板 10 係具有一第一型摻雜；換言之，其係可以為具有 N 型摻雜之 N 型結晶矽半導體基板或者是具有 P 型摻雜之 P 型結晶矽半導體基板。N 型結晶矽半導體基板係由浮區法 (Floating zone method, FZ method) 或者柴式提拉法 (Czochralski pulling method, CZ method) 所製得的矽晶圓作為材料，並且加入 N 型摻雜質 (N-type dopant) 所製得；相似地，P 型結晶矽半導體基板則係以矽晶圓作為材料並加入 P 型摻雜質 (P-type dopant) 所製得。於本實施例中，所

述結晶矽半導體基板 10 係為 N 型結晶矽半導體基板。所述結晶矽半導體基板 10 係具有第一表面 11 與第二表面 12；其中，於本實施例中，第一表面 11 係用以形成本質非晶矽半導體層 20、非晶矽半導體層 30、透明導電層 40 以及正面電極（圖未示出），而第二表面 12 則是用以設置背面電極（圖未示出）。

【0012】如第 1 圖及第 2 圖所示，所述結晶矽半導體基板 10 之第一表面上形成有一溝槽 13，且溝槽 13 係將結晶矽半導體基板 10 之第一表面 11 區分為一第一電極區域 11a 以及一第二電極區域 11b。更明確地說，溝槽 13 係於結晶矽半導體基板 10 之第一表面 11 上構成一封閉圖形（如第 1 圖所示，溝槽 13 所構成的封閉圖形係為一矩形），而封閉圖形內係定義為第一電極區域 11a，封閉圖形外係定義為第二電極區域 11b。於此，第一電極區域 11a 係對應正面電極，第二電極區域 11b 係對應背面電極。所述溝槽 13 係可以藉由雷射切割技術形成，而可以具有較佳的精準度；具體而言，藉由在結晶矽半導體基板 10 上使用前述雷射切割技術可以將溝槽 13 形成於結晶矽半導體基板 10 上。並且，搭配自動控制/人工的操作手段，可以於結晶矽半導體基板 10 上刻鑿出不同的圖形，而可以調整第一電極區域 11a 與第二電極區域 11b 的相對大小與形狀。溝槽 13 之深度 D 係可藉由雷射功率、頻率與掃描速度等因素而決定。於本實施態樣中，所述溝槽 13 之深度 D 為 40 微米，於其他實施態樣中，所述溝槽 13 之深度 D 係介於 10 至 100 微米之間。類似地，溝槽 13 之寬度 W 係同樣可以藉由雷射功率與雷射加工時間等因素決定，另外其亦會受到雷射光束寬度的不同而有所影響。藉由提供一深度大於該溝槽 13 內之本質非

晶矽半導體層 20、非晶矽半導體層 30 與透明導電層 40 之厚度總和的溝槽 13，使得後續形成本質非晶矽半導體層 20、形成非晶矽半導體層 30 與形成透明導電層 40 的過程時，由於溝槽 13 深度大於前述各層總和，前述各層無法於溝槽 13 的側壁 131、132 與底部 133 形成連續的層狀結構，因此本質非晶矽半導體層 20、非晶矽半導體層 30 與透明導電層 40 中，至少透明導電層 40 會於溝槽 13 的側壁 131、132 與底部 133 之間形成斷開處。故本質非晶矽半導體層 20、非晶矽半導體層 30 與透明導電層 40 中，至少透明導電層 40 會在溝槽 13 處形成不連續的沉積結構，使得第一電極區域 11a 不會與第二電極區域 11b 電連接，因而可以產生絕緣的效果。

【0013】參閱第 3 圖，所述溝槽 13 係具有一第一側壁 131、一第二側壁 132 與一底部 133。第一側壁 131 與第二側壁 132 係相對設置，而底部 133 與第一側壁 131 係定義出一第一傾斜角 θ_1 ，底部 133 與第二側壁 132 係定義出一第二傾斜角 θ_2 ，需要說明的是，在此所稱之角度一律皆為內角，而非外角，且傾斜角係由溝槽 13 之底部 133 與側壁 131、132 所定義出，故傾斜角必大於 0 度。於本實施例中，第一傾斜角 θ_1 與第二傾斜角 θ_2 皆為 90 度，於其他實施例中，當該第一傾斜角之角度不大於 90 度時，該第二傾斜角 θ_2 之角度範圍為小於 180 度；於其他實施例中，當該第一傾斜角之角度大於 90 度時，該第二傾斜角 θ_2 之角度範圍為不大於 90 度。另外，在此更明確的說明，所述溝槽 13 的寬度 W 指的是第一側壁 131 與第二側壁 132 之間的最小距離，且第一側壁 131 係不一定平行於第二側壁 132。有關於溝槽 13 之各式態樣係

於以下段落進行說明。

【0014】請繼續參閱第 3 圖，所述本質非晶矽半導體層 20 係形成於結晶矽半導體基板 10 上以及溝槽 13 內，藉以提供鈍化（passivation）效果以降低表面載子復合速度。在此需要說明的是，雖然圖式中繪示本質非晶矽半導體層 20 係形成於溝槽 13 之底部 133，但本發明並不以此為限，本質非晶矽半導體層 20 亦可以同時形成於溝槽 13 之第一側壁 131（或第二側壁 132）以及溝槽 13 之底部 133，但並不包含將本質非晶矽半導體層 20 同時形成於溝槽 13 之第一側壁 131、第二側壁 132 及底部 133 之態樣。本質非晶矽半導體層 20 係可以利用電漿輔助化學氣相沉積法（Plasma enhanced chemical vapor deposition, PECVD）形成於結晶矽半導體基板 10 上以及溝槽 13 內，但本發明並不以此為限，亦可以藉由濺鍍法（Sputter coating method）或是化學氣相沉積法（Chemical vapor deposition, CVD）將本質非晶矽半導體層 20 形成於結晶矽半導體基板 10 上以及溝槽 13 內。於本實施例中，所述本質非晶矽半導體層 20 之厚度係小於 10 奈米。

【0015】請再參閱第 3 圖，所述非晶矽半導體層 30 係形成於本質非晶矽半導體層 20 上以及溝槽 13 內，且其係具有一第二型摻雜；換句話說，於本實施例中，非晶矽半導體層 30 係為 P 型非晶矽半導體層。同樣地，在此需要說明的是，雖然圖式中繪示非晶矽半導體層 30 係形成於溝槽 13 之底部 133，但本發明並不以此為限，依據溝槽 13 之形狀與深度，所述非晶矽半導體層 30 亦可以完全覆蓋於溝槽 13 之底部 133 以及第一側壁 131 或第二側壁 132 上，即僅底部 133 與一側壁有非晶矽半導體層 30 覆蓋；或

者所述非晶矽半導體層 30 僅覆蓋部分的底部 133、第一側壁 131 及第二側壁 132，而部分的底部 133、第一側壁 131 及第二側壁 132 的表面則未被非晶矽半導體層 30 覆蓋。因此，非晶矽半導體層 30 至少會於溝槽 133 的底部 133、第一側壁 131 或第二側壁 132 的表面出現不連續的結構，使不連續的非晶矽半導體層 30 絕緣。類似地，非晶矽半導體層 30 係可以利用電漿輔助化學氣相沉積法形成於本質非晶矽半導體層 20 上以及溝槽 13 內，但本發明並不以此為限，亦可以藉由濺鍍法、化學氣相沉積法或是其他技術將非晶矽半導體層 30 形成於本質非晶矽半導體層 20 上以及溝槽 13 內。於本實施例中，所述非晶矽半導體層 30 之厚度係小於 20 奈米。

【0016】 續請參閱第 3 圖，所述透明導電層 40 係形成於非晶矽半導體層 30 上以及溝槽 13 內。舉例而言，透明導電層 40 係可以為銦錫氧化物層 (Indium tin oxide layer, ITO layer)、摻氟氧化錫層 (Fluorine-doped tin oxide layer, FTO layer) 等，其係具有可以導電以及使光線能夠穿透之功效。需要再次說明的是，雖然圖式中僅繪示透明導電層 40 係形成於溝槽 13 之底部 133，但本發明並不以此為限，所述透明導電層 40 亦可以同時形成於溝槽 13 之第一側壁 131 (或第二側壁 132) 以及溝槽 13 之底部 133，但並不包含將透明導電層 40 同時形成於溝槽 13 之第一側壁 131、第二側壁 132 及底部 133 之態樣。

【0017】 於第 2 圖及第 3 圖中，所述溝槽 13 之第一側壁 131 與第二側壁 132 係相互平行，且第一側壁 131 與底部 133 之間所夾持的第一傾斜角 θ_1 係實質上為 90 度。也就是說，底部 133 及

結晶矽半導體基板 10 之第一表面 11 係分別垂直於第一側壁 131 及第二側壁 132，而使溝槽 13 之剖面呈現長方形容槽之態樣，而溝槽 13 之開口之寬度係等於溝槽 13 之底部 133 之寬度。對應而言，藉由將雷射以垂直結晶矽半導體基板 10 之第一表面 11 的方向切割結晶矽半導體基板 10，可以形成如前述剖面為長方形容槽之態樣。對於此一態樣之溝槽 13 而言，由於第一側壁 131 與第二側壁 132 係分別與結晶矽半導體基板 10 之第一表面 11 垂直，使得後續形成半導體層及導電層時，第一側壁 131 與第二側壁 132 上不易發生沉積或發生沉積不完全的情況，形成不連續的本質非晶矽半導體層 20、非晶矽半導體層 30 及透明導電層 40，進而可以達成良好的絕緣效果。

【0018】於第 4 圖中，溝槽 13 之第一側壁 131 與第二側壁 132 相互平行，所述第一傾斜角 θ_1 係為 45 度，並且第一傾斜角 θ_1 與第二傾斜角 θ_2 （即第二側壁 132 與底部 133 之夾角）係互為補角；也就是說，溝槽 13 之剖面結構係呈現平行四邊形容槽之態樣。雖然於本實施態樣中，第一傾斜角 θ_1 係為 45 度，但本發明並不以此為限。藉由將雷射光束斜方向地作用於結晶矽半導體基板 10 上，可以製成剖面結構為平行四邊形容槽態樣之溝槽 13。以第 3 圖為例，對於此一態樣之溝槽 13 而言，雖然在後續製程中，半導體層及導電層係會較容易地沉積於第二側壁 132 與底部 133；然而此些材料則因為受到空間障蔽而不易沉積於第一側壁 131，藉此可以達成良好的絕緣效果。

【0019】於第 5 圖中，所述第一傾斜角 θ_1 （即第一側壁 131 與底部 133 之夾角）係為 135 度（即第二傾斜角 θ_2 為 45 度），

且溝槽 13 之第一側壁 131 與第二側壁 132 相互平行；換句話說，第 3 圖之溝槽 13 之剖面結構係與第 4 圖之溝槽 13 之剖面結構呈現鏡像對稱。以第 4 圖為例，對於此一態樣之溝槽 13 而言，雖然在後續製程中，半導體層及導電層係會較容易地沉積於第一側壁 131 與底部 133；然而此些材料則因為受到空間障蔽而不易沉積於第二側壁 132，藉此可以達成良好的絕緣效果。於其他實施例中，第一傾斜角 θ_1 與第二傾斜角 θ_2 亦可非互為補角。

【0020】於第 6 圖中，所述第一傾斜角 θ_1 與第二傾斜角 θ_2 係皆為 45 度；換句話說，第一傾斜角 θ_1 係與第二傾斜角 θ_2 具有相同角度但非為 90 度，使得溝槽 13 之剖面形狀係呈現等腰梯形容槽之態樣。且梯型之上底（即溝槽 13 開口處）之寬度小於梯形之下底（即溝槽 13 之底部 133）之寬度。也就是說，溝槽 13 之開口之寬度係小於溝槽 13 之底部 133 之寬度。雖然於本實施態樣中，第一傾斜角 θ_1 與第二傾斜角 θ_2 係皆為 45 度，但本發明並不以此為限。藉由對稱地將雷射光束於結晶矽半導體基板 10 之第一表面 11 上斜方向地作用二次，可以製成剖面結構為等腰梯形容槽態樣之溝槽 13。對於此一態樣之溝槽 13 而言，因為受到空間障蔽，半導體層及導電層不易沉積於第一側壁 131 與第二側壁 132，因此可以達成良好的絕緣效果。需要說明的是，除了上述所揭露的態樣以外，溝槽 13 之剖面形狀亦可以為直角梯形或是不規則四邊形，且係可藉由單次或多次的雷射切割操作而達成；舉例而言，一次斜方向雷射搭配一次垂直方向雷射可以得到剖面形狀為直角梯形之溝槽 13。

【0021】請參閱第 7 圖，係為本發明第二實施例之太陽能電池

之製造方法流程圖。其具體揭露本發明之太陽能電池之製造方法包含：步驟 S01：提供一結晶矽半導體基板，其中所述結晶矽半導體基板具有一第一型摻雜；步驟 S02：形成一溝槽於結晶矽半導體基板之第一表面上，其中所述溝槽形成一封閉圖形，且係將結晶矽半導體基板之第一表面區分為第一電極區域與第二電極區域；步驟 S03：形成一本質非晶矽半導體層於結晶矽半導體基板之第一表面上以及溝槽內；步驟 S04：形成一非晶矽半導體層於本質非晶矽半導體層上以及溝槽內；步驟 S05：形成一透明導電層於非晶矽半導體層上以及溝槽內。

【0022】請同步參閱第 2 圖及第 7 圖，步驟 S01 係為提供一結晶矽半導體基板 10，其中所述結晶矽半導體基板 10 係具有一第一型摻雜。如同先前段落所述，其係可以為 P 型結晶矽半導體基板或是 N 型結晶矽半導體基板，有關於 P 型/N 型結晶矽半導體基板之製備，已於前面段落說明，因此此處不再加以贅述。在本實施例中，所述結晶矽半導體基板 10 係為 N 型結晶矽半導體基板，且係具有第一表面 11 與第二表面 12；其中，第一表面 11 係用以形成本質非晶矽半導體層 20、非晶矽半導體層 30、透明導電層 40 以及正面電極（圖未示出），而第二表面 12 則是用以設置背面電極（圖未示出）。

【0023】請同步參閱第 2 圖及第 7 圖，步驟 S02 係為：形成一溝槽 13 於結晶矽半導體基板 10 之第一表面 11 上，其中所述溝槽 13 係形成一封閉圖形，且係將結晶矽半導體 10 之第一表面 11 區分為一第一電極區域 11a 與一第二電極區域 11b；也就是說，所述封閉圖形內係定義為第一電極區域 11a，封閉圖形外係定義為

第二電極區域 11b。於此，第一電極區域 11a 係對應正面電極，第二電極區域 11b 則係對應背面電極。通常地，溝槽 13 係可以藉由雷射切割技術達成；有關於雷射參數與溝槽 13 之深度 D、寬度 W 之關係以於先前段落述及，故在此不再重複。相同地，如先前段落所述，藉由調整雷射光束與結晶矽半導體基板 10 的相對關係可以不同形態的溝槽 13，例如矩形、平行四邊形、梯形或是不規則四邊形。

【0024】 步驟 S03 係為：形成一本質非晶矽半導體層 20 於結晶矽半導體基板 10 之第一表面 11 上以及溝槽 13 內。藉此，可以提供鈍化效果、達成降低表面載子復合速度之目的。在形成所述本質非晶矽半導體層 20 時，由於溝槽 13 的緣故，係可以避免第一電極區域 11a 與第二電極區域 11b 產生電性連結因而造成短路；換句話說，本質非晶矽半導體層 20 僅會形成於溝槽 13 之某些區域（舉例而言，溝槽 13 之底部 133，如第 3 圖所示），使得結晶矽半導體基板 10 之第一表面 11 之第一電極區域 11a 與第二電極區域 11b 可以絕緣。需要說明的是，有關本質非晶矽半導體層 20 的形成方式與厚度條件係已於先前段落揭示，在此不再重複說明。

【0025】 步驟 S04 係為：形成一非晶矽半導體層 30 於本質非晶矽半導體層 20 上以及溝槽 13 內，其中所述非晶矽半導體層 30 係具有一第二型摻雜。換句話說，於本實施例中，非晶矽半導體層 30 係為 P 型非晶矽半導體層。同樣地，在形成所述非晶矽半導體層 30 時，由於溝槽 13 的緣故，係可以避免第一電極區域 11a 與第二電極區域 11b 產生電性連結因而造成短路；換句話說，非

晶矽半導體層 30 僅會形成於溝槽 13 之某些區域 (舉例而言, 溝槽 13 之底部 133, 如第 3 圖所示), 使得結晶矽半導體基板 10 之第一表面 11 之第一電極區域 11a 與第二電極區域 11b 可以絕緣。有關非晶矽半導體層 30 的形成方式與厚度條件係已於先前段落揭示, 在此不再重複說明。

【0026】 請同步參閱第 2 圖及第 7 圖, 步驟 S05 係為形成一透明導電層 40 於非晶矽半導體層 30 上以及溝槽 13 內。所述透明導電層 40 係可以導電以及能夠讓光線穿透。有關於透明導電層 40 之材料選用已於先前段落中敘述, 在此不再重複。相同地, 在形成透明導電層 40 時, 由於溝槽 13 的緣故, 係可以避免第一電極區域 11a 與第二電極區域 11b 產生電性連結因而造成短路; 換句話說, 透明導電層 40 僅會形成於溝槽 13 之某些區域(舉例而言, 溝槽 13 之底部 133, 如第 3 圖所示), 使得結晶矽半導體基板 10 之第一表面 11 之第一電極區域 11a 與第二電極區域 11b 可以絕緣。

【0027】 於其他實施例中, 太陽能電池 100 之結晶矽半導體基板 10 表面進一步具有一粗化結構(Texture), 所述粗化結構係透過習知之粗化製程(Texturing)處理結晶矽半導體基板 10 表面形成一具有複數個凸起部分或凹陷部分之粗糙面, 且溝槽 13 與粗化結構係可分別設置於結晶矽半導體基板 10 的相同或不同表面, 且亦可於結晶矽半導體基板 10 之兩面(即, 第一表面 11 與第二表面 12)同時設置溝槽 13 與粗化結構。當溝槽 13 與粗化結構位於結晶矽半導體基板 13 的相同表面時, 溝槽深度 D 在 10 至 100 微米之範圍, 溝槽深度 D 至少大於本質非晶矽半導體層 20 之厚度、非晶

矽半導體層 30 之厚度與透明導電層 40 之厚度等的總和，確保非晶矽半導體層 20、非晶矽半導體層 30 與透明導電層 40 無法於溝槽 13 的側壁 131、132 與底部 133 形成連續的層狀結構而具有絕緣效果。在其他實施例中，溝槽深度 D 不小於其所在位置之粗化結構的高度且溝槽深度 D 大於本質非晶矽半導體層 20 之厚度、非晶矽半導體層 30 之厚度與透明導電層 40 之厚度等的總和時，絕緣效果更佳。因此，當具有異質接面之矽晶太陽能電池之結晶矽半導體基板 10 為 N 型時，溝槽 13 與粗化結構可分別或同時設置於具有 P 型非晶矽半導體層的一面，亦可分別或同時設置於具有 N 型非晶矽半導體層的一面；當具有異質接面之矽晶太陽能電池之結晶矽半導體基板 10 為 P 型時，溝槽 13 與粗化結構可分別或同時設置於具有 N 型非晶矽半導體層的一面，亦可分別或同時設置於具有 P 型非晶矽半導體層的一面。

【0028】綜上所述，於本發明之太陽能電池當中，係藉由適當的雷射光束之參數，進而可以在結晶矽半導體基板 10 上形成具有合適寬深比的溝槽 13，因而可以使第一電極區域 11a 與第二電極區域 11b 達成絕緣，避免太陽能元件發生短路的情形；另外，由於雷射光束只作用於結晶矽半導體基板 10，因此不會如先前技術中非晶矽半導體層 30 微晶化之情況。

【0029】請參閱第 8 圖至第 10 圖，係為本發明第三實施例之太陽能電池之表面示意圖（一）、（二）、（三）。於此實施例中，本發明之太陽能電池 100 包含一結晶矽半導體基板 10，具有一第一型摻雜，該結晶矽半導體基板 10 至少一表面設有一溝槽 13 與一隔離結構 14，該隔離結構 14 為一開口(Opening)或斷面(Section)，

該溝槽 13 與該隔離結構 14 定義出第一電極區域 11a 與第二電極區域 11b，其中該第一電極區域 11a 與該第二電極區域 11b 至少通過該溝槽 13 絕緣。該第一電極區域 11a 與該第二電極區域 11b 至少通過該溝槽 13 絕緣與該隔離結構 14 絕緣，如第 8 圖至第 10 圖所示，該溝槽 13 絕緣與該隔離結構 14 可以透過多種方式配置以使第一電極區域 11a 與第二電極區域 11b 絕緣。該隔離結構 14 可藉由雷射(Laser)或光罩(Mask)形成開口或斷面以使本質非晶矽半導體層 20、非晶矽半導體層 30 與透明導電層 40 的側面暴露出而形成不連續結構。

【0030】 雖然本發明的技術內容已經以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神所作些許之更動與潤飾，皆應涵蓋於本發明的範疇內，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0031】

100	太陽能電池
10	結晶矽半導體基板
11	第一表面
11a	第一電極區域
11b	第二電極區域
12	第二表面
13	溝槽
14	隔離結構
131	第一側壁

- 132 第二側壁
- 133 底部
- 20 本質非晶矽半導體層
- 30 非晶矽半導體層
- 40 透明導電層
- $\theta 1$ 第一傾斜角
- $\theta 2$ 第二傾斜角
- D 溝槽深度
- W 溝槽寬度
- S01 提供一結晶矽半導體基板，其中所述結晶矽半導體基板具有一第一型摻雜
- S02 形成一溝槽於結晶矽半導體基板之第一表面上，其中所述溝槽形成一封閉圖形，封閉圖形內係定義為一第一電極區域，封閉圖形外係定義為一第二電極區域
- S03 形成一本質非晶矽半導體層於結晶矽半導體基板之第一表面上以及溝槽內
- S04 形成一非晶矽半導體層於本質非晶矽半導體層上以及溝槽內，其中所述非晶矽半導體層具有一第二型摻雜
- S05 形成一透明導電層於非晶矽半導體層上以及溝槽內

【發明申請專利範圍】

【第1項】 一種太陽能電池，包括

一結晶矽半導體基板，具有一第一型摻雜，該結晶矽半導體基板至少一表面設有一溝槽，該溝槽形成一封閉圖形，該封閉圖形內係定義為一第一電極區域，該封閉圖形外係定義為一第二電極區域；

一本質非晶矽半導體層，形成於該結晶矽半導體基板上以及該溝槽內；

一非晶矽半導體層，具有一第二型摻雜，該非晶矽半導體層係形成於該本質非晶矽半導體層上；以及

一透明導電層，形成於該非晶矽半導體層上；

其中，該溝槽之深度大於該溝槽內之該本質非晶矽半導體層、該非晶矽半導體層與該透明導電層之厚度總和。

【第2項】 如申請專利範圍第 1 項所述之太陽能電池，其中該溝槽之深度係介於 10 至 100 微米之範圍間。

【第3項】 如申請專利範圍第 1 項所述之太陽能電池，其中該第一型摻雜為 P 型摻雜或 N 型摻雜。

【第4項】 如申請專利範圍第 3 項所述之太陽能電池，其中該第二型摻雜為 P 型摻雜或 N 型摻雜。

【第5項】 如申請專利範圍第 1 項所述之太陽能電池，其中該結晶矽半導體基板之至少一表面具有一粗化結構。

【第6項】 如申請專利範圍第 5 項所述之太陽能電池，其中該溝槽之深度不小於該溝槽所在位置之該粗化結構之高度。

【第7項】 如申請專利範圍第 1 或 5 項所述之太陽能電池，其

中該溝槽包括一第一側壁、一第二側壁與一底部，該第一側壁與該第二側壁彼此相對，該第一側壁與該底部定義一第一傾斜角，該第二側壁與該底部定義一第二傾斜角。

【第8項】 如申請專利範圍第7項所述之太陽能電池，其中該第一傾斜角之角度不大於90度，且該第二傾斜角之角度小於180度。

【第9項】 如申請專利範圍第7項所述之太陽能電池，其中該第一傾斜角之角度大於90度，且該第二傾斜角之角度不大於90度。

【第10項】 一種太陽能電池之製作方法，包括：

提供一結晶矽半導體基板，其中該結晶矽半導體基板具有一第一型摻雜；

形成一溝槽於該結晶矽半導體基板之一面上，該溝槽形成一封閉圖形，該封閉圖形內定義為一第一電極區域，該封閉圖形外定義為一第二電極區域；

形成一本質非晶矽半導體層於該結晶矽半導體基板上以及該溝槽內；

形成一非晶矽半導體層於該本質非晶矽半導體層上，其中該非晶矽半導體層具有一第二型摻雜；以及

形成一透明導電層於該非晶矽半導體層上，

其中，該溝槽之深度大於該溝槽內之該本質非晶矽半導體層、該非晶矽半導體層與該透明導電層之厚度總和。

【第11項】 如申請專利範圍第10項所述之太陽能電池之製作方法，其中該溝槽之深度係介於10至100微米之範圍間。

【第12項】 如申請專利範圍第 10 項所述之太陽能電池之製作方法，其中該第一型摻雜為 P 型摻雜或 N 型摻雜。

【第13項】 如申請專利範圍第 10 項所述之太陽能電池之製作方法，其中該第二型摻雜為 P 型摻雜或 N 型摻雜。

【第14項】 如申請專利範圍第 10 項所述之太陽能電池之製作方法，其中該結晶矽半導體基板之至少一表面進一步具有一粗化結構。

【第15項】 如申請專利範圍第 14 項所述之太陽能電池之製作方法，其中該溝槽之深度不小於該溝槽所在位置之該粗化結構之高度。

【第16項】 如申請專利範圍第 10 或 14 項所述之太陽能電池之製作方法，其中該溝槽包括一第一側壁、一第二側壁與一底部，該第一側壁與該第二側壁彼此相對，該第一側壁與該底部定義一第一傾斜角，該第二側壁與該底部定義一第二傾斜角。

【第17項】 如申請專利範圍第 16 項所述之太陽能電池之製作方法，其中該第一傾斜角之角度不大於 90 度，且該第二傾斜角之角度小於 180 度。

【第18項】 如申請專利範圍第 16 項所述之太陽能電池之製作方法，其中該第一傾斜角之角度大於 90 度，且該第二傾斜角之角度不大於 90 度。

【第19項】 一種太陽能電池，包括

一結晶矽半導體基板，具有一第一型摻雜，該結晶矽半導體基板至少一表面設有一溝槽與一隔離結構，該溝槽與該隔離結構定義第一電極區域與第二電極區域，其中該第一電極區域

與該第二電極區域之間至少通過該溝槽絕緣；

一本質非晶矽半導體層，形成於該結晶矽半導體基板上以及該溝槽內；

一非晶矽半導體層，具有一第二型摻雜，該非晶矽半導體層係形成於該本質非晶矽半導體層上；以及

一透明導電層，形成於該非晶矽半導體層上；

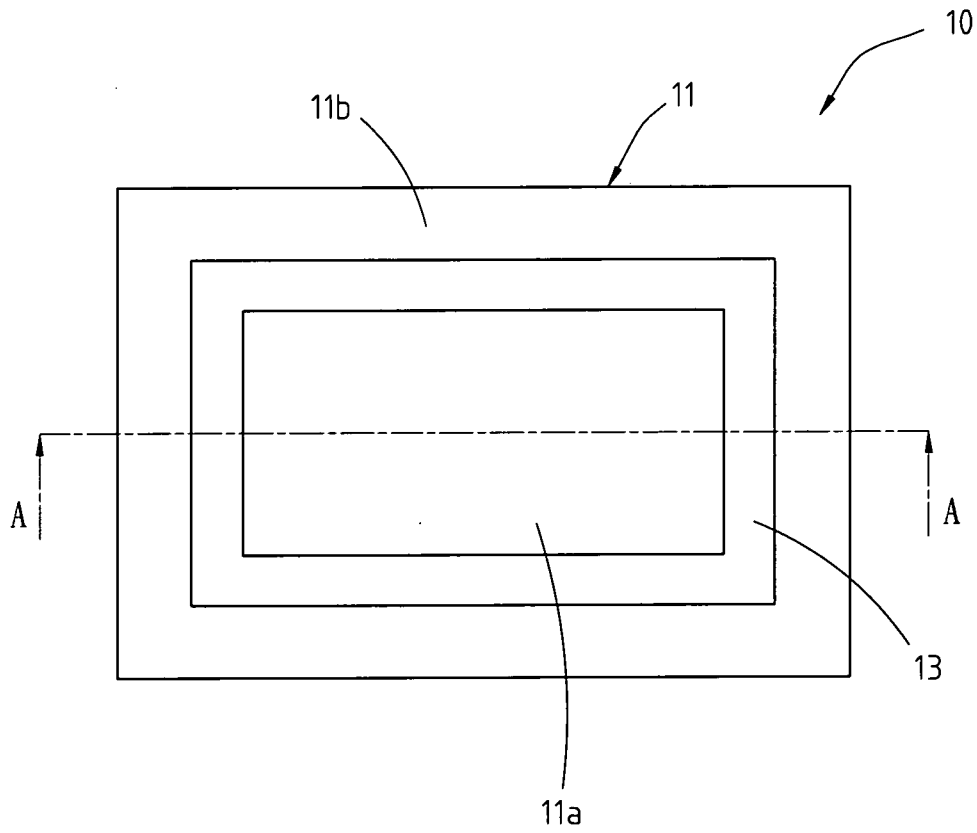
其中，該溝槽之深度大於該溝槽內之該本質非晶矽半導體層、該非晶矽半導體層與該透明導電層之厚度總和。

【第20項】 如申請專利範圍第 19 項所述之太陽能電池，其中該第一電極區域與該第二電極區域之間通過該溝槽與該隔離結構絕緣。

【第21項】 如申請專利範圍第 19 項所述之太陽能電池，其中該隔離結構為一開口或一斷面。

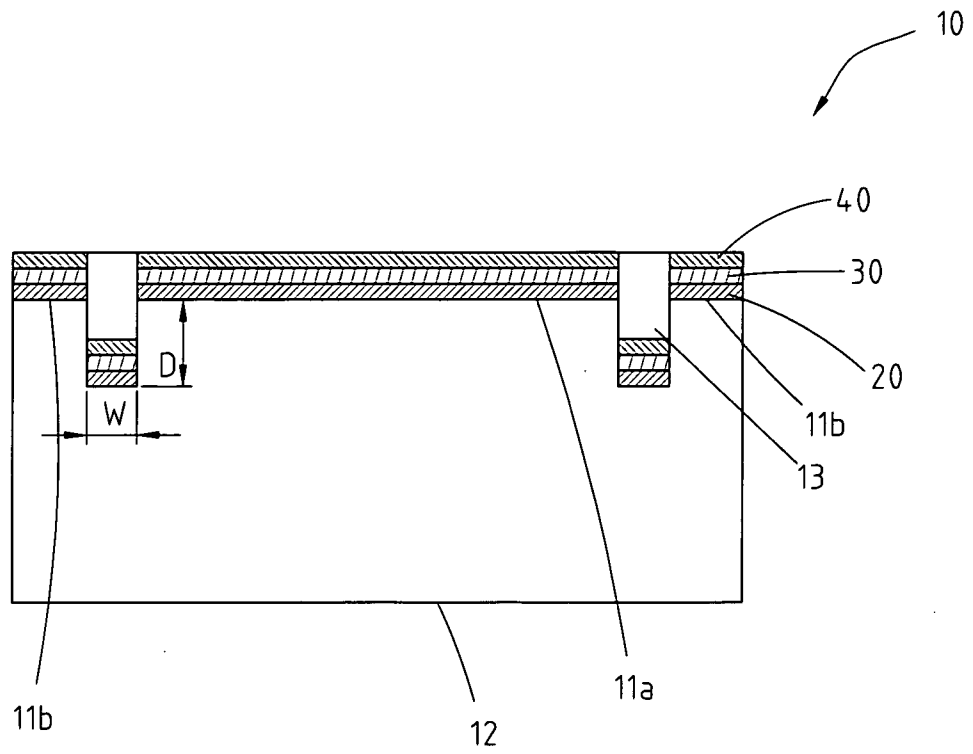
【發明圖式】

100



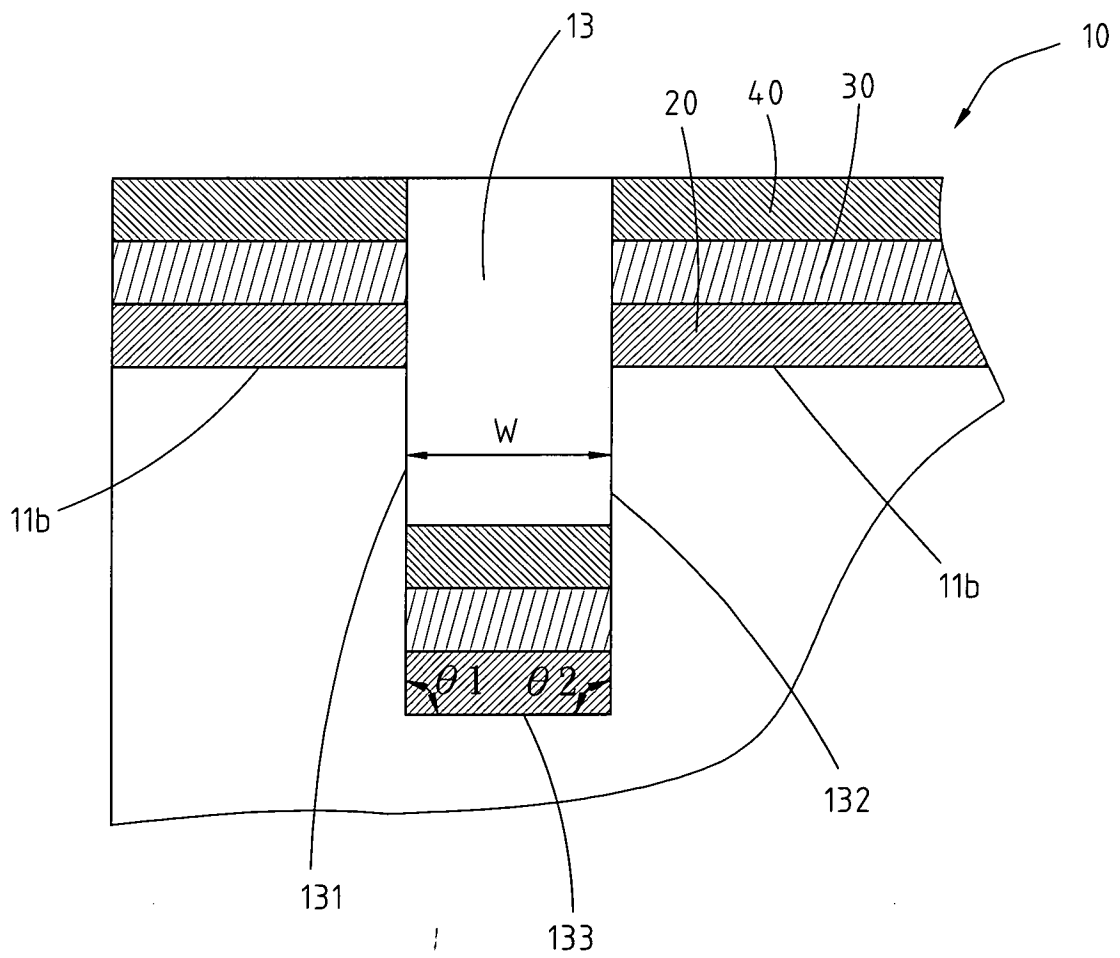
第1圖

100



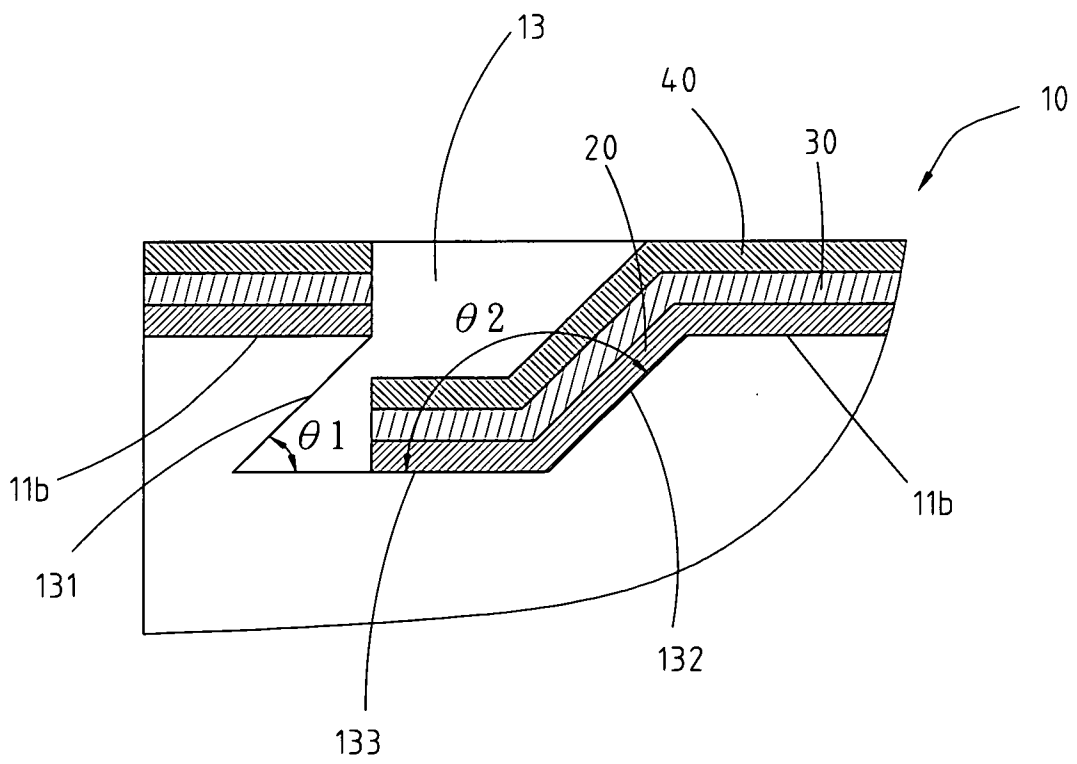
第2圖

100



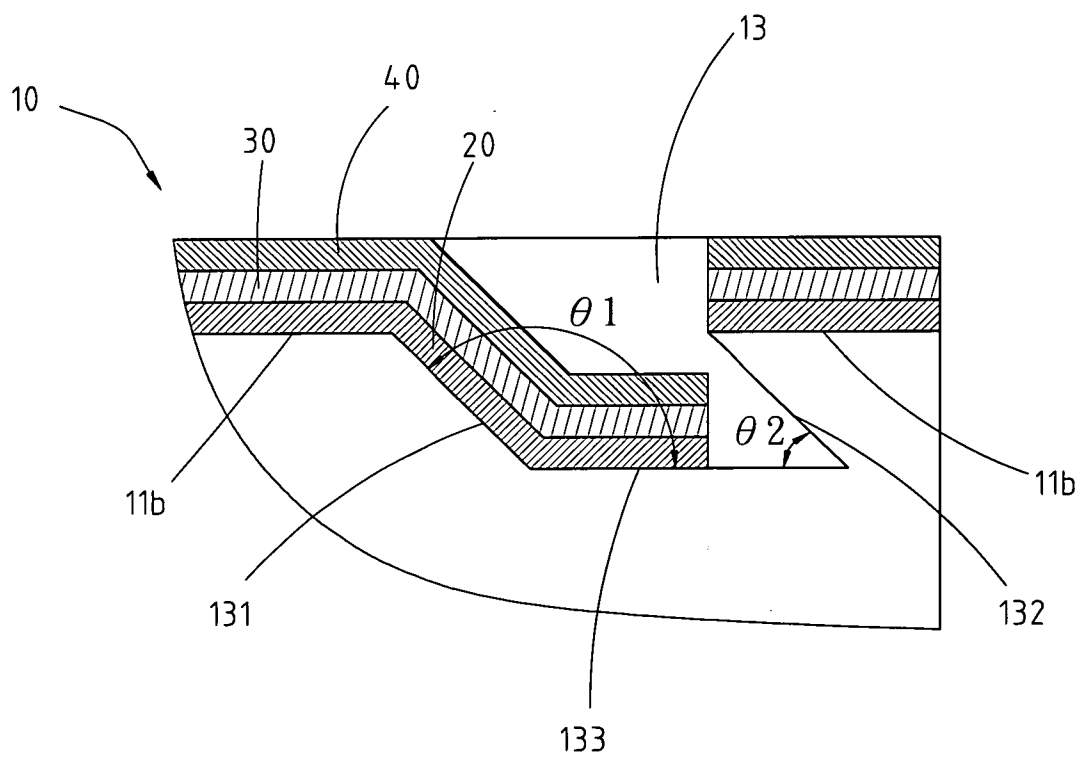
第3圖

100



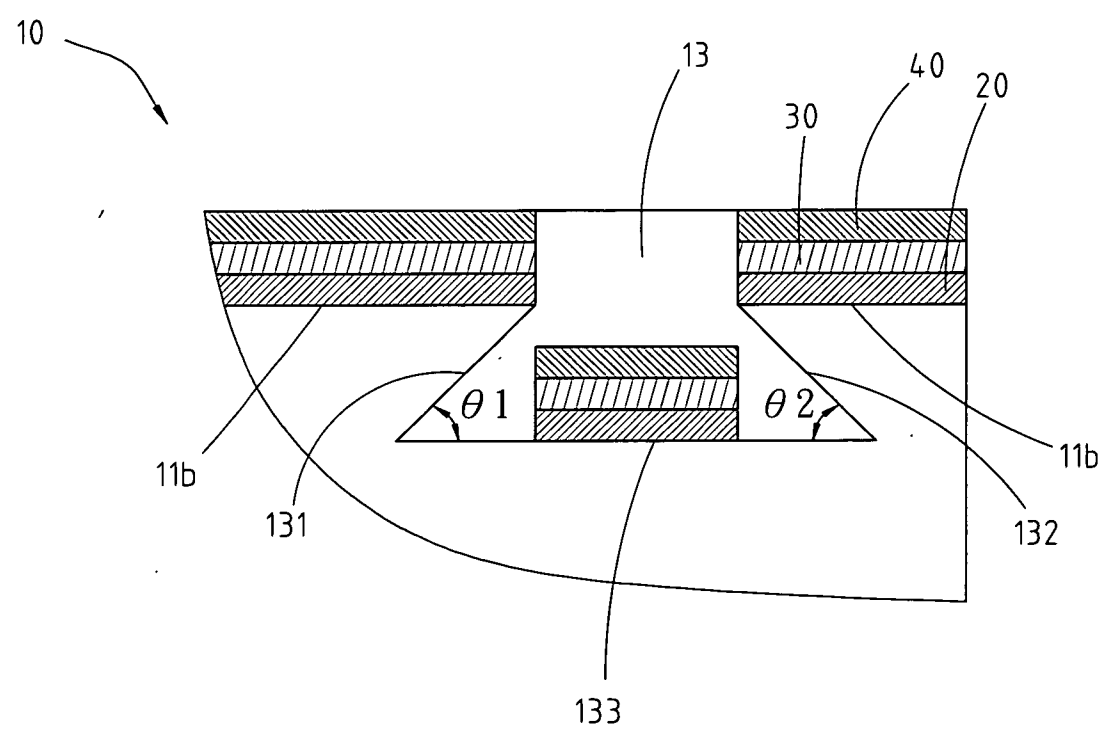
第4圖

100

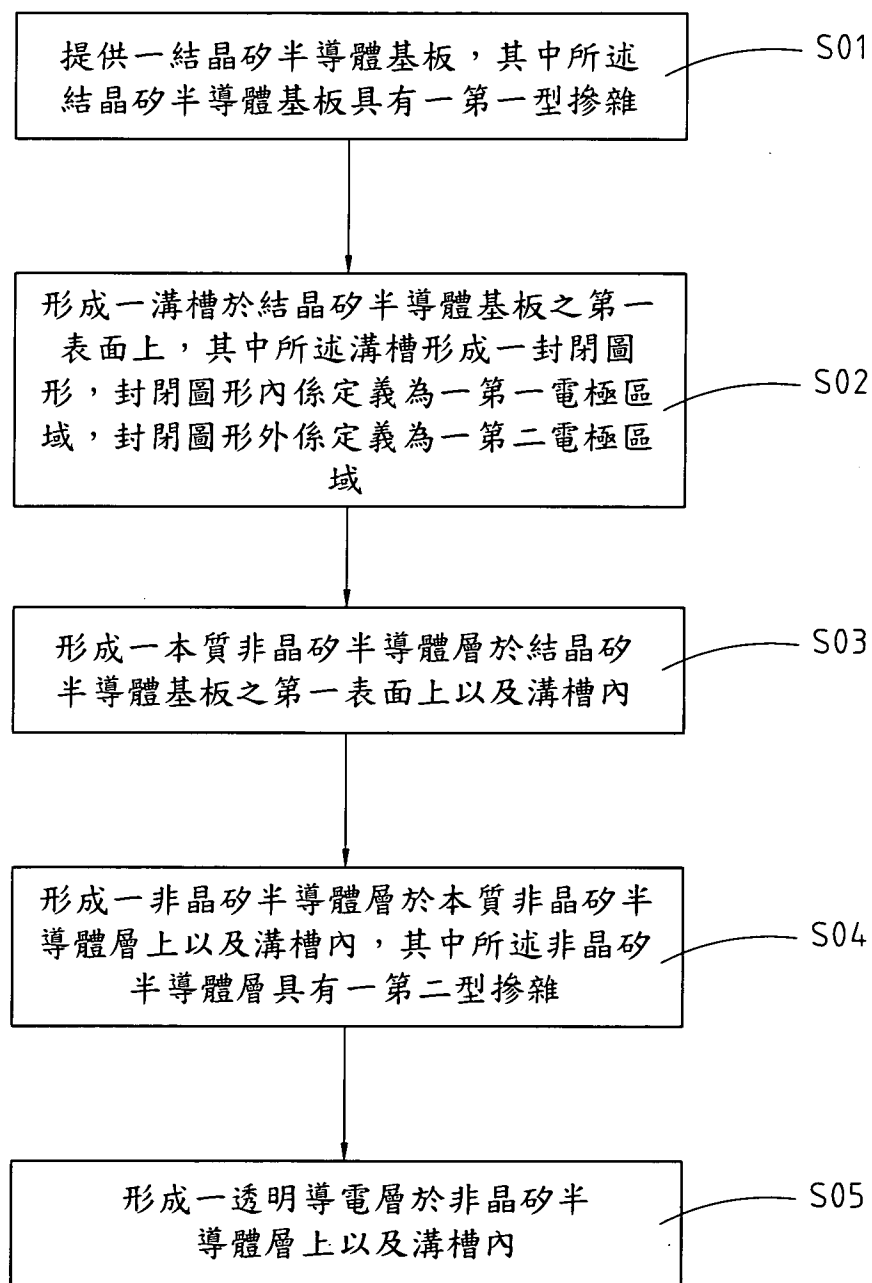


第5圖

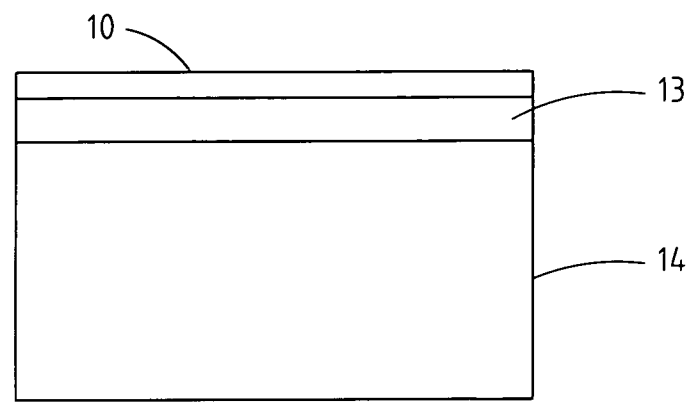
100



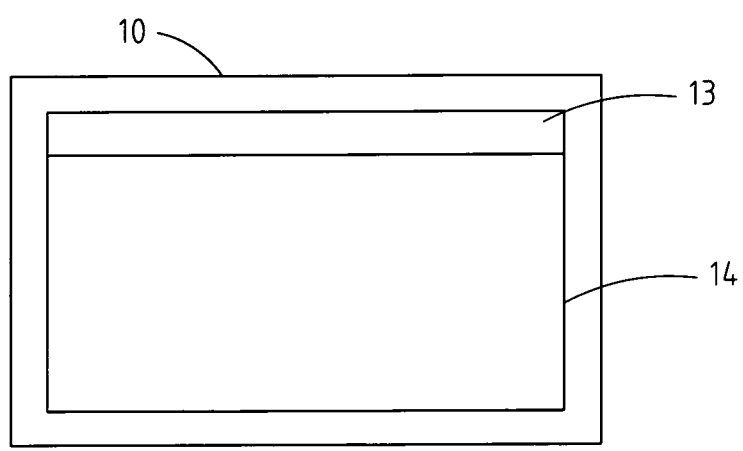
第6圖



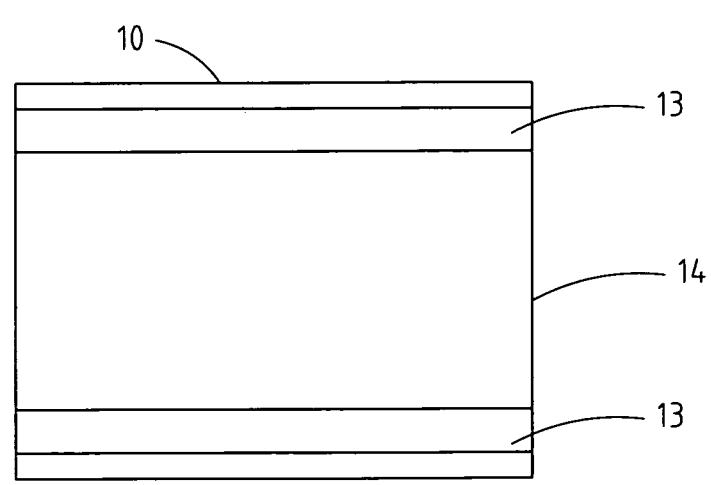
第7圖



第8圖



第9圖



第10圖